

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5455651号
(P5455651)

(45) 発行日 平成26年3月26日 (2014. 3. 26)

(24) 登録日 平成26年1月17日 (2014. 1. 17)

(51) Int. Cl.	F I
HO 1 L 21/321 (2006. 01)	HO 1 L 21/88 K
HO 1 L 21/768 (2006. 01)	HO 5 K 3/28 G
HO 5 K 3/28 (2006. 01)	HO 1 L 21/316 X
HO 1 L 21/316 (2006. 01)	HO 1 L 21/316 Y
HO 1 L 21/312 (2006. 01)	HO 1 L 21/316 M

請求項の数 38 (全 20 頁) 最終頁に続く

(21) 出願番号	特願2009-549162 (P2009-549162)	(73) 特許権者	503455363
(86) (22) 出願日	平成20年1月24日 (2008. 1. 24)		レイセオン カンパニー
(65) 公表番号	特表2010-518627 (P2010-518627A)		アメリカ合衆国 マサチューセッツ州 O
(43) 公表日	平成22年5月27日 (2010. 5. 27)		2451 ウォルサム ウィンター スト
(86) 国際出願番号	PCT/US2008/051919		リート 870
(87) 国際公開番号	W02008/097724	(74) 代理人	100070150
(87) 国際公開日	平成20年8月14日 (2008. 8. 14)		弁理士 伊東 忠彦
審査請求日	平成23年1月11日 (2011. 1. 11)	(74) 代理人	100091214
(31) 優先権主張番号	60/888, 720		弁理士 大貫 進介
(32) 優先日	平成19年2月7日 (2007. 2. 7)	(74) 代理人	100107766
(33) 優先権主張国	米国 (US)		弁理士 伊東 忠重
(31) 優先権主張番号	11/848, 820	(72) 発明者	ビディングー, ジョン エム
(32) 優先日	平成19年8月31日 (2007. 8. 31)		アメリカ合衆国 テキサス州 75044
(33) 優先権主張国	米国 (US)		ガーランド グリーンビュー 3318

最終頁に続く

(54) 【発明の名称】 回路素子用の保護膜及び該保護膜の作製方法

(57) 【特許請求の範囲】

【請求項 1】

集積回路の作製方法であって：

基板表面を有する基板を供する工程；

前記基板表面上に少なくともトランジスタ又はキャパシタを有する電気部品を作製する工程；

前記基板表面及び電気部品を、厚さが50～2000 の範囲のアルミナで作られた第1保護誘電膜でコーティングする工程；

前記基板表面又は前記電気部品から前記第1保護誘電膜の一部をエッチングにより除去してコンタクト表面を形成する工程；

前記コンタクト表面上にエアブリッジを作製する工程；

前記第1保護誘電膜、前記電気部品、及び前記エアブリッジを、厚さが50～2000 の範囲のアルミナで作られた第2保護誘電膜でコーティングする工程；

前記第2保護誘電膜に結合促進剤を塗布する工程；並びに

前記第2保護誘電膜を、アルミナ、シリカ、又はパラキシリレン系ポリマーで作られた厚さが100～1000 の範囲の第3保護誘電膜でコーティングする工程；

を有する方法。

【請求項 2】

前記の結合促進剤を塗布する工程が、
-メタクリルオキシプロピルトリメトキシシランと独立して用いられ又は併用される二酸化シリコン膜を塗布する工程を有する、請求項

10

20

1に記載の方法。

【請求項3】

前記の基板を供する工程が、シリコン(Si)、ガリウムヒ素(GaAs)、窒化ガリウム(GaN)、ゲルマニウム(Ge)、シリコンカーバイド(SiC)、又はインジウム燐(InP)からなる群から選ばれた材料で作られた基板を供する工程を有する、請求項1に記載の方法。

【請求項4】

基板表面を有する基板を供する工程；

前記基板表面上に電気部品を作製する工程；並びに

前記基板表面及び電気部品を第1保護誘電膜でコーティングする工程であって、

前記第1保護誘電膜は概して、透湿性が $0.01\text{g}/\text{m}^2/\text{日}$ 、吸湿率が0.04%未満、誘電率が10未満、誘電損失が0.005未満、絶縁破壊電圧強度が $8 \times 10^6\text{V}/\text{cm}$ よりも大きく、シート抵抗が $10^{15} \cdot \text{cm}$ で、かつ欠陥密度が $0.5/\text{cm}^2$ 未満である、水蒸気に溶けない材料で作られる、工程；

前記基板表面又は前記電気部品から前記第1保護誘電膜の一部をエッチングにより除去してコンタクト表面を形成する工程；

前記コンタクト表面上にエアブリッジを作製する工程；

前記第1保護誘電膜、前記電気部品、及び前記エアブリッジを、厚さが50～2000 の範囲のアルミナで作られた第2保護誘電膜でコーティングする工程；

前記第2保護誘電膜に結合促進剤を塗布する工程；並びに

前記第2保護誘電膜を、アルミナ、シリカ、又はパラキシリレン系ポリマーで作られた厚さが100～1000 の範囲の第3保護誘電膜でコーティングする工程；

を有する方法。

【請求項5】

前記の基板表面及び電気部品を第1保護誘電膜でコーティングする工程が、基板表面及び電気部品をアルミナで作られた第1保護誘電膜でコーティングする工程をさらに有する、請求項4に記載の方法。

【請求項6】

前記の基板表面及び電気部品をアルミナで作られた第1保護誘電膜でコーティングする工程が、基板表面及び電気部品を厚さが50～2000 の範囲のアルミナで作られた第1保護誘電膜でコーティングする工程をさらに有する、請求項5に記載の方法。

【請求項7】

前記の基板表面及び電気部品を第1保護誘電膜でコーティングする工程が、基板表面及び電気部品を、高密度シリコン窒化物、酸化タンタル、酸化ベリリウム、酸化ハフニウム、及びアルミナからなる群から選ばれた第1保護誘電膜でコーティングする工程をさらに有する、請求項4に記載の方法。

【請求項8】

前記基板表面又は前記電気部品から前記第1保護誘電膜の一部をエッチングにより除去してコンタクト表面を形成する工程；

前記コンタクト表面上に追加部品を作製する工程；並びに

前記第1保護誘電膜、前記電気部品、及び前記追加部品を、第2保護誘電膜でコーティングする工程；

を有する、請求項4に記載の方法。

【請求項9】

前記第2保護誘電膜は、3.5ギガパスカル(GPa)未満の弾性モジュラス、3.0未満の誘電率、0.008未満の誘電損失、 2×10^6 ボルト/センチメートル(MV/cm)を超える破壊電圧強度、及び300 の温度安定性、50 を超える膜中の接続していないピンホールを有し、濡れ角が 45° よりも大きくなる疎水性で、かつ厚さの均一性が30%以下となるように3次元(3D)構造全体にわたってかつ前記3D構造の下でコンフォーマルに堆積可能な誘電材料で構成される、請求項8に記載の方法。

【請求項10】

10

20

30

40

50

前記第2保護誘電膜が、アルミナ、シリカ、パラキシリレン系ポリマー、アクリル、及び気相成長したポリテトラフルオロエチレン(PTFE)からなる群から選ばれる材料で作られる、請求項8に記載の方法。

【請求項11】

前記第2保護誘電膜が、アルミナ、シリカ、パラキシリレン系ポリマー、アクリル、及び気相成長したポリテトラフルオロエチレン(PTFE)からなる群から選ばれるナノ積層体材料を交互に組み合わせたものを有するナノ積層体である、請求項8に記載の方法。

【請求項12】

前記第2保護誘電膜を第3誘電膜でコーティングする工程をさらに有する、請求項8に記載の方法。

10

【請求項13】

前記の第2保護誘電膜を第3誘電膜でコーティングする工程が、前記第2保護誘電膜をバリレンで作られた第3誘電膜でコーティングする工程をさらに有する、請求項12に記載の方法。

【請求項14】

前記の第2保護誘電膜を第3誘電膜でコーティングする工程が、前記第2保護誘電膜をシリカで作られた第3誘電膜でコーティングする工程をさらに有する、請求項12に記載の方法。

【請求項15】

前記の第2保護誘電膜を第3誘電膜でコーティングする工程が、前記第2保護誘電膜を、アルミナ、シリカ、パラキシリレン系ポリマーで作られた第3誘電膜でコーティングする工程をさらに有する、請求項12に記載の方法。

20

【請求項16】

前記の第2保護誘電膜を第3誘電膜でコーティングする工程が、
アルミナと酸化シリコン、酸化ベリリウム、酸化ハフニウム、及びシリカ
酸化タンタルとシリカ、
アルミナとパラキシリレン系ポリマー、
アルミナとアクリル、並びに
アルミナと気相成長テフロン(PFTE)、
からなる群から選ばれたナノ積層体材料を交互に組み合わせたものを有するナノ積層体
で作られた第3誘電膜で前記第2保護誘電膜をコーティングする工程をさらに有する、
請求項12に記載の方法。

30

【請求項17】

前記の第2保護誘電膜を、アルミナ、酸化タンタル、酸化ベリリウム、酸化ハフニウム、又はシリコン窒化物で作られた第3誘電膜でコーティングする工程が、厚さが100~1000の範囲のアルミナ、酸化タンタル、酸化ベリリウム、酸化ハフニウム、又はシリコン窒化物で作られた第3誘電膜でコーティングする工程をさらに有する、請求項15に記載の方法。

【請求項18】

前記第2保護誘電膜を第3誘電膜でコーティングする前に、前記第2保護誘電膜に結合促進剤を塗布する工程をさらに有する、請求項12に記載の方法。

40

【請求項19】

前記の結合促進剤を塗布する工程が、-メタクリルオキシプロピルトリメトキシシランと独立して用いられ又は併用される酸化シリコン膜を塗布する工程を有する、請求項17に記載の方法。

【請求項20】

前記基板表面及び電気部品を第1保護誘電膜でコーティングする工程の前に、前記基板表面及び前記電気部品全体にわたって厚さが25~400の範囲のシリコン窒化物又は酸化シリコンの初期膜を堆積する工程をさらに有する、請求項4に記載の方法。

【請求項21】

50

前記の電気部品を作製する工程が少なくともトランジスタ又はキャパシタを前記基板に作製する工程を有する、請求項4に記載の方法。

【請求項22】

前記の追加部品を作製する工程が前記基板表面及び前記電気部品上にエアブリッジを作製する工程を有する、請求項8に記載の方法。

【請求項23】

基板表面を有する基板；

前記基板に作製された少なくとも1つの電気部品；並びに

前記少なくとも1つの電気部品上に形成された第1保護誘電膜であって、

前記第1保護誘電膜は概して、透湿性が $0.01\text{g}/\text{m}^2/\text{日}$ 、吸湿率が0.04%未満、誘電率が10未満、誘電損失が0.005未満、絶縁破壊電圧強度が $8 \times 10^6\text{V}/\text{cm}$ よりも大きく、シート抵抗が $10^{15} \cdot \text{cm}$ で、かつ欠陥密度が $0.5/\text{cm}^2$ 未満である、水蒸気に溶けない材料で作られる、第1保護誘電膜；

前記基板表面又は前記電気部品から前記第1保護誘電膜の一部をエッチングにより除去して形成されるコンタクト表面；

前記コンタクト表面上に作製されるエアブリッジ；

前記第1保護誘電膜、前記電気部品、及び前記エアブリッジをコーティングする、厚さが50～2000 の範囲のアルミナで作られた第2保護誘電膜；

前記第2保護誘電膜に塗布される結合促進剤；並びに

前記第2保護誘電膜をコーティングする、アルミナ、シリカ、又はパラキシリレン系ポリマーで作られた厚さが100～1000 の範囲の第3保護誘電膜；

を有する回路素子。

【請求項24】

前記第1保護誘電膜がアルミナで作られている、請求項23に記載の回路素子。

【請求項25】

前記第1保護誘電膜の厚さが50～2000 である、請求項23に記載の回路素子。

【請求項26】

前記第1保護誘電膜が、高密度シリコン窒化物、酸化タンタル、酸化ベリリウム、酸化ハフニウム、及びアルミナからなる群から選ばれた材料で作られる、請求項23に記載の回路素子。

【請求項27】

前記基板又は前記少なくとも1つの電気部品上に作製される少なくとも1つの追加部品；並びに

前記基板表面、前記第1保護誘電膜、及び前記少なくとも1つの電気部品上に作製される第2保護誘電膜；

を有する、請求項23に記載の回路素子。

【請求項28】

前記第2保護誘電膜が、アルミナと二酸化シリコン、酸化ベリリウムとシリカ、酸化ベリリウムとパラキシリレン、アルミナとパラキシリレン系ポリマー、アルミナとアクリル、及びアルミナと気相成長テフロン(PFTE)からなる群から選ばれたナノ積層体材料を交互に組み合わせたものを有するナノ積層体である、請求項27に記載の回路素子。

【請求項29】

前記第2保護誘電膜上に形成される第3誘電膜をさらに有する、請求項27に記載の回路素子。

【請求項30】

前記第3誘電膜がパラキシリレン系ポリマーで作られる、請求項29に記載の回路素子。

【請求項31】

前記第3誘電膜が、アルミナ、酸化タンタル、酸化ベリリウム、酸化ハフニウム、又はシリコン窒化物で作られる、請求項29に記載の回路素子。

【請求項32】

10

20

30

40

50

前記基板表面と前記第1保護誘電膜との間に初期膜をさらに有する回路素子であって、前記初期膜はシリコン窒化物及び二酸化シリコンからなる群から選ばれる、請求項23に記載の回路素子。

【請求項33】

前記第1保護誘電膜と前記基板表面及び前記電気部品との間に設けられた50～2000 の範囲の厚さであるシリコン窒化物の薄い膜をさらに有する、請求項23に記載の回路素子。

【請求項34】

前記少なくとも1つの電気部品がトランジスタ及びキャパシタからなる群から選ばれる、請求項23に記載の回路素子。

【請求項35】

前記追加部品がエアブリッジである、請求項23に記載の回路素子。

【請求項36】

前記第1保護誘電膜と前記第2保護誘電膜との間に結合促進剤をさらに有する、請求項23に記載の回路素子。

【請求項37】

前記結合促進剤が γ -メタクリルオキシプロピルトリメトキシシランである、請求項36に記載の回路素子。

【請求項38】

前記基板表面と前記第1保護誘電膜との間に50～2000 の範囲の厚さであるシリコン窒化物又は二酸化シリコンの初期膜をさらに有する、請求項23に記載の回路素子。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は概して回路素子、回路基板に関し、より詳細には、回路素子及び/又は回路基板用の保護システム並びに該保護システムの作製方法に関する。

【発明の概要】

【発明が解決しようとする課題】

【0002】

基板上に集積した状態で作製される電気部品を有する回路素子は、その回路素子が広範囲にわたる用途を提供することができるため、幅広く用いられてきた。これらの回路素子の用途には、保護された環境での動作が容易に実現できないような用途、保護された環境での動作に費用を要する用途、及び/又は、保護された環境で動作させることでシステムの性能が制限される用途が含まれる。そのような用途では、保護手法が用いられて良い。それにより、部品の電気的性質を改善することが可能となり、かつ、回路素子の部品を有害な不純物-たとえば水蒸気、湿気、微粒子、又は、ナトリウムや塩素ベースの気体、元素、若しくは化合物といったイオン性不純物-から保護することが可能となる。そのような手法によって、費用を要する密閉封止又はパッケージは不要となり、かつ回路機能をより緊密にパッケージングすることが可能となる。回路機能をより緊密にパッケージングすることが可能となることで、パッケージング密度を高くし、質量を小さくし、かつより高い周波数特性が可能となる。

【課題を解決するための手段】

【0003】

本開示の一例の実施例によると、回路素子用の保護膜を作製する方法は概して、基板表面を有する基板を供する工程、前記基板表面上に電気部品を作製する工程、並びに、前記基板表面及び電気部品を第1保護誘電膜でコーティングする工程を有する。前記第1保護誘電膜は概して、透湿性が $0.01\text{g}/\text{m}^2/\text{日}$ 、吸湿率が 0.04% 未満、誘電率が 10 未満、誘電損失が 0.005 未満、絶縁破壊電圧強度が $8 \times 10^6\text{V}/\text{cm}$ よりも大きく、シート抵抗が $10^{15} \text{ } \underline{\hspace{1cm}} \cdot \text{cm}$ で、かつ欠陥密度が $0.5/\text{cm}^2$ 未満である、水蒸気に溶けない材料で作られる。

【0004】

本開示の他の実施例によると、回路素子は概して基板及び第1保護誘電膜を有する。前

10

20

30

40

50

記基板は、上に少なくとも1つの電気回路部品が形成される基板表面を有する。前記第1保護誘電膜は概して、透湿性が $0.01\text{g}/\text{m}^2/\text{日}$ 、吸湿率が 0.04% 未満、誘電率が 10 未満、誘電損失が 0.005 未満、絶縁破壊電圧強度が $8 \times 10^6\text{V}/\text{cm}$ よりも大きく、シート抵抗が $10^{15} \text{ } \underline{\hspace{1cm}} \cdot \text{cm}$ で、かつ欠陥密度が $0.5/\text{cm}^2$ 未満である、水蒸気に溶けない材料で作られる。

【0005】

本開示の実施例は多数の技術的利点を供することが可能である。後述する利点を全ての実施例が享受しても良いし、一部の実施例が享受しても良いし、あるいはどの実施例も享受しなくても良い。一の実施例によると、様々な処理工程間に前記基板上に形成される電気部品又は他の追加部品を有する回路素子を保護するシステム及び方法が供される。誘電膜を堆積するのに提案された手法が用いられる結果、一部の実施例では、絶対厚さ及び前記基板又はウエハ全体にわたる厚さ均一性を従来よりも厳密に制御されるだけでなく、3次元部位全体にわたって優れたコンフォーマリティ(conformality)を示す。厚さを厳密に制御する結果、優れた電氣的性質並びに優れた水蒸気及び不純物保護が実現される。提案した手法を用いることで、従来の密閉パッケージ手法及び封止が不要となり、また密閉用途と非密閉用途の両方についての性能と信頼性が向上する。

10

【0006】

他の技術的利点は当業者には明らかとなる。

【図面の簡単な説明】

【0007】

【図1】本開示の教示による保護システムを内蔵する集積回路素子の一実施例の側面図である。

20

【図2】図1の実施例を作製するために実行可能な複数の工程を示すフローチャートである。

【図3】本開示の様々なウエハ段階での実施例をまとめた表である。

【図4A】本開示の教示によって作製可能な図1の回路素子の様々な作製段階中の様子を表す側面図である。

【図4B】本開示の教示によって作製可能な図1の回路素子の様々な作製段階中の様子を表す側面図である。

【図4C】本開示の教示によって作製可能な図1の回路素子の様々な作製段階中の様子を表す側面図である。

30

【図4D】本開示の教示によって作製可能な図1の回路素子の様々な作製段階中の様子を表す側面図である。

【図5A】本開示の回路アセンブリ用の保護層システムの一実施例に係る切断透視図である。

【図5B】本開示の回路アセンブリ用の保護層システムの一実施例に係る切断透視図である。

【図6】図5A及び図5Bの実施例を作製するために実行可能な複数の工程を示すフローチャートである。

【図7】本開示のある特定のアセンブリ段階での実施例をまとめた表である。

【図8】本開示の他の実施例による保護システムを有するトランジスタの拡大部分図である。

40

【発明を実施するための形態】

【0008】

本開示の実施例のより完全な理解は、添付の図面と関連する詳細な説明から明らかである。図を参照すると、図1は本開示の教示による一の実施例を図示している。回路素子10は概して基板表面14を有する基板12を有する。基板表面14上には複数の電気部品が集積されるように作製される。図1の基板12は回路素子10の作製に適した如何なる半導体材料から作製されても良い。回路素子10の作製に適した半導体材料とはたとえば、シリコン(Si)、ガリウムヒ素(GaAs)、窒化ガリウム(GaN)、ゲルマニウム(Ge)、シリコンカーバイド(SiC)、又はインジウム燐(InP)である。これらの種類の材料の各々は概して平坦な形状の表

50

面14に供されて良い。その概して平坦な形状の表面14上には電気部品16が作製されて良い。

【0009】

電気部品16には基板表面14上に作製可能な如何なる部品-たとえばトランジスタ、キャパシタ、レジスタ、インダクタ等-が含まれても良い。図示された特別な実施例では、電気部品16は複数のトランジスタ16a、キャパシタ16b、及びレジスタ16cであって良い。しかし回路素子10は本開示の教示から逸脱することなく他の種類の電気部品を含んでも良い。一の実施例では、トランジスタ16aは、ソース領域S、ゲート領域G、及びドレイン領域Dをそれぞれ有する疑似格子整合高電子移動度トランジスタ(pHEMT)デバイスであって良い。エアブリッジ18aが、各トランジスタ16aのソース領域Sに隣接した状態で図示されている。キャパシタ16bの電氣的接続のための他のエアブリッジ18bが供される。本明細書においてはエアブリッジ18a及び18bを追加部品18と呼ぶことにする。追加部品18は、様々な目的-たとえば部品16の電氣的接続、熱伝導、及び/又は構造の補強だがこれらに限定されるわけではない-の部品16の上に存在する任意の適切な部品を指称して良い。

10

【0010】

基板表面14及び電気部品16の上には、第1保護誘電膜22、第2保護誘電膜24、及び第3保護誘電膜26が存在する。以降で詳述するように、第1保護誘電膜22、第2保護誘電膜24、及び第3保護誘電膜26は、様々な有害な電荷捕獲及び不純物-たとえば水蒸気、湿気、微粒子、腐食性材料、及び、ナトリウム、カリウム、又は塩素といったイオン性不純物-から基板12及び部品16と18を保護するように機能することができる。

20

【0011】

回路素子の既知の実装は、電気部品及び基板表面上に直接設けられる誘電層を用いることによって、有害な不純物から電気部品を保護してきた。この誘電層は、シリコン窒化物(Si_3N_4)や二酸化シリコン(SiO_2)といった絶縁材料から形成されてきた。しかしこれらの既知誘電材料は、その水蒸気劣化を防止する能力が概して期待しているものよりも低いことが悩みである。従って、シリコン窒化物材料を使用する際には、環境的に保護されていない状態すなわち非密閉状態で回路素子を適切に保護するため、従来よりも厚い層を堆積することが必要となる。この方法の問題は、材料を従来よりも厚くしているにもかかわらず、回路アセンブリの保護はたいしたものではないことである。それに加えて、従来よりも厚いために、素子の活性領域-たとえばトランジスタのソースS領域、ゲートG領域、及びドレインD領域-間の節間キャパシタンスが増大することで、回路素子の性能に悪影響が生じる。それに加えて、シリコン窒化物又は他の従来の誘電体の膜が従来よりも厚くなる結果、素子の性能を劣化させる素子又は誘電体のクラック、剥離、及び/又は圧電効果を誘起する恐れのある高い応力が発生する。

30

【0012】

水蒸気に対する保護のためにシリコン窒化物を厚くする代わりに、たとえばシリコンカーバイドの化学気相成長(CVD)又はアルミニウム酸化物の堆積後に二酸化シリコン層を堆積する原子層堆積(ALD)といった、材料の第2又は第3保護層を利用する手法も行われてきた。シリコン窒化物の第1層の上部に追加のシリコンカーバイド又はALD保護層を用いることによって、節間キャパシタンスが、下地のシリコン窒化物のキャパシタンスよりもさらに増大することで、素子の性能が劣化する。さらにシリコン窒化物及び/又はシリコンカーバイドは、水蒸気に対する感受性が高いために、依然として長時間にわたって侵襲を受ける恐れがある。

40

【0013】

第1保護誘電膜22が、後続の処理工程において生じうる電荷捕獲及び不純物からゲート領域を保護できることも知られている。従って第1保護誘電膜22は、ゲート製造直前及び/又は直後に堆積される。その結果、後続の製造工程-たとえばエアブリッジ18とRF及びDC導体又は相互接続の作製-は、微粒子、電気化学又は電解腐食による短絡を起こしやすい恐れのある露出した金属線をそのままにしてしまう。そのような露出した金属線が腐食する恐れを解決するために提案された方法は、シリコン窒化物又はシリコンカーバイドの化

50

学気相成長を含む。従来の化学気相成長プロセスに係る一の問題は、誘電体の被覆体に対して見通し堆積(line-of-sight deposition)されることである。従ってエアブリッジ付近の領域は適切にコーティングされず、そのため腐食侵襲を受けやすくなり、かつ水蒸気の存在下で漏れ電流を生じさせてしまう恐れがある。それに加えて、シリコン窒化物及び/又はシリコンカーバイドの第2保護誘電膜も水蒸気劣化の影響を受けやすい。シリコン窒化物層全体にわたる原子層堆積コーティングを用いることによって、3次元表面部位上でコンフォーマリティが供されるが、前述したように、節間キャパシタンスをも増大させて、素子の性能を劣化させてしまう。特定の実施例-たとえば高性能マイクロ波及びミリ波モノリシックマイクロ波集積回路(MMIC)-は、高周波(RF)特性での顕著な減少を許容できない。

10

【0014】

本開示の一の実施例では、既知の誘電材料の水蒸気保護特性よりも優れた不透水性材料を備える誘電膜22と24が供されて良い。特別な実施例では、既知の誘電材料の優れた絶縁破壊特性を備える不透水性材料を実装する誘電膜22と24が供されて良い。つまり従来よりも高い電圧破壊特性を有する材料を用いることによって、同様の電圧破壊特性を実現するのに従来用いられてきたものよりも薄い保護誘電膜22と24の作製が可能となる。これらの特性が与えられると、水蒸気及び他の不純物からの保護を供するため、既知の保護システムよりもはるかに薄い誘電材料膜が、電気部品16、追加部品18、及び基板表面14上に堆積されて良い。

【0015】

一の実施例では、第1保護誘電膜は概して、透湿性が $0.01\text{g}/\text{m}^2/\text{日}$ 、吸湿率が 0.04% 未満、誘電率が10未満、誘電損失が 0.005 未満、絶縁破壊電圧強度が $8 \times 10^6\text{V}/\text{cm}$ よりも大きく、シート抵抗が $10^{15} \cdot \text{cm}$ で、かつ欠陥密度が $0.5/\text{cm}^2$ 未満である、水蒸気に溶けない材料で作られる。特別な実施例では、第1保護誘電膜22はアルミナ(Al_2O_3)である。アルミナは一貫して従来よりも薄い膜で堆積されて良い。アルミナはまた従来よりも高い電圧破壊特性をも有する。他の実施例では、第1保護誘電膜22は他の材料-たとえば高密度シリコン窒化物、酸化タンタル、酸化ベリリウム、及び酸化ハフニウム-で作製されても良い。

20

【0016】

特別な実施例では、第1保護誘電膜22はアルミナで作製され、かつ $50 \sim 2000$ の範囲の厚さを有する。この厚さ範囲では、第1保護誘電膜22は、電気部品16の見かけ上のキャパシタンスに対する不適切な影響を及ぼすことなく、水蒸気から回路素子10の適切な保護を供することができる。一の実施例では、この層の厚さは、様々な実施例に従って構築される多くの回路素子10の再現可能な性能を維持するように、厳密に制御されて良い。

30

【0017】

第2保護誘電膜24は追加部品18を保護するように機能して良い。第2保護誘電膜24を堆積することによって、第1保護誘電膜22によっては保護されなかった追加部品18が保護される。追加部品18がエアブリッジである特別な実施例では、エアブリッジの作製前に第1保護誘電膜22を堆積することで、エアブリッジの作製に続く空気キャピティ20内に閉じこめられる第1保護誘電膜22の厚さ全体にわたって従来よりも厳密に制御される。それに加えて第2保護誘電膜24は、追加処理工程-たとえばダイシング、堀の形成、又は他の素子への相互接続の提供-によって不適切な損傷を受ける恐れのある第1保護誘電膜22の一部を保護することができる。

40

【0018】

第2保護誘電膜24は同一の誘電材料で作られて良いが、実施例によっては、第1保護誘電膜22のところ述べていた誘電材料で作られても良い。また実施例によっては、第2保護誘電膜24はまた、第3保護誘電膜26のところ述べる誘電材料で作られても良い。一の実施例では、第2保護誘電膜24は $50 \sim 2000$ の範囲の厚さを有して良い。他の特別な実施例は図3で詳述される。

【0019】

たとえアルミナが不透水性であるとしても、その表面は高湿度にて化学侵襲を示すもの

50

と思われる。よって第3誘電膜26が供されて良い。第3誘電膜26は、高湿度、長時間の湿度、並びに/又は湿気が凝集及び上記が浸透する状態でも化学的に安定な任意の材料で形成されて良い。一の実施例では、第3誘電膜26は二酸化シリコン(SiO₂)で形成されて良い。他の実施例では、第3誘電膜26はパリレンで形成されて良い。パリレンC、パリレンF(ポリテトラフルオロ-p-キシリレン)、芳香族フッ化VT-4、パリレンHT(登録商標)、又は他のフッ化パリレンのような膜は、水蒸気が第1保護誘電膜22及び/又は第2保護誘電膜24へ到達するのを抑制することが可能で、かつ膜26に用いられても良い。これらの材料は、優れた水蒸気抑制特性を示し、かつ他の種類のパリレンよりも広い温度範囲にわたって機能的に安定した状態を維持できる。これらの材料は高温に曝露されることによる膜の応力を進展させない。これらの材料はまた二酸化シリコンよりも低い誘電率を有する。一の実施例では、第3誘電膜26は約100~1000 の範囲の厚さを有して良い。これらのパリレン材料ではなく、図5の膜156又は158についての後述する特性を示す任意の材料もまた第3誘電膜26に用いられて良い。

10

【0020】

よって回路素子10の保護は、第1保護誘電膜22、第2保護誘電膜24、及び任意の第3誘電膜26によって供されて良い。これらの膜22、24、及び26の各々は、回路素子10の性能に悪影響を及ぼさない十分な程度に薄い一方で、気体、液体、及び固体不純物-水蒸気を含む-からの適切な保護を供することができる。

【0021】

図2は、本開示による回路素子10の一実施例を作製するために実行可能な一連の工程を表している。工程100では、電気的及び環境的保護コーティングシステムを供する方法が初期化される。工程102では、1つ以上の電気部品16が、既知の集積回路作製手法を用いることによって基板表面14上に作製されて良い。工程104では、第1保護誘電膜22が基板表面14及び電気部品16上に堆積されて良い。一の実施例では、第1保護誘電膜22の厚さは約50~2000 の範囲の厚さを有して良い。第1保護誘電膜22は上述した特定の材料を有して良い。

20

【0022】

工程106~110は、回路素子10上に1つ以上の追加部品18を作製する一の方法を供して良い。追加部品18を取り付けるためのコンタクト表面を供するため、第1保護誘電膜22の選択部分が、工程106において回路素子10からエッチングにより除去されて良い。次に工程108では、1つ以上の追加部品18がこれらのコンタクト表面に作製される。続いて第2保護誘電膜24が、工程110において回路素子10上に作製された第1保護誘電膜22及び任意の追加部品18全体にわたって堆積されて良い。一の実施例では、第2保護誘電膜24は50~2000 の範囲の厚さを有して良い。よって第1保護誘電膜22と第2保護誘電膜24を合計した厚さは100~4000 の範囲の厚さを有して良い。

30

【0023】

一の実施例では、結合促進剤が第2保護誘電膜24全体にわたって塗布されることで、工程112における第2保護誘電膜24への第3誘電膜26の結合が改善されて良い。一の実施例では、結合促進剤は -メタクリルオキシプロピルトリメトキシシランと独立して用いられる、又は併用される二酸化シリコン膜であって良い。しかし他の結合促進剤が用いられても良い。続いて工程114では、第3誘電膜26が第2保護誘電膜24に堆積されて良い。一の実施例では、第3誘電膜26の厚さは100~1000 の範囲であって良い。

40

【0024】

工程116では、保護膜を堆積する方法が完了して、回路素子10を使用することができる。工程100~116は、回路素子10の作製方法の一実施例を表している。この実施例では、保護誘電膜22と24が複数の処理工程において堆積される。この方法を用いることによって、空気キャピティ20内部で電気部品16と隣接する第1保護誘電膜22の厚さを容易に制御することが可能となる。たとえばエアブリッジのような追加部品18を作製する前に第1保護誘電膜22を堆積することによって、電気部品16付近での第1保護誘電膜22の厚さは、産業界において既知である様々な堆積手法を用いることによって容易に制御可能である。

50

【 0 0 2 5 】

図3は、本開示の様々な実施例1~5をまとめた表である。これら実施例1~5は既知の保護システムよりも電気的特性及び環境からの保護を改善することが可能である。実施例1~5の各々は、第1誘電膜22、第2誘電膜24、及び/又は第3誘電膜26の形成に用いることが可能な材料（たとえばアルミナ、シリカ、及び/又はパリレンF、芳香族フッ化VT-4、パリレンHT（登録商標）、又は他のフッ化パリレンのような膜）の様々な組合せを表している。

【 0 0 2 6 】

図1のところで述べたように、実施例1~5の第1保護誘電膜22は、透湿性が $0.01\text{g}/\text{m}^2/\text{日}$ 、吸湿率が0.04%未満、誘電率が10未満、誘電損失が0.005未満、絶縁破壊電圧強度が $8 \times 10^6\text{V}/\text{cm}$ よりも大きく、シート抵抗が $10^{15} \text{ } \cdot \text{cm}$ で、かつ欠陥密度が $0.5/\text{cm}^2$ 未満である、水蒸気に溶けない材料で作られて良い。一の特別な実施例では、第1保護誘電膜22はアルミナで作られる。アルミナは、他の既知材料-たとえば標準的なシリコン窒化物や二酸化シリコン-よりも透水性が低く、イオン移動度が低く、かつ電圧破壊強度特性が大きい。第1保護誘電膜22は多数の堆積手法-たとえば物理気相成長(PVD)、化学気相成長(CVD)、及び原子層堆積-によって堆積されて良い。原子層堆積は、従来よりも厚さを厳密に制御し、基板表面14及び部品16と18上で優れたコンフォーマリティを供し、かつ誘電膜堆積中の物理的損傷又は放射線によって誘起される損傷の回避することを可能にするため、利用可能である。

【 0 0 2 7 】

図1のところで述べたように、特定の素子及び/又はアセンブリのパッケージング手法に依存して、保護用の追加誘電膜が追加されて良い。誘電膜22、24、及び26の厚さはまた、素子設計、動作周波数、及び性能の要件の関数であっても良い。図3に図示された実施例1~5は高周波(RF)集積回路向けに特に調整されて良い。高周波(RF)集積回路には疑似格子整合高電子移動度トランジスタ素子(pHEMT)及びヘテロ接合バイポーラトランジスタ(HBT)のようなバイポーラトランジスタが含まれる。一般的には、従来よりも誘電膜の厚さが薄くなることで、たとえば節間キャパシタンスのような誘電膜の堆積効果に関する素子の性能が改善され、集積されたキャパシタの単位面積あたりのキャパシタンスが増大し、それによりキャパシタのサイズが小さくなる。従来よりも誘電膜が厚くなることで、透水性が減少し、かつ、微粒子、物理的に誘起される損傷、イオン性不純物、及び腐食性不純物-固体、液体、気体のいずれか-に対する保護が改善される。図3に図示された誘電膜22、24、及び26の厚さは、節間キャパシタンスの制御と誘電膜の堆積効果の制御が回路の性能にとって重要となる高周波(RF)集積回路向けに特に調整されて良い。材料及び厚さの他の組合せが本開示の教示に従って選ばれても良い。

【 0 0 2 8 】

図3の実施例1はアルミナで作られた第1保護誘電膜22のみを利用する。実施例1は単一の誘電膜の節間キャパシタンスが最小となるため、電気的特性を改善することが可能である一方で、図1のトランジスタ16aのソース領域S、ゲート領域G、及びドレイン領域Dを電気的、物理的、及び環境的に保護する。実施例1はまた、密閉環境及び非密閉環境のいずれにおいても、既知の材料-たとえばシリコン窒化物や二酸化シリコン-よりも改善された電気的特性を供することができる。従来のシリコン窒化物又は二酸化シリコンよりも薄い誘電膜が利用可能であるため、性能を改善させることが可能である。実施例1はまた、温度及び/又は湿度の部分的な制御がシステムレベルで行われることで、長期間での動作中の回路での水の凝集を最小限に抑制若しくは回避し、並びに/又は動作中の回路の高温及び多湿への曝露を最小限に抑制若しくは回避する条件が与えられる環境においても望ましいと考えられる。そのような保護は、除湿装置又は乾燥装置による湿度制御によってシステムレベルで実現可能である。

【 0 0 2 9 】

実施例2はアルミナで作られた第1保護誘電膜22及び第2保護誘電膜24を供する。第2保護誘電膜24は、保護されていない追加部品18-たとえばエアブリッジや厚い金属線-を覆う。

第2保護誘電膜24は第1保護誘電膜22の堆積後に形成されて良い。実施例2はまた、伝導性又は腐食性の固体、液体、若しくは気体材料に対する保護が存在する密閉環境又は湿気が深刻ではない環境においても望ましいと考えられる。

【0030】

実施例3及び4は、上述したシリカ、パリレンF、パリレンHT（登録商標）、又は他のフッ化パリレンのような膜で作製可能な第3誘電膜26を供する。シリカ、パリレンF、パリレンHT（登録商標）、又は他のフッ化パリレンのような膜で作製された第3誘電膜26は、第1保護誘電膜22及び第2保護誘電膜24を破壊して下地の部品16と18を露出させる恐れのある高湿度、長期間の湿度、及び/又は凝集した湿気から、第1保護誘電膜22及び第2保護誘電膜24を保護する。パリレンF又はパリレンHT（登録商標）は、シリカよりも低い誘電率を有するので、電気的特性に対する影響は小さくなると考えられる。ALDで堆積されたシリカのように、パリレンF又はパリレンHT（登録商標）は、気相成長して良く、かつ高いコンフォーマリティで最小の凹部へ入り込むので、エアブリッジや高アスペクト比の凹部を有する他の追加部品18付近で従来よりも均一な厚さとなるように堆積可能となる。パリレンF又はパリレンHT（登録商標）はたとえ結合促進剤を用いても多くの表面と十分に結合できないので、アルミナで作られた第1保護誘電膜22及び第2保護誘電膜24は結合促進剤としても機能しうる。上述したように、結合促進剤は、第3誘電膜26の堆積前に第2保護誘電膜24に塗布されて良い。結合促進剤は、第3誘電膜26の結合を改善する任意の適切な材料であって良い。一の特例実施例では、二酸化シリコン膜は、 α -メタクリルオキシプロピルトリメトキシシランと独立して用いられる、又は併用される。二酸化シリコンは、たとえば α -メタクリルオキシプロピルトリメトキシシランのような結合促進剤と結合するための理想的な表面を供し、かつアルミナやパリレンF又はパリレンHT（登録商標）と十分に結合する。

【0031】

実施例5は図1の第2保護誘電膜24にパリレンF又はパリレンHT（登録商標）を利用している。パリレンF又はパリレンHT（登録商標）は、保護されていない追加部位-たとえば第1保護誘電膜22の後に形成可能なエアブリッジ及び厚い金属線-を覆う。パリレンF又はパリレンHT（登録商標）はまた、水蒸気の凝集による溶解又は侵襲から下地の第1保護誘電膜22をも保護する。パリレンF又はパリレンHT（登録商標）は、シリカ又は他の無機材料と比較して低く、かつ大抵の有機材料よりも低い誘電率を有するという利点を有する。

【0032】

図4A-図4Dは、本開示の教示による回路素子40の作製の様々な段階中の様子を図示する断面図である。回路素子40は概ね図1の回路素子10と類似している。図4Aでは、基板表面44を有する基板42が図示されている。基板表面44には、多数のトランジスタ46aフィンガー(finger)のために設けられるゲート凹部及びゲート金属、キャパシタ46bのために設けられるキャップ底部、並びにレジスタ46cが備えられている。図1のところで述べたように、一の実施例では、トランジスタ46aは疑似格子整合高電子移動度トランジスタ(pHEMT)デバイスであって良い。図4Aの電気部品46と関連する基板42は図2の工程100に従って作製されて良い。

【0033】

図4Bは、第1保護誘電膜50が工程102に従って堆積された図4Aの回路素子40を図示している。明らかなように、各電気部品46は概ね見通し堆積(line-of-sight deposition)に曝露されるので、第1保護誘電膜50を均一な厚さで堆積することが可能となる。つまり電気部品の部位へのアクセスが一般的には追加素子-たとえばエアブリッジ54-によって妨害されない。

【0034】

図4Cは、工程104~108が図3Bの回路素子40上で実行された後の回路素子40を図示している。コンタクト表面52は、追加部品54-たとえばエアブリッジ-を取り付けるため第1保護誘電膜50の一部をエッチングによって除去することによって生成された。エアブリッジは、ソーストランジスタフィンガー46aへの並列接続を生成することで出力を増大させ、か

つキャパシタ46bの上部平面に対する接続を作製するのに用いられて良い。

【0035】

図4Dは、工程110～114に従って基板表面44、電気部品46、及び追加部品54を保護するために第2保護誘電膜56及び第3誘電膜58が堆積された図4Cの回路素子40を図示している。よって、追加部品54を有する回路素子40が有害な不純物から有効に密閉される一方で、回路素子40の特性を犠牲にしないシステム及び方法が供される。

【0036】

図5A及び図5Bは、本開示の教示に係る他の実施例に従って保護可能な回路基板アセンブリ160の一実施例を図示している。回路基板アセンブリ160は一般的に、回路基板161に取り付けられた回路素子140及び複数の独立した電気部品164と170を有する。回路基板アセンブリ160はまた、複数のアセンブリレベルの部位をも有して良い。そのようなアセンブリレベルの部位には、回路素子140と電気部品164及び170との間での電氣的相互接続を供する基板トレース162及びワイヤ相互接続166が含まれる。回路基板アセンブリ160の上には、誘電膜156及び第2保護誘電膜158が設けられている。回路素子140は、回路基板上のアセンブリ前に、素子作製中に堆積された誘電膜150を有する。後述するように、製造のアセンブリ段階中に第2保護誘電膜156及び第3誘電膜158を堆積することによって、回路基板アセンブリ160の回路素子140及び電気部品164と170の保護が製造のアセンブリ段階で供される。

【0037】

回路基板161は、上に多数の独立した電気部品164と170を配置することができる任意の適切な素子であって良い。一般的には、回路基板161は、独立した電気部品164と170を互いに物理的に固定されるように固着する構造中の剛性又は柔軟性の基板であって良い。一の実施例では、回路基板161は概して平坦な形状の外側表面168を有する。独立した電気部品164と170及び回路素子140は、結合剤172-たとえば等方性の伝導性結合剤-を用いることによって、又ははんだによって、外側表面168上に取り付けられて良い。回路基板161はまた、特定の独立した電気部品164と170を相互に接続し、かつ/又は回路素子140に接続する伝導性材料で形成された基板トレース162をも有して良い。回路素子140は、図1の回路素子10及び図4A～図4Dの回路素子40に類似している。

【0038】

独立した電気部品164と170とは、互いに独立して作製される電気部品を指称する。つまり独立した電気部品164又は170の各々は、回路基板アセンブリ160上に配置される他の独立した電気部品とは異なる特定のプロセスに従って、基板上に作製されて良い。独立した電気部品の例には、レジスタ、キャパシタ、インダクタ、ダイオード、トランジスタ等が含まれるが、これらに限定されるわけではない。

【0039】

回路素子140及び独立した電気部品164と170は、所望の効果を発生させるための基板トレース162及び/又は相互接続166を用いることによって、回路基板161上で共に電氣的に結合して良い。回路素子140及び独立した電気部品164と170は、製造のアセンブリレベルの段階で回路基板161上に配置されて良い。回路素子140は、図1の第1保護誘電膜22及び第2保護誘電膜24で述べたように、第1保護誘電膜150及び第2保護誘電膜156でコーティングされて良い。

【0040】

多くの場合において、回路素子140の追加的処理手法は、ウエハレベルでの製造の後が望ましいと考えられる。たとえば回路素子140は、ダイサー又は切り欠き溝を生成可能な他の切断装置を用いることによってウエハから切断されて良い。回路素子140から部品164への相互接続166は、有害な不純物-たとえば前述したようなもの-に対して影響を受けやすいアセンブリレベルで作製されて良い。よって切り欠き溝、素子端部、及び相互接続166において誘電膜の保護がないことで、回路素子140は、水蒸気の侵襲、微粒子又は他の不純物の影響を受けてしまう恐れがある。

【0041】

10

20

30

40

50

回路基板161はまた、非密閉筐体内及び/又は物理的な微粒子を適切に制御できない場所で信頼性を有するように環境に対する保護を行う必要があると考えられる。既知の保護システムは、たとえば $10\mu\text{m}$ (100000)以上の厚さを有するパリレンC、D又はNの従来よりも厚い膜を用いて良い。このパリレンの従来よりも厚い膜は、誘電膜の堆積が回路特性を変化及び/又は劣化させる恐れのあるマイクロ波及びミリ波回路にとっては不十分であると思われる。パリレンC、D、又はNは、高温に十分耐えることができない。高出力素子で生じうる高温に曝露されることで、パリレンC、D、又はNの結晶化度が增大する。結晶化度が增大することで、パリレン膜中及びパリレンと回路基板アセンブリ160との界面での応力が增大する。そのような応力の増大は、性能の故障又は劣化となるパリレンの材料の剥離を引き起こしてしまう恐れがある。

10

【0042】

本開示の一の実施例は、製造のウエハレベルの段階とは対照的に、アセンブリレベルにて第2保護誘電膜156及び/又は第3誘電膜158を堆積する。ウエハレベルのコーティングとアセンブリレベルのコーティングとを組み合わせることによって、アセンブリレベルの部位-たとえば独立した電気部品164と170、回路素子140、基板トレース162、金属相互接続166、切り欠き溝、ダイ端部、及び回路基板アセンブリ部品に対する外部相互接続-たとえばワイヤ又はリボン結合-及び他のアセンブリされた部品-を全て同時にコーティングすることが可能である。さらに本開示の特定の実施例を用いるのに必要な誘電膜の厚さは、多くの場合において、パリレン、シリコン又はウレタンコーティングを用いた既知の保護システムよりも2桁以上薄くて良い。よってこの減少した厚さは特定の実施例における回路の性能の劣化を最小限に抑制することができる。

20

【0043】

一の実施例によると、第2保護誘電膜156及び/又は第3誘電膜158は誘電材料でコーティングされて良い。その誘電材料は、3.5ギガパスカル(GPa)未満の弾性モジュラス、3.0未満の誘電率、0.008未満の誘電損失、 2×10^6 ボルト/センチメートル(MV/cm)を超える破壊電圧強度、及び300 の温度安定性、50 を超える膜中の接続していないピンホールを有し、濡れ角が 45° よりも大きくなる疎水性で、かつ厚さの均一性が30%以下となるように3D構造全体にわたってかつその3D構造の下でコンフォーマルに堆積可能である。この誘電材料は、製造のアセンブリレベルの段階で堆積されることで、回路基板161、基板トレース162、回路素子140、独立した電気部品164と170、及びアセンブリレベルの部位を、環境から保護して良い。この誘電材料は第2保護誘電膜156/又は第3誘電膜158として堆積されて良い。その誘電材料は一般に水蒸気又は液体の水に対して化学的に安定であるので、第1保護誘電膜150及び/又は第2保護誘電膜156が保護される。その誘電材料は、優れた水蒸気抑制特性を有し、かつ上述した他の既知の保護材料よりも広い温度範囲で機能的に安定である。その誘電材料はまた、他の既知の保護材料よりも低い固有誘電率をも有する。一の実施例では、第3誘電膜26は約100~1000 の範囲の厚さを有して良い。一の実施例では、その誘電材料は、パリレンF、芳香族フッ化VT-4、パリレンHT(登録商標)、又は他のフッ化パリレン状膜である。

30

【0044】

この実施例のコーティング材料は、パリレンC、D又はNを用いる既知の保護システムよりもより高い温度に耐えることができるので、温度限界に曝露されても、すぐには劣化しない。(複数の)追加のアセンブリレベルの誘電膜はまた、動作中の素子領域に対する更なる保護をすることができる。第1保護誘電膜150を適切に選ぶことによって、製造のアセンブリレベルにて堆積される第2保護誘電膜156及び/又は第3誘電膜158と一緒にあった、製造のウエハレベルで堆積される厚さは、多くの種類の用途に適合するように調整されて良い。

40

【0045】

それに加えて、アルミナ、酸化タンタル、酸化ベリリウム、酸化ハフニウム、又は高密度シリコン窒化物、及び、これらの材料と二酸化シリコンのナノ積層体で形成される第1保護誘電膜150は、低鉛はんだ組成物の使用に係る固有の問題であるスズウイスカの成長

50

を抑制することができる。ナノ積層体の誘電率は本開示の教示に従ってナノ積層体又は他の適切な材料の厚さを制御することによって調節される。スズウイスカの成長は、水蒸気の存在及び水蒸気によって悪化する恐れのある応力条件に関連する。

【 0 0 4 6 】

図6は、図5A及び図5Bで図示して説明した回路素子140の一の実施例を作製するために実行可能な一連の工程を表している。工程200では、電気的及び環境的保護コーティングシステムを供する方法が初期化される。工程202では、1つ以上の電気部品146が、既知の集積回路作製手法を用いることによって基板表面上に作製されて良い。工程204では、第1保護誘電膜150及び/又は第2保護誘電膜156が基板142及び電気部品146上に堆積されて良い。工程202と工程204は、製造のウエハレベル段階で実行可能な工程を記載している。

10

【 0 0 4 7 】

工程206~214は、製造のアセンブリレベル段階で実行可能な工程を記載している。工程206では、回路素子142は回路基板161に取り付けられて良い。工程208では、1つ以上の独立した電気部品164及び/若しくは170、並びに/又は1つ以上のアセンブリレベルの部位-たとえば相互接続166-が回路基板161上に作製されて良い。それに加えて他の回路部位-たとえば切り欠き溝又はダイ端部-が回路素子140上に作製されても良い。

【 0 0 4 8 】

続いて工程210では、第2保護誘電膜156及び/又は第3誘電膜158が、それぞれ第1保護誘電膜150及び/又は第2保護誘電膜156、及び回路基板アセンブリ160上に作製された任意の独立した電気部品又はアセンブリレベルの部位上に堆積されて良い。一の実施例では、第2保護誘電膜156又は第3誘電膜158は誘電材料で作られて良く、特別な実施例ではパリレンF又はパリレンHT(登録商標)であって良い。第2保護誘電膜156及び/又は第3誘電膜158がパリレンF又はパリレンHT(登録商標)で作られ、かつアルミナで作られた下地層に隣接する一の特別な実施例では、結合促進剤が、第2保護誘電膜156と第3誘電膜158の間に塗布されて良い。他の実施例では、その結合促進剤は、-メタクリルオキシプロピルトリメトキシシランと独立して用いられる膜、又は併用される膜であって良い。

20

【 0 0 4 9 】

工程212では、保護層を堆積する方法が完了して、回路基板アセンブリ160が使用可能となる。

【 0 0 5 0 】

図7は、多数の実施例1a~2cを表している。これらの実施例では、第1保護誘電膜150、第2保護誘電膜156、及び第3誘電膜158の様々な組合せが、製造のウエハレベルとアセンブリレベルで堆積されて良い。実施例1a~2cは、製造のウエハレベル段階で形成される第1保護誘電膜150を利用する。図3のところで述べたように、材料及び第1保護誘電膜150を堆積する方法は図3の実施例1~5と同様である。

30

【 0 0 5 1 】

図7の実施例1a、1b、1c、1d、1eは、アセンブリレベルで堆積される第2保護誘電膜156を有する。従って第2保護誘電膜156は、製造のアセンブリレベルで追加又は修正されるアセンブリレベルの部位を保護する。アセンブリレベルでの追加又は修正が可能なアセンブリレベルの部位の例には、基板142の処理、回路基板部品164と170の追加、及び相互接続166の作製が含まれる。

40

【 0 0 5 2 】

実施例1aはアルミナで作られた第2保護誘電膜156を表す。アセンブリレベルで第2保護誘電膜156を堆積することで、既知の有機誘電体と比較して改善された環境的保護を供することが可能であるため、アセンブリレベルで追加される部品に対する誘電体の堆積効果を最小限に抑制することができる。そのような効果は、動作周波数がマイクロ波及びミリ波周波数にまで増大するにつれて、ますます重要となる。

【 0 0 5 3 】

実施例1bはパリレンF又はパリレンHT(登録商標)で作られた第2保護誘電膜156を利用する。ここで実施例1bは第3誘電膜158を備えていない。この特別な実施例では、第2保護

50

誘電膜156の堆積前に結合促進剤が塗布されて良い。実施例1bは、パリレンF又はパリレンHT（登録商標）の誘電率が低いため、従来と比較して回路基板アセンブリ160の動作に対する電気的影響をほとんど与えない。実施例1cはシリカで作られた第2保護誘電膜156を利用する。ここで実施例1cは第3誘電膜158を備えていない。

【0054】

実施例1dはアルミナで作られた第2保護誘電膜156を利用する。ここで実施例1dはパリレンF又はパリレンHT（登録商標）で作られた第3誘電膜158を備える。前述したように、特に -メタクリルオキシプロピルトリメトキシシランと独立して用いられる、又は併用される二酸化シリコン膜のような結合促進剤と共に用いられるとき、アルミナ膜は回路アセンブリ160及びパリレンF又はパリレンHT（登録商標）に対して従来よりも良好な結合を供する。

10

【0055】

実施例2a、2b、2cは、ウエハレベルで堆積される第1保護誘電膜150及び第2保護誘電膜156、並びに製造のアセンブリレベルで堆積される第3誘電膜158を有する。このプロセスを用いたある特定の実施例は、素子がウエハレベルで電氣的に測定可能であること、及び既知の良好なダイだけがアセンブリレベルで供される、という利点を供することが可能である。

【0056】

本開示の他の実施例は、当技術分野において周知の手法によって堆積された高密度（2.5g/cm³よりも大きい）及び/若しくは低水素含有（15原子%未満）シリコン窒化物又は二酸化シリコン膜を有する。当技術分野において周知の手法には、通常の化学気相成長(CVD)法、電子サイクロトロン共鳴プラズマCVD (ECR PECVD) を含む高密度プラズマCVD法、誘導結合プラズマCVD(ICPECVD)、高密度誘導結合プラズマ化学気相成長(HDICPCVD)法、反応性マグネトロンスパッタリング法、ホットワイヤ化学気相成長法、又は水素を含まない先駆体ガスを用いたPECVDが含まれる。高密度及び/又は低水素含有シリコン窒化物は、高い破壊電圧及び透水に対する耐性を固有に有することができる。従来の化学気相成長法か高密度プラズマ化学気相成長法かの選択は、回路基板アセンブリの素子構造に基づいて良い。シリコン窒化物又は二酸化シリコンで作られるこの初期膜は、当技術分野において、電荷捕獲及び他の表面又は界面の欠陥を減少させるように開発されかつそのような特徴を有するようになった。初期のシリコン窒化物又は二酸化シリコン膜上に堆積される厚い第1保護誘電膜は、上述した性能及び保護の改善という利点を供する。この実施例の例が図8に図示されている。

20

30

【0057】

図8は部品216を図示する拡大図である。この特別な実施例では、部品216は電界効果型トランジスタ(FET)である。部品216は、ソース216s、ゲート216g、及びドレイン216dを有する。ソース216s、ゲート216g、及びドレイン216dは、空気ギャップ217によって互いに隔離されている。優れた特性を実現するため、空気ギャップ217は、シリコン窒化物の保護誘電膜222及び薄い初期膜221が一緒になったゲート凹部及びゲート幾何学構造の設計によって維持される。明らかに、第1保護誘電膜222と薄い初期膜221とを合わせた厚さが空気ギャップ217を維持し、それにより節間キャパシタンスCgs及びCgdを減少させることができる。一の特別な実施例では、この保護膜は、厚さが25~400 の範囲であるシリコン窒化物の薄い膜221、及び厚さが50~2000 の範囲であるアモルファスアルミナの低透水膜222を有する。第1誘電膜222はまた、上述した第1保護誘電膜222と同一の材料で構成されても良い。

40

【0058】

シリコン窒化物は、素子の安定性という点では、マイクロ波素子用の誘電体として従来よりも良好かつ十分な特徴を有するものであることが分かってきた。アルミナはまた、透水性及び破壊電圧という点では、従来よりも良好な誘電体であることを示してきた。本開示で述べた適切な厚さ及び物理的特性を備えたこれらの2つの材料を組み合わせる結果、既知の保護システムよりも改善された保護システムを実現することが可能となる。一の

50

実施例では、シリコン窒化物の薄い膜はナノ積層体と共に用いられて良い。そのナノ積層体は、アルミナと二酸化シリコン、アルミナと、パリレンF、芳香族フッ化VT-4、パリレンHT（登録商標）、若しくは他のフッ化パリレン状膜、又はアルミナとアクリルを交互に積層した層を有する。他の実施例では、そのナノ積層体は、アルミナと気相成長テフロン(PFTE)とアクリル単量体を交互に積層した層を有して良い。

【0059】

シリコン窒化物、二酸化シリコン、及びアルミナは、特に従来よりも低温の条件下において原子層堆積によって堆積されるときに、低い誘電率を有する。低い誘電率によってさらに、節間キャパシタンスが最小限に抑制され、コーティングされた素子とコーティングされない素子との間で性能の変化が生じ、かつ高周波特性が改善される。

10

【0060】

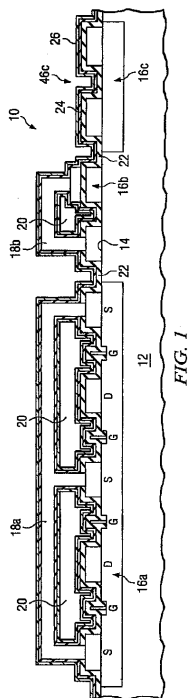
本開示の教示に従って、図1-8に示された材料の代わりに他の材料が用いられても良い。係る用途に適した他の保護誘電材料には、標準的な密度のシリコン窒化物、高密度シリコン窒化物、酸化タンタル、酸化ベリリウム、及び酸化ハフニウムが含まれるが、これらに限定されるわけではない。

【0061】

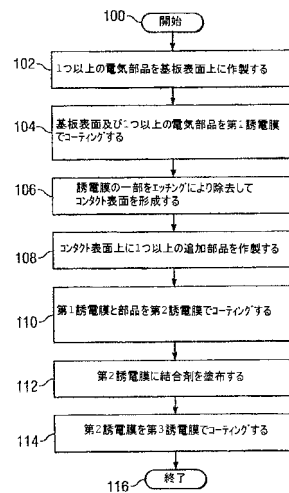
本開示は複数の実施例で記載されているが、当業者には、無数の変化型、変形型、変更型、変換型、及び修正型が示唆され、そして本開示は、係る変化型、変形型、変更型、変換型、及び修正型を、「特許請求の範囲」に記載の請求項の技術的思想及び技術的範囲内として含むものと解される。

20

【図1】



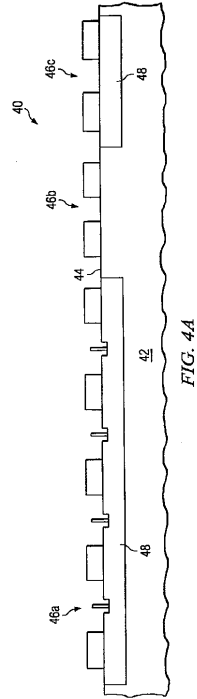
【図2】



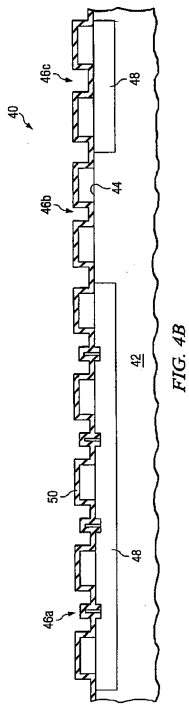
【図 3】

実施例	図1 参考値	ケルヘンでのコートアップロダ			パリン への厚さ A
		7材計の厚さ A	シハの厚さ A		
実施例 1	22	50-2000	0	0	
誘電膜 1	24	0	0	0	
誘電膜 2	26	0	0	0	
実施例 2	22	50-2000	0	0	
誘電膜 1	24	50-2000	0	0	
誘電膜 2	26	0	0	0	
実施例 3	22	50-2000	0	0	
誘電膜 1	24	50-2000	0	0	
誘電膜 2	26	0	0	0	
実施例 4	22	50-2000	0	0	
誘電膜 1	24	50-2000	0	0	
誘電膜 2	26	0	0	200-500	
実施例 5	22	50-2000	0	0	
誘電膜 1	24	50-2000	0	0	
誘電膜 2	26	0	0	50-2000	

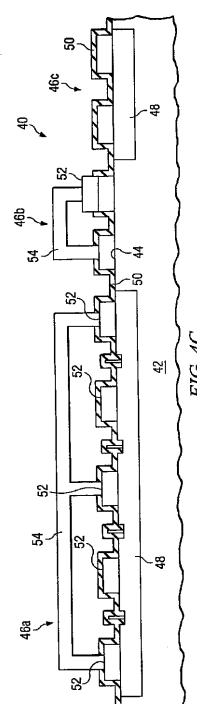
【図 4 A】



【図 4 B】



【図 4 C】



【図4D】

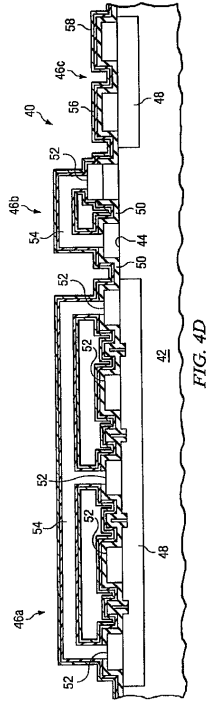
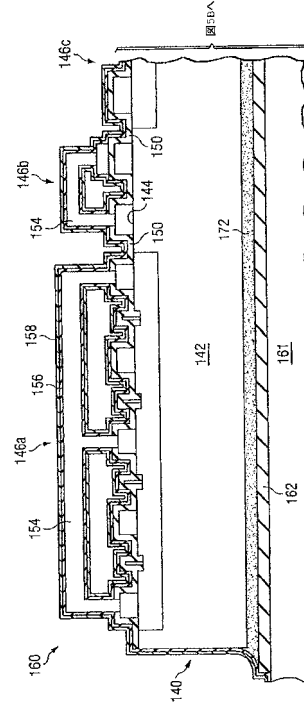


FIG. 4D

【図5A】



【図5B】

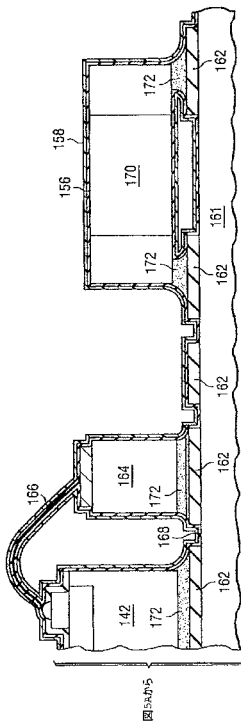
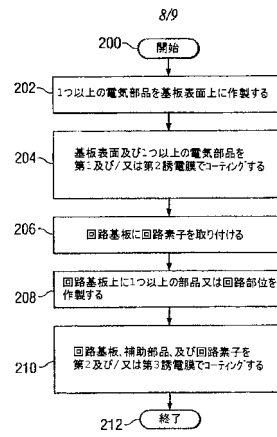


図5Bの5

【図6】



【 図 7 】

ウエハとアセンブリの積層コーティングプロセス							
ウエハレベルでのコーティング				アセンブリレベルでのコーティング			
実施例	図1 参考値	アルミナの 厚さ Å	シリカの厚さ Å	フッ化 ハリレン Å	アルミナの 厚さ Å	シリカの厚さ Å	フッ化 ハリレン Å
実施例 1a							
誘電膜 1	150	50-2000	0	0	0	0	0
誘電膜 2	156		0	0	50-2000	0	0
誘電膜 3	158	0	0	0	0	0	0
実施例 1b							
誘電膜 1	150	50-2000	0	0	0	0	0
誘電膜 2	156		0	0	0	0	50-2000
誘電膜 3	158	0	0	0	0	0	0
実施例 1c							
誘電膜 1	150	50-2000	0	0	0	0	0
誘電膜 2	156		0	0	0	50-2000	0
誘電膜 3	158	0	0	0	0	0	0
実施例 1d							
誘電膜 1	150	50-2000	0	0	0	0	0
誘電膜 2	156	0	0	0	50-2000	0	0
誘電膜 3	158	0	0	0	0	0	50-2000
実施例 1e							
誘電膜 1	150	50-2000	0	0	0	0	0
誘電膜 2	156		0	0	50-2000	0	0
誘電膜 3	158	0	0	0	0	50-2000	0
実施例 2a							
誘電膜 1	150	50-2000		0		0	0
誘電膜 2	156	50-2000	0	0	0	0	0
誘電膜 3	158	0	0	0			50-2000
実施例 2b							
誘電膜 1	150	50-2000	0	0		0	0
誘電膜 2	156	50-2000		0	0	0	0
誘電膜 3	158	0	0	0	50-2000	0	
実施例 2c							
誘電膜 1	150	50-2000	0	0		0	0
誘電膜 2	156	50-2000	0	0	0	0	0
誘電膜 3	158	0	0	0	0	50-2000	

【 図 8 】

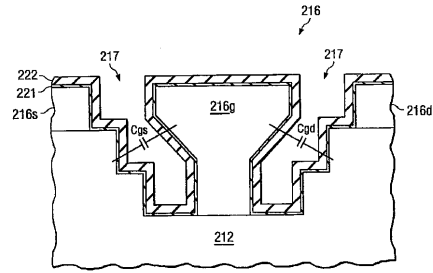


FIG. 8

フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/318	(2006.01)	H 0 1 L	21/312 A
H 0 1 L	21/338	(2006.01)	H 0 1 L	21/312 N
H 0 1 L	29/812	(2006.01)	H 0 1 L	21/318 B
			H 0 1 L	29/80 F

(72)発明者 ムーア, マイケル エイ
 アメリカ合衆国 テキサス州 7 6 1 3 2 フォートワース トリニティー・ランディング・ド
 ライヴ 6 7 1 6

(72)発明者 ハロック, ロバート ビー
 アメリカ合衆国 ニューハンプシャー州 0 3 8 5 8 ニュートン ボンド・ストリート 5 2

(72)発明者 タバタバイエ - アラヴィ, カマル
 アメリカ合衆国 マサチューセッツ州 0 2 0 6 7 シャロン マッサボアグ・アヴェニュー 6
 5 1

(72)発明者 カジオール, トーマス イー
 アメリカ合衆国 マサチューセッツ州 0 1 7 7 6 サドバリー ブラックスミス・ドライブ 3
 4

審査官 小田 浩

(56)参考文献 米国特許第03890636 (US, A)
 特開2001-111007 (JP, A)
 特開平02-307247 (JP, A)
 特開2006-186336 (JP, A)
 特開2005-125764 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 2 1
 H 0 1 L 2 1 / 3 1 2
 H 0 1 L 2 1 / 3 1 6
 H 0 1 L 2 1 / 3 1 8
 H 0 1 L 2 1 / 3 3 8
 H 0 1 L 2 1 / 7 6 8
 H 0 1 L 2 9 / 8 1 2
 H 0 5 K 3 / 2 8