



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0137078
(43) 공개일자 2024년09월19일

(51) 국제특허분류(Int. Cl.)
H01J 37/32 (2006.01) H02M 1/08 (2006.01)
H02M 3/155 (2006.01) H02M 7/537 (2006.01)
H02M 7/5395 (2006.01) H03K 3/57 (2006.01)
(52) CPC특허분류
H01J 37/32082 (2013.01)
H01J 37/32128 (2013.01)
(21) 출원번호 10-2024-7028516
(22) 출원일자(국제) 2022년12월21일
심사청구일자 없음
(85) 번역문제출일자 2024년08월23일
(86) 국제출원번호 PCT/US2022/053709
(87) 국제공개번호 WO 2023/146665
국제공개일자 2023년08월03일
(30) 우선권주장
17/584,992 2022년01월26일 미국(US)

(71) 출원인
에이이에스 글로벌 홀딩스 피티이 리미티드
싱가포르 539775 싱가포르 타이 성 18 넘버05-07
(72) 발명자
싱 마네쉬 쿠마르
미국 80525 콜로라도주 포트 콜린스 307 구즈베리
레인 2409
웅우옌 히옌 민
미국 80503 콜로라도주 롱몬트 켄플라워 서클
3646
(74) 대리인
특허법인코리어나

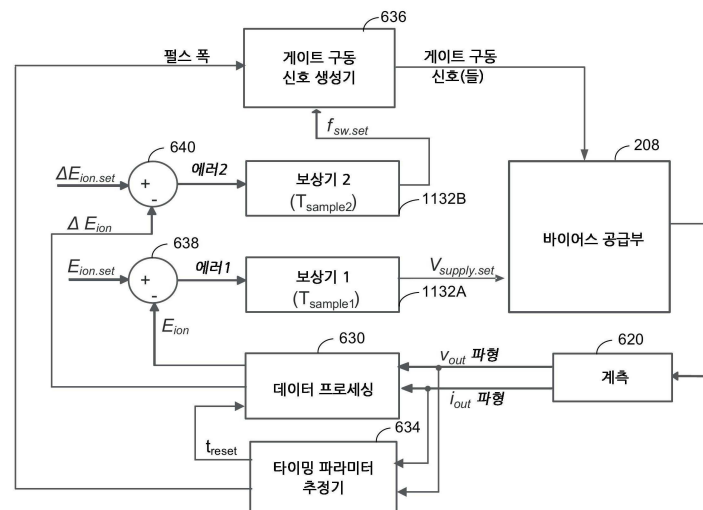
전체 청구항 수 : 총 32 항

(54) 발명의 명칭 바이어스 공급을 위한 능동 스위치 온 타임 제어

(57) 요약

바이어스 공급부들 및 플라즈마 프로세싱 시스템들이 개시된다. 하나의 바이어스 공급부는 출력 노드, 복귀 노드, 출력 노드 및 복귀 노드에 결합된 스위치 네트워크 및 적어도 하나의 전원을 포함한다. 스위치 네트워크 및 적어도 하나의 전원은, 조합하여, 비대칭 주기적 전압 파형을 인가하고 복귀 노드에 대해 출력 노드에서 대응하는 전류 파형을 제공하도록 구성된다. 타이밍 파라미터 추정기는 전압 및 전류 파형들의 전체 사이클의 디지털 표현을 수신하고, 스위치 네트워크를 제어하기 위해 전류 파형이 양의 피크 전류 값으로부터 하강 후 임계 전류 값을 교차하는 교차 시간에 기초하여 펄스 폭 제어 신호를 생성한다.

대표도



(52) CPC특허분류

H01J 37/32146 (2013.01)

H01J 37/32174 (2013.01)

H01J 37/32706 (2013.01)

H02M 1/08 (2013.01)

H02M 3/155 (2013.01)

H02M 7/537 (2013.01)

H02M 7/5395 (2013.01)

H03K 3/57 (2013.01)

명세서

청구범위

청구항 1

주기적 전압을 인가하기 위한 바이어스 공급부로서,

출력 노드;

복귀 노드;

상기 출력 노드 및 상기 복귀 노드에 결합된 스위치 네트워크 및 적어도 하나의 전원으로서, 상기 스위치 네트워크와 상기 적어도 하나의 전원은, 조합하여, 상기 복귀 노드에 대한 상기 출력 노드에서 비대칭 주기적 전압 파형 및 대응하는 전류 파형을 인가하도록 구성되는, 상기 스위치 네트워크와 상기 적어도 하나의 전원;

상기 비대칭 주기적 전압 파형 및 상기 전류 파형의 전체 사이클의 디지털 표현을 수신하고, 상기 전류 파형이 양의 피크 전류 값으로부터 하강 후에 임계 전류 값을 교차하는 제1 교차 시간에 기초하여 펄스 폭 제어 신호를 생성하도록 구성된 타이밍 파라미터 추정기; 및

상기 타이밍 파라미터 추정기로부터 수신된 상기 펄스 폭 제어 신호에 응답하여, 상기 스위치 네트워크의 적어도 하나의 스위치에 게이트 구동 신호를 제공하여 상기 복귀 노드에 대한 상기 출력 노드로의 상기 비대칭 주기적 전압 파형 및 상기 전류 파형의 인가를 제어하도록 구성된 게이트 구동 신호 생성기를 포함하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 2

제1항에 있어서,

상기 스위치 네트워크는 단일 스위치를 포함하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 3

제2항에 있어서,

상기 타이밍 파라미터 추정기는 상기 전류 파형이 상기 임계 전류 값을 교차하는 제1 교차 시간이 될 최소 펄스 폭을 결정하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 4

제3항에 있어서,

상기 타이밍 파라미터 추정기는:

상기 전류 파형이 음의 피크 전류 값으로부터 상승 후에 임계 값을 교차하는 제2 교차 시간을 결정하고;

상기 제1 교차 시간과 상기 제2 교차 시간 사이의 중간에 있을 최대 펄스 폭을 결정하고; 및

상기 펄스 폭 제어 신호가 상기 최소 펄스 폭과 상기 최대 펄스 폭 사이에 있도록 제어하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 5

제4항에 있어서,

상기 바이어스 공급부는 1개 전원 또는 2개 전원을 구비하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 6

제4항에 있어서,

상기 적어도 하나의 전원 내에 직렬로 있는 인덕터를 더 포함하여 보상 전류가 상기 인덕터를 통해 흐르도록 하

며, 상기 임계 전류 값은 상기 보상 전류로부터 결정되는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 7

제6항에 있어서,

상기 타이밍 파라미터 추정기는:

상기 보상 전류가 직접 이용 가능한 경우 임계 전류 값을 상기 보상 전류의 음의 백분율로 결정하고;

상기 보상 전류가 직접 이용 가능하지 않은 경우, 상기 보상 전류를 상기 제2 교차 시간으로부터 사이클의 종료까지 상기 전류 파형의 음의 평균 값으로 결정하고, 상기 임계 전류 값을 결정된 상기 보상 전류의 음의 백분율로 결정하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 8

제3항에 있어서,

상기 타이밍 파라미터 추정기는,

최대 펄스 폭을 상기 전압 파형이 양의 피크 전압 값으로부터 강하 후 임계 전압 값을 교차하는 전압 임계 교차 시간으로 결정하고; 및

상기 펄스 폭 제어 신호를 상기 최소 펄스 폭과 상기 최대 펄스 폭 사이에 있도록 제어하도록 구성되는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 9

제8항에 있어서,

상기 바이어스 공급부는 전압(V_{supply})을 갖는 단일 전원을 포함하고;

상기 타이밍 파라미터 추정기는 상기 비대칭 주기적 전압 파형이 AC-결합된 경우 상기 임계 전압 값을 V_{supply} 으로 결정하고; 및

상기 타이밍 파라미터 추정기는 상기 비대칭 주기적 전압 파형이 DC-결합된 경우 상기 임계 전압값을 0으로 결정하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 10

제8항에 있어서,

상기 바이어스 공급부는 전압 V_{supply} 을 갖는 제1 전원 및 전압 V_{rail} 을 갖는 제2 전원을 포함하고;

상기 타이밍 파라미터 추정기는, 상기 비대칭 주기적 전압 파형이 AC-결합된 경우 상기 임계 전압 값을 V_{supply} 및 V_{rail} 의 합인 것으로 결정하도록 구성되고;

상기 타이밍 파라미터 추정기는 상기 비대칭 주기적 전압 파형이 DC-결합된 경우 상기 임계 전압 값을 V_{rail} 로 결정하도록 구성되는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 11

제3항에 있어서,

상기 타이밍 파라미터 추정기는,

상기 전류 파형이 음의 피크 전류 값으로부터 상승 후에 임계 값을 교차하는 제2 교차 시간을 결정하고;

최대 펄스 폭을 상기 제2 교차 시간으로 결정하고; 및

상기 펄스 폭 제어 신호를 상기 최소 펄스 폭과 상기 최대 펄스 폭 사이에 있도록 제어하도록 구성되는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 12

제11항에 있어서,

상기 바이어스 공급부는 단일 전원을 갖는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 13

제1항에 있어서,

상기 스위치 네트워크는 2개의 스위치를 포함하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 14

제13항에 있어서,

상기 전류 파형은 시간 t_0 에서 양의 피크 전류 값으로 상승하고; 상기 양의 피크 전류 값으로부터 하강하여 제1 임계 전류 교차 시간에서 제1 임계 전류 값을 교차하고; 상기 제1 임계 전류 교차 시간으로부터 시간 t_2 까지의 데드타임 동안 비교적 평평한 프로파일을 갖고; 시간 t_2 에서 음의 피크 전류 값으로 하강하기 시작하고; 및 상기 음의 피크 전류 값으로부터 상승하여 제2 임계 전류 교차 시간에서 제2 임계 전류 값을 교차하고; 및

상기 타이밍 파라미터 추정기는, 상기 스위치 네트워크의 제1 스위치를 제어하기 위한 최소 제1 펄스 폭을 상기 제1 임계 전류 교차 시간으로 결정하고, 상기 제1 스위치를 제어하기 위한 제1 펄스 폭 제어 신호를 적어도 상기 최소 제1 펄스 폭에 소정의 마진을 더한 값으로 제어하도록 구성되는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 15

제14항에 있어서,

상기 타이밍 파라미터 추정기는 상기 시간 t_2 를 상기 제1 펄스 폭에 상기 데드타임을 더한 값이 되도록 제어하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 16

제15항에 있어서,

상기 타이밍 파라미터 추정기는,

상기 스위치 네트워크의 제2 스위치를 제어하기 위한 최소 펄스 폭을 상기 제2 임계 전류 교차 시간에서 상기 시간 t_2 를 뺀 값으로 결정하고; 및

상기 제2 스위치를 제어하기 위한 제2 펄스 폭 제어 신호를 상기 최소 펄스 폭에 상기 소정의 마진을 더한 값이 되도록 제어하도록 구성되는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 17

제16항에 있어서,

상기 타이밍 파라미터 추정기는,

보상 전류가 직접 이용 가능한 경우, 상기 제1 임계 전류 값을 상기 보상 전류의 제1 음의 백분율로 결정하고 상기 제2 임계 전류 값을 상기 보상 전류의 제2 음의 백분율로 결정하고; 및

상기 보상 전류를 직접 이용할 수 없는 경우, 제2 교차 시간부터 상기 사이클의 종료까지 상기 전류 파형의 음의 평균 값으로 상기 보상 전류를 결정하고, 결정된 상기 보상 전류의 제1 음의 백분율로 상기 제1 임계 전류 값을 결정하고, 상기 결정된 보상 전류의 제2 음의 백분율로 상기 제2 임계 전류 값을 결정하도록 구성되는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 18

제17항에 있어서,

상기 바이어스 공급부는 1개의 전원 또는 2개의 전원을 갖는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 19

주기적 전압을 인가하는 방법으로서,

비대칭 주기적 전압 파형을 인가하고 바이어스 공급부의 복귀 노드에 대해 출력 노드에서 대응하는 전류 파형을 제공하는 단계;

상기 비대칭 주기적 전압 파형 및 상기 전류 파형의 전체 사이클의 디지털 표현을 수신하고, 상기 전류 파형이 양의 피크 전류 값으로부터 하강 후에 임계 전류 값을 교차하는 제1 교차 시간에 기초하여 펄스 폭 제어 신호를 생성하는 단계; 및

상기 바이어스 공급부의 상기 복귀 노드에 대한 상기 출력 노드로의 상기 비대칭 주기적 전압 파형 및 상기 전류 파형의 인가를 제어하기 위해, 상기 펄스 폭 제어 신호에 응답하여, 스위치 네트워크의 적어도 하나의 스위치에 게이트 구동 신호를 제공하는 단계를 포함하는, 주기적 전압을 인가하는 방법.

청구항 20

제19항에 있어서,

상기 전류 파형이 상기 임계 전류 값을 교차하는 상기 제1 교차 시간이 되도록 최소 펄스 폭을 결정하는 단계를 더 포함하는, 주기적 전압을 인가하는 방법.

청구항 21

제 20 항에 있어서,

상기 방법은,

음의 피크 전류 값으로부터 상승 후에 상기 전류 파형이 임계 값을 교차하는 제2 교차 시간을 결정하는 단계;

상기 제1 교차 시간과 상기 제2 교차 시간 사이의 중간이 되도록 최대 펄스 폭을 결정하는 단계; 및

상기 펄스 폭 제어 신호가 상기 최소 펄스 폭과 상기 최대 펄스 폭 사이에 있도록 제어하는 단계를 더 포함하는, 주기적 전압을 인가하는 방법.

청구항 22

제 20 항에 있어서,

상기 방법은,

최대 펄스 폭을, 상기 전압 파형이 양의 피크 전압 값으로부터 강하 후 임계 전압 값을 교차하는 전압 임계 교차 시간으로 결정하는 단계; 및

상기 펄스 폭 제어 신호가 상기 최소 펄스 폭과 상기 최대 펄스 폭 사이에 있도록 제어하는 단계를 더 포함하는, 주기적 전압을 인가하는 방법.

청구항 23

제 20 항에 있어서,

상기 방법은,

음의 피크 전류 값으로부터 상승 후에 상기 전류 파형이 임계 값을 교차하는 제2 교차 시간을 결정하는 단계;

최대 펄스 폭을 상기 제2 교차 시간으로 결정하는 단계; 및

상기 펄스 폭 제어 신호가 상기 최소 펄스 폭과 상기 최대 펄스 폭 사이에 있도록 제어하는 단계를 더 포함하는, 주기적 전압을 인가하는 방법.

청구항 24

제20항에 있어서,

상기 전류 파형은 시간 t_0 에서 양의 피크 전류 값으로 상승하고; 상기 양의 피크 전류 값으로부터 하강하여 제1 임계 전류 교차 시간에서 제1 임계 전류 값을 교차하고; 상기 제1 임계 전류 교차 시간으로부터 시간 t_2 까지의 데드타임 동안 비교적 평평한 프로파일을 갖고; 시간 t_2 에서 음의 피크 전류 값으로 하강하기 시작하고; 및 상기 음의 피크 전류 값으로부터 상승하여 제2 임계 전류 교차 시간에서 제2 임계 전류 값을 교차하고; 상기 방법은:

상기 스위치 네트워크의 제1 스위치를 제어하기 위한 최소 제1 펄스 폭을 상기 제1 임계 전류 교차 시간으로 결정하고, 상기 제1 스위치를 제어하기 위한 제1 펄스 폭 제어 신호를 상기 최소 제1 펄스 폭에 소정의 마진을 더한 값 이상이 되도록 제어하는 단계를 더 포함하는, 주기적 전압을 인가하는 방법.

청구항 25

제 24 항에 있어서,

상기 방법은,

상기 스위치 네트워크의 제2 스위치를 제어하기 위한 최소 펄스를 상기 제2 임계 전류 교차 시간에서 시간 t_2 를 뺀 시간으로 결정하는 단계; 및

상기 제2 스위치를 제어하기 위한 제2 펄스 폭을 상기 최소 펄스 폭에 상기 소정의 마진을 더한 값이 되도록 제어하는 단계를 더 포함하는, 주기적 전압을 인가하는 방법.

청구항 26

주기적 전압을 인가하기 위한 바이어스 공급부로서,

출력 노드;

복귀 노드;

상기 출력 노드 및 상기 복귀 노드에 결합된 스위치 네트워크 및 적어도 하나의 전원으로서, 상기 스위치 네트워크 및 상기 적어도 하나의 전원은, 조합하여, 상기 복귀 노드에 대해 상기 출력 노드에서 비대칭 주기적 전압 파형 및 대응하는 전류 파형을 인가하도록 구성되는, 상기 스위치 네트워크 및 상기 적어도 하나의 전원;

프로세서 및 비휘발성 메모리로서, 상기 비휘발성 메모리는 비일시적인 프로세서 실행가능 명령들을 포함하고, 상기 명령들은,

상기 비대칭 주기적 전압 파형 및 상기 전류 파형의 전체 사이클의 디지털 표현을 수신하고;

상기 전류 파형이 양의 피크 전류 값으로부터 하강 후 임계 전류 값을 교차하는 제1 교차 시간에 기초하여 펄스 폭 제어 신호를 생성하는 명령들을 포함하는, 상기 프로세서 및 상기 비휘발성 메모리; 및

게이트 구동 신호 생성기로서, 상기 펄스 폭 제어 신호에 응답하여, 상기 스위치 네트워크의 적어도 하나의 스위치에 게이트 구동 신호를 제공하여 상기 복귀 노드에 대한 상기 출력 노드로의 상기 비대칭 주기적 전압 파형 및 상기 전류 파형의 인가를 제어하도록 구성되는, 상기 게이트 구동 신호 생성기를 포함하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 27

제 26 항에 있어서,

상기 명령들은, 상기 전류 파형이 상기 임계 전류 값을 교차하는 상기 제 1 교차 시간이 되도록 최소 펄스 폭을 결정하기 위한 명령들을 포함하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 28

제 27 항에 있어서,

상기 명령들은,

음의 피크 전류 값으로부터 상승 후에 상기 전류 파형이 임계 값을 교차하는 제2 교차 시간을 결정하고;

상기 제1 교차 시간과 상기 제2 교차 시간 사이의 중간이 되도록 최대 펄스 폭을 결정하며; 및

상기 펄스 폭 제어 신호가 상기 최소 펄스 폭과 상기 최대 펄스 폭 사이에 있도록 제어하기 위한 명령들을 포함하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 29

제 27 항에 있어서,

상기 명령들은,

최대 펄스 폭을, 상기 전압 파형이 양의 피크 전압 값으로부터 강하 후 임계 전압 값을 교차하는 전압 임계 교차 시간으로 결정하고; 및

상기 펄스 폭 제어 신호가 상기 최소 펄스 폭과 상기 최대 펄스 폭 사이에 있도록 제어하기 위한 명령들을 포함하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 30

제 27 항에 있어서,

상기 명령들은,

음의 피크 전류 값으로부터 상승 후에 상기 전류 파형이 임계 값을 교차하는 제2 교차 시간을 결정하고;

최대 펄스 폭을 상기 제2 교차 시간으로 결정하며; 및

상기 펄스 폭 제어 신호가 상기 최소 펄스 폭과 상기 최대 펄스 폭 사이에 있도록 제어하기 위한 명령들을 포함하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 31

제27항에 있어서,

상기 전류 파형은 시간 t_0 에서 양의 피크 전류 값으로 상승하고; 상기 양의 피크 전류 값으로부터 하강하여 제1 임계 전류 교차 시간에서 제1 임계 전류 값을 교차하고; 상기 제1 임계 전류 교차 시간으로부터 시간 t_2 까지의 데드타임 동안 비교적 평평한 프로파일을 갖고; 시간 t_2 에서 음의 피크 전류 값으로 하강하기 시작하고; 및 상기 음의 피크 전류 값으로부터 상승하여 제2 임계 전류 교차 시간에서 제2 임계 전류 값을 교차하고, 상기 명령들은:

상기 스위치 네트워크의 제1 스위치를 제어하기 위한 최소 제1 펄스 폭을 상기 제1 임계 전류 교차 시간으로 결정하고, 상기 제1 스위치를 제어하기 위한 제1 펄스 폭 제어 신호를 상기 최소 제1 펄스 폭에 소정의 마진을 더한 값 이상이 되도록 제어하기 위한 명령들을 포함하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

청구항 32

제 31 항에 있어서,

상기 명령들은,

상기 스위치 네트워크의 제2 스위치를 제어하기 위한 최소 펄스를 상기 제2 임계 전류 교차 시간에서 시간 t_2 를 뺀 시간으로 결정하고; 및

상기 제2 스위치를 제어하기 위한 제2 펄스 폭을 상기 최소 펄스 폭에 상기 소정의 마진을 더한 값이 되도록 제어하기 위한 명령들을 포함하는, 주기적 전압을 인가하기 위한 바이어스 공급부.

발명의 설명

기술 분야

[0001] 본 발명은 일반적으로 전력 공급부들에 관한 것으로서, 더 상세하게는, 플라즈마 프로세싱용 전압을 인가하기 위한 전력 공급부들에 관한 것이다.

배경 기술

[0002] 다수의 타입들의 반도체 디바이스들이 플라즈마 기반 에칭 기법들을 사용하여 제조된다. 그 디바이스가 에칭되는 전도체이면, 접지에 대한 음의 전압이 전도성 기판에 인가되어 기판 전도체의 표면에 걸쳐 실질적으로 균일한 음의 전압을 생성할 수도 있으며, 이는 전도체를 향해 양으로 하전된 이온들을 끌어당기고, 결과적으로, 전도체에 영향을 미치는 양이온들은 실질적으로 동일한 에너지를 갖는다.

[0003] 하지만, 기판이 유전체이면, 기판의 표면에 걸쳐 전압을 배치하는데 비가변 전압은 비효율적이다. 그러나, 교류 (AC) 전압 (예컨대, 고 주파수 AC 또는 무선 주파수 (RF)) 이 전도성 플레이트 (또는 척) 에 인가될 수도 있어서, AC 필드가 기판의 표면 상에 전압을 유도한다. 인가된 파형의 음의 부분 동안, 기판 표면은 음전하를 띠게 되며, 이로 인해 AC 사이클의 음의 부분 동안 음전하를 띤 표면 쪽으로 이온들이 끌려오게 된다. 그리고 이온이 기판 표면에 충돌하면 그 충격으로 인해 기판 표면에서 물질이 떨어져 나가며 에칭이 이루어진다.

[0004] 많은 경우, 좁은 (또는 특정하게 조정 가능한) 이온 에너지 분포를 갖는 것이 바람직하지만, 기판에 사인과 파형을 인가하면 넓은 이온 에너지 분포가 유도되고, 이는 플라즈마 프로세스가 원하는 에칭 프로파일을 수행하는 능력을 제한하게 된다. 좁은(또는 특정하게 조정 가능한) 이온 에너지 분포를 달성하기 위한 공지된 기술은 고가이고, 비효율적이며, 제어하기 어렵고, 및/또는 플라즈마 밀도에 악영향을 미칠 수 있다. 그 결과, 이러한 공지 기술들 중 다수는 상업적으로 채택되지 않고 있다.. 이에 따라, 현재 기술의 단점들을 해결하고 다른 새롭고 혁신적인 특징들을 제공하기 위한 시스템 및 방법이 필요하다.

발명의 내용

[0005] 개요

[0006] 일 양태는 주기적 전압을 인가하는 바이어스 공급부로서 특징지어질 수 있다. 이 바이어스 공급부는 출력 노드 및 복귀 노드에 결합된 적어도 하나의 전원 및 스위치 네트워크를 포함한다. 스위치 네트워크 및 적어도 하나의 전원은, 조합하여, 비대칭 주기적 전압 파형을 및 복귀 노드에 대한 출력 노드에서 대응하는 전류 파형을 인가하도록 구성된다. 타이밍 파라미터 추정기는 비대칭 주기적 전압 파형 및 전류 파형의 전체 사이클의 디지털 표현을 수신하고, 전류 파형이 양의 피크 전류 값으로부터 하강 후 임계 전류 값과 교차하는 제1 교차 시간에 기초하여 펄스 폭 제어 신호를 생성하도록 구성된다. 게이트 구동 신호 생성기는, 타이밍 파라미터 추정기로부터 수신된 펄스 폭 제어 신호에 응답하여, 스위치 네트워크의 적어도 하나의 스위치에 게이트 구동 신호를 제공하여 복귀 노드에 대한 출력 노드로의 비대칭 주기적 전압 파형 및 전류 파형의 인가를 제어하도록 구성된다.

[0007] 또 다른 양태는 주기적 전압을 인가하기 위한 방법으로서 특징지어질 수 있다. 이 방법은 비대칭 주기적 전압 파형을 인가하는 단계 및 바이어스 공급부의 복귀 노드에 대한 출력 노드에서 대응하는 전류 파형을 제공하는 단계를 포함한다. 비대칭 주기적 전압 파형 및 전류 파형의 디지털 표현들이 수신되고, 펄스 폭 제어 신호는 전류 파형이 양의 피크 전류 값으로부터 하강 후에 임계 전류 값과 교차하는 제1 교차 시간에 기초하여 생성된다. 게이트 구동 신호는, 펄스 폭 제어 신호에 응답하여, 비대칭 주기적 전압 파형의 인가를 제어하기 위해 스위치 네트워크의 적어도 하나의 스위치에 제공된다.

[0008] 본 명세서에 개시된 다른 양태는 출력 노드, 복귀 노드, 및 비대칭 주기적 전압 파형 및 복귀 노드에 대한 출력 노드에서의 대응하는 전류 파형을 인가하기 위한 수단을 포함하는 주기적 전압을 인가하기 위한 바이어스 공급부이다. 바이어스 공급부는 또한 프로세서 및 비휘발성 메모리를 포함하고, 비휘발성 메모리는 비-일시적인 프로세서 실행가능 명령들을 포함하고, 이 명령들은, 비대칭 주기적 전압 파형 및 전류 파형의 전체 사이클의 디지털 표현을 수신하고, 그리고 전류 파형이 양의 피크 전류 값으로부터 하강 후 임계 전류 값과 교차하는 제1 교차 시간에 기초하여 펄스 폭 제어 신호를 생성하기 위한 명령들을 포함한다. 또한, 바이어스 공급부는 타이밍 파라미터 추정기로부터 수신된 펄스 폭 제어 신호에 응답하여, 스위치 네트워크의 적어도 하나의 스위치에 게이트 구동 신호를 제공하여 복귀 노드에 대한 출력 노드로의 비대칭 주기적 전압 파형 및 전류 파형의 인가를

제어하도록 구성된 게이트 구동 신호 생성기를 포함한다.

도면의 간단한 설명

[0009]

도 1 은, 본 명세서에서 개시된 바이어스 공급부들이 활용될 수도 있는 예시적인 플라즈마 프로세싱 환경을 도시한 블록도이다.

도 2 는 예시적인 바이어스 공급부를 도시한 개략도이다.

도 3 은 플라즈마 프로세싱 챔버의 양태들을 전기적으로 나타낸 개략도이다.

도 4은 바이어스 공급부의 샘플링, 리드백, 및 제어의 양태들을 도시하는 블록도이다.

도 5는 2개의 전원들을 갖는 바이어스 공급부를 위한 제어 시스템을 도시하는 블록도이다.

도 6은 1개의 전원을 갖는 바이어스 공급부를 위한 제어 시스템을 도시하는 블록도이다.

도 7a는 1개의 전원 구성을 갖는 바이어스 공급부에서 구현될 수 있는 1-스위치 네트워크의 예를 도시하는 개략도이다.

도 7b는 1개의 전원 구성을 갖는 바이어스 공급부에서 구현될 수 있는 1-스위치 네트워크의 다른 예를 도시하는 개략도이다.

도 8은 2개의 전원 구성을 갖는 바이어스 공급부에서 구현될 수 있는 1-스위치 네트워크의 예를 도시하는 개략도이다.

도 9는 단일 스위치를 포함하는 바이어스 공급부의 양태들을 예시하는 그래프들 및 타이밍도를 도시한다.

도 10은 하나의 스위치를 갖는 바이어스 공급기들의 구현들과 연관된 비대칭 주기적 출력 전압 및 전류 파형들의 하나의 사이클의 완전한 디지털 표현들을 도시한다.

도 11은 1-스위치 네트워크 및 1개 또는 2개의 전원들을 갖는 바이어스 공급부들과 함께 수행될 수 있는 게이트 구동 펄스 폭 및 리셋 시간을 설정하기 위한 방법을 도시하는 흐름도이다.

도 12는 1-스위치 네트워크 및 1개 또는 2개의 전원들을 갖는 바이어스 공급부들과 함께 수행될 수 있는 게이트 구동 펄스 폭 및 리셋 시간을 설정하기 위한 다른 방법을 도시하는 흐름도이다.

도 13은 1-스위치 네트워크 및 1개의 전원을 갖는 바이어스 공급부들과 함께 수행될 수 있는 게이트 구동 펄스 폭 및 리셋 시간을 설정하기 위한 방법을 도시하는 흐름도이다.

도 14는 1-스위치 네트워크를 갖는 바이어스 공급부들과 함께 임계 전류 값을 계산하기 위한 방법을 도시하는 흐름도이다.

도 15는 하나의 스위치, 하나의 전원 구성을 갖는 바이어스 공급부들과 함께 임계 전압 값을 계산하기 위한 방법을 도시하는 흐름도이다.

도 16은 하나의 스위치, 2개의 전원 구성을 갖는 바이어스 공급부들과 함께 임계 전압 값을 계산하기 위한 방법을 도시하는 흐름도이다.

도 17은 1개의 전원 구성을 갖는 바이어스 공급부에서 구현될 수 있는 2-스위치 네트워크의 예를 도시하는 개략도이다.

도 18 은 2 개의 전원 구성을 갖는 바이어스 공급부에서 구현될 수 있는 2-스위치 네트워크의 일 예를 도시하는 개략도이다.

도 19 는 2 개의 스위치들을 포함하는 바이어스 공급부의 양태들을 예시하는 그래프들 및 타이밍도를 도시한다.

도 20은 2개의 스위치들을 갖는 바이어스 공급부들의 구현들과 연관된 비대칭 주기적 출력 전압 및 전류 파형들의 하나의 사이클의 완전한 디지털 표현들을 도시한다.

도 21은 2-스위치 네트워크를 갖는 바이어스 공급부들과 함께 수행될 수도 있는 게이트 구동 펄스 폭들 및 리셋 시간을 설정하기 위한 방법을 도시하는 흐름도이다.

도 22는 2-스위치 네트워크를 갖는 바이어스 공급부들과 함께 임계 전류 값들을 계산하기 위한 방법을 도시하는

흐름도이다.

도 23 은 본 명세서에서 개시된 제어 양태들을 구현하기 위해 활용될 수도 있는 컴포넌트들을 도시한 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 여기서 사용된 '예시적인'이라는 단어는 '예시, 사례 또는 설명으로서 역할을 하는'이라는 의미이다. "예시적인" 것으로서 본 명세서에서 설명된 임의의 실시 형태는 반드시 다른 실시형태들에 비해 유리하거나 선호되는 것으로서 해석될 필요는 없다.
- [0011] 예비적 주의: 다음의 도면들에서의 플로우차트들 및 블록 다이어그램들은 다양한 실시형태들에 따른 시스템들, 방법들 및 컴퓨터 프로그램 제품들의 가능한 구현들의 아키텍처, 기능, 및 동작을 예시한다. 이와 관련하여, 이들 플로우차트들 또는 블록도들에서의 일부 블록들은, 명시된 논리 기능(들)을 구현하기 위한 하나 이상의 실행가능 명령들을 포함하는 모듈, 세그먼트, 또는 코드 부분을 나타낼 수도 있다. 일부 대안적인 구현들에 있어서, 블록에서 언급된 기능들은 도면들에서 언급된 순서에서 벗어나 발생할 수도 있음은 또한 물론이다. 예를 들어, 관련된 기능에 따라서, 연속적으로 도시된 2개의 블록들은, 사실, 실질적으로 동시에 실행될 수도 있거나, 또는 그 블록들은 때때로 역순으로 실행될 수도 있다. 블록도들 및/또는 플로우차트 설명들의 각각의 블록, 및 그 블록도들 및/또는 플로우차트 예시들에서의 블록들의 조합들은 명시된 기능들 또는 동작들을 수행하는 특수 목적 하드웨어 기반 시스템들, 또는 특수 목적 하드웨어 및 컴퓨터 명령들의 조합들에 의해 구현될 수 있음은 또한 물론이다.
- [0012] 본 개시의 목적들을 위해, 소스 생성기들은 그 에너지가 주로 플라스마를 생성 및 유지하는 데 집중되는 것들인 반면, "바이어스 공급부들" 은, 그 에너지가 주로 플라스마로부터 이온들 및 전자들을 끌어당기기 위한 표면 전위를 생성하는 데 집중되는 것들이다.
- [0013] 플라스마 프로세싱 챔버 내의 기관 지지부에 주기적 전압 함수를 인가하기 위해 사용될 수도 있는 바이어스 공급부들의 제어 양태들이 본 명세서에 설명된다. 먼저, 도 1 을 참조하면, 바이어스 공급부들이 활용될 수도 있는 예시적인 플라스마 프로세싱 환경 (예컨대, 퇴적 또는 에칭 시스템) 이 도시된다. 플라스마 프로세싱 환경은 플라스마 프로세싱 챔버 (101)에 직접적으로 그리고 간접적으로 결합된 많은 장비요소들을 포함할 수도 있으며, 그 안에 플라스마 (102) 및 워크피스 (103) (예를 들어, 웨이퍼) 및 전극들 (104) (기관 지지부에 임베딩될 수도 있음) 을 포함하는 볼륨이 포함된다. 그 장비는 진공 처리 및 가스 전달 장비 (도시 안됨), 하나 이상의 바이어스 공급부들 (108), 하나 이상의 소스 생성기들(112), 및 하나 이상의 소스 정합 네트워크들 (113) 을 포함할 수도 있다. 다수의 어플리케이션들에서, 단일의 소스 생성기 (112) 로부터의 전력은 하나 또는 다중의 소스 전극들 (105) 에 연결된다. 소스 생성기 (112) 는 더 높은 주파수 RF 생성기 (예를 들어, 13.56 MHz 내지 120 MHz) 일 수도 있다. 전극 (105) 은 일반적으로, 유도성 커플링 플라스마 (ICP) 소스, 다른 RF 주파수에서 바이어싱된 이차 상부 전극을 갖는 이중 용량성 커플링 플라스마 (CCP) 소스, 헬리콘 플라스마 소스, 마이크로파 플라스마 소스, 마그네트론, 또는 기타 다른 독립적으로 동작되는 플라스마 에너지 소스로 구현될 수도 있는 것을 나타낸다.
- [0014] 도 1 에 도시된 시스템의 변형들에서, 소스 생성기 (112) 및 소스 정합 네트워크 (113) 는 원격 플라스마 소스에 의해 대체되거나 또는 원격 플라스마 소스로 증강될 수도 있다. 시스템의 다른 변형들은 단일 바이어스 공급부(108)만을 포함할 수 있다. 도 1에 도시된 플라스마 프로세싱 환경의 많은 다른 변형들이 이용될 수 있음은 물론이다. 제한 없는 예들로서, 2020 년 7 월 7 일에 발행된 미국 특허 제 10,707,055 호 및 2020 년 10 월 20 일에 발행된 미국 특허 제 10,811,227 호 (둘 모두는 그 전문이 참조로서 포함됨) 는 다양한 유형의 시스템 설계를 개시한다.
- [0015] 또한, 다음의 개시는 일반적으로 플라스마 기반 웨이퍼 프로세싱을 지칭하지만, 구현들은 플라스마 챔버 내에서 임의의 기관 프로세싱을 포함할 수 있음은 물론이다. 일부 사례들에 있어서, 기관 이외의 오브젝트들이 본 명세서에서 개시된 시스템들, 방법들, 및 장치를 사용하여 프로세싱될 수 있다. 즉, 본 개시는 물리적 또는 화학적 수단에 의한 표면 변화, 서브표면 (subsurface) 변화, 퇴적 또는 제거에 영향을 주기 위한 서브 대기압 플라스마 프로세싱 챔버 내의 임의의 오브젝트의 플라스마 프로세싱에 적용된다.
- [0016] 도 2를 참조하면, 도 1을 참조하여 설명된 바이어스 공급부들(108)을 구현하는 데 이용될 수 있는 예시적인 바이어스 공급부(208)가 도시되어 있다. 이 바이어스 공급부(208)는 일반적으로, 주기적 전압 함수를 적용하기 위해 본 명세서에서 추가로 설명되는 바이어스 공급부들의 많은 변형들을 나타낸다. 따라서, 바이어스

공급부(208)에 대한 참조는 일반적으로 본 명세서에서 추가로 설명되는 바이어스 공급부들 중 임의의 것을 의미한다. 도시된 바와 같이, 바이어스 공급부(208)는 출력 노드(210)(출력 노드(210)로도 지칭됨), 복귀 노드(212), 스위치 네트워크(220), 및 출력 노드(210)와 복귀 노드(212) 사이에 결합되는 인덕턴스(214) 및 제1 전원(216)(본원에서 V_{supply} 로도 지칭됨)의 직렬 조합을 포함한다. 선택적인 제2 전원(218)(본 명세서에서 V_{rail} 로도 지칭됨)이 또한 도시된다. 일반적으로, 바이어스 공급부(208)는 출력 노드(210)와 복귀 노드(212) 사이에 비대칭 주기 전압 함수 (V_{out})를 적용하는 기능을 한다. 출력 노드(210)를 통해 부하에 전달되는 전류는 부하와 공통될 수 있는 복귀 노드(212)를 통해 바이어스 공급부(208)로 복귀된다.

[0017] 명확성 및 단순성을 위해 도 2에 도시되지 않았지만, 바이어스 공급부(208)는 제어기에 결합될 수 있고 및/또는 스위치 네트워크(220)에 결합되는 제어기를 포함할 수 있다. 스위치 네트워크(220)의 변형들(및 제2 전원(218)를 갖는 변형들 및 갖지 않는 변형들)이 본 명세서에 추가로 개시되지만, 첫째, 플라즈마 부하의 양태들을 이해하는 것이 도움이 된다.

[0018] 도 3을 간단히 참조하면, 플라즈마 프로세싱 챔버 (101) 내의 예시적인 플라즈마 부하의 양태들을 전기적으로 도시하는 개략도가 도시된다. 도시된 바와 같이, 플라즈마 프로세싱 챔버(101)는, 플라즈마 프로세싱 챔버 (101)에 대한 입력(310)(또한, 입력 노드(310)로 지칭됨)와 워크피스(103)의 표면(또한, 웨이퍼 기판(103)으로 지칭됨)에서 시스 전압(V_s)을 표현하는 노드 사이에 위치되는 컷 커패시턴스(C_{ch})(컷 및 워크피스(103)의 커패시턴스를 포함함)에 의해 표현될 수 있다. 따라서, 시스 전압(V_s)에 대한 참조는 또한 본 명세서에서 웨이퍼 또는 기판의 표면에서의 전압으로 지칭된다. 부가적으로, (접지로의 접속일 수도 있는) 복귀 노드 (312)가 도시된다. 프로세싱 챔버에서의 플라즈마 (102)는 시스 커패시턴스 (C_s), 다이오드, 및 전류 소스의 병렬 조합에 의해 표현된다. 다이오드는, 직류 (DC) 전압 강하가 워크피스 (103)와 플라즈마 (102) 사이에 나타나도록, 인가된 AC 필드의 정류를 발생시키는 플라즈마 시스의 비선형, 다이오드형 성질을 나타낸다.

[0019] 다음으로 도 4를 참조하면, 계측, 리드백 및 제어의 일반적인 양태들을 도시하는 블록도가 도시된다. 바이어스 공급부(208), 계측 섹션(620) 및 디지털 제어 섹션(622)이 도시되어 있다. 일반적으로, 계측 섹션 (620)은 전력 관련 파라미터 값들을 나타내는 신호들을 수신하고, 전력 관련 파라미터 값들의 디지털 표현을 디지털 제어 섹션(622)에 제공한다. 예를 들어, 전력 관련 파라미터는 출력 노드(210)에 제공되는 출력 전류 (i_{out}) 및 출력 노드(210)와 복귀 노드(212) 사이의 전압(V_{out})일 수 있다. 필수적인 것은 아니지만, 복귀 노드는 접지 연결될 수 있다.

[0020] 계측 섹션(620)은 하나 이상의 바이어스 공급 신호 라인들(624)로부터 신호들을 수신할 수 있다. 바이어스 공급 신호 라인들(624)은 바이어스 공급부(208) 내의 보상 전류(I_{comp}), 온도, 및 다른 파라미터들과 같은 바이어스 공급 파라미터들을 나타내는 신호들을 전달할 수 있다. 전류 신호 라인(626)은 출력 노드(210)에 제공되는 전류를 나타내는 전류 트랜듀서로부터의 아날로그 신호들을 제공할 수 있고, 전압 라인(628)은 바이어스 공급부의 출력에서의 전압(V_{out})을 나타내는 아날로그 신호들을 제공할 수 있다. 전력 관련 신호들을 수신하는 것에 응답하여, 계측 섹션(620)은 전력 관련 신호들을 샘플링하고 디지털화한다. 예를 들어, 계측 섹션 (620)은 비대칭 주기적 전압 파형(V_{out}), 출력 전류 파형(i_{out}), 및/또는 보상 전류(I_{comp})의 완전한 디지털 표현들을 제공할 수 있다.

[0021] 계측 섹션(620)의 많은 변형들의 일 양태는 완전한 전압 및 전류 파형들이 캡처된다는 것이며, 이는 바이어스 공급부의 출력의 향상된 가시성을 제공하고, 또한 본 명세서에 추가로 개시된 개선된 제어 양태들을 가능하게 한다.

[0022] 요구되지는 않지만, 계측 섹션(620)은 필드 프로그래머블 게이트 어레이에 의해 부분적으로 실현될 수 있고, 디지털 제어 섹션은 (디지털 제어 섹션(622)의 기능들을 실시하기 위해) 비일시적 매체에 저장된 코드를 실행하는 하나 이상의 프로세서에 의해 실현될 수 있다. 하드웨어, 소프트웨어 및 펌웨어의 다른 조합들이 계측 섹션 (620) 및 디지털 제어 섹션(622)을 실현하기 위해 사용될 수 있다.

[0023] 도시된 대로, 비대칭 주기적 전압 파형(V_{out}), 출력 전류 파형(i_{out}), 및/또는 i_{comp} 의 디지털 표현들이 사용자 인터페이스(예를 들어, 터치스크린 디스플레이)일 수 있는 데이터 보고 컴포넌트(631)에 제공될 수 있다. 또한, 비대칭 주기적 전압 파형 (V_{out}), 출력 전류 (i_{out}) 및/또는 보상 전류 (i_{comp})의 디지털 표현들은 데이터 프

로세싱 모듈 (630)에 제공되며, 이 모듈은 비대칭 주기적 전압 파형 (V_{out}), 출력 전류 파형 (i_{out}) 및/또는 보상 전류 (i_{comp})의 디지털 표현을 추가로 프로세싱하여, 시스템 전압 (v_s) 및 E_{ion} , V_{step} , ΔE_{ion} , 출력 전압 기울기(예: 비대칭 주기적 전압 파형의 제3 부분의 기울기) 및/또는 기울기 편차 인자 (K_s)와 같은 하나 이상의 다른 매개변수 값들 중 하나 이상의 리드백을 제공한다.

[0024] 기울기 편차 인자(K_s)는 다음과 같이 계산될 수 있다:

$$K_s = \frac{C_{chuck}}{C_{chuck} + C_{stray1}} \times \frac{Slope_w}{Slope}$$

[0025] 여기서 $slope_w$ 는 웨이퍼/시스템 전압의 t_3 로부터 t_4 까지의 기울기이다.

[0027] 또는 대안적으로, 기울기 편차 인자는 다음의 방정식을 만족하도록 계산될 수 있다:

$$(1 - K_s) \left(1 + \frac{C_{stray1}}{C_{chuck}} \right) \cdot Slope + \frac{I_o}{C_{chuck}} = 0$$

[0028] 기울기 편차 인자(K_s)는 이온 전류 (I_{ion})에 대한 보상 전류 (I_{comp})의 레벨의 편리한 표현을 제공한다. 예를 들어, K_s 가 0일 때, 보상 전류는 완전한 보상을 제공하고; $K_s > 0$ 일 때, 보상 전류 (I_{comp})는 이온 전류를 과보상하고 있고, $K_s < 0$ 일 때, 보상 전류 (I_{comp})는 이온 전류 (I_{ion})를 과소 보상하고 있다.

[0030] 도시된 바와 같이, 리드백 값들(예를 들어, 리드백1 및 리드백2로서 도시됨)은 또한 피드백 제어의 일부로서 사용될 수 있다. 제 1 비교기(638)는 제 1 에러 신호(error1)를 생성하기 위해, 제 1 설정점(setpoint1)과 제 1 리드백 값(readback1) 사이의 차이를 계산할 수 있다. 제 2 비교기(640)는 제 2 에러 신호(error2)를 생성하기 위해, 제 2 설정점(setpoint2)과 제 2 리드백 값(readback2) 사이의 차이를 계산할 수 있다. 에러 신호들(error1 및 error2)은 하나 이상의 보상기(632)에 공급될 수 있고, 하나 이상의 보상기(632)는 본 명세서에서 추가로 설명되는 바와 같이 제어 신호들(Ctrl_knob1 및 Ctrl_knob2)을 바이어스 공급부(208)에 제공할 수 있다.

[0031] 또한, 타이밍 파라미터 추정기(634)가 디지털 제어 섹션(622) 내에 도시되며, 이는 출력 전압 파형(V_{out}) 및 출력 전류 파형(i_{out})의 디지털 표현들을 수신하고 펄스 폭 제어 신호를 생성할 수 있다. 일 양태에 따르면, 타이밍 파라미터 추정기(634)는 바이어스 공급부의 스위치들을 통해 제로 전류가 있을 때를 검출하고, 스위칭-관련 손실들을 감소시키기 위해 그 시간에 또는 그 후에 스위치들이 개방(턴오프)되게 하도록 펄스 폭을 설정한다; 따라서, 스위치들에 대한 온 시간이 또한 제어된다. 타이밍 파라미터 추정기(634)는 또한 t_{reset} (도 4 및 도 5에 도시됨)을 결정할 수 있고, t_{reset} 에 대한 값은 데이터 보고 컴포넌트(631)를 통해 보고되고 데이터 프로세싱 모듈(630)에 제공될 수 있다. 타이밍 파라미터 추정기(634)는 비일시적 매체들, 및/또는 하드웨어, 소프트웨어, 및 펌웨어의 다른 조합들에 저장된 코드를 실행하는 하나 이상의 프로세서들에 의해 실현될 수도 있다.

[0032] 디지털 제어 섹션(622)은 또한 타이밍 파라미터 추정기(634)로부터의 펄스 폭 제어 신호(637)에 응답하여 및/또는 (1개 전원 구성에서) 하나 이상의 보상기(632)에 의해 출력된 제어 신호(639)에 응답하여 (스위치들(S1 및 S2)이 온 및 오프인 시간을 제어하기 위해) 바이어스 공급부(208)의 스위치들(S1 및 S2)에 게이트 구동 신호들을 제공하도록 구성된 게이트 구동 신호 생성기(636)를 포함한다. 많은 유형의 스위치들이 전기 게이트 구동 신호들에 의해 제어되지만, 광학 제어 신호들이 사용될 수 있다는 것이 또한 고려된다. 예를 들어, 게이트 구동 신호 생성부(636)는 광 신호들을 제공할 수 있다.

[0033] 다음으로 도 5를 참조하면, 도 2의 바이어스 공급부 (208)에 대한 제어 시스템을 도시하는 블록도가 도시되며, 여기서 바이어스 공급부 (208)는 2개 전원 구성의 제 1 전원 (V_{supply}) (216) 및 제 2 전원 (V_{rail}) (218)를 포함한다. 스위치 네트워크(220)는 아래에서 설명되는 바와 같이, 1개 또는 2개의 스위치들을 포함하는 다양한 상이한 토폴로지들을 포함할 수 있다.

도 4 및 도 5에 도시된 바와 같이, 제어 시스템은 V_{supply} 및 V_{rail} 의 DC 전압들을 제어하기 위한 2개의 제어 "노브들"를 포함할 수 있다. 이 접근법은 (이온 에너지들의 분포의 폭을 제어하기 위해) 보상 전류(I_{comp})를 제어하고 바람직한 이온 에너지(eV)를 달성하기 위해 V_{rail} 을 제어하는 종래의 접근법들과는 대조적이다. 도 5에 도시된 접근법에서, 제1 전원(216)(V_{supply})의 전압들 및 제2 전원(V_{rail})의 전압은 일반적인 관계에 기초하여 제어될 수 있다:

$$\begin{bmatrix} \Delta E_{ion} \\ E_{ion} + \Delta E_{ion} \end{bmatrix} = \begin{bmatrix} K_{11} & \varepsilon_{12} \\ \varepsilon_{21} & K_{22} \end{bmatrix} \begin{bmatrix} V_{rail} \\ V_{supply} \end{bmatrix} + \begin{bmatrix} -1 \\ 0 \end{bmatrix} \frac{I_{ion}}{C_{ch} + C_{sh}} t_{ev}$$

$$\approx \begin{bmatrix} K_{11} & 0 \\ 0 & K_{22} \end{bmatrix} \begin{bmatrix} V_{rail} \\ V_{supply} \end{bmatrix} + \begin{bmatrix} -1 \\ 0 \end{bmatrix} \frac{I_{ion}}{C_{ch} + C_{sh}} t_{ev}$$

여기서:

$$K_{11} = -\frac{C_{ch}}{C_{ch} + C_{sh}} \frac{2}{1 + K}$$

$$K = \frac{1 - K_c}{1 + K_c \frac{V_{step}}{V_{ramp}}}$$

, 여기서 $V_{ramp} = v_{out}(t_3) - v_{out}(t_4)$;

$$K_c = \frac{C_{str} + \frac{C_{ch} C_{sh}}{C_{ch} + C_{sh}}}{C_{str} + C_{ch}}$$

, 여기서 $C_{str} = C_{str0} + C_{str1}$;

$$\varepsilon_{12} = \frac{C_{ch}}{C_{ch} + C_{sh}} \frac{2K}{1 + K} \frac{T_{sw}}{t_{ramp}}$$

; 및

$$K_{22} = \frac{C_{ch}}{C_{ch} + C_{sh}} \frac{2T_{sw}}{t_{ramp}}$$

여기서, T_{sw} 는 스위칭 주기($t_4 - t_0$)이다.

이러한 제어 접근법에서, 제 1 설정점은 이온 에너지 설정점(E_{ion_set})일 수 있고, 제 2 설정점은 이온 에너지들 (ΔE_{ion_set})(E_{ion_set} 및 ΔE_{ion_set} 둘 모두가 도 5에 도시됨)의 확산(분포로서 또한 지칭됨)에 대한 것일 수 있다.

데이터 프로세싱 모듈(630)은 계측 섹션(620)으로부터 수신된 출력 전류 파형(i_{out}) 및 전압 파형(V_{out})의 디지털 표현들에 기초하여 E_{ion} 및 ΔE_{ion} 을 계산할 수 있다. 도시된 바와 같이, 제1 비교기(638)는 제1 설정점 E_{ion_set} 및 E_{ion} 의 계산된 값 사이의 차이에 기초하여 제1 에러 신호 (error1)를 생성할 수 있고, 제2 비교기(640)는 제2 설정점 ΔE_{ion_set} 및 ΔE_{ion} 의 계산된 값 사이의 차이에 기초하여 제2 에러 신호 (error2)를 생성할 수 있다.

대안적으로, (이온 에너지를 설정하기 위한) 제 1 설정점은 V_{step} 설정점일 수 있고, (이온 에너지들의 확산을 설정하기 위한) 제 2 설정점은 (비대칭 주기적 전압 파형의 제 4 부분(시간들 t_3 과 t_4 사이)의 기울기를 설정하기 위한) 기울기 설정점일 수 있거나, 또는 제 2 설정점은 (기울기 편차 인자(K_s)를 설정하기 위한) 기울기 편차 인자 설정점일 수 있다. 데이터 프로세싱 모듈(630)은 계측 섹션(620)로부터 수신된 i_{out} 및 V_{out} 의 디지털 표현들에 기초하여 V_{step} 및 기울기 또는 기울기 편차 인자 (K_s)를 계산할 수 있다. 이 대안에서, 제 1 비교기(638)는 제 1 설정점(예를 들어, V_{step} 설정점)과 V_{step} 의 계산된 값 사이의 차이에 기초하여 제 1 에러 신호(error1)를 생성할 수 있고, 제 2 비교기(640)는 제 2 설정점(기울기 설정점 또는 기울기 편차 인자 설정점)과 기울기의 계산된 값 또는 기울기 편차 인자(K_s)의 계산된 값 사이의 차이에 기초하여 제 2 에러 신호 (error2)를 생성할 수 있다.

이 제어 시스템은 2개의 보상기들, 즉 제1 보상기(1132A) 및 제2 보상기(1132B)를 포함할 수 있다. 제1 보상기(1132A)는 제1 에러 신호(error1)를 수신하고, 제1 전원(216)을 제어하기 위한 신호(V_{supply_set})를 생성할 수 있다. 제2 보상기(1132B)는 제2 에러 신호(error2)를 수신하고, 제2 전원(218)을 제어하기 위한 신호

(V_{rail_set})를 생성할 수 있다. 일부 변형들에서, 게이트 구동 신호 생성기(636)는 바이어스 공급부(208)의 (2개 스위치 바이어스 공급부 내의) 제1 스위치(및 제2 스위치)에 대한 고정된 스위칭 시간들로 설정될 수 있다.

다른 변형들에서, 타이밍 파라미터 추정기(634)는 펄스 폭 신호를 제공할 수 있어서, 게이트 구동 신호 생성기(636)는 제로 전류 스위칭을 제공하기 위해 바이어스 공급부(208)의 스위치들을 개방(턴오프)할 수 있다(따라서, 바이어스 공급부(208)의 스위치들의 온 시간을 제어함). 보상기들(1132A, 1132B) 각각은 비례 적분 미분(PID) 제어기에 의해 실현될 수 있고, 일부 변형들에서, 제1 보상기(1132A)의 대역폭은 제2 보상기(1132B)의 대역폭과 상이하게 설정되며, 이는 보상기들(1132A, 1132B) 각각과 연관된 제어 루프들이 디커플링될 수 있게 한다. 예를 들어, 각각의 제어 루프의 샘플링 레이트는 상이한 대역폭들을 초래하기 위해 상이한 레이트로 설정될 수 있다.

[0045] 다음으로, 도 6을 참조하면, 도 2의 바이어스 공급부(208)에 대한 제어 시스템을 도시하는 블록도가 도시되어 있으며, 여기서 바이어스 공급부(208)는 1개 전원 구성에서의 제1 전원(V_{supply})만을 포함한다. 스위치 네트워크(220)는 아래에서 설명되는 바와 같이, 1개 또는 2개의 스위치들을 포함하는 다양한 상이한 토폴로지들을 포함할 수 있다. 1개 전원 구성에 대한 도 6의 제어 시스템은, 제 2 보상기(1132B)가 (도 6의 제어 시스템이 1개 전원 구성이므로, 도 5에서와 같이, 제 2 전원(218)을 제어하기 위한 신호(V_{rail_set})를 제공하기보다는) 바이어스 공급부(208)의 스위칭의 주파수를 제어하기 위한 주파수 설정점 신호(f_{sw_set})를 제공한다는 점을 제외하고는, 2개 전원 구성에 대한 도 5의 제어 시스템과 사실상 동일하다. 다른 옵션은, 도 6에서 일반화된 바와 같이, 하나의 MIMO 보상기(632)가 다수의 입력들(일반적으로 도 6에서 error1 및 error2로 도시됨) 및 다수의 출력들과 함께 사용될 수 있으며, 여기서 도 6의 *Ctrl_knob1* 및 *Ctrl_knob2* 는 각각 V_{supply_set} 및 V_{rail_set} 일 수 있다.

[0046] 다음으로, 도 7a, 도 7b 및 도 8을 참조하면, 바이어스 공급부(208)(도 2)의 스위치 네트워크(220)에서 구현될 수 있는 1-스위치 구성들을 갖는 스위치 네트워크들의 예들이 도시된다. 도 7a 및 도 7b는 1개 전원 구성들에서 구현될 수 있는 1-스위치 구성들을 도시하며, 즉, 바이어스 공급부(208)는 제1 전원(216)만을 포함하고 도 6의 것과 같은 연관된 1개 전원 제어 시스템에 의해 제어된다. 도 8은 2개 전원 구성에서 구현될 수 있는, 즉 바이어스 공급부(208)가 제1 전원(216) 및 제2 전원(218)을 포함하고 도 5의 것과 같은 연관된 2개 전원 제어 시스템에 의해 제어되는 1-스위치 구성을 도시한다.

[0047] 많은 구현예들에서, 본 명세서에 개시된 스위치들은 금속 산화물 반도체 전계 효과 트랜지스터들(MOSFET들)과 같은 전계 효과 스위치들에 의해 실현되고, 일부 구현예들에서, 스위치들은 실리콘 카바이드 금속 산화물 반도체 전계 효과 트랜지스터들(SiC MOSFET들) 또는 갈륨 질화물 금속 산화물 반도체 전계 효과 트랜지스터들(GaN MOSFET들)에 의해 실현된다. 다른 예로, 스위치들은 IGBT(Insulated Gate Bipolar Transistor)로 구현될 수 있다. 이러한 구현들에서, 게이트 구동 신호 생성기(636)는 타이밍 파라미터 추정기(634) 및/또는 하나 이상의 보상기(632)로부터의 신호에 응답하여 스위치들에 전기 구동 신호들을 인가하도록 구성된 당업계에 공지된 전기 구동기를 포함할 수 있다. 구동 신호들은 광학 스위칭 신호들을 전달하기 위해 광학 라인들을 통해 전송될 수 있음은 물론이다. 그리고 이들 스위치들은 전기 구동 신호로 변환되는 광학 신호 및/또는 광학 신호들에 응답하여 스위칭할 수 있다.

[0048] 본 명세서에 도시된 스위치들 각각은 일반적으로 전류 경로를 각각 연결 및 연결해제하기 위해 폐쇄 및 개방할 수 있는 하나 이상의 스위치들을 나타낸다는 것이 인식되어야 한다. 예를 들어, 스위치들 각각은 (향상된 전압 능력을 위해) 직렬로 배열된 복수의 스위치들에 의해 실현될 수 있거나, (향상된 전류 능력을 위해) 병렬로 배열된 복수의 스위치들에 의해 실현될 수 있거나, 또는 스위치들 각각은 (향상된 전압 및/또는 전류 능력을 위해) 직렬-병렬 조합으로 배열된 복수의 스위치들로 구성될 수 있다. 이러한 변형들에서, 당업자는 각각의 스위치가 대응하는 구동 신호에 의해 동기적으로 구동될 수 있다는 것을 인식할 것이다.

[0049] 본 명세서에 도시된 다이오드들 중 임의의 것이 복수의 다이오드들에 의해 실현될 수 있다는 것이 또한 인식되어야 한다. 예를 들어, 임의의 다이오드는 (전압 능력을 향상시키기 위해) 복수의 직렬 연결된 다이오드들에 의해 실현될 수 있거나, (전류 능력을 향상시키기 위해) 병렬로 배열된 복수의 다이오드들에 의해 실현될 수 있거나, 또는 (향상된 전압 및/또는 전류 능력을 위해) 직렬-병렬 조합으로 배열된 복수의 다이오드들로 구성될 수 있다.

[0050] 이제 도 7a를 참조하면, 단일 스위치(S1)를 갖는 스위칭 섹션(220)의 예이고, 바이어스 공급부(208)가 제1 전원(216)만을 포함하고 도 6의 것과 같은 연관된 1개 전원 제어 시스템에 의해 제어되는 1개 전원 구성과 함께

배치될 수 있는 스위치 네트워크(1820B)를 나타내는 개략도가 도시되어 있다. 도 7a에 도시된 바와 같이, 제1 인덕터(L1)는 노드(1870)와 출력 노드(210) 사이에 결합된다. 이 스위치(S1)는 노드(1870)와 복귀 노드(212) 사이에 연결된다. 다이오드(D1)는 노드(1870)와 복귀 노드(212) 사이에서 스위치(S1)와 병렬로 연결된다.

[0051] 이제 도 7b를 참조하면, 단일 스위치(S1)를 갖는 스위칭 섹션(220)의 다른 예이고, 바이어스 공급부(208)가 제1 전원(216)만을 포함하고 도 6의 것과 같은 연관된 1개 전원 제어 시스템에 의해 제어되는 1개 전원 구성과 함께 배치될 수 있는 스위치 네트워크(1820C)를 나타내는 개략도가 도시되어 있다. 도 7b에 도시된 바와 같이, 스위치 네트워크(1820C)는 복귀 노드(212)와 노드(1872) 사이의 (전류(i_{S1})에 대한) 제1 전류 경로를 포함한다.

제 1 전류 경로는 스위치 (S1), 다이오드 (D1) 및 인덕터 (L1)의 직렬 조합을 포함한다. 또한, 스위치 네트워크(1820C)는 제2 다이오드(D2) 및 유도성 소자(L2)를 포함하는 (전류(i_{D2})에 대한) 제2 전류 경로(노드(1872)와 복귀 노드(212) 사이)를 포함한다. 도시된 바와 같이, 다이오드(D2)의 캐소드는 복귀 노드(212)에 연결되고, 제3 인덕터(L3)는 노드(1872)와 출력 노드(210) 사이에 위치된다.

[0052] 이제 도 8을 참조하면, 단일 스위치(S1)를 갖는 스위칭 섹션(220)의 예이고, 바이어스 공급부(208)가 제1 전원(216) 및 제2 전원(218)를 포함하고 도 5의 것과 같은 연관된 2개 전원 제어 시스템에 의해 제어되는 2개 전원 구성과 함께 배치될 수 있는 스위치 네트워크(1420B)를 나타내는 개략도가 도시되어 있다. 도 8에 도시된 바와 같이, 스위치 네트워크(1420B)는 노드(1050)와 출력 노드(210) 사이의 (전류(i_{S1})에 대한) 제1 전류 경로를 포함한다. 제 1 전류 경로는 스위치 (S1), 다이오드 (D1) 및 인덕터 (L1)의 직렬 조합을 포함한다. 스위치 네트워크(1420B)는 또한 출력 노드(210)와 복귀 노드(212) 사이의 (전류 i_{D2} 에 대한) 제2 전류 경로를 포함하며, 이는 제2 다이오드(D2) 및 인덕터(L2)를 포함한다.

[0053] 또한, 스위치(S1), 다이오드(D1) 및 인덕터(L1)가 직렬로 배열되기 때문에, 스위치(S1), 다이오드(D1) 및 인덕터(L1)가 위치되는 순서는 변경될 수 있음은 물론이다. 또한, 도 7b 및 도 8에서, L2와 D2의 배치 순서는 서로 바뀔 수 있다.

[0054] 이제 도 9를 참조하면, 도 7a, 도 7b 및 도 8의 스위칭 네트워크들과 같은, 단일 스위치를 갖는 스위칭 네트워크들을 포함하는 바이어스 공급부들의 양태들을 예시하는 그래프들 및 타이밍도가 도시된다. 도 9에 도시된 바와 같이, 스위치(S1)는 출력 전류 파형(i_{out}), 비대칭 주기적 출력 전압 파형(V_{out}), 및 시스 전압 파형(V_s)을 생성하기 위해 게이트 구동 펄스 폭 신호의 지속 시간 동안 폐쇄(턴온)되고 이어서 개방(턴오프)된다.

[0055] 도 9의 비대칭 주기적 전류 및 전압 파형들의 전체 사이클은 시간 t_0 로 부터 t_4 로 연장된다. 비대칭 주기적 출력 전압 파형(V_{out})의 제1 부분은, 스위치(S1)가 폐쇄(턴온)될 때, 시간 t_0 에서, 제1 음의 전압으로부터 시간 t_1 ($t_1 = t_2$)에서 양의 피크 전압 레벨로 상승한다. 출력 전압 파형(V_{out})의 제2 부분은 시간 t_3 에서 양의 피크 전압 레벨로부터 V_{step} 양만큼 감소하여 제3(음의) 전압 레벨로 하강한다. 아래에서 설명될 바와 같이, 스위치(S1)는 시간 t_3 에서 또는 그 전에 개방(턴오프)된다. 시간 t_3 내지 t_4 동안, 비대칭 주기적 전압(V_{out})의 제3(음의 램핑) 부분은 스위치(S1)가 시간 t_4 에서 다시 폐쇄(턴온)될 때까지 꾸준히 그리고 음으로 램프 다운된다.

[0056] 출력 전류 파형(i_{out})의 제1 부분은, 스위치(S1)가 폐쇄(턴온)될 때, 시간 t_0 에서, 임계 전류 값으로부터 양의 피크 전류 값으로 상승한다. 출력 전류 파형(i_{out})의 제2 부분은 양의 피크 전류 값으로부터 하강하고, 시간 t_1 ($t_1=t_2$)에서 임계 전류 값의 제1 교차를 행하고, 반대 방향으로 음의 피크 전류 값에 도달한다. 양의 피크 전류값과 음의 피크 전류값의 절대값들이 상이할 수 있음은 물론이다. 아래에서 설명되는 바와 같이, 스위치(S1)는 임계 전류 값의 제1 교차 시간에 또는 그 이후에 개방(턴오프)된다. 출력 전류 파형(i_{out})의 제3 부분은 시간 t_3 에서 다시 임계 전류 값에 도달하기 위해 음의 피크 전류 값으로부터 상승한다. 시간 t_3 내지 t_4 에서, 출력 전류 파형 i_{out} 의 제4 부분은 평탄화되고 결국 $-I_0$ 에 도달한다.

[0057] 전압 파형(V_{out})은 워크피스(103)의 에칭을 가능하게 하기 위해 워크피스의 표면에 충돌하도록 이온들을 끌어당기기 위해 일반적으로 음인 시스 전압 파형(V_s)을 생성한다. 시간 t_0 내지 t_1 ($t_1=t_2$) 동안, 비대칭 주기적 전압 파형(V_{out})의 제1 부분은 시스 전압 (V_s)이 양의 전압에 가까워지게 하여, 워크피스 표면에 축적된 양전하들을 밀어내고, 워크피스의 표면은 음의 전압에 유지된다. 시간 t_2 내지 t_3 동안, 비대칭 주기적 전압 파형

(V_{out})의 제2 부분은 양 V_{step} 만큼 하강하여 시스 전압(V_s)이 원하는 음의 전압(또는 전압 범위)이 되게 하여 원하는 이온 에너지를 달성하는 이온 플럭스를 달성하게 한다. V_{step} 는 임의의 에너지 레벨 ($-E_{ion}$)에서 이온들을 생성하는 t_3 에서의 시스 전압에 대응한다. 비대칭 주기적 전압 파형의 제3 부분 동안, 시스 전압은 t_4 에서 $-(E_{ion} + \Delta E_{ion})$ 의 에너지 레벨의 이온들이 생성되도록 더 음이 될 수 있다.

[0058] 또한, 도 9에는, 시간들 t_{reset} (시간 t_0 과 t_3 사이) 및 t_{ramp} (시간 t_3 과 t_4 사이)가 도시되어 있다. 도시된 바와 같이, t_{reset} 은 비대칭 주기적 전압 파형(V_{out})의 제 1 및 제 2 부분들 모두를 포함하는 시간을 커버하고, t_{ramp} 는 전압 파형(V_{out})의 제 3 램핑 부분을 포함한다.

[0059] 또한, 도 9는 도 2에서 참조되는 보상 전류 (I_{comp})의 예들을 도시한다. 보상 전류(I_{comp})는 비대칭 주기적 전압 함수(V_{out})의 적용 전체에 걸쳐 제공될 수 있고, I_{out} 은 비대칭 주기적 전압 파형(V_{out})의 제3 부분 동안 (t_{ramp} 동안) I_{comp} 와 동일하거나 동일하지 않을 수 있다. 보상 전류(I_{comp})는 플라즈마 챔버(101) 내의 이온 전류를 보상할 수 있다. 보상 전류(I_{comp}) 없이, 시스 전압(V_s)은 비대칭 주기적 전압의 제3 부분 동안 더 양이 되도록 점진적으로 변할 수 있으며, 이는 바람직하지 않을 수 있는 이온 에너지들의 더 넓은 분포를 생성한다. 그러나, 일부 변형들에서, 보상 전류(I_{comp})는 이온 에너지들의 더 넓은 분포를 생성하기 위해 플라즈마 챔버(101)에서의 이온 전류를 과보상 또는 과소 보상하도록 의도적으로 설정될 수 있다. 도 9에 도시된 동작 모드에서, 보상 전류(I_{comp})는 전압 파형(V_{out})의 제3(음의 램핑) 부분에 대응하여 음으로 램핑하는 시스 전압(V_s)을 제공한다.

[0060] 비대칭 주기적 전압 파형(V_{out})의 기본 주기(t_0 내지 t_4)는 이온 에너지들의 확산을 조정하기 위해 조정될 수 있다. 도 9에 도시된 바와 같이, 전체 전류 사이클은 비대칭 주기적 전압 파형(V_{out})의 제1 및 제2 부분들 동안 시간 t_0 과 t_3 사이에서 발생한다. 그리고 전체 전류 사이클들 사이의 시간은 t_3 와 t_4 사이의 시간인 t_{ramp} 이다. 본 개시의 일 양태는 이온 전류 (I_{ion})를 보상하기 위해 출력 전류 (I_{out})를 어떻게 조정할 것인가의 문제를 해결한다. 본 개시의 다른 양태는 플라즈마 챔버에서 이온 에너지들의 레벨 및 이온 에너지들의 분포를 어떻게 조정할지의 문제를 다룬다.

[0061] 1-스위치 네트워크를 갖는 바이어스 공급부를 제어하기 위해, 타이밍 파라미터 추정기(634)는 출력 전류(i_{out})가 반전할 때(임계 전류 값을 가로지를 때)를 검출할 수 있고, 스위치(S1)가 시간 t_0 에서 폐쇄(턴온)하게 하고, 이어서 전류가 임계 전류 값을 가로지르는 시간에 또는 그 후에 개방(턴오프)하게 하기 위해 게이트 구동 신호 생성기(636)로 펄스 폭 신호를 생성할 수 있다. 특히, 스위치(S1)는 게이트 구동 펄스 폭의 지속기간 동안 폐쇄(턴온)로 유지되고, 펄스 폭 신호가 종료될 때 개방(턴오프)된다. 일단 전류가 방향을 반전시키면, 전류는 더 이상 스위치(S1)를 통해 흐르지 않고, 스위치(S1)는 그 후 손실을 감소시키기 위해 개방(턴오프)될 수 있다. 스위치(S1)는 임계치를 넘을 때 즉시 개방(턴오프)될 필요가 없지만, 전압 출력 파형(V_{out})이 시간 t_{ramp} 동안 하향 램프 프로파일을 취하도록 리셋 시간 t_{reset} 전에 개방(턴오프)되어야 한다. 따라서, 펄스 폭이 속할 수 있는 최소 펄스 폭과 최대 펄스 폭 사이의 범위가 있다. 아래에서 설명되는 도 10 내지 도 16은 게이트 펄스 폭 및 리셋 시간(t_{reset})을 계산하는 것을 다룬다.

[0062] 이제 도 10을 참조하면, 하나의 스위치를 갖는 바이어스 공급기들(208)의 구현들과 연관된 비대칭 주기적 출력 전압 및 출력 전류 파형들(V_{out} 및 i_{out})의 하나의 사이클의 완전한 디지털 표현들을 도시하는 그래프들이 도시된다. 도 10은 게이트 구동 신호 발생기(636)에 제공된 게이트 구동 펄스 폭을 계산하고 데이터 프로세싱 모듈(630)에 제공된 리셋 시간(t_{reset})을 계산하기 위해 타이밍 파라미터 추정기(634)에 의해 사용되는 다양한 타이밍 파라미터들을 도시한다. 도 10의 설명에서, 시간 t_0 - t_4 는 도 9의 타이밍도의 시간 t_0 - t_4 에 대응한다.

[0063] 타이밍 파라미터 추정기(634)는 계측 섹션(620)으로부터 비대칭 주기적 전압 파형(V_{out}), 출력 전류 파형(i_{out}) 및/또는 보상 전류(I_{comp})의 완전한 디지털 표현들을 수신한다. 이들 파형들로부터, 타이밍 파라미터 추정기(634)는 스위치(S1)가 최소한의 손실로 적절한 시간에 개방(턴오프)되도록 게이트 구동 신호 생성기(636)에 제공되는 게이트 구동 펄스 폭을 정확하게 계산할 수 있다. 타이밍 파라미터 추정기(634)는 또한 데이터 프로

세상 모듈(630)에 제공되는 리셋 시간(t_{reset})을 계산한다. 리셋 시간(t_{reset})은 전압 파형(V_{out})의 램프(제3) 부분의 시작점을 찾는 데 사용되고, 스위치(S1)가 개방(턴오프)되어야 하는 시간이다

[0064] 도 10에 도시된 바와 같이, 출력 전압 파형(V_{out})은 제1 부분 동안, 스위치(S1)가 폐쇄(턴온)될 때, 시간 t_0 에서의 시작 음의 전압으로부터 시간 t_1 에서의 양의 피크 전압 값으로 상승하고, 이어서 제2 부분 동안 시간 t_3 에서 중간(제3) 음의 전압으로 하강하고, 이어서 제3 부분 동안 시간 t_4 에서 종료 음의 전압으로 꾸준히 그리고 점진적으로 램프 다운한다. 시간 t_4 가 사이클의 종료이고 새로운 사이클의 시작이기 때문에, 종료 음의 전압은 시작 음의 전압과 대략 동일해야 한다. 시간 t_1 및 t_2 사이에서 하강하는 동안, 전압은 전압 임계 교차 시간($t_{\text{v-cross}}$)에서 임계 전압 값($V_{\text{threshold}}$)과 교차한다. 임계 전압 값($V_{\text{threshold}}$)은 전형적으로 0 볼트 또는 그 근처의 볼트이다.

[0065] 출력 전류 파형(i_{out})은 임계 전류 값($i_{\text{threshold}}$)으로부터 양의 피크 전류 값까지의 제1 부분 동안 스위치(S1)가 폐쇄(턴온)될 때 시간(t_0)에서 시작하여 상승한다. 출력 전류 파형(i_{out})의 제2 부분은 양의 피크 전류 값으로부터 음의 피크 전류 값으로 하강한다. 제2 부분 동안, 출력 전류 파형(i_{out})은 제1 임계 전류 교차 시간($t_{\text{i-cross1}}$)에서 제1 시간 동안 임계 전류 값($i_{\text{threshold}}$)과 교차한다. 이때, 스위치(S1)를 개방(턴오프)하기 위한 윈도우가 시작된다. 출력 전류 파형(i_{out})의 제3 부분은 음의 피크 전류 값으로부터 상승하여 제2 임계 전류 교차 시간($t_{\text{i-cross2}}$)에서 제2 시간 동안 임계 전류 값($I_{\text{threshold}}$)을 교차한다. 이때, 스위치(S1)를 개방(턴오프)하기 위한 윈도우가 종료된다. 출력 전류 파형(i_{out})의 제4 부분은 약간 음의 보상 전류 값($-I_{\text{comp}}$)으로 점진적으로 평탄화된다.

[0066] 이제 도 11을 참조하면, 게이트 드라이브 펄스 폭 및 리셋 시간(t_{reset})을 설정하기 위해, 하나의 스위치를 갖는 바이어스 공급부들(208)의 구현들과 연관된 타이밍 파라미터들 추정기(634)에 의해 수행되는 방법(1100)을 나타내는 흐름도가 도시된다. 방법(1100)은 도 7b의 1-스위치, 1개 전원 구성 또는 도 8의 1-스위치, 2개 전원 구성 중 어느 하나와 함께 수행될 수 있다. 도 11의 방법(1100)은 출력 전류 파형(i_{out})을 사용하여 최대 게이트 구동 펄스 폭을 설정한다. 전압 파형(V_{out})을 사용하여 최대 게이트 구동 펄스 폭을 설정하는 대안적인 방법(1200)이 도 12를 참조하여 설명된다.

[0067] 단계 (1102에서, 타이밍 파라미터 추정기(634)는 디폴트 임계 전류 값($I_{\text{threshold}}$), 디폴트 게이트 구동 펄스 폭, 및 디폴트 리셋 시간(t_{reset})을 로딩한다. 단계(1104)에서, 타이밍 파라미터 추정기(634)는 하나의 기본 사이클로부터 출력 전류 파형(i_{out})을 캡처한다. 일 예에서, 예를 들어, 추정기(634)는 도 10에 도시된 바와 같이, 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형 (i_{out})의 완전한 디지털 표현의 하나의 사이클을 캡처한다. 단계(1106)에서, 타이밍 파라미터 추정기(634)는 제 1 임계 전류 교차 시간($t_{\text{i-cross1}}$) 및 제 2 임계 전류 교차 시간($t_{\text{i-cross2}}$) 동안 출력 전류 파형(i_{out})을 검색한다.

[0068] 단계(1108)에서, 임계 전류 교차 시간들($t_{\text{i-cross1}}$ 및 $t_{\text{i-cross2}}$)이 단계(1106)에서 발견되지 않으면, 방법은 단계 (1110)로 진행하여 게이트 드라이브 펄스 폭을 디폴트 펄스 폭 값 또는 이전에 계산된 펄스 폭으로 설정하고, 리셋 시간(t_{reset})을 디폴트 리셋 시간 또는 이전에 계산된 리셋 시간으로 설정한다. 단계(1112)에서, 임계 전류 값($I_{\text{threshold}}$)이 도 14를 참조하여 설명된 바와 같이 계산되고, 임계 전류 값 ($I_{\text{threshold}}$)이 단계(1114)에서 이 계산된 값으로 업데이트된다. 그 후, 방법(1100)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형(i_{out})의 다음 사이클을 캡처하기 위해 단계(1104)로 루프백하고, 이 방법은 그로부터 반복된다.

[0069] 단계(1108)에서, 임계 전류 교차 시간들($t_{\text{i-cross1}}$ 및 $t_{\text{i-cross2}}$)이 단계(1106)에서 발견되면, 방법은 단계(1116)로 진행한다. 단계(1116)에서, 리셋 시간은 제2 임계 전류 교차 시간($t_{\text{reset}}=t_{\text{i-cross2}}$)으로 설정된다. 다시 말하면, 리셋 시간(t_{reset})은 출력 전류 파형(i_{out})이 자신의 양의 피크 전류 값까지 상승하고, (제1 시간 동안 임계 전류 값($I_{\text{threshold}}$)을 교차하여) 자신의 음의 피크 전류 값까지 하강하고, 이어서 제2 시간 동안 다시 상승하

여 임계 전류 값($I_{\text{threshold}}$)에 도달하는 데 걸리는 총 시간으로 설정된다.

[0070] 전술한 바와 같이, 펄스 폭은 최대 펄스 폭과 최소 펄스 폭 사이의 범위 내에서 설정될 수 있다. 또한, 단계(1116)에서, 최소 펄스 폭은 제1 임계 전류 교차 시간($t_{\text{pulse_min}}=t_{i\text{-cross1}}$)으로 설정된다. 즉, 최소 펄스 폭($t_{\text{pulse_min}}$)은 출력 전류 파형(i_{out})이 그의 양의 피크 전류 값까지 상승한 다음 제1 시간 동안 하강하여 임계 전류 값($I_{\text{threshold}}$)에 도달하는데 걸리는 시간(t_0)으로부터의 총 시간으로 설정된다. 단계 1118에서, 최대 펄스 폭($t_{\text{pulse_max}}$)은 출력 전류 파형(i_{out})이 임계 전류 값($i_{\text{threshold}}$)을 교차하는 제1 시간과 출력 전류 파형(i_{out})이 임계 전류 값($i_{\text{threshold}}$)을 교차하는 제2 시간 사이의 중간, 즉 $t_{\text{pulse_max}}=0.5(t_{i\text{-cross1}}+t_{i\text{-cross2}})$ 이도록 설정된다.

[0071] 단계(1120)는 현재 펄스 폭이 설계 선택 값인 미리 정의된 마진 내의 최소 펄스 폭($t_{\text{pulse_min}}$)과 최대 펄스 폭($t_{\text{pulse_max}}$) 사이의 범위 내에 있는지 여부를 결정한다. 현재 펄스 폭이 이 범위 내에 있는 경우, 현재 펄스 폭은 펄스 폭으로서 유지되고(단계 1122), 방법(1100)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형(i_{out})의 다음 사이클을 캡처하도록 단계(1104)로 루프백하고, 방법은 그로부터 반복된다.

[0072] 단계(1120)에서, 현재 펄스 폭이 미리 정의된 마진을 갖는 최소 펄스 폭($t_{\text{pulse_min}}$)과 최대 펄스 폭($t_{\text{pulse_max}}$) 사이의 범위 내에 있지 않으면, 펄스 폭은 단계(1124)에서 재계산된다. 펄스 폭은 최소 펄스 폭($t_{\text{pulse_min}}$)과 최대 펄스 폭($t_{\text{pulse_max}}$) 사이의 어딘가에 있도록 설정된다. 일 예에서, 펄스 폭은 $\text{pulse_width}=t_{\text{pulse_min}}+w_0(t_{\text{pulse_max}}-t_{\text{pulse_min}})$ 로서 계산되며, 여기서 w_0 은 0과 1 사이의 설계 선택 값이다. 펄스 폭이 단계(1124)에서 재계산된 후에, 방법(1100)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형(i_{out})의 다음 사이클을 캡처하기 위해 단계(1104)로 루프백하고, 방법은 그로부터 반복된다.

[0073] 이제 도 12를 참조하면, 게이트 드라이브 펄스 폭 및 리셋 시간(t_{reset})을 설정하기 위해, 하나의 스위치를 갖는 바이어스 공급부들(208)의 구현들과 연관된, 타이밍 파라미터들 추정기(634)에 의해 수행될 수 있는 대안적인 방법(1200)을 나타내는 흐름도가 도시된다. 방법(1200)은 최대 게이트 구동 펄스 폭을 설정하기 위해 출력 전류 파형(i_{out})을 사용하는 도 11의 방법(1100)과 대조적으로, 최대 게이트 구동 펄스 폭을 설정하기 위해 전압 파형(V_{out})을 사용한다. 방법(1100)과 마찬가지로, 방법(1200)은 도 7b의 1-스위치, 1개 전원 구성 또는 도 8의 1-스위치, 2개 전원 구성과 함께 수행될 수 있다.

[0074] 이제 도 12를 참조하면, 단계(1202)에서, 타이밍 파라미터 추정기(634)는 디폴트 게이트 구동 펄스 폭 및 디폴트 리셋 시간(t_{reset})을 로딩한다. 단계(1204)에서, 타이밍 파라미터 추정기(634)는 하나의 기본 사이클의 출력 전류 파형(i_{out}) 및 전압 파형(V_{out})을 캡처한다. 일 예에서, 예를 들어, 추정기(634)는 도 10에 도시된 바와 같이, 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형(i_{out}) 및 비대칭 주기적 전압 파형(V_{out})의 완전한 디지털 표현들의 하나의 사이클을 캡처한다. 단계(1206)에서, 타이밍 파라미터 추정기(634)는 제1 임계 전류 교차 시간($t_{i\text{-cross1}}$) 및 제2 임계 전류 교차 시간($t_{i\text{-cross2}}$) 동안 출력 전류 파형(i_{out})을 검색한다.

[0075] 단계(1208)에서, 임계 전류 교차 시간들($t_{i\text{-cross1}}$ 및 $t_{i\text{-cross2}}$)이 단계(1206)에서 발견되지 않으면, 방법은 단계(1210)로 진행하여 게이트 드라이브 펄스 폭을 디폴트 펄스 폭 또는 이전에 계산된 펄스 폭으로 설정하고, 리셋 시간(t_{reset})을 디폴트 리셋 시간 또는 이전에 계산된 리셋 시간으로 설정한다. 단계(1212)에서, 임계 전류 값($I_{\text{threshold}}$)이 도 14를 참조하여 설명된 바와 같이 계산되고, 임계 전류 값($I_{\text{threshold}}$)이 단계(1214)에서 이 계산된 값으로 업데이트된다. 그 후, 방법(1200)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 및 전압 파형들 i_{out} 및 V_{out} 의 다음 사이클을 캡처하기 위해 단계(1204)로 루프백하고, 방법은 그로부터 반복된다.

[0076] 단계(1208)에서, 임계 전류 교차 시간들($t_{i\text{-cross1}}$ 및 $t_{i\text{-cross2}}$)이 단계(1206)에서 발견되면, 방법은 단계(1216)로 진행한다. 단계(1216)에서, 리셋 시간은 제2 임계 전류 교차 시간($t_{\text{reset}}=t_{i\text{-cross2}}$)으로 설정된다. 다시 말하면, 리셋 시간(t_{reset})은 출력 전류 파형(i_{out})이 자신의 양의 피크 전류 값까지 상승하고, (제1 시간 동안 임계 전류($I_{\text{threshold}}$)를 교차하여) 자신의 음의 피크 전류 값까지 하강하고, 이어서 제2 시간 동안 다시 상승하여

임계 전류 값($I_{\text{threshold}}$)에 도달하는 데 걸리는 총 시간으로 설정된다. 또한, 단계(1216)에서, 최소 펄스 폭은 제1 임계 전류 교차 시간($t_{\text{pulse_min}}=t_{i\text{-cross}1}$)으로 설정된다. 즉, 최소 펄스 폭($t_{\text{pulse_min}}$)은 출력 전류 파형(i_{out})이 그의 양의 피크 전류 값까지 상승한 다음 제1 시간 동안 하강하여 임계 전류 값($I_{\text{threshold}}$)에 도달하는데 걸리는 총 시간으로 설정된다.

[0077] 단계(1218)에서, 임계 전압 값($V_{\text{threshold}}$)(도 10 참조)이 계산된다. 도 7b의 1-스위치 1개 전원 구성을 사용할 때, 임계 전압 값($V_{\text{threshold}}$)은 도 15에 도시된 바와 같이 계산된다. 도 8의 1-스위치, 2개 전원 구성을 사용할 때, 임계 전압 값($V_{\text{threshold}}$)은 도 16에 도시된 바와 같이 계산된다.

[0078] 단계 (1220)에서, 임계 전압 값($V_{\text{threshold}}$)이 계산된 후, 타이밍 파라미터 추정기(634)는 전압 임계 교차 시간($t_{v\text{-cross}}$) 동안 전압 파형(V_{out})을 검색하고, 단계 (1222)에서, 최대 펄스 폭은 전압 임계 교차 시간 ($t_{v\text{-cross}}$) ($t_{\text{pulse_max}}=t_{v\text{-cross}}$)으로 설정된다. 즉, 최대 펄스 폭은 전압 파형(V_{out})이 양의 피크 전압 값까지 상승한 다음 하강하여 임계 전압 값($V_{\text{threshold}}$)에 도달하는데 걸리는 총 시간으로 설정된다.

[0079] 단계(1224)는 현재 펄스 폭이 설계 선택 값인 미리 정의된 마진을 갖는 최소 펄스 폭($t_{\text{pulse_min}}$)과 최대 펄스 폭($t_{\text{pulse_max}}$) 사이의 범위 내에 있는지 여부를 결정한다. 현재 펄스 폭이 이 범위 내에 있는 경우, 현재 펄스 폭은 펄스 폭으로서 유지되고(단계 1226), 방법(1200)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 및 전압 파형들(i_{out} 및 V_{out})의 다음 사이클을 캡처하기 위해 단계(1204)로 루프백되고, 방법은 그로부터 반복된다.

[0080] 단계(1224)에서, 현재 펄스 폭이 미리 정의된 마진을 갖는 최소 펄스 폭($t_{\text{pulse_min}}$)과 최대 펄스 폭($t_{\text{pulse_max}}$) 사이의 범위 내에 있지 않으면, 펄스 폭은 단계(1228)에서 재계산된다. 펄스 폭은 최소 펄스 폭($t_{\text{pulse_min}}$)과 최대 펄스 폭($t_{\text{pulse_max}}$) 사이의 어딘가에 있도록 설정된다. 일 예에서, 펄스 폭은 $\text{pulse_width}=t_{\text{pulse_min}}+w_0(t_{\text{pulse_max}}-t_{\text{pulse_min}})$ 로서 계산되며, 여기서 w_0 은 0과 1 사이의 설계 선택 값이다. 펄스 폭이 단계(1228)에서 재계산된 후에, 방법(1200)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 및 전압 파형들(i_{out} 및 V_{out})의 다음 사이클을 캡처하기 위해 단계(1204)로 루프백하고, 방법은 그로부터 반복된다.

[0081] 도 13은 게이트 드라이브 펄스 폭 및 리셋 시간 (t_{reset})을 설정하기 위한, 하나의 스위치 및 하나의 전원을 갖는 바이어스 공급부들(208)의 구현들과 연관된, 타이밍 파라미터 추정기(634)에 의해 수행되는 방법(1300)을 도시하는 흐름도이다. 방법(1300)은 예를 들어, 도 7a의 1-스위치, 1개 전원 구성과 함께 수행될 수 있다.

[0082] 이제 도 13을 참조하면, 단계 1302에서, 타이밍 파라미터 추정기(634)는 디폴트 임계 전류 값($I_{\text{threshold}}$), 디폴트 게이트 구동 펄스 폭, 및 디폴트 리셋 시간(t_{reset})을 로딩한다. 단계(1304)에서, 타이밍 파라미터 추정기(634)는 하나의 기본 사이클로부터 출력 전류 파형(i_{out})을 캡처한다. 일 예에서, 예를 들어, 추정기(634)는 도 10에 도시된 바와 같이, 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형 (i_{out})의 완전한 디지털 표현의 하나의 사이클을 캡처한다. 단계(1306)에서, 타이밍 파라미터 추정기(634)는 제 1 임계 전류 교차 시간($t_{i\text{-cross}1}$) 및 제 2 임계 전류 교차 시간($t_{i\text{-cross}2}$) 동안 출력 전류 파형(i_{out})을 검색한다.

[0083] 단계(1308)에서, 임계 전류 교차 시간들($t_{i\text{-cross}1}$ 및 $t_{i\text{-cross}2}$)이 단계(1306)에서 발견되지 않으면, 방법은 단계(1310)로 진행하여 게이트 드라이브 펄스 폭을 디폴트 펄스 폭 또는 이전에 계산된 펄스 폭으로 설정하고, 리셋 시간(t_{reset})을 디폴트 리셋 시간 또는 이전에 계산된 리셋 시간으로 설정한다. 그 후, 단계(1312)에서, 임계 전류 값 ($I_{\text{threshold}}$)가 도 14를 참조하여 설명된 바와 같이 계산되고, 임계 전류 ($I_{\text{threshold}}$)는 단계(1314)에서 이러한 계산으로 업데이트된다. 그 후, 방법(1300)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형(i_{out})의 다음 사이클을 캡처하기 위해 단계(1304)로 루프백하고, 이 방법은 그로부터 반복된다.

[0084] 단계(1308)에서, 임계 전류 교차 시간들($t_{i\text{-cross}1}$ 및 $t_{i\text{-cross}2}$)이 단계(1306)에서 발견되면, 방법은 단계(1316)로 진행한다. 단계(1316)에서, 리셋 시간은 제2 임계 전류 교차 시간($t_{\text{reset}}=t_{i\text{-cross}2}$)으로 설정된다. 다시

말하면, 리셋 시간(t_{reset})은 출력 전류 파형(i_{out})이 자신의 양의 피크 전류 값까지 상승하고, (제1 시간 동안 임계 전류 ($I_{\text{threshold}}$)를 교차하여) 자신의 음의 피크 전류 값까지 하강하고, 이어서 제2 시간 동안 다시 상승하여 임계 전류 ($I_{\text{threshold}}$)에 도달하는 데 걸리는 총 시간으로 설정된다.

[0085] 또한, 단계(1316)에서, 최소 펄스 폭은 제1 임계 전류 교차 시간($t_{\text{pulse_min}}=t_{i\text{-cross}1}$)으로 설정된다. 즉, 최소 펄스 폭($t_{\text{pulse_min}}$)은 출력 전류 파형(i_{out})이 그의 양의 피크 전류 값까지 상승한 다음 제1 시간 동안 하강하여 임계 전류 값($I_{\text{threshold}}$)에 도달하는데 걸리는 총 시간으로 설정된다. 단계(1318)에서, 최대 펄스 폭은 제2 임계 전류 교차 시간($t_{\text{pulse_max}}=t_{i\text{-cross}2}$) 으로 설정된다. 즉, 최대 펄스 폭($t_{\text{pulse_max}}$)은 리셋 시간(t_{reset})과 동일하게 설정된다.

[0086] 단계(1320)는 현재 펄스 폭이 미리 정의된 마진을 갖는 최소 펄스 폭($t_{\text{pulse_min}}$)과 최대 펄스 폭($t_{\text{pulse_max}}$) 사이의 범위 내에 있는지 여부를 결정한다. 현재 펄스 폭이 이 범위 내에 있는 경우, 현재 펄스 폭은 펄스 폭으로서 유지되고(단계 1322), 방법(1300)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형(i_{out})의 다음 사이클을 캡처하도록 단계(1304)로 루프백하고, 방법은 그로부터 반복된다.

[0087] 단계(1320)에서, 현재 펄스 폭이 설계 선택 값인 미리 정의된 마진을 갖는 최소 펄스 폭 ($t_{\text{pulse_min}}$) 과 최대 펄스 폭 ($t_{\text{pulse_max}}$) 사이의 범위 내에 있지 않으면, 펄스 폭은 단계(1324)에서 재계산된다. 펄스 폭은 최소 펄스 폭과 최대 펄스 폭 사이의 어딘가에 있도록 설정된다. 일 예에서, 펄스 폭은 $\text{pulse_width}=t_{\text{pulse_min}}+w_0(t_{\text{pulse_max}}-t_{\text{pulse_min}})$ 로써 계산되며, 여기서 w_0 은 0과 1 사이의 설계 선택 값이다. 펄스 폭이 단계(1324)에서 재계산된 후에, 방법(1300)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형(i_{out})의 다음 사이클을 캡처하기 위해 단계(1304)로 루프백하고, 방법은 그로부터 반복된다.

[0088] 요약하면, 도 11 내지 도 13은 1-스위치 구성들에서 게이트 구동 펄스 폭 및 리셋 시간 (t_{reset})을 계산하기 위한 3개의 상이한 방법들을 도시하며, 이들 방법들은 주로 최대 게이트 구동 펄스 폭이 계산되는 방법에서 상이하다. 도 7b의 1-스위치, 1개 전원 구성 또는 도 8의 1-스위치, 2개 전원 구성이 사용될 때, 게이트 구동 펄스 폭은 출력 전류 파형 (i_{out}), (여기서 $t_{\text{pulse_max}}=0.5(t_{i\text{-cross}1}+t_{i\text{-cross}2})$) 를 사용하여; 또는 출력 전압 파형 (V_{out}) (여기서 $t_{\text{pulse_max}}=t_{v\text{-cross}}$)를 사용하여 계산될 수 있다. 도 7a의 1-스위치 1개 전원구성이 사용될 때, 최대 게이트 드라이브 펄스 폭은 출력 전류 파형 (i_{out})을 사용함으로써 계산되며, 여기서 $t_{\text{pulse_max}}=t_{i\text{-cross}2}=t_{\text{reset}}$ 이다.

[0089] 이제 도 14를 참조하면, 도 11의 단계(1112), 도 12의 단계(1212), 및 도 13의 단계(1312)에서 임계 전류 값 ($I_{\text{threshold}}$) 를 계산하기 위한 방법(1400)을 나타내는 흐름도가 도시된다. 따라서, 도 14는 도 7a, 도 7b 및 도 8의 1-스위치 구성들과 관련하여 사용되는 방법들 중 임의의 방법에서 임계 전류 ($I_{\text{threshold}}$)값을 계산하는 데 사용된다.

[0090] 방법(1400)의 단계(1402)는 보상 전류 값(I_{comp})이 직접 이용가능한지를 결정한다. 보상 전류(I_{comp}) 는 바이어스 공급부(208)(도 2)의 인덕터(214) 및 전원(216)을 통해 흐르는 전류이고, 예를 들어, 보상 전류 값을 측정하도록 구성된 센서가 있는 경우 직접 이용가능할 수 있다. 보상 전류 값(I_{comp}) 이 직접 이용가능한 경우, 단계(1406)에서 임계 전류 값($I_{\text{threshold}}$)은 0과 보상 전류(I_{comp})의 음의 값 사이의 어딘가에 있도록 설정된다. 다시 말해서, $I_{\text{threshold}}=w_1 \cdot I_{\text{comp}}$ 이며, 여기서 w_1 은 0과 -1 사이의 설계자 선택 값이다.

[0091] 보상 전류 값(I_{comp}) 이 직접 이용가능하지 않은 경우, 리셋 시간 (t_{reset}) ($t_{\text{reset}}=t_{i\text{-cross}2}$) 으로부터 주기의 끝(t_4)까지 출력 전류 파형 (i_{out})의 음의 평균 값과 0 사이의 어딘가에 있는 것으로 단계(1404)에서 계산된다. 즉, $I_{\text{comp}}=-k \cdot (t_{\text{reset}}$ 으로부터 주기의 끝까지 i_{out} 의 평균)이고, 여기서 k 는 0과 1 사이의 설계자 선택 값이다.

보상 전류값(I_{comp})이 단계(1404)에서 계산된 후에, 그것은 임계 전류값($I_{\text{threshold}}$)을 계산하기 위해 위에서 설명된 바와 같이 단계(1406)에서 사용된다.

[0092] 이제 도 15를 참조하면, 도 7a 및 도 7b에 도시된 것들과 같은 1-스위치 1개 전원 구성을 갖는 바이어스 공급부

들을 사용할 때 도 12의 단계(1218)에서 임계 전압 값($V_{\text{threshold}}$)을 계산하기 위한 방법(1500)을 나타내는 흐름도가 도시된다. 단계(1502)는 출력 전압 파형(V_{out}) 데이터가 DC-결합되는지 또는 AC-결합되는지를 결정한다. 출력 전압 파형 (V_{out}) 데이터가 AC-결합되면, 단계(1504)에서 임계 전압 값 ($V_{\text{threshold}}$)이 V_{supply} (제1 전원 전압(216))과 동일하게 설정된다. 출력 전압 파형 (V_{out}) 데이터가 DC-결합되면, 단계(1506)에서 임계 전압 값($V_{\text{threshold}}$)이 0으로 설정된다.

[0093]

이제 도 16을 참조하면, 도 8의 것과 같은 1-스위치, 2개 전원 구성을 갖는 바이어스 공급부들을 사용할 때 도 12의 단계(1218)에서 임계 전압 값($V_{\text{threshold}}$)을 계산하기 위한 방법(1600)을 나타내는 흐름도가 도시된다. 단계(1602)는 출력 전압 파형(V_{out}) 데이터가 DC-결합되는지 또는 AC-결합되는지를 결정한다. 출력 전압 파형 (V_{out}) 데이터가 AC-결합되면, 단계(1604)에서 임계 전압 값($V_{\text{threshold}}$)은 V_{supply} (제1 전원 전압(216))과 V_{rail} (제2 전원 전압(218))의 합과 동일하도록 설정된다. 출력 전압 파형 (V_{out}) 데이터가 DC-결합되면, 임계 전압 값($V_{\text{threshold}}$)은 단계(1606)에서 V_{rail} (제2 전원 전압(218))으로 설정된다.

[0094]

다음으로, 도 17 및 도 18을 참조하면, 바이어스 공급부(208)(도 2)의 스위치 네트워크(220)에서 구현될 수 있는 2-스위치 구성들을 갖는 스위치 네트워크들의 예들이 도시된다. 도 17은 1개 전원 구성에서 구현될 수 있는 2-스위치 구성을 도시하며, 즉, 바이어스 공급부(208)는 제1 전원(216)만을 포함하고 도 6의 것과 같은 연관된 1개 전원 제어 시스템에 의해 제어된다. 도 18은 2개 전원 구성에서 구현될 수 있는, 즉 바이어스 공급부(208)가 제1 전원(216) 및 제2 전원(218)을 포함하고 도 5의 것과 같은 연관된 2개 전원 제어 시스템에 의해 제어되는 2-스위치 구성을 도시한다.

[0095]

이제 도 17을 참조하면, 2개의 스위치(S1 및 S2)를 갖는 스위치 네트워크(220)의 예이고, 바이어스 공급부(208)가 제1 전원(216)만을 포함하고 도 6의 것과 같은 연관된 1개 전원 제어 시스템에 의해 제어되는 1개 전원 구성과 함께 배치될 수 있는 스위치 네트워크(1820A)를 나타내는 개략도가 도시되어 있다. 도 17에 도시된 변형에서, 제1 스위치(S1) 및 제1 다이오드(D1)의 직렬 조합이 바이어스 공급부(208)의 복귀 노드(212)와 노드(1862) 사이에 배열된다. 또한, 제2 스위치(S2) 및 제2 다이오드(D2)의 직렬 조합이 노드(1862)와 바이어스 공급부(208)의 복귀 노드(212) 사이에 배열된다. 도 17에 도시된 바와 같이, 제1 다이오드(D1)는 제1 스위치(S1)와 노드(1862) 사이에 배열되고, 그의 애노드는 제1 스위치(S1)에 결합되고 그의 캐소드는 노드(1862)에 결합된다. 제2 다이오드(D2)는 제2 스위치(S2)와 노드(1862) 사이에 배열되고, 그의 캐소드는 제2 스위치(S2)에 결합되고 그의 애노드는 노드(1862)에 결합된다. 이러한 배열에서, 제1 다이오드(D1)의 캐소드는 노드(1862)에서 제2 다이오드(D2)의 애노드에 결합된다.

[0096]

이제 도 18을 참조하면, 2개 스위치들(S1 및 S2)를 갖는 스위칭 네트워크(220)의 예이고, 바이어스 공급부(208)가 제1 전원(216) 및 제2 전원(218)을 포함하고 도 5의 것과 같은 연관된 2개 전원 제어 시스템에 의해 제어되는 2개 전원 구성과 함께 배치될 수 있는 스위치 네트워크(1420B)를 나타내는 개략도가 도시되어 있다. 스위치 네트워크(1420A)는 노드(1050)에서 바이어스 공급부(208), 복귀 노드(212) 및 출력 노드(210)에 결합된다. 또한, 스위치 네트워크(1420A)에서 참조를 위해 노드(1460)가 도시된다. 도시된 바와 같이, 스위치 네트워크(1420A)는 노드(1050)와 노드(1460) 사이에 제1 다이오드(D1)와 직렬로 배열된 제1 스위치(S1)를 포함한다. 다이오드(D1)의 캐소드는 노드(1460)에 결합되고, 다이오드(D1)의 애노드는 스위치(S1)에 결합된다. 스위치 네트워크(1420A)는 또한 복귀 노드(212)와 노드(1460) 사이에서 제2 다이오드(D2)와 직렬로 배열된 제2 스위치(S2)를 포함한다. 다이오드(D2)의 애노드는 노드(1460)에 결합되고 다이오드(D2)의 캐소드는 스위치(S2)에 결합된다. 또한, 노드(1460)와 출력 노드(210) 사이에 인덕터(L1)가 위치한다.

[0097]

도 17 및 도 18에서, 스위치(S1)와 다이오드(D1)는 직렬로 배치되기 때문에, 스위치(S1)와 다이오드(D1)의 순서는 바뀔 수 있음은 물론이다. 마찬가지로, 스위치(S2)와 다이오드(D2)가 직렬로 배치되므로, 스위치(S2)와 다이오드(D2)의 순서는 바뀔 수 있다.

[0098]

이제 도 19를 참조하면, 도 17 및 도 18의 스위칭 네트워크들과 같은, 2개의 스위치들(S1 및 S2)을 갖는 스위칭 네트워크들을 포함하는 바이어스 공급부들의 양태들을 예시하는 그래프들 및 타이밍도가 도시된다. 스위치들(S1 및 S2)은 도 19에 도시된 비대칭 주기적 전압 및 전류 파형들(V_{out} 및 i_{out})을 생성하도록 동작된다. 작동시 제1 스위치(S1)가 폐쇄된 (턴온된) 때, 제1 다이오드(D1)가 도통되고, 제2 스위치(S2)가 폐쇄된 (턴온된) 때 제2 다이오드(D2)가 도통된다.

- [0099] 도 19를 참조하면, 출력 전류 파형(i_{out})은 시간 t_0 (스위치(S1)가 폐쇄될 때)에서 제1 임계 전류 값(I_0 와 동일하거나 동일하지 않을 수 있음)으로부터 양의 피크 전류 값으로 상승한다. 이어서, 출력 전류 파형(i_{out})은 양의 피크 전류 값으로부터 하강하여 제1 임계 전류 레벨에 도달하고 평탄화된다. 스위치(S1)가 개방(턴오프)된 후 시간 t_2 에서, 스위치(S2)는 폐쇄(턴온)되고 출력 전류 파형(i_{out})은 음의 피크 전류 값으로 하강한다. 이어서, 출력 전류 파형(i_{out})은 음의 피크 전류 값으로부터 상승하여 제2 임계 전류 값(I_0 와 동일할 수 있거나 동일하지 않을 수 있음)에 도달한다. 출력 전류 파형(i_{out})은 그 후 사이클이 종료되고 S1이 다시 폐쇄될(턴오프) 때인 시간(t_4)에서 까지 약간 음의 보상 전류 $-I_0$ 로 점진적으로 평탄해진다.
- [0100] 도시된 바와 같이, 본 명세서에 개시된 바이어스 공급부들(208)은 출력 노드(210)와 복귀 노드(212) 사이에 시간 t_0 로부터 t_4 까지 비대칭 주기적 전압 파형(V_{out})을 인가하도록 동작한다. 도시된 바와 같이, 비대칭 주기적 전압 파형(V_{out})은 시간 t_0 로부터 t_1 까지의 제1 부분을 포함하며, 이는 시간 t_0 에서 제1 음의 전압 값으로 시작하고 시간 t_1 에서 양의 피크 전압 값으로 상승한다. t_1 으로부터 t_3 까지의 제2 부분 동안, 전압 파형(V_{out})은 t_1 으로부터 t_2 까지의 데드타임 동안 전이 램프 부분(transition ramp portion)을 가지며, 이어서 시간 t_2 에서 양 V_{step} 만큼 하강하여 시간 t_3 에서 제3(음의) 전압 값에 이른다. 전압 파형(V_{out})의 제3 부분(시간 t_3 부터 t_4 까지)은 제3 전압 레벨과(시간 t_4 에서) 제4의 음의 전압 레벨 사이의 전압 램프를 포함한다.
- [0101] 도 19에 도시된 바와 같이, 비대칭 주기 전압 파형은 시간 t_2 와 t_3 사이의 전압 스텝(V_{step})을 포함하고, V_{step} 은 임의의 에너지 레벨($-E_{ion}$)에서 이온들을 생성하는 t_3 에서의 시스 전압에 대응한다. 비대칭 주기적 전압 파형의 제3 부분 동안, 시스 전압은 더 음이 될 수 있어서, 시간 t_4 에서 $-(E_{ion} + \Delta E_{ion})$ 의 에너지 레벨의 이온들이 생성된다.
- [0102] 또한, 도 19에는 시간 t_{reset} (시간 t_0 내지 t_3) 및 t_{ramp} (시간 t_3 및 t_4)이 도시된다. 도시된 바와 같이, t_{reset} 은 비대칭 주기적 전압 파형(V_{out})의 제1 및 제2 부분들 모두를 포함하는 시간을 커버하고, t_{ramp} 는 V_{out} 파형의 제3 부분을 포함한다. 또한, 도 19에는 도 2에서 참조되는 보상 전류(I_{comp})가 도시되어 있다. 보상 전류(I_{comp})는 비대칭 주기적 전압 함수의 적용 전체에 걸쳐 제공될 수 있고, i_{out} 은 비대칭 주기적 전압 파형의 제3 부분 동안(t_{ramp} 동안) I_{comp} 와 동일하거나 동일하지 않을 수 있다.
- [0103] 비대칭 주기적 전압 파형의 기본 주기(t_0 로부터 t_4 까지)는 이온 에너지들의 확산을 조정하기 위해 조정될 수 있다. 도 19에 도시된 바와 같이, 전체 전류 사이클은 비대칭 주기적 전압 파형의 제1 및 제2 부분들 동안 시간 t_0 과 t_3 사이에서 발생한다. 전체 전류 사이클들 사이의 시간은 t_3 와 t_4 사이의 시간 t_{ramp} 이다.
- [0104] 도 19에 도시된 바와 같이, 스위치들(S1 및 S2)은 조정 가능한 데드타임으로 제어될 수 있으며, 이 데드타임은(스위치(S1)가 폐쇄 위치로부터 개방된 후 및 스위치(S2)가 폐쇄되기 전의) t_1 에서 t_2 까지의 시간이다. 전압 파형(V_{out})의 제1 부분은(시간 t_1 과 t_2 사이의 데드타임 동안) 램프 프로파일에서 비대칭 주기적 전압 파형의 제2 부분으로 전이할 수 있다.
- [0105] 데드타임의 제어는 리셋 시간(t_{reset})에 대한 제어를 가능하게 하고, 램프 시간(t_{ramp})에 대한 리셋 시간(t_{reset})의 비율을 조정하는 것은 평균 전력을 조절하는 것이다. t_{reset} 에 대한 제어는 기본 스위칭 주파수가 제어될 수 있게 한다(예를 들어, 플라즈마 프로세싱 챔버(101) 내의 플라즈마 밀도에 영향을 미치는 레벨 미만으로 유지될 수 있게 한다).
- [0106] 본 명세서에 개시된 바이어스 공급부(208)로 달성될 수도 있는 제어의 다른 양태는 이온 전류 보상이다. 보다 구체적으로, 데드타임의 길이, t_{ramp} 길이, 및/또는 주기적 전압 함수의 주기(t_0 과 t_4 사이)는 이온 전류 보상의 레벨을 제어하기 위해 제어될 수 있다. 도 19에서, t_{ramp} , 데드타임, 및/또는 I_0 의 레벨은 이온 전류(I_{ion})가 $I_0 = I_{ion} - (Cch + Cstr1) * slope$ 및 $I_{comp} = I_{ion} - (Cch + Cstr0 + Cstr1) * slope$ 인 지점으로 보상되도록 제어될 수 있고(원하는 경우), 여기서 $slope$ 는 t_3 에서 t_4 까지의 출력 전압(V_{out})의 기울기이다.

- [0107] 도 19에 도시된 바와 같이, 이온 전류를 과보상할 때, 시스 전압(V_s)(및 워크퍼스(103)의 표면에서의 전압)은 (t_{ramp} 시간 프레임 동안) 시간 t_3 과 t_4 사이에서 점점 음으로 된다. t_3 과 t_4 사이의 시스 전압들의 범위로 인해, 이온 에너지들의 분포가 존재한다. 그러나, 시스 전압(V_s)(및 워크퍼스(103)의 표면에서의 전압)은 (t_{ramp} 시간 프레임 동안) 시간 t_3 과 t_4 사이에서 덜 음이 되도록 이온 전류가 과소 보상될 수 있음은 물론이다. 시스 전압(V_s)이 t_3 과 t_4 사이에서 실질적으로 일정하도록 t_3 과 t_4 사이에서 바이어스 출력 전압(V_{out})의 기울기를 조정하는 것이 또한 가능하며, 이는 이온 에너지의 매우 좁은 분포를 초래한다.
- [0108] 데드타임 및 t_{ramp} 둘 모두를 조정함으로써, 주기적 전압 파형의 주파수는 원하는 경우 고정될 수 있지만, 주기적 전압 파형의 데드타임, t_{ramp} 및 주파수를 변화시키는 것도 가능하다. 또한, t_{ramp} 를 단축 또는 연장시키면서 데드타임을 단축하는 것도 고려된다.
- [0109] 2-스위치 네트워크를 갖는 바이어스 공급부를 제어하기 위해, 2개의 게이트 구동 펄스 폭 신호들: 제1 스위치(S1)를 폐쇄(턴온) 및 개방(턴오프)하기 위한 제1 펄스 폭 신호, 및 제2 스위치(S2)를 개방(턴온) 및 폐쇄(턴오프)하기 위한 제2 펄스 폭 신호가 요구된다. 타이밍 파라미터 추정기(634)는 출력 전류(i_{out})가 제1 시간 동안 및 제2 시간 동안 반전할 때(임계 전류 값을 가로지를 때)를 검출할 수 있고, 스위치들(S1 및 S2)이 이들 시간들에서 또는 그 후에 개방(턴오프)되게 하기 위해 게이트 구동 신호 생성기(636)에 각각의 펄스 폭 신호들을 생성할 수 있다. 일단 전류가 방향을 반전시키면, 전류는 더 이상 능동 스위치를 통해 흐르지 않고, 안전하게 개방(턴오프)될 수 있다. 제2 스위치(S2)는 리셋 시간(t_{reset}) 전에 개방(턴오프)되어야 하므로 전압 출력 파형(V_{out})은 시간(t_{ramp}) 동안 하향 램프 프로파일을 취한다. 따라서, 단일-스위치 구성에서와 같이, 펄스 폭들이 그 안에 속할 수 있는 펄스 폭들의 범위가 존재한다. 또한, 2-스위치 구성에서, 제2 스위치(S2)가 폐쇄(턴온)되는 시간(t_2)이 계산되어야 한다. 제1 스위치(S1)가 (1-스위치 구성에서와 같이) 시간 t_0 에서 작동으로 폐쇄(턴온)되기 때문에, 제1 스위치(S1)가 폐쇄(턴온)될 때에 대한 계산은 필요하지 않다. 아래에서 설명되는 도 20 내지 도 22는 제1 및 제2 스위치들에 대한 게이트 펄스 폭들, 리셋 시간(t_{reset}), 및 제2 스위치에 대한 폐쇄(턴온) 시간을 계산하는 것을 다룬다.
- [0110] 도 20은 2개의 스위치들을 갖는 바이어스 공급부들(208)의 구현들과 연관된 타이밍도이고, 게이트 구동 펄스 폭들 (t_{pulse1} 및 t_{pulse2}), 제2 스위치를 턴온하기 위한 시간 (t_2), 및 리셋 시간 (t_{reset})의 계산에서 타이밍 파라미터 추정기(634)에 의해 사용되는 다양한 타이밍 파라미터들을 예시한다. 도 20은 비대칭 주기적 출력 전압 파형(V_{out})의 완전한 디지털 표현의 하나의 사이클, 및 비대칭 주기적 전류 파형(i_{out})의 완전한 디지털 표현의 하나의 사이클을 도시한다. 타이밍 파라미터 추정기 (634)는 예를 들어, 계측 섹션 (620)으로부터 전압 및 전류 파형들의 이들 표현들을 수신할 수도 있다. 도 20의 다음의 설명에서, 시간 t_0 - t_4 는 도 19의 타이밍도에 표시된 바와 같다.
- [0111] 도 20을 참조하면, 출력 전류 파형(i_{out})은 시간 t_0 (스위치(S1)가 폐쇄될 때)에서 제1 임계 전류 값($I_{threshold1}$)으로부터 양의 피크 전류 값으로 상승한다. 출력 전류 파형(i_{out})은 그 후 제1 임계 전류 교차 시간($t_{i-cross1}$)에서 제1 임계 전류($I_{threshold1}$)를 교차하도록 양의 피크 전류 값으로부터 하강한다. 스위치(S1)가 개방(턴오프)된 후 시간 t_2 에서, 스위치(S2)는 폐쇄(턴온)되고 출력 전류 파형(i_{out})은 음의 피크 전류 값으로 하강한다. 출력 전류 파형(i_{out})은 제2 임계 전류 교차 시간($t_{i-cross2}$)에서 제2 임계 전류($I_{threshold2}$)를 교차하도록 음의 피크 전류 값으로부터 상승한다. 출력 전류 파형(i_{out})은 그 후 약간의 음의 보상 전류($-I_{comp}$)로 점진적으로 평탄화된다.
- [0112] 도 20의 비대칭 주기적 전압 파형(V_{out})은 시간 t_0 에서 t_1 까지의 제1 부분을 포함하며, 이는 제1 음의 전압 값으로 시간 t_0 에서 시작하고 시간 t_1 에서 양의 피크 전압 값으로 상승한다. t_2 으로부터 t_3 까지의 제2 부분 동안, 전압 파형 (V_{out})은 t_1 으로부터 t_2 까지의 데드타임 동안 전이 램프 부분을 가지며, 이어서 시간 t_2 에서 양 V_{step} 만큼 하강하여 시간 t_3 에서 제3 (음의) 전압 값에 이른다. 전압 파형(V_{out})의 제3 부분(시간 t_3 에서 t_4 까지)은 제3 전압 레벨과 제4의 음의 전압 레벨(시간 t_4 에서) 사이에서 꾸준히 그리고 음으로 램핑한다.

- [0113] 도 21은, 게이트 구동 펄스 폭들 (t_{pulse1} 및 t_{pulse2}), 제 2 스위치 S2를 폐쇄(턴온)하기 위한 시간 t_2 , 및 리셋 시간 (t_{reset})을 계산하기 위한, 2개의 스위치들을 갖는 바이어스 공급부들(208)의 구현들과 함께, 타이밍 파라미터 추정기(634)에 의해 수행되는 방법(2100)을 도시하는 흐름도이다. 방법(2100)은 도 17의 구성과 같은 2-스위치, 1개 전원 구성과 함께, 또는 도 18에 도시된 것과 같은 2-스위치, 2개 전원 구성과 함께 수행될 수 있다.
- [0114] 이제 도 21을 참조하면, 단계(2102)에서, 타이밍 파라미터 추정기(634)는 디폴트 제1 및 제2 임계 전류 값들 ($I_{threshold1}$ 및 $I_{threshold2}$), 디폴트 게이트 구동 펄스 폭들(t_{pulse1} 및 t_{pulse2}), 및 디폴트 리셋 시간(t_{reset})을 로딩한다. 단계(2104)에서, 타이밍 파라미터 추정기(634)는 하나의 기본 사이클로부터 출력 전류 파형(i_{out})을 캡처한다. 일 예에서, 예를 들어, 추정기(634)는 도 20에 도시된 바와 같이, 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형 (i_{out})의 완전한 디지털 표현의 하나의 사이클을 캡처한다. 단계(2106)에서, 제1 및 제2 임계 전류 값들($I_{threshold1}$ 및 $I_{threshold2}$)이 도 22에 도시된 바와 같이 계산된다.
- [0115] 단계(2106)에서의 임계 전류 값들의 계산에 후속하여, 방법(2100)은 제1 펄스 폭(t_{pulse1}) 및 제2 게이트 구동 펄스의 시작을 위한 시간(t_2)을 계산하기 위해 단계들(2108-2126)로, 그리고 제2 펄스 폭(t_{pulse2})을 계산하기 위해 단계들(2128-2140)로 진행한다. 제1 펄스 폭 및 제2 스위치(S2)를 턴온하기 위한 시간을 계산하기 위한 단계들(2108-2126)이 먼저 설명된다.
- [0116] 단계 (2108)에서, 타이밍 파라미터 추정기(634)는 출력 전류 (i_{out}) 파형이 제1 임계 전류 값 ($I_{threshold1}$) 을 교차하는 시간 ($t_{i-cross1}$)동안 시간 t_0 에서 시간 t_2 까지 출력 전류 (i_{out}) 파형을 검색한다. 단계(2110)에서, 제1 임계 전류 교차 시간($t_{i-cross1}$)이 발견되지 않으면, 방법은 단계(2112)로 진행하여 제1 게이트 구동 펄스 폭 (t_{pulse1})을 디폴트 펄스 폭 또는 이전에 계산된 펄스 폭으로 설정하고, 제2 펄스의 시작(스위치 2의 폐쇄)을 위한 시간(t_2)을 디폴트 또는 이전에 계산된 시간(t_2)으로 설정한다. 그 후, 방법(2100)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형(i_{out})의 다음 사이클을 캡처하기 위해 단계(2104)로 루프백하고, 이 방법은 그로부터 반복된다.
- [0117] 단계(2110)에서, 제1 임계 전류 교차 시간($t_{i-cross1}$)이 발견되면, 방법은 단계(2114)로 진행한다. 단계 (2114)에서, 최소 제1 펄스 폭은 제1 임계 전류 교차 시간($t_{pulse1_min}=t_{i-cross1}$)과 동일하게 설정된다. 다시 말해서, 제1 펄스의 최소 폭(S1이 폐쇄 또는 턴온되는 동안의 시간)은 출력 전류 파형(i_{out})이 그의 양의 피크 전류로 상승한 다음 그것이 제1 임계 전류 값($I_{threshold}$)과 교차하는 지점까지 제1 시간 동안 하강하는 데 걸리는 t_0 로부터의 총 시간으로 설정된다.
- [0118] 단계(2116)에서, 현재 제1 펄스 폭(t_{pulse1})이 최소 제1 펄스 폭(t_{pulse1_min})에 마진(설계 선택 값)을 더한 것보다 크면, 단계(2118)에서 제1 펄스 폭(t_{pulse1}) 및 시간(t_2)은 그들의 현재 값들로 유지된다. 그 후, 방법(2100)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형(i_{out})의 다음 사이클을 캡처하기 위해 단계 (2104)로 루프백하고, 이 방법은 그로부터 반복된다. 단계(2116)에서, 현재의 제1 펄스 폭(t_{pulse1})이 마진을 포함한 최소 펄스 폭(t_{pulse1_min})보다 크지 않으면, 제1 펄스 폭(t_{pulse1})은 단계(2120)에서 최소 제1 펄스 폭 (t_{pulse1_min})에 마진을 더한 것($t_{pulse1}=t_{pulse1_min}+$ 마진)으로 설정된다.
- [0119] 단계(2122)에서, 시간(t_2)(제2 펄스가 시작되어 S2 가 폐쇄(턴온)되는 시간)이 제1 펄스 폭(t_{pulse1}) 플러스 마진보다 크면, 단계(2124)에서 t_2 가 동일하게 유지된다. 그 후, 방법(2100)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형(i_{out})의 다음 사이클을 캡처하기 위해 단계(2104)로 루프백하고, 이 방법은 그로부터 반복된다.
- [0120] 단계(2126)에서, 시간(t_2)이 마진을 더한 제1 펄스 폭(t_{pulse1})보다 크지 않으면, 시간(t_2)은 제1 펄스 폭(t_{pulse1}) 플러스 데드타임(t_1 에서 t_2 까지의 시간), 즉 $t_2=t_{pulse1}+$ 데드타임과 동일하도록 설정된다. 그 후, 방법 (2100)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형(i_{out})의 다음 사이클을 캡처하기 위해 단계

(2104)로 루프백하고, 이 방법은 그로부터 반복된다.

[0121] 다음 제2 펄스 폭(t_{pulse2})을 계산하기 위한 단계들(2128 내지 2140)이 설명된다. 단계 (2128)에서, 단계 (2106)에서 제 1 및 제 2 임계 전류 값들 ($I_{threshold1}$ 및 $I_{threshold2}$)의 계산에 후속하여, 타이밍 파라미터 추정기 (634) 는, 시간 t_2 로부터 시작하여, 출력 전류 (i_{out})와형이 제 2 임계 전류값 ($I_{threshold2}$) 을 교차하는 시간 ($t_{i-cross2}$) 을 찾는다. 단계(2130)에서, 제2 임계 전류 교차 시간($t_{i-cross2}$)이 발견되지 않으면, 방법은 단계 (2132)로 진행하여 제2 게이트 구동 펄스 폭(t_{pulse2})을 디폴트 제2 펄스 폭 또는 이전에 계산된 제2 펄스 폭으로서 설정하고, 리셋 시간(t_{reset})을 디폴트 리셋 시간 또는 이전에 계산된 리셋 시간으로서 설정한다. 그 후, 방법(2100)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형(i_{out})의 다음 사이클을 캡처하기 위해 단계(2104)로 루프백하고, 이 방법은 그로부터 반복된다.

[0122] 단계(2130)에서, 제2 임계 전류 교차 시간($t_{i-cross2}$)이 발견되면, 방법은 단계(2134)로 진행한다. 단계 (2134)에서, 최소 제2 펄스 폭은 제2 임계 전류 교차 시간에서 시간 t_2 를 뺀 것($t_{pulse2_min}=t_{i-cross2}-t_2$)과 동일하게 설정된다. 즉, 제2 펄스의 최소 폭(S2가 폐쇄되거나 턴온되는 시간)은 출력 전류 파형(i_{out})이 이의 음의 피크 전류 값으로 하강한 다음 제2 임계 전류 값($I_{threshold2}$)과 교차하는 지점까지 상승하는 t_2 부터의 총 시간으로 설정된다. 또한, 리셋 시간은 제2 임계 전류 교차 시간과 동일하게 설정된다($t_{reset}=t_{i-cross2}$).

[0123] 단계(2136)에서, 현재의 제2 펄스 폭(t_{pulse2})이 마진을 더한 최소 제2 펄스 폭(t_{pulse2_min})보다 크면, 제2 펄스 폭 (t_{pulse2})은 단계(2138)에서 그 현재 값으로 유지된다. 그 후, 방법(2100)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형(i_{out})의 다음 사이클을 캡처하기 위해 단계(2104)로 루프백하고, 이 방법은 그로부터 반복된다.

[0124] 단계(2136)에서, 현재의 제2 펄스 폭(t_{pulse2})이 마진을 더한 최소 제2 펄스 폭(t_{pulse2_min})보다 크지 않으면, 제2 펄스 폭은 단계(2140)에서 최소 제2 펄스 폭(t_{pulse2_min}) 플러스 마진($t_{pulse2}=t_{pulse2_min}+마진$)으로 설정된다. 그 후, 방법(2100)은 계측 섹션(620)에 의해 제공되는 비대칭 주기적 전류 파형(i_{out})의 다음 사이클을 캡처하기 위해 단계(2104)로 루프백하고, 이 방법은 그로부터 반복된다.

[0125] 도 22는 도 21의 단계(2106)에서 제1 및 제2 임계 전류 값들($I_{threshold1}$ 및 $I_{threshold2}$)을 계산하기 위한, 즉 도 17 및 도 18의 2-스위치 구성들과 함께 제1 및 제2 임계 전류 값들을 계산하기 위한 방법(2200)을 도시하는 흐름도 이다.

[0126] 단계(2202)는 보상 전류(I_{comp})가 예컨대 직접 감지됨으로써 직접 이용가능한지 여부를 결정한다. 보상 전류 (I_{comp})는 바이어스 공급부(208)(도 2)의 인덕터(214) 및 파워 서플라이(216)를 통해 흐르는 전류이다. 보상 전류(I_{comp})는 직접 이용 가능하다면, 제1 임계 전류($I_{threshold1}$)는 단계(2206)에서 0과 보상 전류(I_{comp})의 음의 값 사이의 어딘가에 있도록 설정된다. 다시 말해서, $I_{threshold1}=W_1 \cdot I_{comp}$ 이며, 여기서 W_1 은 0과 -1 사이의 설계 선택 값이다. 마찬가지로, 제2 임계 전류($I_{threshold2}$)는 0과 보상 전류(I_{comp})의 음의 값 사이의 의 어딘가에 있도록 설정된다. 다시 말해서, $I_{threshold2}=W_2 \cdot I_{comp}$ 이며, 여기서 W_2 은 0과 -1 사이의 설계 선택 값이다.

[0127] 보상 전류 (I_{comp})가 직접 이용가능하지 않은 경우, 리셋 시간 (t_{reset}) ($t_{reset}=t_{i-cross2}$) 으로부터 주기의 끝(t_4)까지 출력 전류 파형 (i_{out})의 음의 평균 값과 0 사이의 어딘가에 있는 것으로 단계(2204)에서 계산된다. 즉, $I_{comp}=-k \cdot (t_{reset}$ 으로부터 주기의 끝까지 i_{out} 의 평균)이고, 여기서 k 는 0과 1 사이의 설계 선택 값이다. 단계(2204)에서 보상 전류 (I_{comp})가 계산된 후에, 그것은 임계 전류 ($I_{threshold}$)를 계산하기 위해 위에서 설명된 바와 같이 단계(2206)에서 사용된다.

[0128] 본 명세서에서 개시된 실시형태들과 관련하여 설명된 방법들은 하드웨어에서, 비일시적인 유형의 프로세서 관독 가능 저장 매체에서 인코딩된 프로세서 실행가능 코드에서, 또는 이들 양자의 조합에서 직접 구현될 수도 있다. 예를 들어, 도 23 을 참조하면, 본 명세서에서 개시된 제어 양태들을 실현하기 위해 활용될 수도 있는 물리 컴포넌트들을 도시한 블록 다이어그램이 도시된다. 도시된 바와 같이, 디스플레이 (2312) 및 비휘발성 메모

리 (2320) 는 버스 (2322) 에 결합되고, 이 버스 (1322) 는 또한 랜덤 액세스 메모리 ("RAM") (2324), 프로세서 (N개의 프로세서 컴포넌트들을 포함) (2326), 필드 프로그래밍가능 게이트 어레이 (FPGA) (2327), 및 N개의 트랜시버들을 포함하는 트랜시버 컴포넌트 (2328) 에 결합된다. 도 23에 도시된 컴포넌트들은 물리적 컴포넌트들을 나타내지만, 도 23은 상세한 하드웨어 다이어그램인 것으로 의도되지 않으며; 따라서, 도 23에 도시된 컴포넌트들 중 다수는 공통 구성들에 의해 실현되거나 추가적인 물리적 컴포넌트들 사이에 분포될 수 있다.

더욱이, 다른 기존 및 아직 개발되지 않은 물리적 컴포넌트들 및 아키텍처들은 도 23를 참조하여 설명된 기능적 컴포넌트들을 구현하기 위해 활용될 수도 있음은 물론이다.

[0129] 디스플레이 (2312) 는 일반적으로, 사용자에게 사용자 인터페이스를 제공하도록 동작하고, 여러 구현들에 있어서, 디스플레이는 터치스크린 디스플레이에 의해 실현된다. 일반적으로, 비휘발성 메모리 (2320) 는 데이터 및 프로세서 실행가능 코드 (본 명세서에서 설명된 방법들을 실시하는 것과 연관되는 실행가능 코드를 포함) 를 저장 (예컨대, 지속적으로 저장) 하도록 기능하는 비일시적인 메모리이다. 예를 들어, 일부 실시 형태들에 있어서, 비휘발성 메모리(2320)는 바이어스 공급부의 스위치 네트워크를 제어하는 방법의 실행을 용이하게 하기 위해 부트로더 코드, 운영 체제 코드, 파일 시스템 코드, 및 비일시적 프로세서 실행가능 코드를 포함한다. 일부 구현들에서, 타이밍 파라미터 추정기 (634) 는 비휘발성 메모리 (2330)에 프로세서 실행가능 코드로서 저장될 수도 있는 명령들을 실행하는 프로세서에 의해 (적어도 부분적으로) 실현될 수도 있다.

[0130] 다수의 구현들에 있어서, 비휘발성 메모리 (2320) 는 플래시 메모리 (예를 들어, NAND 또는 ONENAND 메모리) 에 의해 실현되지만, 다른 메모리 타입들이 물론 활용될 수도 있음이 고려된다. 비휘발성 메모리 (2320) 로부터 코드를 실행하는 것이 가능할 수도 있지만, 비휘발성 메모리에서 실행가능 코드는 통상적으로 RAM (2324) 에 로딩되고 프로세서 부분 (2326) 에서 N 프로세서 컴포넌트들 중 하나 이상에 의해 실행된다.

[0131] RAM (2324) 과 관련된 N개의 프로세서 컴포넌트들은 일반적으로, 비휘발성 메모리 (2320) 에 저장된 명령들을 실행하여, 본 명세서에서 개시된 알고리즘들 및 기능들의 실행을 가능케 하도록 동작한다. 여러개의 알고리즘들이 본 명세서에서 개시되지만, 이들 알고리즘들 중 일부는 플로우차트들에서 표현되지 않음이 인식되어야 한다. 본 명세서에서 설명된 방법들을 실시하기 위한 프로세서 실행가능 코드는 비휘발성 메모리 (2320) 에 지속적으로 저장되고 RAM (2324) 과 관련된 N개의 프로세서 컴포넌트들에 의해 실행될 수도 있다. 당업자가 인식할 바와 같이, 프로세서부 (2326) 는 비디오 프로세서, 디지털 신호 프로세서 (DSP), 마이크로 제어기, 그래픽스 프로세서 유닛 (GPU), 또는 다른 하드웨어 프로세서 컴포넌트들 또는 하드웨어와 소프트웨어 프로세서 컴포넌트들의 조합들 (예컨대, FPGA 또는 디지털 로직 프로세서부들을 포함한 FPGA) 을 포함할 수도 있다.

[0132] 추가적으로 또는 대안적으로, 비일시적 FPGA 구성 명령들은 비휘발성 메모리(2320)에 지속적으로 저장되고 본 명세서에 개시된 알고리즘들을 구현하도록 필드 프로그래밍가능 게이트 어레이(FPGA)를 구성하기 위해 (예를 들어, 부트 업 동안) 액세스될 수 있다.

[0133] 입력 컴포넌트 (2330) 는 신호들 (예컨대, 개시된 바이어스 공급부들의 출력에서 획득된 전류 및 전압을 나타내는 신호들) 을 수신할 수도 있다. 부가적으로, 입력 컴포넌트 (2330) 는, 소스 생성기와 단일 스위치 바이어스 공급부 사이의 동기화된 제어 및/또는 플라즈마 프로세서 챔버 (101) 내의 환경의 하나 이상의 양태들을 나타내는, 바이어스 공급부들 (108) 과 소스 생성기 (112) 사이의 위상 정보 및/또는 동기화 신호를 수신할 수도 있다. 입력 컴포넌트에서 수신된 신호들은, 예를 들어, 동기화 신호들, 다양한 생성기들 및 전력 공급 유닛들에 대한 전력 제어 신호들, 또는 사용자 인터페이스로부터의 제어 신호들을 포함할 수도 있다. 당업자는, 제한없이, 지향성 커플러들 및 전압-전류 (VI) 센서들과 같은 다양한 타입들의 센서들 중 임의의 것이 전압 및 전류와 같은 전력 파라미터들을 샘플링하는데 사용될 수도 있고, 전력 파라미터들을 나타내는 신호들이 아날로그 도메인에서 생성되고 디지털 도메인으로 변환될 수 있음을 용이하게 인식할 것이다.

[0134] 당업자가 본 개시의 관점에서 인식할 수 있듯이, 출력 컴포넌트는 스위치들 (S1 및 S2) 의 개방 및 폐쇄를 (적어도 부분적으로) 달성하기 위해 하나 이상의 아날로그 또는 디지털 신호들을 제공하도록 동작할 수도 있다. 출력 컴포넌트는 또한 본 명세서에 설명된 전압원들을 제어할 수 있다.

[0135] 도시된 트랜시버 컴포넌트 (2328) 는 N 트랜시버 체인들을 포함하며, 이들은 무선 또는 유선 네트워크들을 통해 외부 디바이스들과 통신을 위해 사용될 수도 있다. N 트랜시버 체인들 각각은 특정 통신 스킴 (예를 들어, WiFi, 이더넷 (Ethernet), 프로피버스 (Profibus) 등) 과 연관된 트랜시버를 나타낼 수도 있다.

[0136] 당업자에 의해 인식될 바와 같이, 본 개시의 양태들은 시스템, 방법 또는 컴퓨터 프로그램 제품으로서 구현될 수도 있다. 이에 따라, 본 개시의 양태들은 완전히 하드웨어 실시형태, 완전히 소프트웨어 실시형태 (펌웨어

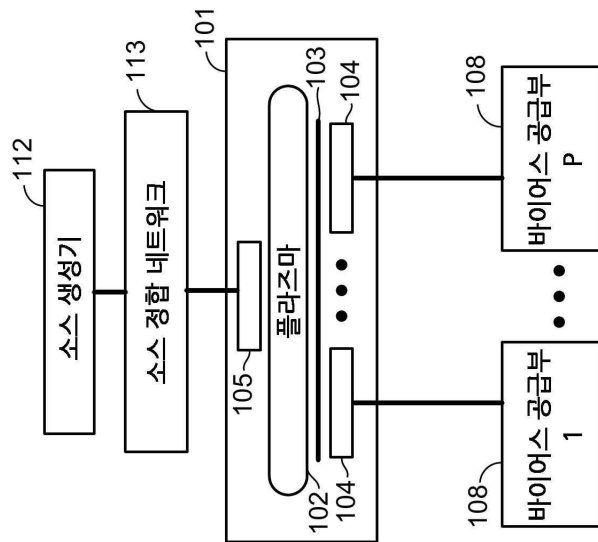
어, 상주 소프트웨어, 마이크로 코드 등을 포함함) 또는 소프트웨어 및 하드웨어 양태들을 조합한 실시형태의 형태를 취할 수도 있으며, 이들 모두는 일반적으로 본 명세서에서 "회로", "모듈" 또는 "시스템" 으로서 지칭될 수도 있다. 더욱이, 본 개시의 양태들은 컴퓨터 판독가능 프로그램 코드를 수록하고 있는 하나 이상의 컴퓨터 판독가능 매체(들)에 수록된 컴퓨터 프로그램 제품의 형태를 취할 수도 있다.

[0137]

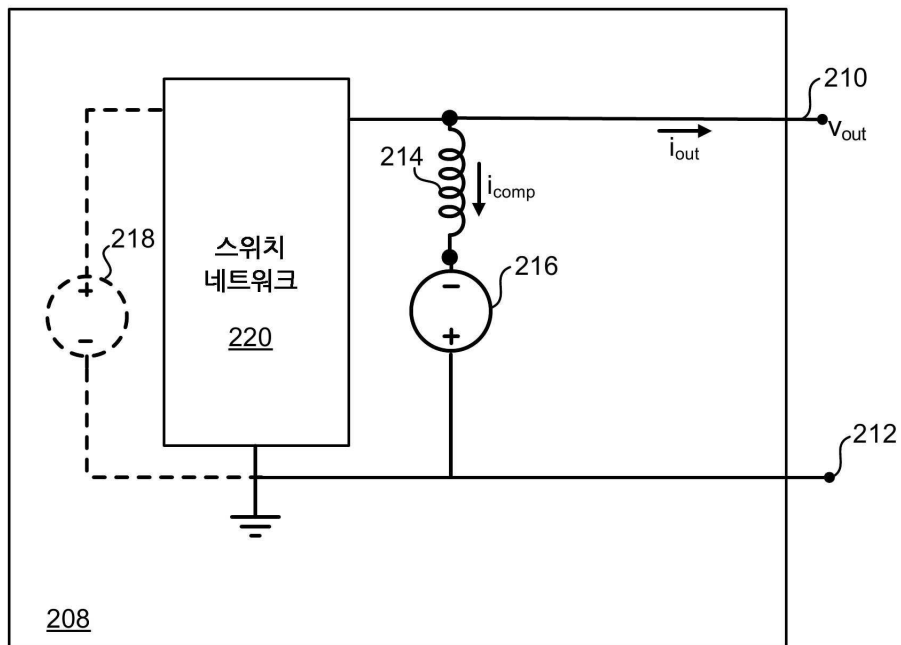
본 명세서에서 사용되는 바와 같이, "A, B 또는 C 중 적어도 하나" 또는 "A, B 및 C 중 적어도 하나"의 언급은 "A, B, C 또는 A, B 및 C의 임의의 조합"을 의미하는 것으로 의도된다. 개시된 실시예들의 이전의 설명은 당업자가 본 개시를 만들거나 사용할 수 있도록 제공된다. 이러한 실시예들에 대한 다양한 수정들이 당업자에게 용이하게 명백할 것이고, 본 명세서에 정의된 일반적인 원리들은 본 발명의 사상 또는 범위를 벗어나지 않으면서 다른 실시예들에 적용될 수도 있다. 따라서, 본 개시는 본 명세서에서 도시된 실시형태들에 한정되도록 의도되지 않으며, 본 명세서에서 개시된 원리들 및 신규한 피쳐들에 부합하는 최광의 범위를 부여받아야 한다.

도면

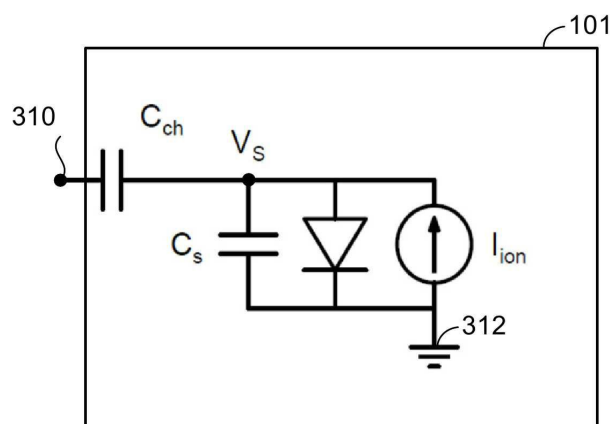
도면1



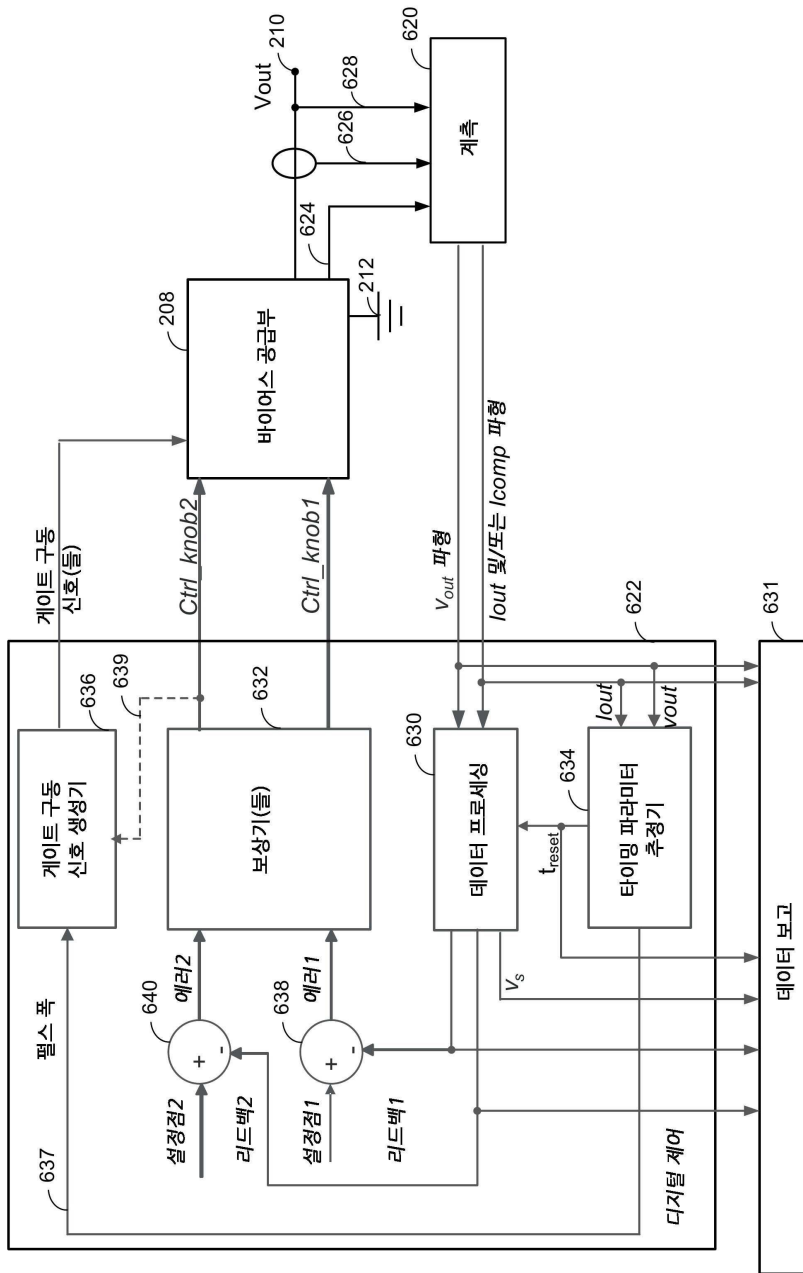
도면2



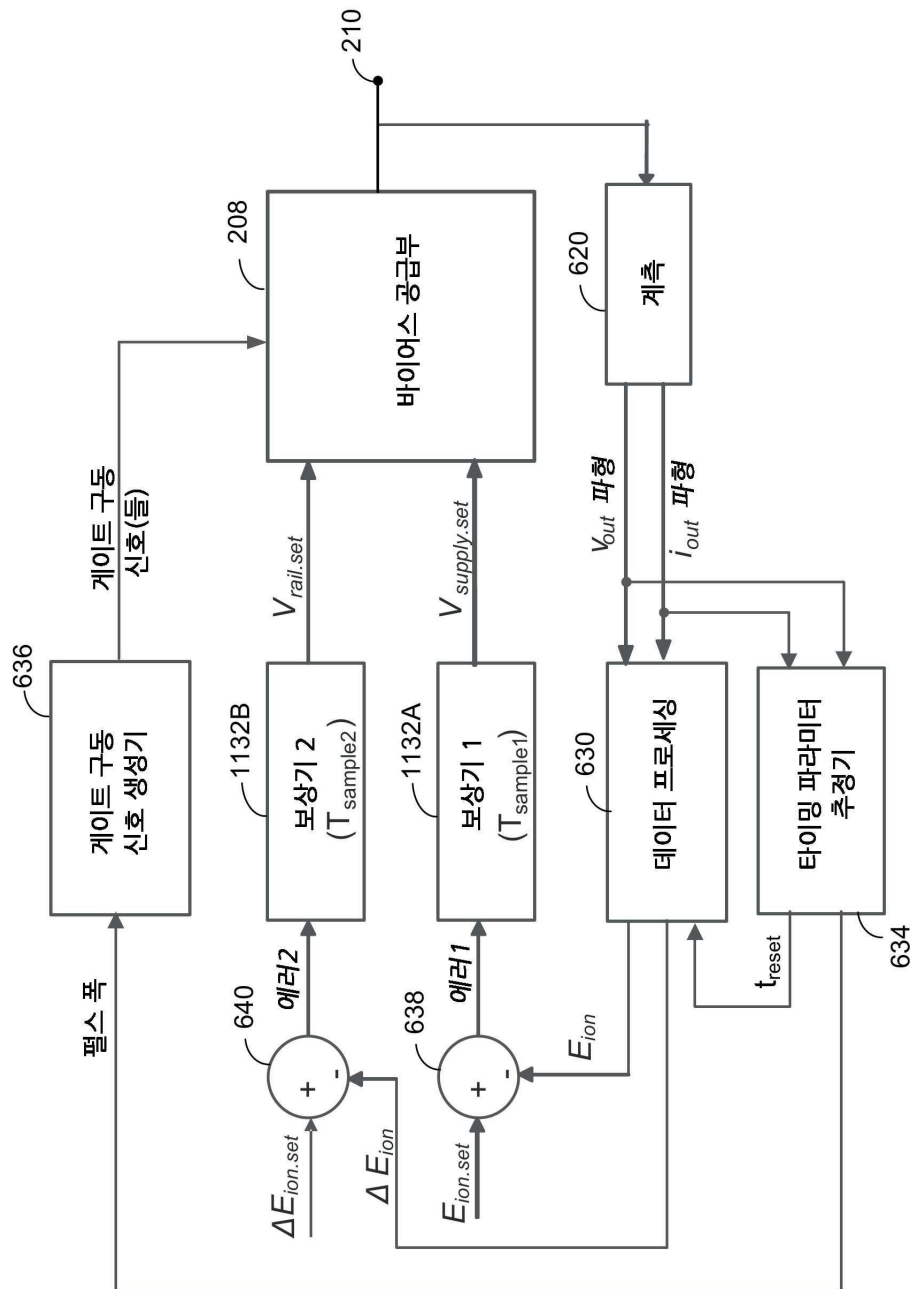
도면3



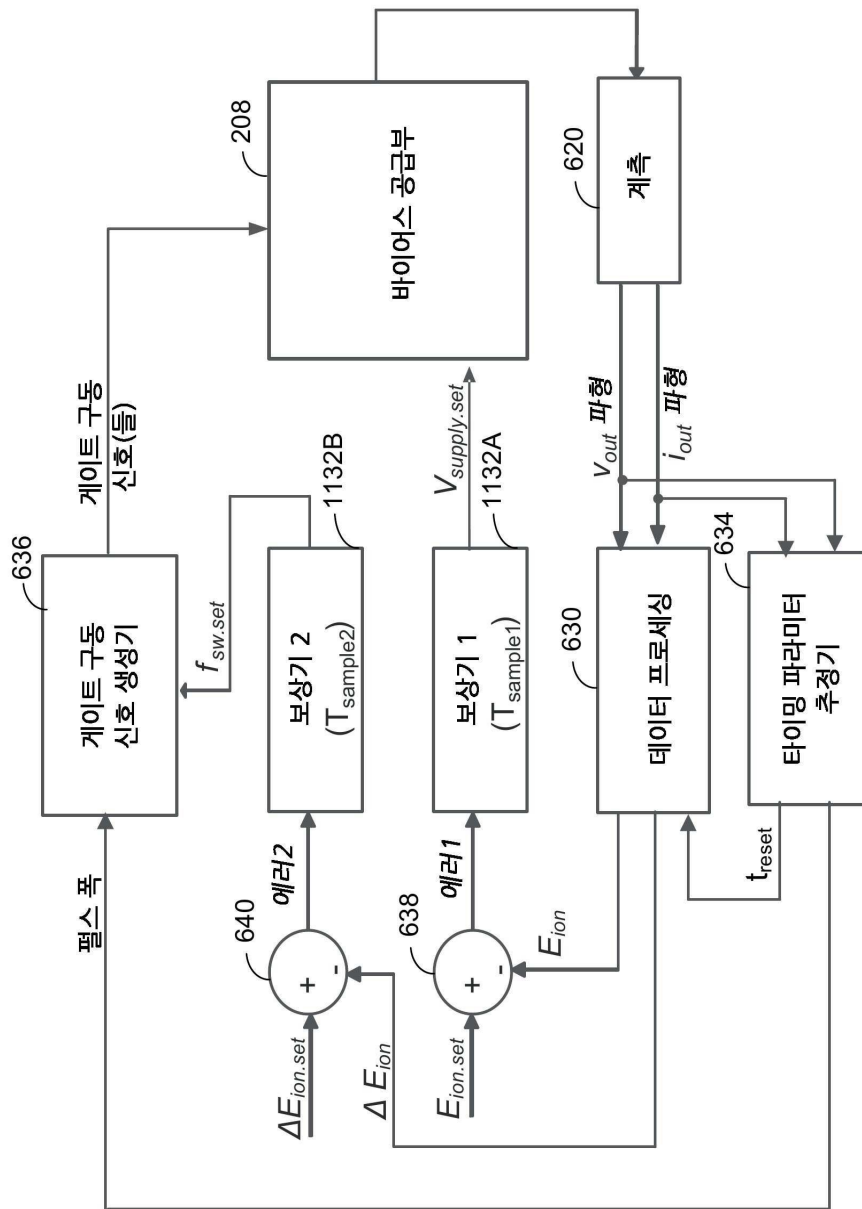
도면4



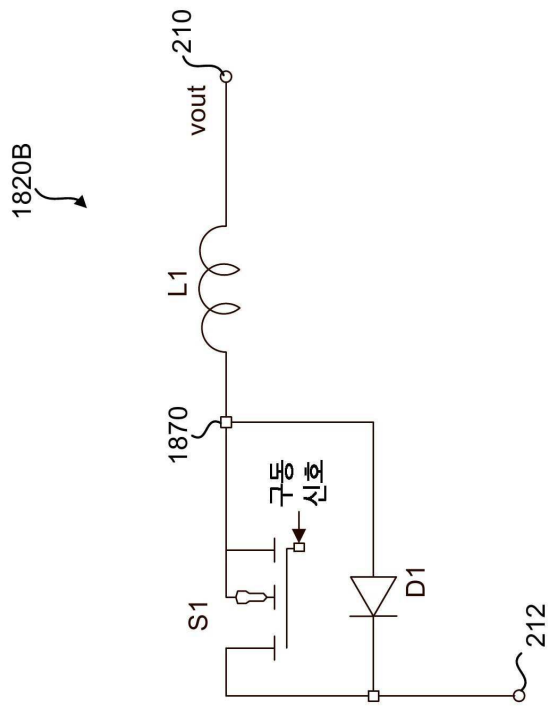
도면5



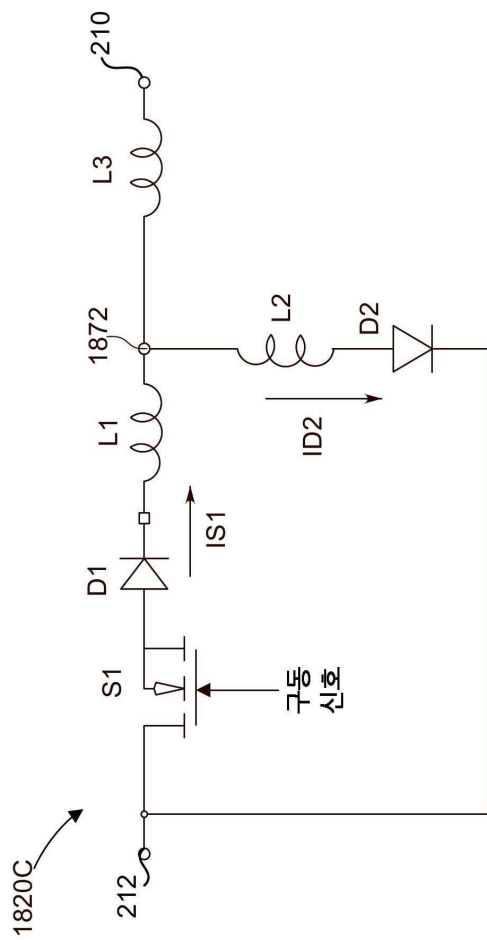
도면6



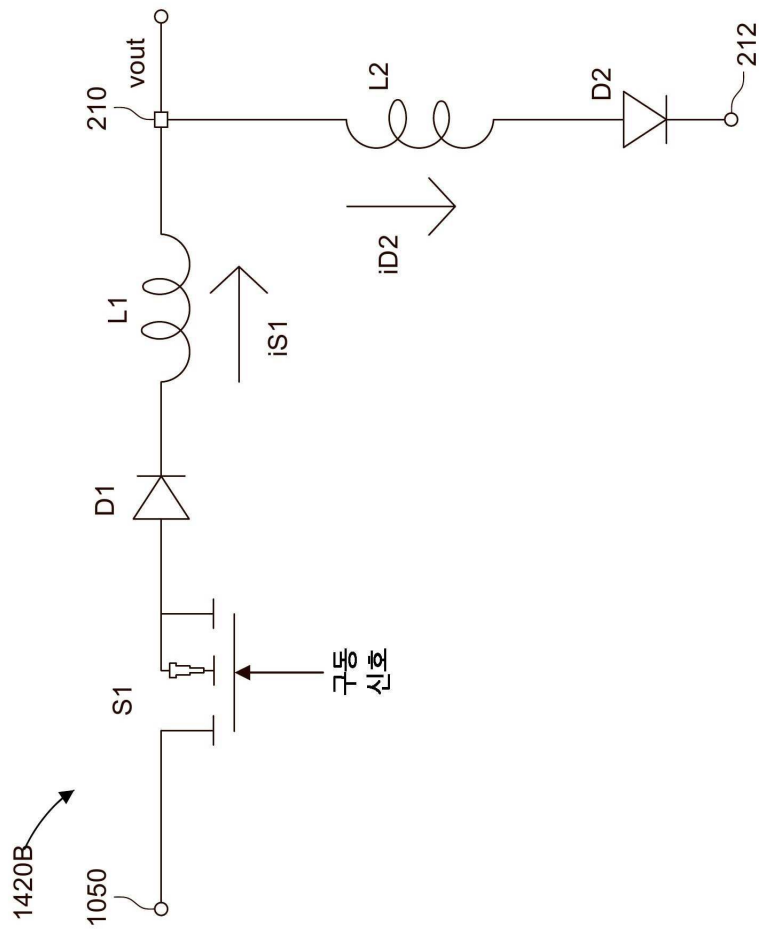
도면7a



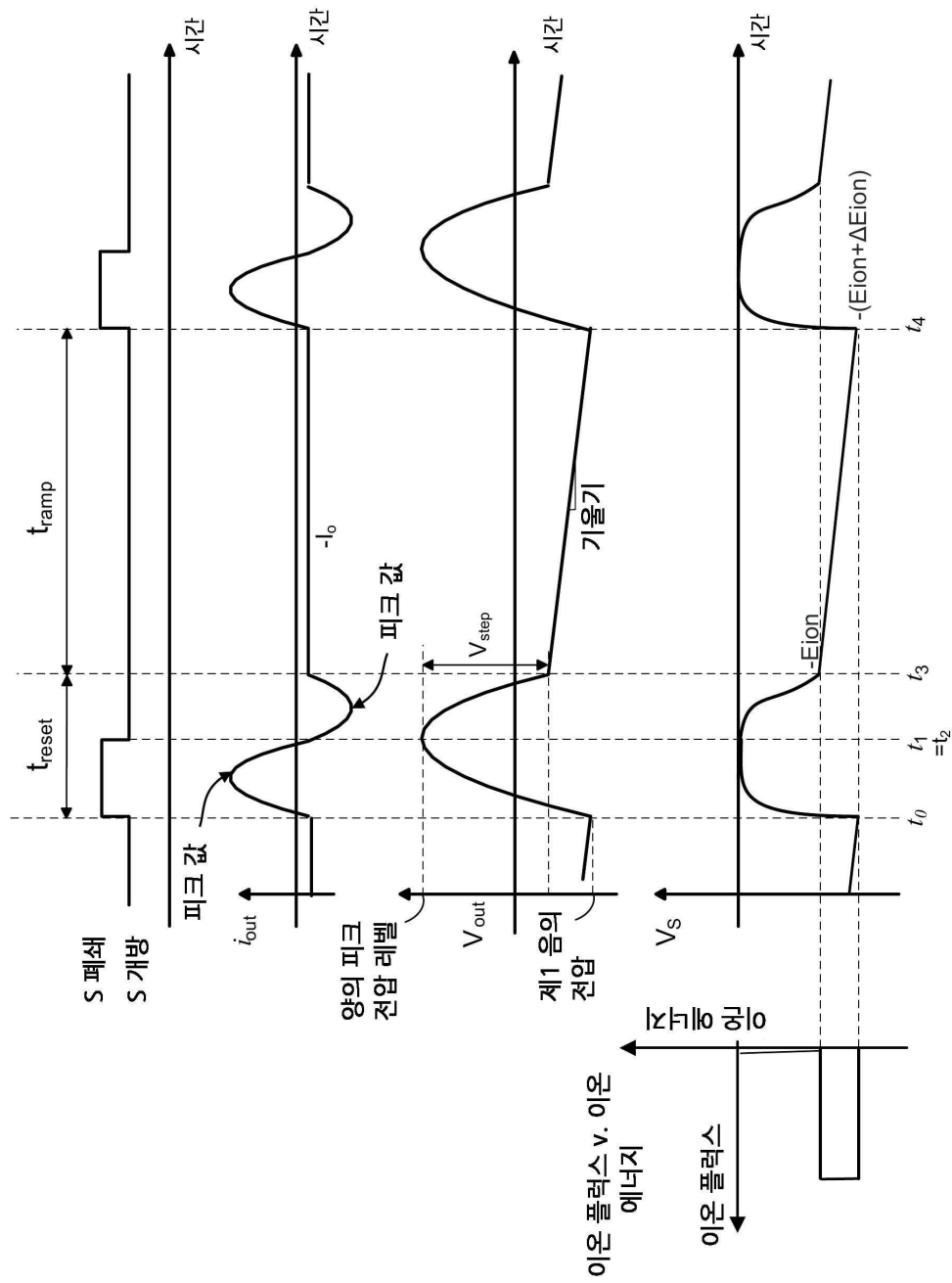
도면7b



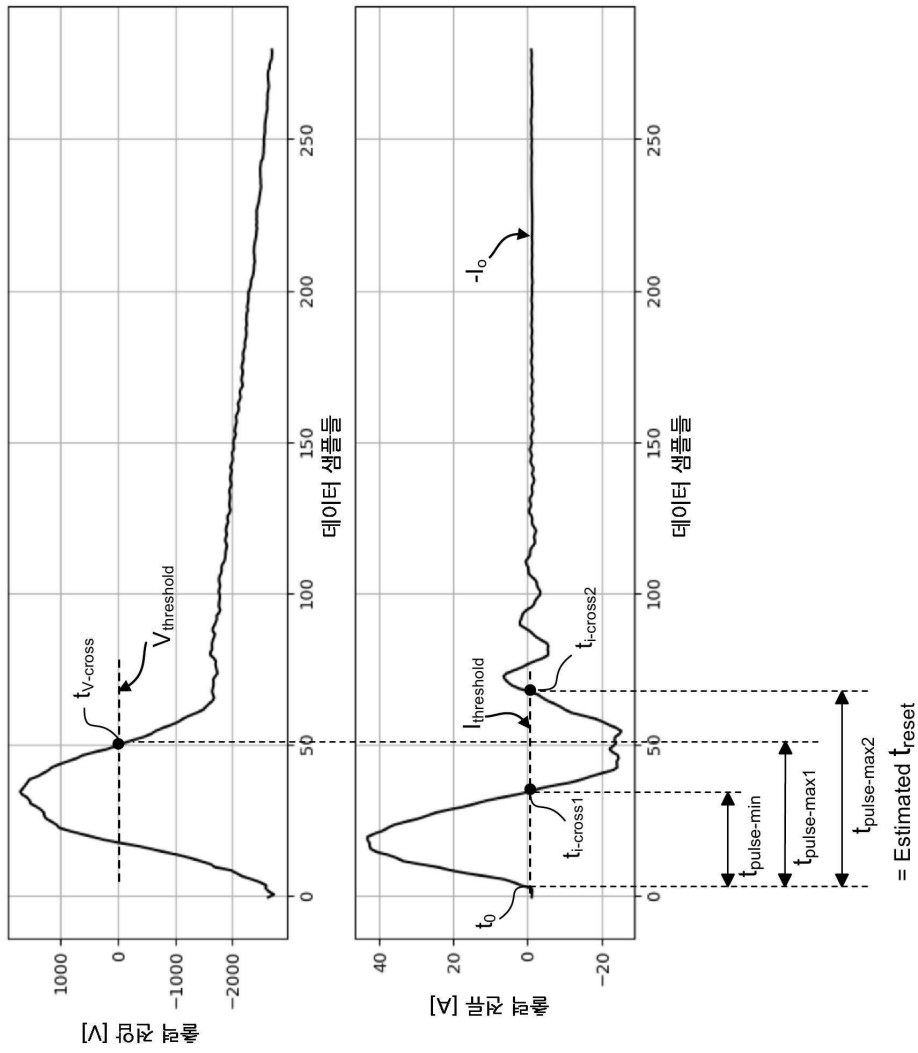
도면8



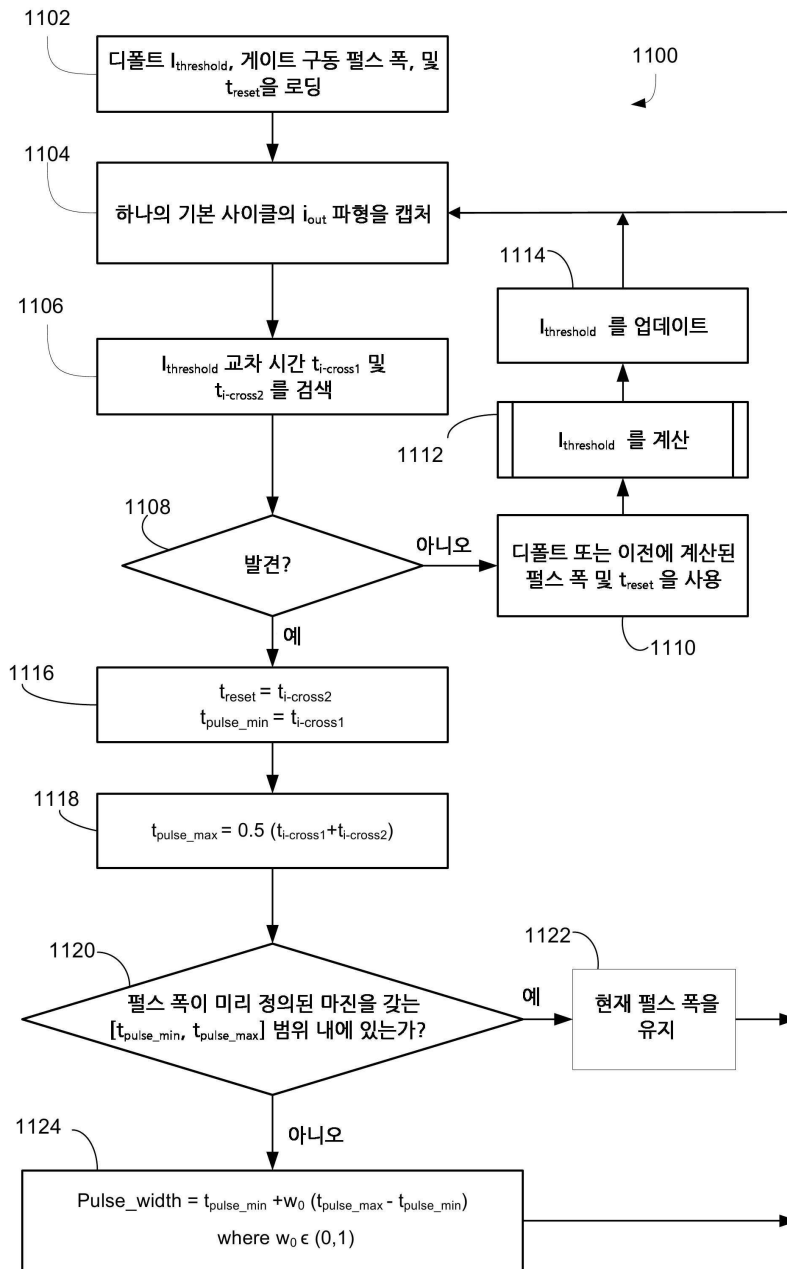
도면9



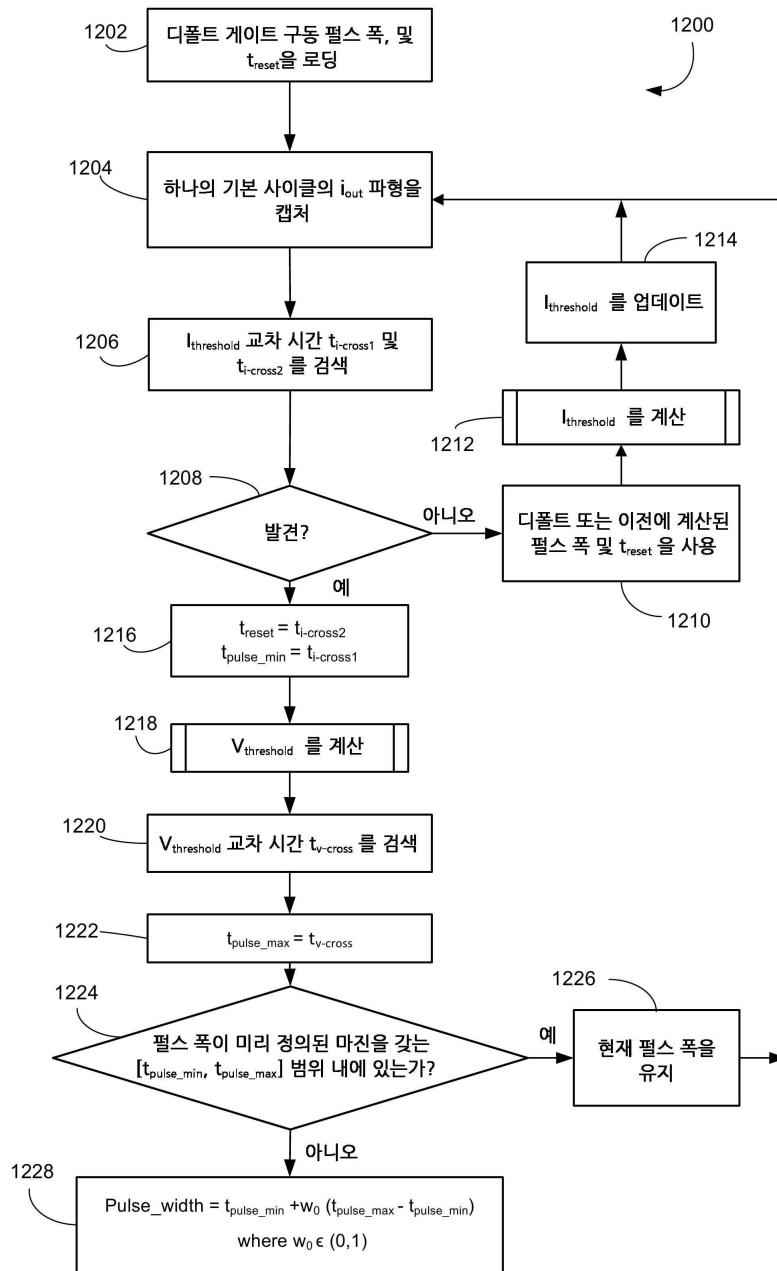
도면10



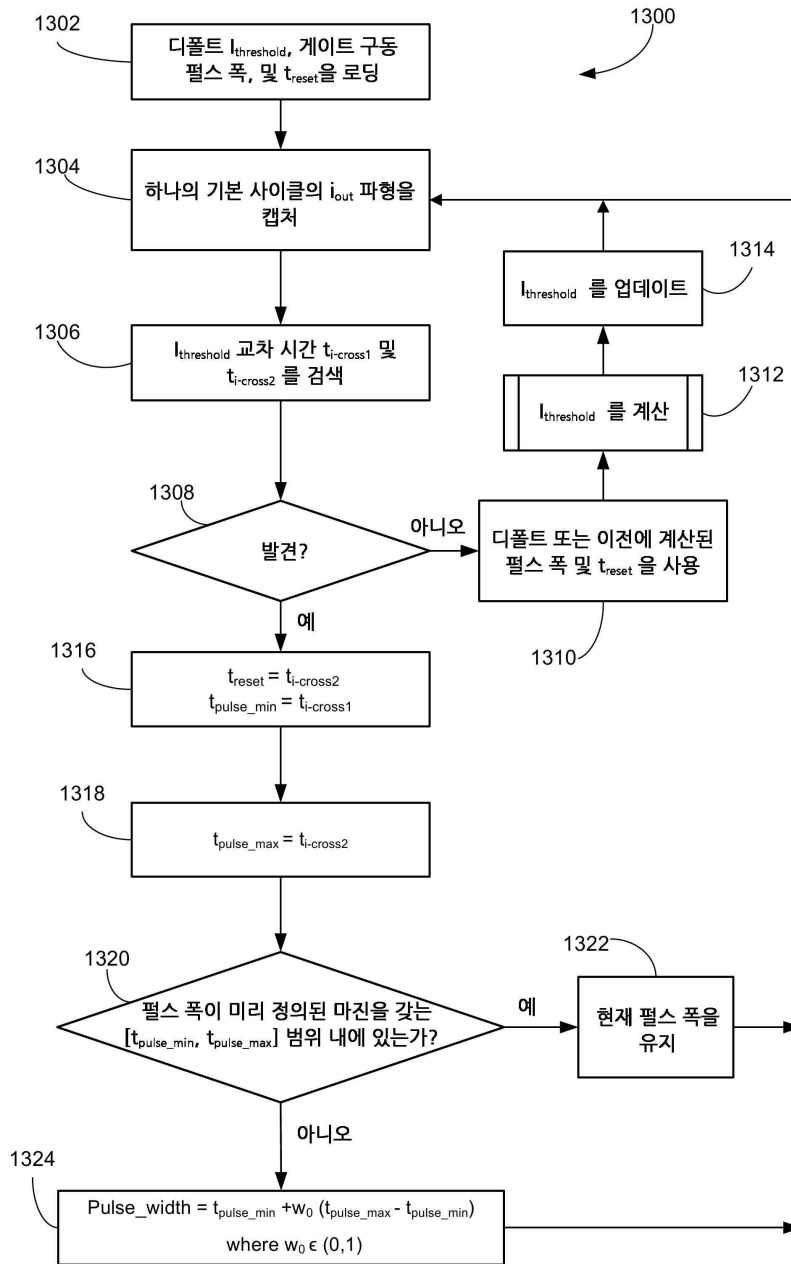
도면11



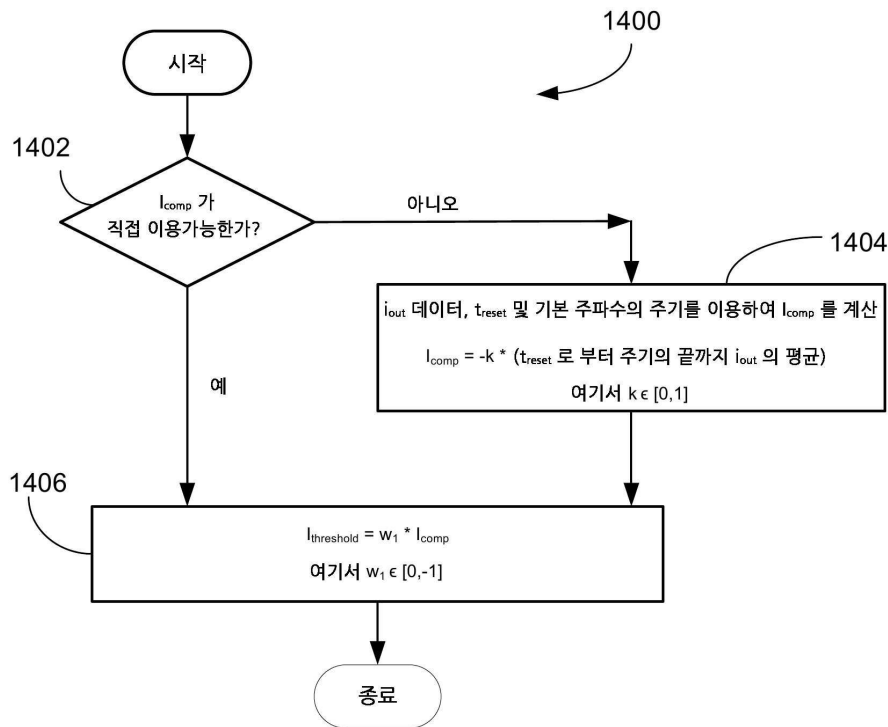
도면12



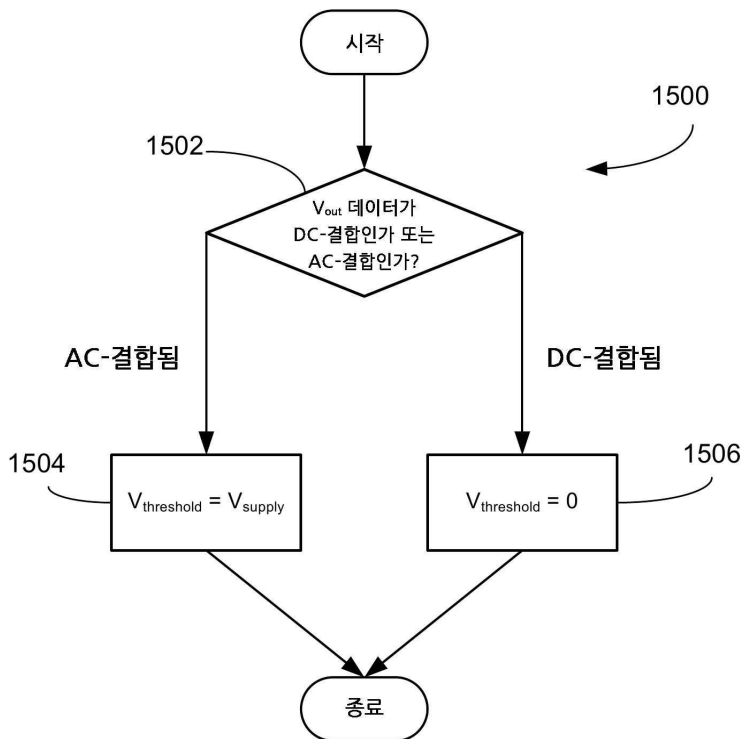
도면13



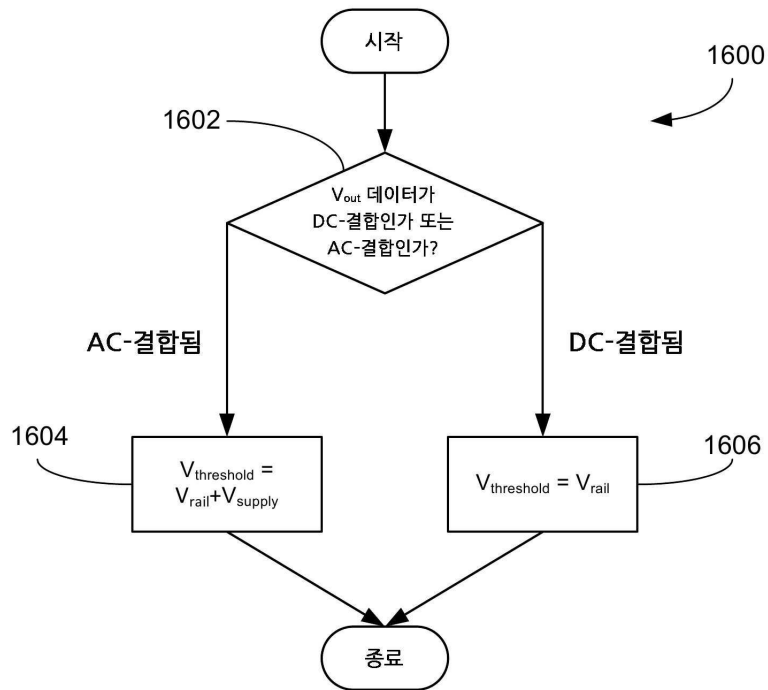
도면14



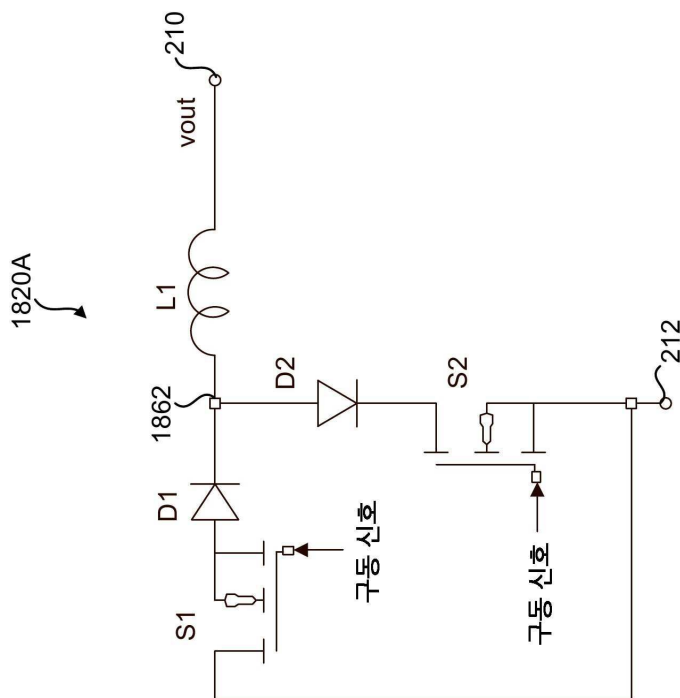
도면15



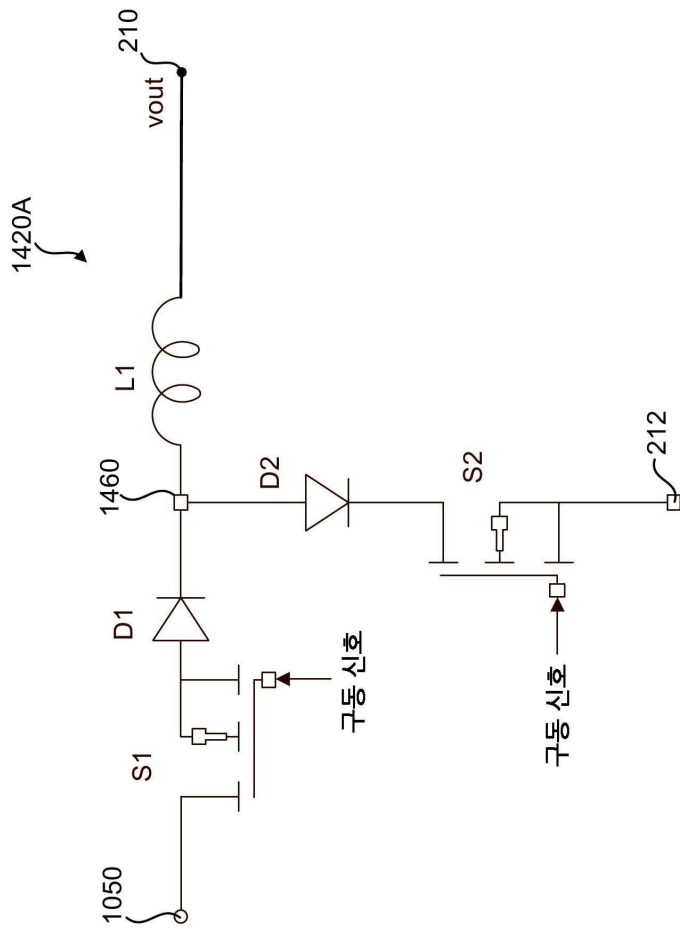
도면16



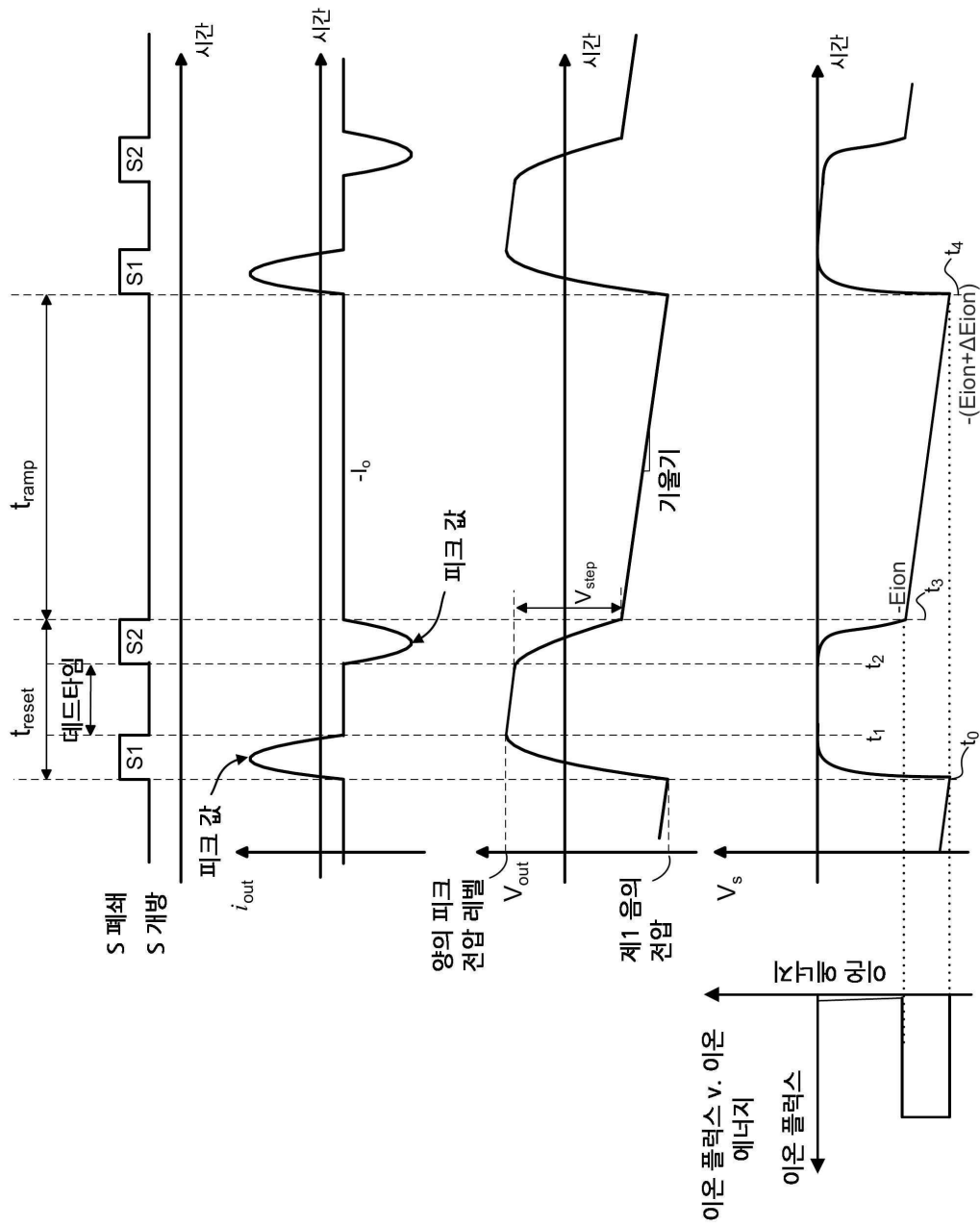
도면17



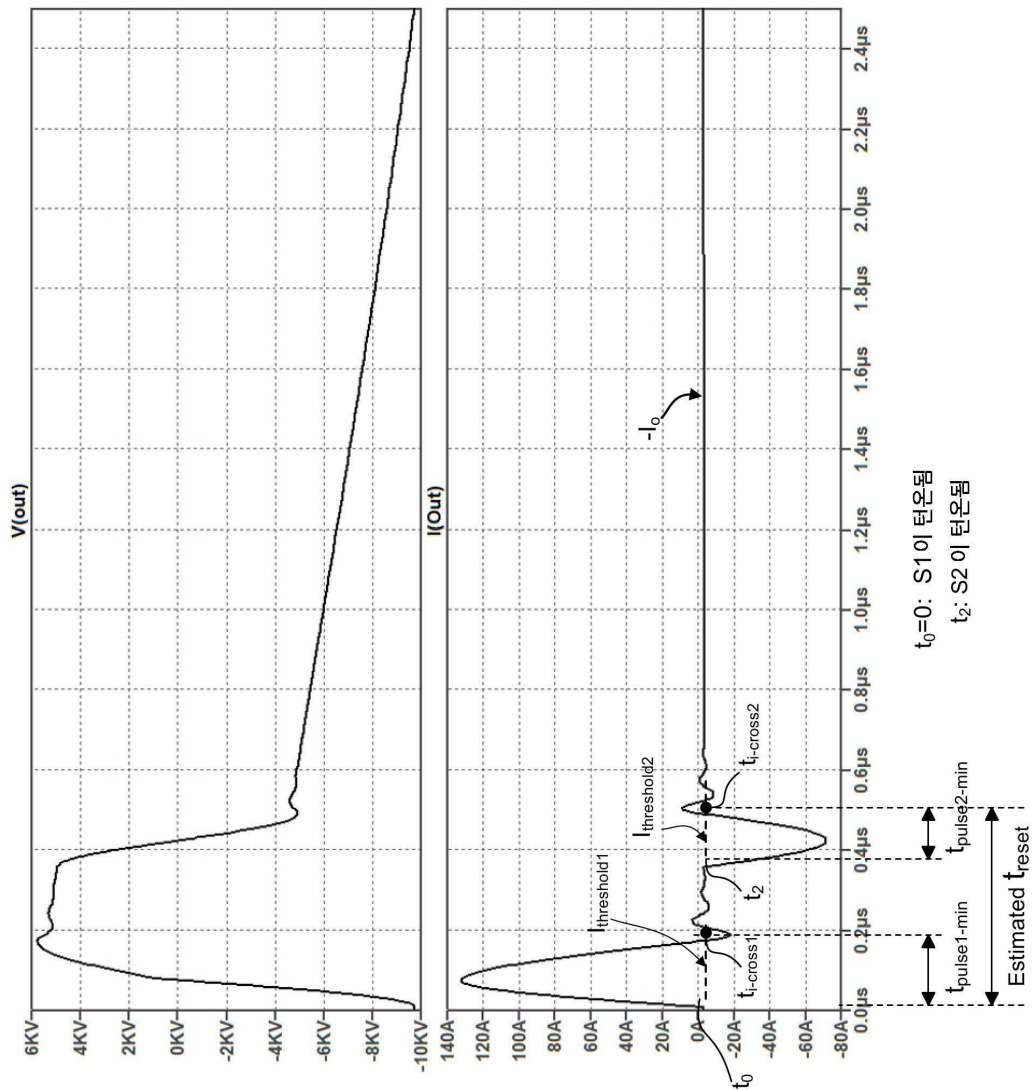
도면18



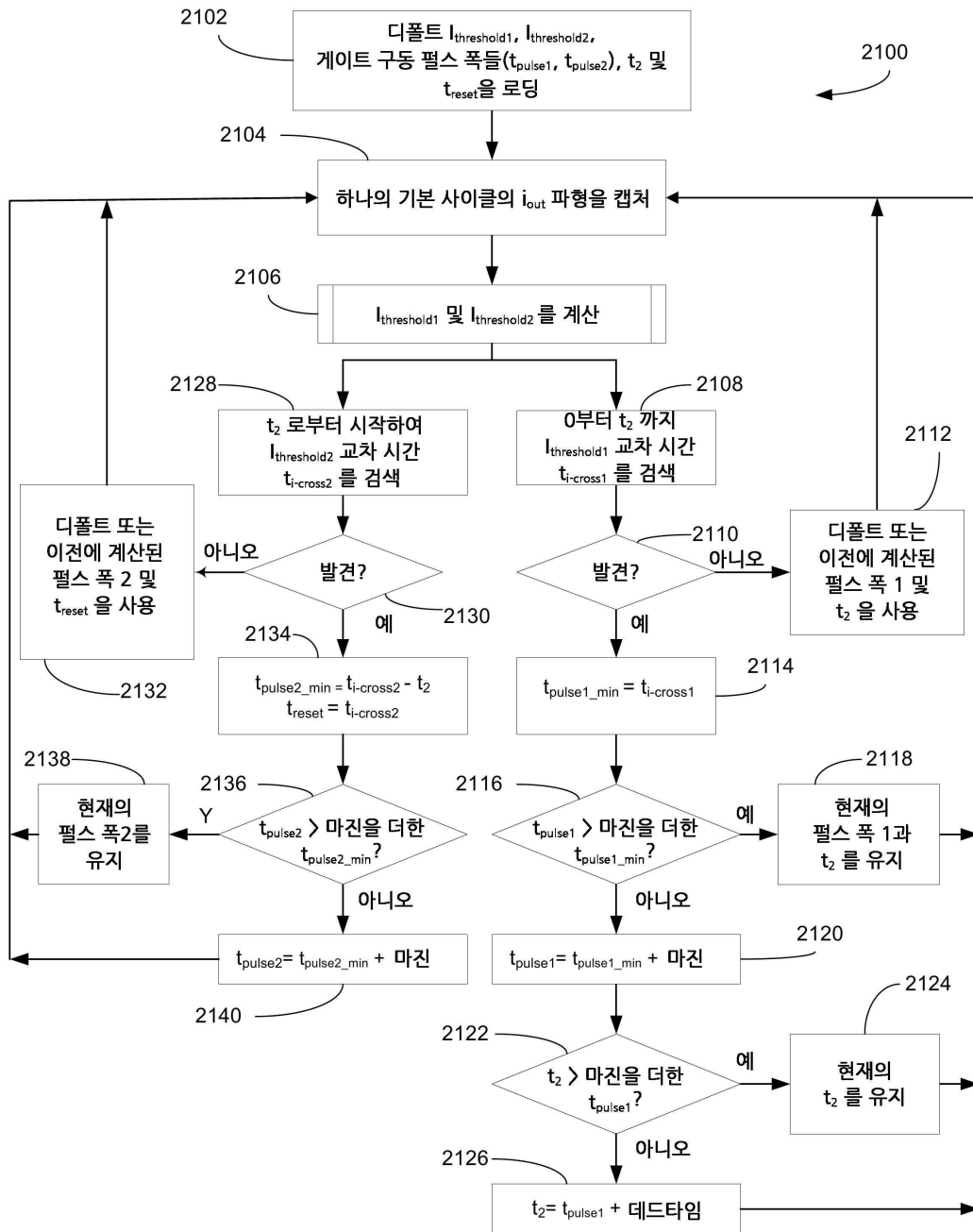
도면19



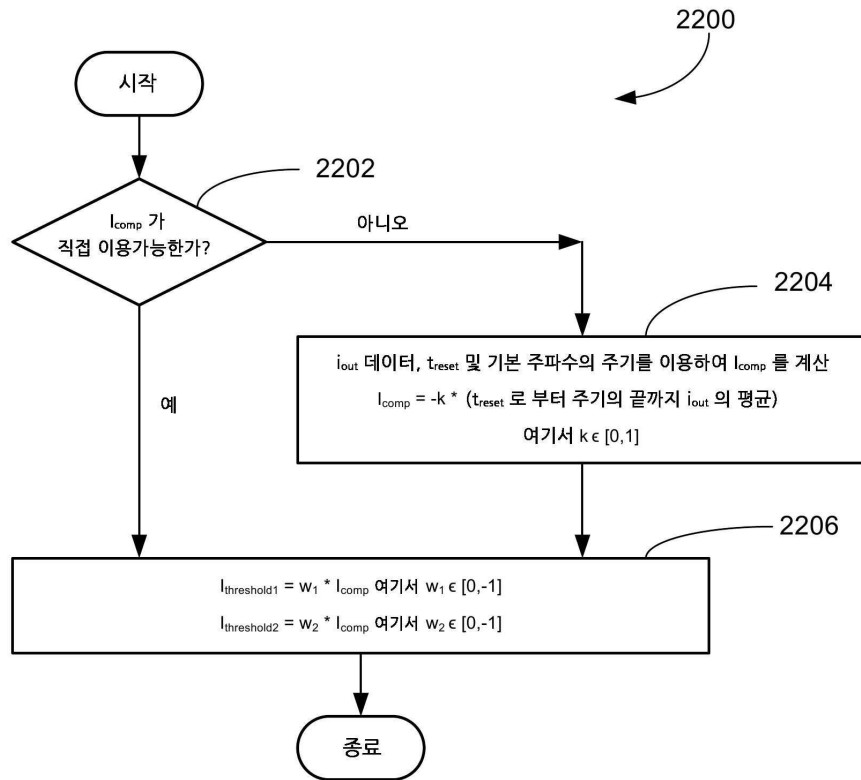
도면20



도면21



도면22



도면23

