

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4941490号
(P4941490)

(45) 発行日 平成24年5月30日(2012.5.30)

(24) 登録日 平成24年3月9日(2012.3.9)

(51) Int.Cl.		F I
HO 1 L 27/146 (2006.01)		HO 1 L 27/14 A
HO 1 L 27/14 (2006.01)		HO 1 L 27/14 D
HO 4 N 5/369 (2011.01)		HO 4 N 5/335 6 9 0

請求項の数 7 (全 21 頁)

(21) 出願番号	特願2009-72575 (P2009-72575)	(73) 特許権者	000002185
(22) 出願日	平成21年3月24日(2009.3.24)		ソニー株式会社
(65) 公開番号	特開2010-225927 (P2010-225927A)		東京都港区港南1丁目7番1号
(43) 公開日	平成22年10月7日(2010.10.7)	(74) 代理人	110000925
審査請求日	平成22年2月5日(2010.2.5)		特許業務法人信友国際特許事務所
		(72) 発明者	本田 勝巳
			東京都港区港南1丁目7番1号 ソニー株式会社内
		審査官	青鹿 喜芳

最終頁に続く

(54) 【発明の名称】 固体撮像装置、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

受光量に応じて信号電荷を生成する受光部と、前記受光部で生成された信号電荷を読み出し、画素信号として出力する複数のM O S トランジスタとから構成される画素が、複数形成された第1のチップと、

前記画素に所望の駆動パルスを供給する複数の画素駆動回路が形成され、前記第1のチップに形成された各画素の下部に該画素を駆動する画素駆動回路が配されるように、前記第1のチップの下層に積層された第2のチップと、

前記画素と、前記画素の下部に配された画素駆動回路とを電気的に接続するための接続部と

を含んで構成され、

前記第1のチップは光入射側に配置され、前記第2のチップは反光入射側に配置され、

前記画素駆動回路は、1つ、又は複数個の画素に対して1つの画素駆動回路が対応するように形成され、

前記受光部は前記第1のチップの光入射側に配置される基板に形成され、前記複数のM O S トランジスタのゲート電極を含む多層配線層は、前記基板に対して反光入射側に形成され、

前記接続部は前記多層配線層側に形成された
固体撮像装置。

【請求項2】

前記接続部は、マイクロボンディング又は、第1のチップ及び第2のチップに形成された貫通ビアによって構成されている

請求項1記載の固体撮像装置。

【請求項3】

前記画素駆動回路は、前記画素の直下に配置されている

請求項2に記載の固体撮像装置。

【請求項4】

前記第2のチップには、前記画素から送られる画素信号の信号処理を行うコラム信号処理回路と、水平走査パルスを出力する水平駆動回路を含む処理回路が形成されている

請求項3に記載の固体撮像装置。

10

【請求項5】

前記画素駆動回路は、1列、又は複数列の画素列に対して1つの画素駆動回路が対応するように形成されている

請求項1記載の固体撮像装置。

【請求項6】

前記画素駆動回路は、前記画素毎に形成されている

請求項1に記載の固体撮像装置。

【請求項7】

光学レンズと、

前記光学レンズを介して受光した光の受光量に応じて信号電荷を生成する受光部と、前記受光部で生成された信号電荷を読み出し、画素信号として出力する複数のMOSトランジスタとから構成される画素が、複数形成された第1のチップと、

20

前記画素に所望の駆動パルスを供給する複数の画素駆動回路が形成され、前記第1のチップに形成された各画素の下部に該画素を駆動する画素駆動回路が配されるように、前記第1のチップの下層に積層された第2のチップと、

前記画素と前記画素の下部に配された画素駆動回路とを電氣的に接続するための接続部と

を含んで構成され、

前記第1のチップは光入射側に配置され、前記第2のチップは反光入射側に配置され、

前記画素駆動回路は、1つ、又は複数個の画素に対して1つの画素駆動回路が対応するように形成され、

30

前記受光部は前記第1のチップの光入射側に配置される基板に形成され、前記複数のMOSトランジスタのゲート電極を含む多層配線層は、前記基板に対して反光入射側に形成され、

前記接続部は前記多層配線層側に形成された固体撮像装置と、

前記固体撮像装置から出力される出力信号を処理する信号処理回路と、を含む電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は、固体撮像装置に関し、特にCMOS型の固体撮像装置に関する。また、その固体撮像装置を用いた電子機器に関する。

【背景技術】

【0002】

近年、ビデオカメラや電子スチルカメラなどが広く一般に普及している。これらのカメラには、CCD (Charge Coupled Device) 型や増幅型の固体撮像装置が使用されている。増幅型の固体撮像装置では、画素の受光部にて生成、蓄積された信号電荷を画素に設けられた増幅部に導き、増幅部で増幅された信号を画素から出力する。そして、増幅型の固体撮像装置では、このような画素がマトリクス状に複数配置されている。増幅型の固体撮像装置には、例えば増幅部に接合型電界効果トランジスタを用いた固体撮像装置や、増幅

50

部にCMOS (Complementary Metal Oxide Semiconductor) トランジスタを用いたCMOS型固体撮像装置等がある。

【0003】

従来、一般的なCMOS型固体撮像装置では、二次元マトリクス状に配列された各画素の光電変換部で生成・蓄積された信号電荷を、行毎に順次読み出す方式が採られている。

【0004】

図13に、従来のCMOS型固体撮像装置の概略構成図を示す。図13に示すように、従来の固体撮像装置100は、図示しない基板上に配列された複数の画素104と、垂直駆動回路111と、カラム信号処理回路106と、水平駆動回路107と、出力回路108等を有して構成される。

10

【0005】

垂直駆動回路111は、画素104が複数配列された画素部117の一方端に隣接する領域に形成されている。この垂直駆動回路111は、例えばシフトレジスタによって構成され、画素部117の各画素104を行単位で順次垂直方向に選択走査するため行毎に転送パルスTRG、リセットパルスRST、選択パルスSELを出力する。

【0006】

カラム信号処理回路106は、垂直方向に配列された画素104の後段に形成されており、例えば、画素104の列毎に配置されている。カラム信号処理回路106では、1行分の画素104から出力される信号を画素列毎に黒基準画素(図示しないが、有効画素の周囲に形成される)からの信号によって、ノイズ除去や信号増幅等の信号処理を行う。

20

【0007】

水平駆動回路107は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路106の各々を順番に選択し、カラム信号処理回路106の各々から画素信号を水平信号線114に出力させる。

【0008】

出力回路108は、カラム信号処理回路106の各々から水平信号線114を通して、順次に供給される信号に対し信号処理を行い出力する。

【0009】

また、各画素104は、フォトダイオードから成る受光部PDと、複数のMOSトランジスタとから構成されている。ここでは、転送トランジスタTr1、リセットトランジスタTr2、増幅トランジスタTr3、選択トランジスタTr4の4つのMOSトランジスタで構成される例としているが、選択トランジスタを除いた3つのMOSトランジスタで構成される場合もある。

30

【0010】

転送トランジスタTr1では、垂直駆動回路111から配線115を介して転送パルスTRGが供給されることにより、受光部PDに蓄積された信号電荷がフローティングディフュージョン部FDに転送される。また、リセットトランジスタTr2では、垂直駆動回路111から配線112を介してリセットパルスRSTが供給されることにより、フローティングディフュージョン部FDの電位が電源電圧VDD付近の電位にリセットされる。また、増幅トランジスタTr3では、フローティングディフュージョン部FDの電位変化に応じた信号電圧が増幅トランジスタTr3のゲート電極に印加され増幅される。また、選択トランジスタTr4では、垂直駆動回路111から配線116を介して選択パルスSELが供給されることにより、増幅トランジスタTr3で増幅された信号電圧を画素信号として垂直信号線113に出力する。

40

【0011】

ところで、図13に示すような従来の固体撮像装置100では、垂直駆動回路111が画素部の片側にのみ配置されている。このため、垂直駆動回路111から離れた位置にある画素104(すなわち、垂直駆動回路111が形成される側とは反対側にある画素)では配線抵抗や、隣接する配線間の寄生容量などにより、供給される駆動パルスに遅延や鈍りが生じてしまう。画素104の多画素化(微細化)に伴い、駆動する画素が増加するに

50

従いこれらの問題は無視できなくなり、画素104の高速駆動することが困難になっていた。

【0012】

そこで、図14に示すように、画素部の両側に垂直駆動回路111a, 111bを設け、両側から画素104を駆動する方法が考えられている。図14において、図13に対応する部分には同一符号を付し重複説明を省略する。

【0013】

図14に示す固体撮像装置では、画素部117の両側に垂直駆動回路111a, 111bが配置してあり、画素部117の左側半分の画素104は、画素部117の左側に配置された垂直駆動回路111aによって駆動される。また、画素部117の右側半分の画素104は、画素部の右側に配置された垂直駆動回路111bによって駆動される。

10

【0014】

しかしながら、図14に示す場合も、画素部117の中心の領域にある画素104では、垂直駆動回路111a, 111bから距離が離れているため、駆動パルスの遅延や、鈍りが起こってしまう。このため、画素104を高速駆動することが困難である。

【0015】

ところで近年、CMOS型固体撮像装置において、信号電荷の蓄積の同時刻性を実現する同時撮像機能(グローバルシャッタ機能)が提案されており、また、グローバルシャッタ機能を有するCMOS型固体撮像装置の用途も多くなってきている。

【0016】

このようなグローバルシャッタ機能を有するCMOS型固体撮像装置においては、全画素同時シャッタを実現するために、全画素において同時に転送パルスを供給し、全画素同時に信号電荷の読み出しを行う。しかしながら、上述したように従来の固体撮像装置では、垂直駆動回路から離れた画素に供給される駆動パルスでは遅延や鈍りが生じてしまうため、全画素において駆動の同時性が保持されず、また高速駆動する場合には画素ムラが発生してしまう。

20

【0017】

特許文献1では、画素処理スピードを向上させるために、CMOS型固体撮像装置と、CMOS型固体撮像装置から出力される画素信号を処理するための信号処理回路が形成された信号処理チップとを、マイクロバンプによって接続する構成が記載されている。しかしながら、この例においても、垂直駆動回路から離れた位置に形成された画素では、駆動パルスの遅延や鈍りが生じるため、全画素における駆動の同時性は保持されない。

30

【先行技術文献】

【特許文献】

【0018】

【特許文献1】特開2006-49361号公報

【発明の概要】

【発明が解決しようとする課題】

【0019】

上述の点に鑑み、本発明は、画素の駆動に際し同時性を保持した高速駆動が実現され、画素ムラが低減された固体撮像装置を提供する。また、その固体撮像装置を適用した電子機器を提供する。

40

【課題を解決するための手段】

【0020】

上記課題を解決し、本発明の目的を達成するため、本発明の固体撮像装置は、複数の画素が形成された第1のチップと、画素を駆動する画素駆動回路が形成された第2のチップとが積層された構成を有する。

画素は、受光量に応じて信号電荷を生成する受光部と、前記受光部で生成された信号電荷を読み出し、画素信号として出力する複数のMOSトランジスタとから構成され、第1のチップに複数形成されている。

50

画素駆動回路は、画素に所望の駆動パルスを提供するものであり第2のチップに複数形成されている。

これらの第1のチップと第2のチップは、第1のチップに形成された画素の下部に、該画素に対応する画素駆動回路が配されるように、第1のチップの下層に第2のチップが積層された構成とされる。そして、これらの第1のチップと第2のチップとは、画素と該画素の下部に配された画素駆動回路とを電氣的に接続するための接続部によって接続される。

そして、第1のチップは光入射側に配置され、前記第2のチップは反光入射側に配置され、画素駆動回路は、1つ、又は複数個の画素に対して1つの画素駆動回路が対応するように形成され、受光部は第1のチップの光入射側に配置される基板に形成され、複数のMOSトランジスタのゲート電極を含む多層配線層は、基板に対して反光入射側に形成され、接続部は前記多層配線層側に形成されている。

10

【0021】

本発明の固体撮像装置では、各画素が画素の下部に配置された画素駆動回路から供給される駆動パルスによって駆動される。これにより、各画素に供給される駆動パルスの遅延や鈍りが抑制され高速駆動が可能となる。

【0024】

本発明の電子機器は、光学レンズと、上述した固体撮像装置と、固体撮像装置から出力される出力信号を処理する信号処理回路を含んで構成される。

【発明の効果】

20

【0025】

本発明によれば、画素を駆動する駆動パルスの遅延や鈍りが抑制されるので、画素の駆動に際し同時性を保持した高速駆動が実現され、画素ムラが低減される。

【図面の簡単な説明】

【0026】

【図1】A, B 本発明の第1の実施形態に係る固体撮像装置の概略斜視図、及び上面から見た概略構成図である。

【図2】A, B 第1のチップの概略構成図、及び第2のチップの概略構成図である。

【図3】第1の実施形態に係る固体撮像装置の第1のチップに形成された画素と、第2のチップに形成された画素駆動回路と、その接続部を含む領域の概略断面構成図である。

30

【図4】第1の実施形態に係る固体撮像装置の画素部における電氣的な接続関係を示すブロック図である。

【図5】画素の等価回路図である。

【図6】グローバルシャッタ機能を有する場合の画素の一例を示す等価回路図である。

【図7】変形例に係る固体撮像装置の画素部における電氣的な接続関係を示すブロック図である。

【図8】A, B 本発明の第2の実施形態に係る固体撮像装置の概略斜視図、及び上面から見た概略構成図である。

【図9】A, B 第1のチップの概略構成図、及び第2のチップの概略構成図である。

【図10】第2の実施形態に係る固体撮像装置の画素部における電氣的な接続関係を示すブロック図である。

40

【図11】本発明の第3の実施形態に係る固体撮像装置の、第1のチップに形成された画素と、第2のチップに形成された画素駆動回路と、その接続部を含む領域の概略断面構成図である。

【図12】本発明の第4の実施形態に係る電子機器の概略構成図である。

【図13】従来例の固体撮像装置の概略構成図である。

【図14】従来例の固体撮像装置の概略構成図である。

【発明を実施するための形態】

【0027】

以下に、本発明の実施形態に係る固体撮像装置とその製造方法、及び電子機器の一例を

50

、図1～図12を参照しながら説明する。本発明の実施形態は以下の順で説明する。なお、本発明は以下の例に限定されるものではない。

1. 第1の実施形態：固体撮像装置
 - 1.1 固体撮像装置全体の構成
 - 1.2 固体撮像装置の断面構成
 - 1.3 固体撮像装置の回路構成
 - 1.4 変形例
2. 第2の実施形態：固体撮像装置
3. 第3の実施形態：固体撮像装置
4. 第4の実施形態：電子機器

10

【0028】

1. 第1の実施形態：固体撮像装置

[1.1 固体撮像装置全体の構成]

図1A、Bは、本発明の第1の実施形態に係る固体撮像装置の概略斜視図、及び上面からみた概略構成図である。

本実施形態例の固体撮像装置1は、図1Aに示すように、複数の画素4が形成され光入射側に配された第1のチップ2と、複数の画素駆動回路11が形成され反光入射側となる第1のチップ2の下層に積層された第2のチップ3とを有して構成されている。第1のチップ2と第2のチップ3は、図2Bに示すように、1列分の画素4の下部（本実施形態例では直下）に、垂直方向に延在して形成された1本の画素駆動回路11が配されるように積層されている。

20

そして、これらの2層に積層された第1のチップ2及び第2のチップ3は、図1Aに示すように画素4と画素駆動回路11を電氣的に接続するための接続部12によって接続されている。

【0029】

図2Aは、第1のチップ2の概略構成図であり、図2Bは、第2のチップ3の概略構成図である。図2A及び図2Bを参照しながら、第1のチップ2、及び第2のチップ3について説明する。

【0030】

第1のチップ2は、図2Aに示すように、複数の画素4から構成される画素部5と、カラム信号処理回路6と、水平駆動回路7と、出力回路8とを有して構成されている。

30

【0031】

画素4は、受光量に応じて信号電荷を生成、蓄積する受光部と受光部で生成された信号電荷を読み出し、画素信号として出力する複数のMOSトランジスタとから構成され、半導体基板上に2次元アレイ状に規則的に複数配列される。画素4を構成するMOSトランジスタは、転送トランジスタ、リセットトランジスタ、選択トランジスタ、アンプトランジスタで構成される4つのMOSトランジスタであってもよく、また、選択トランジスタを除いた3つのトランジスタであってもよい。後述するが、本実施形態例では、転送トランジスタ、リセットトランジスタ、選択トランジスタ、アンプトランジスタの4つで構成する例とする。

40

【0032】

画素部5は、2次元アレイ状に規則的に複数配列された画素4から構成される。画素部5は、図示しないが、実際に光を受光し光電変換によって生成された信号電荷を増幅してカラム信号処理回路6に読み出す有効画素領域と、有効画素領域の周囲に形成され黒レベルの基準になる光学的黒を出力するための黒基準画素領域とから構成される。

【0033】

カラム信号処理回路6は、例えば、画素4の列毎に配置されており、1行分の画素4ら出力される信号を画素列毎に黒基準画素領域（図示しないが、有効画素領域の周囲に形成される）からの信号によって、ノイズ除去や信号増幅等の信号処理を行う。カラム信号処理回路6の出力段には、水平選択スイッチ（図示せず）が水平信号線14とのあいだに設

50

けられている。

【 0 0 3 4 】

水平駆動回路 7 は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路 6 の各々を順番に選択し、カラム信号処理回路 6 の各々から画素信号を水平信号線 1 4 に出力させる。

【 0 0 3 5 】

出力回路 8 は、カラム信号処理回路 6 の各々から水平信号線 1 4 を通して、順次に供給される信号に対し信号処理を行い出力する。

【 0 0 3 6 】

第 2 のチップ 3 は、図 2 B に示すような、複数の画素駆動回路 1 1 と、複数の画素駆動回路 1 1 の周辺部に形成された制御回路 9 と、タイミング同期回路 1 0 とを有して構成されている。

10

制御回路 9 はデコーダで構成され、図示しないアドレス発生回路から入力されるアドレス信号をデコードし、タイミング同期回路 1 0 にデコード信号を供給する。

タイミング同期回路 1 0 は、デコード信号に基づいて選択された画素 4 に、各 MOS トランジスタを駆動するタイミング信号を出力する。タイミング同期回路 1 0 から出力されたタイミング信号は、複数の画素駆動回路 1 1 にそれぞれ入力される。

画素駆動回路 1 1 は、第 1 のチップ 2 に形成された画素部 5 の、垂直方向に配置された 1 行分の画素列毎に 1 つの画素駆動回路 1 1 が対応するように複数本形成されている。この画素駆動回路 1 1 では、タイミング同期回路 1 0 から供給されるタイミング信号に基づいて、対応する画素 4 の所望の MOS トランジスタに、所望の駆動パルスを供給する。

20

【 0 0 3 7 】

このような構成を有する第 2 のチップ 3 は、第 1 のチップ 2 に形成された 1 つの画素列の直下に 1 本の画素駆動回路 1 1 が配されるように、第 1 のチップ 2 の下層に積層されている。

【 0 0 3 8 】

そして以上の構成を有する第 1 のチップ 2、及び第 2 のチップ 3 は、図 1 A に示すように画素 4 とその画素 4 の直下に配された画素駆動回路 1 1 とが接続部 1 2 を介して互いに接続されている。そして、本実施形態例の固体撮像装置 1 では、各画素 4 が接続部 1 2 によって、それぞれの画素 4 の直下にある画素駆動回路 1 1 に接続されている。

30

【 0 0 3 9 】

[1 . 2 固体撮像装置の断面構成]

次に、画素 4 と、画素駆動回路 1 1 との接続部 1 2 に係る構成について詳細に説明する。

図 3 は、第 1 のチップ 2 に形成された画素 4 と、第 2 のチップ 3 に形成された画素駆動回路 1 1 と、その接続部 1 2 を含む領域の概略断面構成図である。図 3 では、1 画素分の断面構成図を示している。

【 0 0 4 0 】

図 3 に示すように、第 1 のチップ 2 は、受光部 1 6 形成された基板 1 5 と、多層配線層 2 6 と、カラーフィルタ層 2 9 と、オンチップマイクロレンズ 3 0 とを含んで構成されている。

40

【 0 0 4 1 】

基板 1 5 は、シリコンからなる半導体基板によって構成されている。基板 1 5 の光入射側となる表面側には、受光部 1 6 と、フローティングディフュージョン部 1 7 と、所望の MOS トランジスタのソース・ドレインを構成する不純物領域 1 8 , 1 9 , 2 0 とが形成されている。

【 0 0 4 2 】

受光部 1 6 は、フォトダイオードにより構成されている。また、フローティングディフュージョン部 1 7 は、受光部 1 6 に隣接する領域に形成された不純物領域によって構成されている。また、各不純物領域 1 8 , 1 9 , 2 0 は、基板 1 5 表面の所望の領域に形成さ

50

れている。

【 0 0 4 3 】

多層配線層 2 6 は、光入射側となる基板 1 5 上に形成されている。多層配線層 2 6 では、基板 1 5 上にゲート絶縁膜 2 5 を介して所望の MOS トランジスタを構成するゲート電極 2 1 , 2 2 , 2 3 , 2 4 が形成されている。受光部 1 6 とフローティングディフュージョン部 1 7 間の基板 1 5 上部に形成されたゲート電極 2 1 は、転送トランジスタ Tr 1 のゲート電極とされる。また、フローティングディフュージョン部 1 7 と不純物領域 1 8 間の基板 1 5 上部に形成されたゲート電極 2 2 は、リセットトランジスタ Tr 2 のゲート電極とされる。また、不純物領域 1 8 と不純物領域 1 9 間の基板 1 5 上部に形成されたゲート電極 2 3 は、増幅トランジスタ Tr 3 のゲート電極とされる。また、不純物領域 1 9 と不純物領域 2 0 間の基板 1 5 上部に形成されたゲート電極 2 4 は、選択トランジスタ Tr 4 のゲート電極とされる。そして、これらのゲート電極 2 1 , 2 2 , 2 3 , 2 4 上部には、複数層（本実施形態例では、2 層）の配線層 2 8 が、層間絶縁膜 2 7 を介して形成されている。

10

【 0 0 4 4 】

カラーフィルタ層 2 9 は、多層配線層 2 6 上部に形成され、例えば、R（赤色）G（緑色）B（青色）のカラーフィルタが画素毎に配列されている。

オンチップマイクロレンズ 3 0 は、カラーフィルタ層 2 9 上部に形成されており、入射した光を受光部 1 6 に効率よく集光するように設けられている。

【 0 0 4 5 】

そして、第 1 のチップ 2 を構成する基板 1 5 には、基板 1 5 表面から裏面側に貫通して形成された 3 つのコンタクト部 3 1 , 3 2 , 3 3 が形成されている。コンタクト部 3 1 は、多層配線層 2 6 の配線層 2 8 を介して、転送トランジスタ Tr 1 のゲート電極 2 1 に電氣的に接続されている。また、コンタクト部 3 2 は、多層配線層 2 6 の配線層 2 8 を介して、リセットトランジスタ Tr 2 のゲート電極 2 2 に電氣的に接続されている。また、コンタクト部 3 3 は、多層配線層 2 6 の配線層 2 8 を介して、選択トランジスタ Tr 4 のゲート電極 2 4 に電氣的に接続されている。

20

【 0 0 4 6 】

これらのコンタクト部 3 1 , 3 2 , 3 3 は、基板 1 5 裏面上に形成されたマイクロパッド 3 4 によって基板 1 5 裏面側に引き出されている。

30

【 0 0 4 7 】

また、図示しないが、第 1 のチップ 2 では、配線層 2 8 を介してフローティングディフュージョン部 1 7 と増幅トランジスタ Tr 3 のゲート電極 2 3 が接続されており、また、不純物領域 1 8 は、電源電圧に接続されている。また、不純物領域 2 0 は、配線層 2 8 で構成された垂直信号線に接続されている。

【 0 0 4 8 】

一方、第 2 のチップ 3 では、基板 3 6 に画素駆動回路 1 1 が形成されており、画素駆動回路 1 1 を構成する図示しない配線が、基板 3 6 の第 1 のチップ 2 に面する側の基板 3 6 上にマイクロパッド 4 5 によって引き出されている。本実施形態例では、画素駆動回路 1 1 から転送パルス、リセットパルス、選択パルスを供給する各配線が、基板 3 6 上のマイクロパッド 4 5 にそれぞれ接続されている。

40

【 0 0 4 9 】

そして、接続部 1 2 では第 1 のチップ 2 のマイクロパッド 3 4 と第 2 のチップ 3 のマイクロパッド 4 5 が互いにマイクロバンプ 3 5 によって接続されている。これにより、第 1 のチップ 2 に形成された画素 4 と、第 2 のチップ 3 に形成された画素駆動回路 1 1 とが電氣的に接続される。そして、画素駆動回路 1 1 によって生成された転送パルスはコンタクト部 3 1 及び所望の配線層 2 8 を介して転送トランジスタ Tr 1 のゲート電極 2 1 に供給される。また、画素駆動回路 1 1 によって生成されたリセットパルスはコンタクト部 3 2 及び所望の配線層 2 8 を介してリセットトランジスタ Tr 2 のゲート電極 2 2 に供給される。また、画素駆動回路 1 1 によって生成された選択パルスはコンタクト部 3 3 及び所望

50

の配線層 28 を介して選択トランジスタ $T_r 4$ のゲート電極 24 に供給される。

【0050】

このように、本実施形態例の固体撮像装置 1 では、第 1 のチップ 2 に形成された各画素 4 は、その直下に形成された画素駆動回路 11 と、マイクロボンディングによる接続部 12 を介して接続されている。

【0051】

[1.3 固体撮像装置の回路構成]

図 4 は、本実施形態例の固体撮像装置 1 の画素部 5 における電氣的な接続関係を示すブロック図である。図 4 に示すように、各画素駆動回路 11 では、タイミング同期回路から供給されたタイミング信号に 응답して、対応する画素 4 の転送パルス、リセットパルス、選択パルスを生成し、転送配線 37、リセット配線 38、選択配線 39 を介して対応する画素 4 に供給する。

10

【0052】

図 5 に、各画素 4 内の等価回路図を示す。図 5 に示すように、本実施形態例の固体撮像装置 1 における画素 4 では、フォトダイオードからなる受光部 16 のアノード側は接地されており、カソード側は、転送トランジスタ $T_r 1$ のソースに接続されている。また、転送トランジスタ $T_r 1$ のドレインはフローティングディフュージョン部 17 とされ、また、転送トランジスタ $T_r 1$ のゲート電極 21 には転送パルス $T R G$ を供給する転送配線 37 が接続されている。

【0053】

また、フローティングディフュージョン部 17 はリセットトランジスタ $T_r 2$ のソースとされており、リセットトランジスタ $T_r 2$ のドレインには、電源電圧 $V D D$ が供給されている。リセットトランジスタ $T_r 2$ のゲート電極 22 には、リセットパルス $R S T$ を供給するリセット配線 38 が接続されている。

20

【0054】

また、フローティングディフュージョン部 17 は、増幅トランジスタ $T_r 3$ のゲート電極 23 に接続されており、増幅トランジスタ $T_r 3$ のソースには、電源電圧 $V D D$ が供給されている。そして、増幅トランジスタ $T_r 3$ のドレインは、選択トランジスタ $T_r 4$ のソースに接続されている。

【0055】

また、選択トランジスタ $T_r 4$ のドレインは、垂直信号線 13 に接続されており、選択トランジスタ $T_r 4$ のゲート電極 24 には、選択パルス $S E L$ を供給する選択配線 39 が接続されている。

30

【0056】

そして、本実施形態例の固体撮像装置 1 では、各画素 4 の転送配線 37、リセット配線 38、選択配線 39 は、画素列毎に異なる画素駆動回路 11 に接続されている。前述したように、各画素 4 は、直下に位置する画素駆動回路 11 に接続部 12 を介して接続されているので、全ての画素 4 において、転送配線 37、リセット配線 38、選択配線 39 は、その画素 4 に直近（直下）の画素駆動回路 11 に接続されている。

【0057】

以上の構成を有する固体撮像装置 1 では、受光部 16 において光電変換により生成、蓄積された信号電荷は、ゲート電極 21 への転送パルス $T R G$ の印加によってフローティングディフュージョン部 17 に読み出される。フローティングディフュージョン部 17 に信号電荷が読み出されることによりフローティングディフュージョン部 17 の電位が変化し、その電位変化に応じた信号電圧が増幅トランジスタ $T_r 3$ のゲート電極 23 に印加される。そして、増幅トランジスタ $T_r 3$ により増幅された信号電圧が、画素信号として垂直信号線 13 に出力される。垂直信号線 13 に出力された画素信号は、図 1 A, B で示したように、第 1 のチップ 2 に形成されたカラム信号処理回路 6 を介して、水平駆動回路 7 により水平信号線 14 に出力され、出力回路 8 により出力される。

40

【0058】

50

本実施形態例の固体撮像装置 1 では、各画素 4 の直下に各画素 4 に対応する画素駆動回路 1 1 が配されており、各画素 4 はその直下の画素駆動回路 1 1 によって駆動される。このため、各画素 4 と、その画素 4 を駆動するための駆動パルスを生成する画素駆動回路 1 1 との距離が短くなるため、配線抵抗や隣接する配線間で形成される寄生容量を大幅に低下させることができる。これにより、画素駆動回路 1 1 によって生成された駆動パルスが、遅延なく画素 4 に伝達される。

【 0 0 5 9 】

また、画素 4 毎に画素駆動回路 1 1 を有するため、各画素駆動回路 1 1 の駆動能力を小さくすることができるため、画素 4 を構成する各 MOS トランジスタの耐圧を低く構成することができる。また、各画素駆動回路 1 1 の駆動能力を小さくすることができるため、結果的に、MOS トランジスタの耐圧の向上が図られる。

10

【 0 0 6 0 】

また、本実施形態例の固体撮像装置 1 では、所望の画素 4 のみを間引いて信号電荷を読み出す、間引き駆動が可能となる。すなわち、各画素 4 はそれぞれ異なる画素駆動回路 1 1 から供給される駆動パルスによって駆動されるので、複数の画素 4 のうち所望の画素 4 を選択的に駆動することができる。

これにより、従来の固体撮像装置では困難とされてきた画素単位、あるいは任意の一部分の画素のみの駆動制御も可能となる。

【 0 0 6 1 】

また、本実施形態例の固体撮像装置 1 では、駆動時の発熱量が大きい画素駆動回路 1 1 を、画素 4 とは別のチップに分離して形成してあるので、画素駆動回路 1 1 により発生した熱の画素 4 に対する影響を抑制することができる。これにより、発熱による画質の劣化を極力抑えることができ、良質な画質を得ることができる。また、各画素の 4 直下に画素駆動回路 1 1 が配置されることにより、駆動パルスを供給する配線も短くすることができ、配線抵抗も小さくすることができるので、発熱の抑制の他、低消費化の実現が可能となる。

20

【 0 0 6 2 】

ところで、本実施形態例の固体撮像装置 1 の構成は、各画素 4 を駆動する駆動パルスの遅延や鈍りが抑制され高速駆動が可能となるので、グローバルシャッタ機能を有する固体撮像装置に好適に用いることができる。図 6 に、グローバルシャッタ機能を有する固体撮像装置の 1 画素分の等価回路図の一例を示し、グローバルシャッタ機能を有する固体撮像装置に本実施形態例の固体撮像装置 1 を適用した場合について説明する。

30

【 0 0 6 3 】

グローバルシャッタ機能を有する固体撮像装置では、図 6 に示すように、受光部 1 6 とフローティングディフュージョン部 1 7 b との間に、信号電荷を一時的に保持する電荷蓄積容量部 1 7 a が構成される。また、第 1 転送トランジスタ $T r 1 a$ 、第 2 転送トランジスタ $T r 1 b$ 、リセットトランジスタ $T r 2 a$ 、増幅トランジスタ $T r 3$ 、選択トランジスタ $T r 4$ 及び、受光部用リセットトランジスタ $T r 2 b$ を有して構成されている。

【 0 0 6 4 】

第 1 転送トランジスタ $T r 1 a$ のソースは受光部 1 6 のアノード側に接続されており、ドレインは信号電荷を一時的に保持しておく電荷蓄積容量部 1 7 a に接続されている。そして、第 1 転送トランジスタ $T r 1 a$ のゲート電極 2 1 a には、転送パルス $T R G$ が供給される。

40

第 2 転送トランジスタ $T r 1 b$ のソースは電荷蓄積容量部 1 7 a に接続されており、ドレインはフローティングディフュージョン部 1 7 b に接続されている。そして、第 2 転送トランジスタ $T r 1 b$ のゲート電極 2 1 b には、読み出しパルス $R O G$ が供給される。

リセットトランジスタ $T r 2 a$ のソースはフローティングディフュージョン部 1 7 b に接続されており、ドレインは電源電圧 $V D D$ に接続されている。また、リセットトランジスタ $T r 2 a$ のゲート電極 2 2 a にはリセットパルス $R S T$ が供給される。

増幅トランジスタ $T r 3$ のゲート電極 2 3 には、フローティングディフュージョン部 1

50

7 b が電氣的に接続されている。また、増幅トランジスタ T r 3 のソースは電源電圧 V D D に接続されており、ドレインは選択トランジスタ T r 4 のソースに接続されている。

選択トランジスタ T r 4 のソースは、増幅トランジスタ T r 3 のドレインに接続されており、ソースは、垂直信号線 1 3 に接続されている。また、選択トランジスタ T r 4 のゲート電極 2 4 には選択パルス S E L が供給される。

受光部用リセットトランジスタ T r 2 b のソースは受光部 1 6 のアノード側に接続されており、ドレインは電源電圧 V D D に接続されている。また、受光部用リセットトランジスタ T r 2 b のゲート電極 2 2 b には、受光部用リセットパルス O F G が供給されている。

【 0 0 6 5 】

10

このようなグローバルシャッタ機能を有する固体撮像装置においては、受光部用リセットパルス O F G をオンすることにより、全画素同時に受光部 1 6 の電位が電源電圧 V D D 付近の電位にリセットされる。

そして、受光部用リセットパルス O F G をオフすることにより、全画素同時に受光部 1 6 において露光を開始する。その後、全画素同時に転送パルス T R G をオンすることにより、露光を終了すると共に、受光部 1 6 において生成、蓄積された信号電荷を電荷蓄積容量部 1 7 a に転送する。

その後、画素 4 毎に読み出しパルス R O G をオンすることにより、電荷蓄積容量部 1 7 a に保持されていた信号電荷をフローティングディフュージョン部 1 7 b に読み出し、通常の固体撮像装置と同様の方法で垂直信号線 1 3 に増幅処理された画素信号を出力する。

20

【 0 0 6 6 】

このように、グローバルシャッタ機能を有する固体撮像装置では、全画素同時の動作が必要となる。このような場合でも、本実施形態例の固体撮像装置 1 では、画素駆動回路 1 1 を画素 4 の直下に配置することで、画素駆動回路 1 1 と画素 4 との距離を著しく短くすることができ、駆動パルスの遅延や鈍りが抑制できる。このため、全画素を同時に、かつ、高速に駆動することが可能となる。これにより、全画素においてほぼ完全な同時性を保持した高速駆動が可能となり、画素ムラなどの発生もほぼ解消される。

【 0 0 6 7 】

本実施形態例の固体撮像装置 1 は、第 1 のチップ 2 と第 2 のチップ 3 とを、マイクロバンプ 3 5 で構成される接続部 1 2 によって接続する構成としたが、貫通ビアによって接続部 1 2 を構成してもよい。

30

【 0 0 6 8 】

[1 . 4 変形例]

図 7 に、本実施形態例の変形例に係る固体撮像装置 1 の画素部 5 における電氣的な接続関係を示すブロック図を示す。図 7 において、図 4 に対応する部分には同一符号を付し重複説明を省略する。

【 0 0 6 9 】

変形例に係る固体撮像装置では、隣接する 2 列分の画素 4 に対して 1 つの画素駆動回路 1 1 が対応するように、複数の画素駆動回路 1 1 が形成されている。また、図示を省略するが、変形例に係る固体撮像装置では、第 1 のチップ 2 と第 2 のチップ 3 は、各画素駆動回路 1 1 が 2 列分の画素 4 の下部に配置されるように積層される。

40

【 0 0 7 0 】

変形例に係る固体撮像装置では、1 つの画素駆動回路 1 1 から 2 列分の各画素 4 に、それぞれ、転送配線 3 7、リセット配線 3 8、選択配線 3 9 を介して転送パルス、リセットパルス、選択パルスを供給している。

【 0 0 7 1 】

このように、2 列分の画素 4 に 1 つの画素駆動回路 1 1 から駆動パルスを供給する場合も、各画素 4 と、各画素 4 を駆動するための駆動パルスを生成する画素駆動回路 1 1 の距離が近いため、駆動パルスの遅延や鈍りを抑制することができる。その他、第 1 の実施形

50

態の固体撮像装置 1 と同様の効果を得ることができる。

【 0 0 7 2 】

図 7 に示す変形例では、2 列分の画素 4 に 1 つの画素駆動回路 1 1 を接続する例としたが、2 列以上の複数列分の画素 4 に、1 つの画素駆動回路 1 1 を接続する例としてもよい。この場合、画素駆動回路 1 1 から画素 4 に供給されるそれぞれの駆動パルスの遅延や鈍りが発生しない程度に、共通の画素駆動回路 1 1 で駆動される画素 4 を増やすことができる。

【 0 0 7 3 】

このように、1 つの画素駆動回路 1 1 で駆動される画素 4 をある程度グループ化することにより、画素駆動回路 1 1 の数を削減できり。このため、画素 4 を駆動する駆動パルスの遅延や鈍りが起こらない範囲内での回路構成の簡素化を好適に図ることができる。

10

【 0 0 7 4 】

2. 第 2 の実施形態：固体撮像装置

次に、本発明の第 2 の実施形態に係る固体撮像装置について説明する。図 8 A , B は、本実施形態例に係る固体撮像装置 4 1 の概略斜視図、及び上面から見た概略構成図である。また、図 9 A は、第 1 のチップ 4 2 の概略構成図であり、図 9 B は、第 2 のチップ 4 3 の概略構成図である。

図 8 , 9 において、図 1 , 2 に対応する部分には同一符号を付し重複説明を省略する。

【 0 0 7 5 】

本実施形態例においては、第 2 のチップ 4 3 は、制御回路 9、タイミング同期回路 1 0、画素駆動回路 1 1 を有すると共に、カラム信号処理回路 6、水平駆動回路 7 等の後段の周辺処理回路を有している。したがって、第 1 のチップ 4 2 には、図 9 A に示すように、画素部 5 のみが形成されている。

20

【 0 0 7 6 】

また、第 2 のチップ 4 3 では、図 9 B に示すように、1 つの画素 4 に 1 つずつ対応するように複数の画素駆動回路 4 0 が形成されている。また、図示を省略するが、実際には、第 1 のチップ 4 2 に形成された垂直信号線 1 3 は、第 2 のチップ 4 3 に形成されたカラム信号処理回路 6 に電氣的に接続されている。

【 0 0 7 7 】

そして、図 8 A , B に示すように、第 1 のチップ 4 2 及び第 2 のチップ 4 3 は、各画素 4 の直下に、各画素駆動回路 4 0 が配置されるように積層される。そして、各画素 4 と、その画素 4 に対応する画素駆動回路 4 0 は、接続部 1 2 によって接続されている。

30

【 0 0 7 8 】

図 1 0 は、本実施形態例の固体撮像装置 4 1 の画素部 5 における電氣的な接続関係を示すブロック図である。図 1 0 において、図 4 に対応する部分には同一符号を付し重複説明を省略する。

【 0 0 7 9 】

図 1 0 に示すように、本実施形態例の固体撮像装置 4 1 では、各画素 4 は、それぞれ異なる画素駆動回路 4 0 によって駆動される。

【 0 0 8 0 】

本実施形態例の固体撮像装置 4 1 においても、画素駆動回路 4 0 を、各画素 4 の直下に配置することにより、各画素 4 とその画素 4 を駆動する画素駆動回路 4 0 との距離が近くなり、各画素 4 が対応する画素駆動回路 4 0 によって直接駆動される。このため、画素 4 に供給される駆動パルスの遅延や鈍りが抑制され、高速駆動が可能となる。

40

【 0 0 8 1 】

また、本実施形態例の固体撮像装置 4 1 では、画素 4 から出力された画素信号を処理する後段の信号処理回路（カラム信号処理回路 6、又は水平駆動回路 7 等）を、画素駆動回路 4 0 が形成された第 2 のチップ 4 3 に形成している。これにより、発熱量が大きい回路部分を、画素 4 から完全に分離することができるので、発熱による画質の劣化を極力抑えることができるので、さらに、良質な画質を得ることができる。

50

【0082】

本実施形態例においては、1つの画素4に対して1つの画素駆動回路40を形成する例としたが、隣接する複数の画素4に対して、1つの画素駆動回路40を形成する例としてもよい。この場合、画素駆動回路40から画素に供給されるそれぞれの駆動パルスの遅延や鈍りが発生しない程度に、共通の画素駆動回路40で駆動される画素4を増やすことができる。

【0083】

このように、本実施形態例においても、1つの画素駆動回路40で駆動される画素4をある程度グループ化することにより、画素駆動回路40の数を削減できる。このため、画素4を駆動する駆動パルスの遅延や鈍りが起こらない範囲内での回路構成の簡素化を好適に図ることができる。

10

【0084】

その他、第1の実施形態と同様の効果を得ることができる。

【0085】

3. 第4の実施形態：固体撮像装置

次に、本発明の第4の実施形態に係る固体撮像装置について説明する。図11は、本実施形態例の固体撮像装置の画素、画素駆動回路、及び接続部を含む領域の断面構成図である。本実施形態例の全体の構成は、図1A、Bと同様であるから、重複説明を省略する。また、図11において、図3に対応する部分には同一符号を付し重複説明を省略する。

【0086】

本実施形態例の固体撮像装置は、裏面照射型の固体撮像装置を例としたものであり、第1のチップ63の構成が、第1の実施形態例と異なる例である。

20

【0087】

図11に示すように、第1のチップ63は、受光部56が形成された基板55と、多層配線層61と、カラーフィルタ層29と、オンチップマイクロレンズ30とを含んで構成されている。

【0088】

基板55は、シリコンからなる半導体基板によって構成されている。光入射側となる基板55の裏面側には、受光部56が形成されている。また、基板55の表面側には、フローティングディフュージョン部57と、所望のMOSトランジスタのソース・ドレインを構成する不純物領域58、59、60とが形成されている。

30

【0089】

受光部56は、フォトダイオードにより構成されている。また、フローティングディフュージョン部57は、受光部56に隣接する領域に形成された不純物領域によって構成されている。また、各不純物領域58、59、60は、基板44表面側の所望の領域に形成されている。

【0090】

多層配線層61は、基板55の表面側に形成されている。多層配線層61では、基板55表面にゲート絶縁膜50を介して所望のMOSトランジスタを構成するゲート電極51、52、53、54が形成されている。受光部56とフローティングディフュージョン部57間に形成されたゲート電極51は、転送トランジスタTr1のゲート電極とされる。また、フローティングディフュージョン部57と不純物領域58間に形成されたゲート電極52は、リセットトランジスタTr2のゲート電極とされる。また、不純物領域58と不純物領域59間に形成されたゲート電極53は、増幅トランジスタTr3のゲート電極とされる。また、不純物領域59と不純物領域60間に形成されたゲート電極54は、選択トランジスタTr4のゲート電極とされる。そして、この多層配線層61では、ゲート電極51、52、53、54上部には、複数層（本実施形態例では2層）の配線層64が、層間絶縁膜62を介して形成されている。

40

【0091】

第1のチップ63を構成する多層配線層61の基板55とは反対側の面上には、転送ト

50

ランジスタTr1、リセットトランジスタTr2、選択トランジスタTr4のゲート電極51, 52, 54に接続される配線が、マイクロパッド34によって引き出されている。

【0092】

カラーフィルタ層29は、光入射側となる基板55の裏面側に形成され、例えば、R(赤色)G(緑色)B(青色)のカラーフィルタが画素毎に配列されている。

オンチップマイクロレンズは、カラーフィルタ層29上部に形成されており、入射した光を受光部56に効率よく集光するように設けられている。

【0093】

このように、本実施形態例では、基板55の多層配線層61が形成される側とは反対側である基板55裏面側が光入射側とされる。

【0094】

本実施形態例の固体撮像装置においても、第1のチップ63に形成されたマイクロパッド34と、第2のチップ3に形成されたマイクロパッド45とがマイクロバンプ35によって接続されている。これにより、第2のチップ3に形成された画素駆動回路11が第1のチップ63の画素に接続される。

【0095】

そして、本実施形態例においても、第1の実施形態と同様に、1列の画素に対応して1つの画素駆動回路11が構成される。

【0096】

本実施形態例の固体撮像装置では、第1のチップ63において、基板55表面の多層配線層61が形成される側が、第2のチップ3との接合面とされ、基板55裏面側が光入射側とされている。このため、基板55の光入射側には受光部56のみが形成されるため、受光面積を大きくとることができ、飽和電荷量を大きくすることができる。

【0097】

また、第1のチップ63の多層配線層61側が第2のチップ3側に配されるので、第2のチップ3に形成された画素駆動回路11と、第1のチップ63の画素との接続が容易になる。すなわち、第1の実施形態では、図3に示したように画素駆動回路11と画素4との接続のために、基板15にコンタクト部31, 32, 33を形成する必要があったが、本実施形態例ではその必要がない。このため、第1のチップ63と第2のチップ3を接続するために要される工程数の減少が図られる。

【0098】

その他、第1の実施形態と同様の効果を得ることができる。

【0099】

また、本実施形態例の構成は、第2の実施形態にも適用可能である。

【0100】

上述の第1の実施形態～第3の実施形態では、入射光量に応じた信号電荷を物理量として検知する単位画素が行列状に配置されてなるCMOS型固体撮像装置に適用した場合を例に挙げて説明した。しかしながら、本発明はCMOS型固体撮像装置への適用に限られるものではない。また画素が二次元マトリクス状に形成された画素部の画素列ごとにカラム回路を配置してなるカラム方式の固体撮像装置全般に限定するものでもない。

【0101】

また、本発明は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像装置にも適用可能である。また、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像装置(物理量分布検知装置)全般に対して適用可能である。

【0102】

さらに、本発明は、画素部の各単位画素を行単位で順に走査して各単位画素から画素信号を読み出す固体撮像装置に限られるものではない。画素単位で任意の画素を選択して、当該選択画素から画素単位で信号を読み出すX-Yアドレス型の固体撮像装置に対しても

10

20

30

40

50

適用可能である。

なお、固体撮像装置はワンチップとして形成された形態であってもよいし、画素部と、信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

【0103】

また、本発明は、固体撮像装置への適用に限られるものではなく、撮像装置にも適用可能である。ここで、撮像装置とは、デジタルスチルカメラやビデオカメラ等のカメラシステムや、携帯電話機などの撮像機能を有する電子機器のことを言う。なお、電子機器に搭載される上記モジュール状の形態、即ちカメラモジュールを撮像装置とする場合もある。

【0104】

4. 第4の実施形態：電子機器

次に、本発明の第4の実施形態に係る電子機器について説明する。図12は、本実施形態例に係る電子機器200の概略構成図である。

【0105】

本実施形態例の電子機器200は、上述した本発明の第1の実施形態における固体撮像装置1を電子機器（カメラ）に用いた場合の実施形態を示す。

【0106】

本実施形態に係る電子機器200は、固体撮像装置1と、光学レンズ210と、シャッター装置211と、駆動回路212と、信号処理回路213とを有する。

【0107】

光学レンズ210は、被写体からの像光（入射光）を固体撮像装置1の撮像面上に結像させる。これにより固体撮像装置1内に一定期間当該信号電荷が蓄積される。

シャッター装置211は、固体撮像装置1への光照射期間および遮光期間を制御する。

駆動回路212は、固体撮像装置1の転送動作およびシャッター装置211のシャッター動作を制御する駆動信号を供給する。駆動回路212から供給される駆動信号（タイミング信号）により、固体撮像装置1の信号転送を行なう。信号処理回路213は、各種の信号処理を行う。信号処理が行われた映像信号は、メモリなどの記憶媒体に記憶され、あるいはモニタに出力される。

【0108】

本実施形態例の電子機器200では、固体撮像装置1において、同時刻性を保持した高速駆動が可能となるため、画素ムラが低減され、画質の向上が図られる。

【0109】

このように、固体撮像装置1を適用できる電子機器200としては、カメラに限られるものではなく、デジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置に適用可能である。

【0110】

本実施形態例においては、固体撮像装置1を電子機器に用いる構成としたが、前述した第2の実施形態及び第3の実施形態における固体撮像装置を用いることもできる。

【符号の説明】

【0111】

- 1 固体撮像装置
- 2 第1のチップ
- 3 第2のチップ
- 4 画素
- 5 画素部
- 6 カラム信号処理回路
- 7 水平駆動回路
- 8 出力回路
- 9 制御回路
- 10 タイミング同期回路

10

20

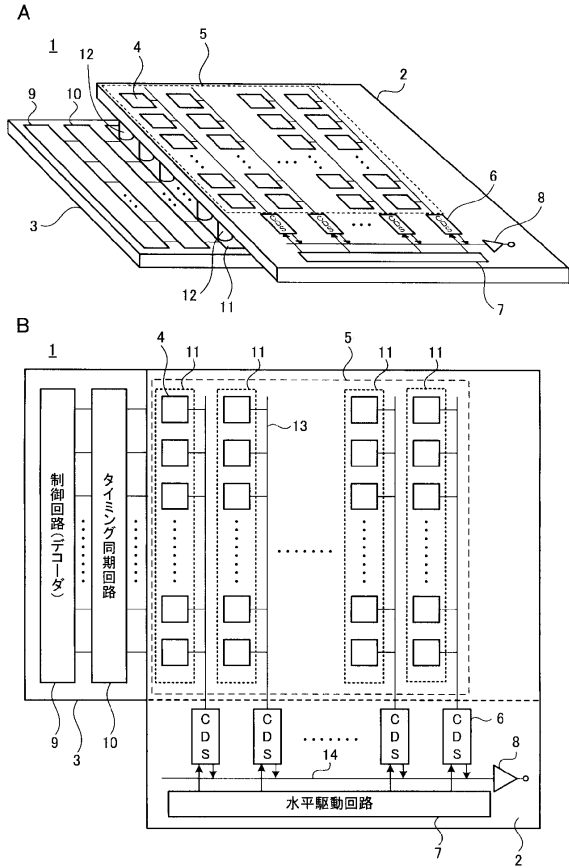
30

40

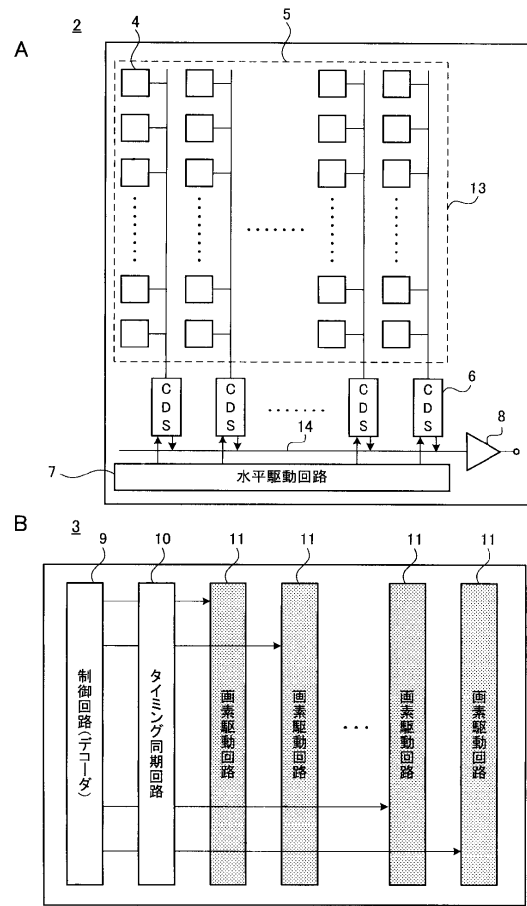
50

1 1	画素駆動回路	
1 2	接続部	
1 3	垂直信号線	
1 4	水平信号線	
1 5	基板	
1 6	受光部	
1 7	フローティングディフュージョン部	
1 7 a	電荷蓄積容量部	
1 7 b	フローティングディフュージョン部	
1 8	不純物領域	10
1 9	不純物領域	
2 0	不純物領域	
2 1	ゲート電極	
2 1 a	ゲート電極	
2 1 b	ゲート電極	
2 2	ゲート電極	
2 2 a	ゲート電極	
2 2 b	ゲート電極	
2 3	ゲート電極	
2 4	ゲート電極	20
2 5	ゲート絶縁膜	
2 6	多層配線層	
2 7	層間絶縁膜	
2 8	配線層	
2 9	カラーフィルタ層	
3 0	オンチップマイクロレンズ	
3 1	コンタクト部	
3 2	コンタクト部	
3 3	コンタクト部	
3 4	マイクロパッド	30
3 5	マイクロバンプ	

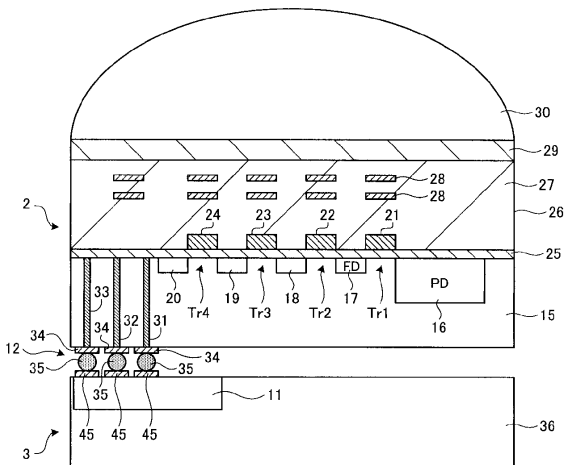
【図1】



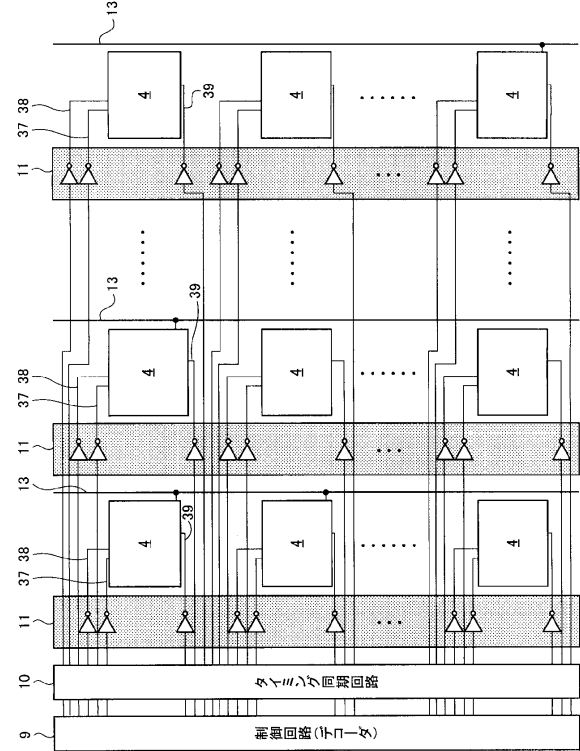
【図2】



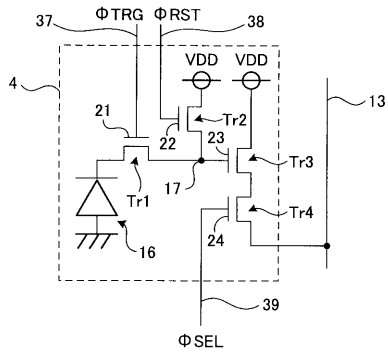
【図3】



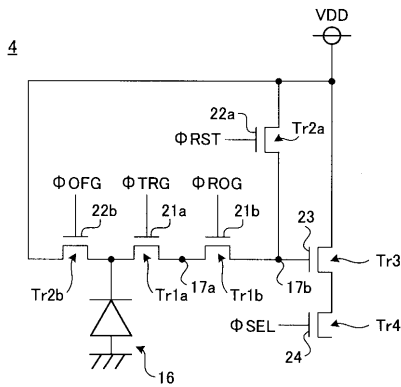
【図4】



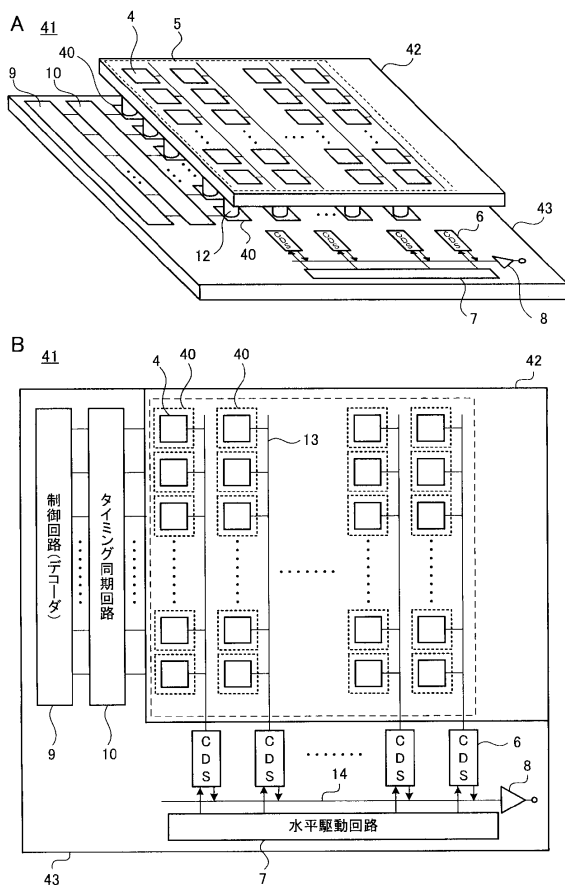
【図5】



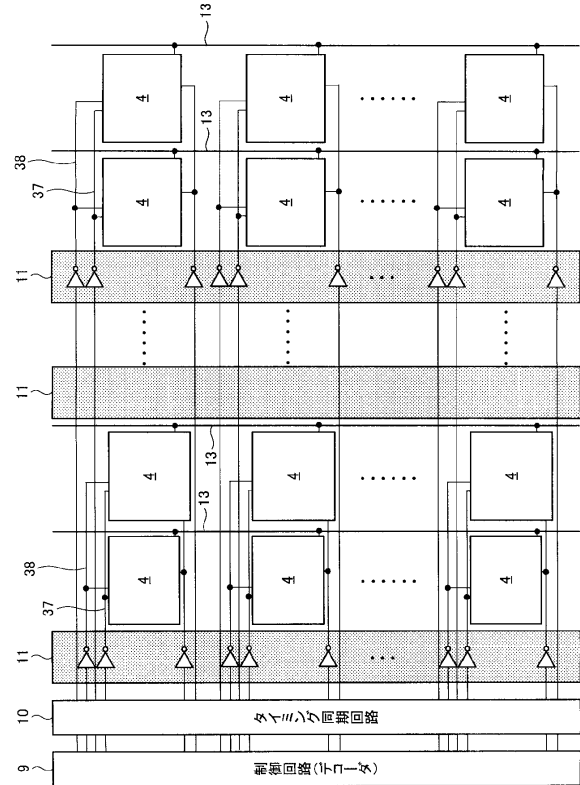
【図6】



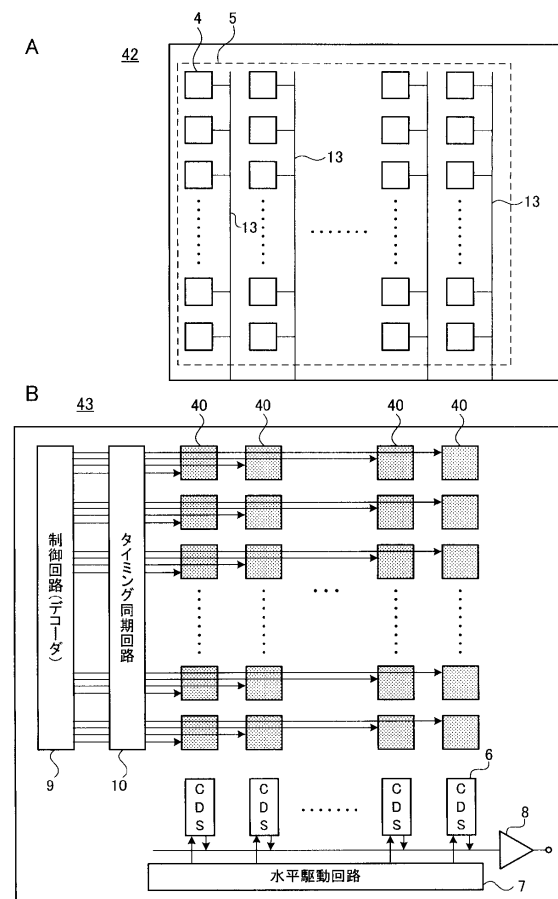
【図8】



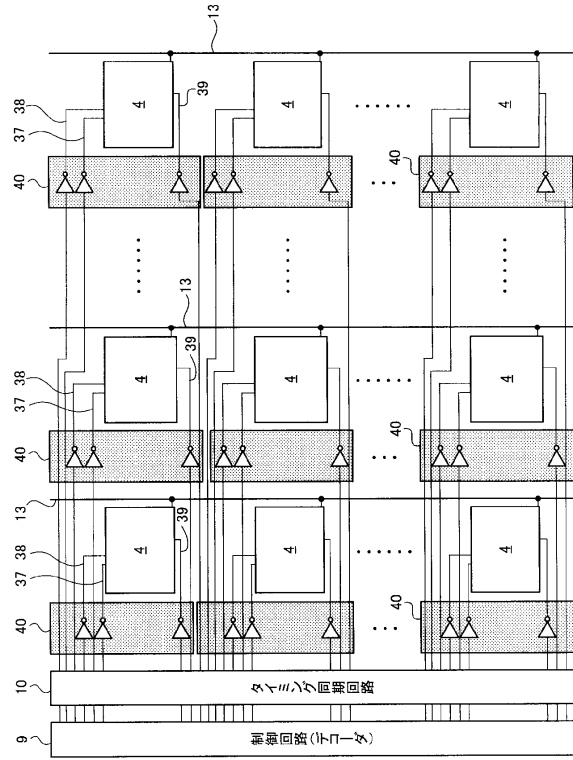
【図7】



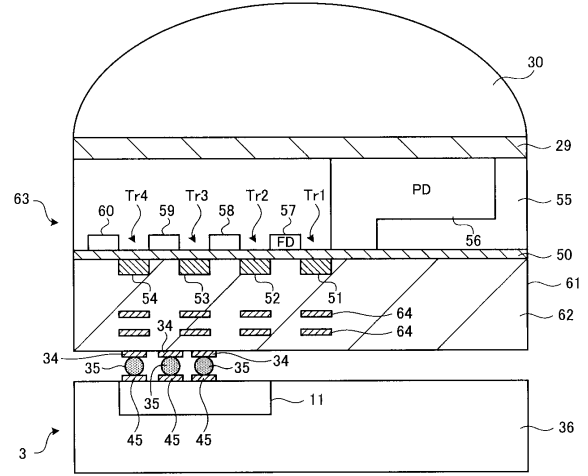
【図9】



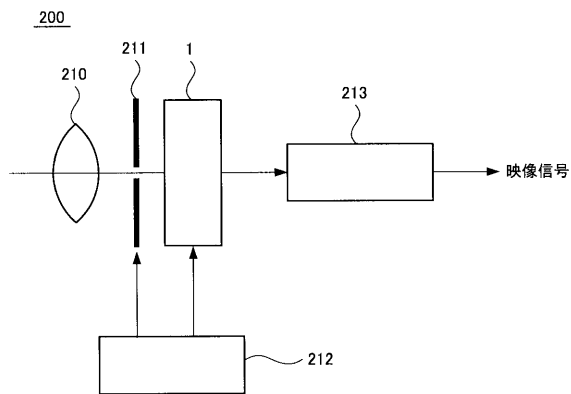
【図10】



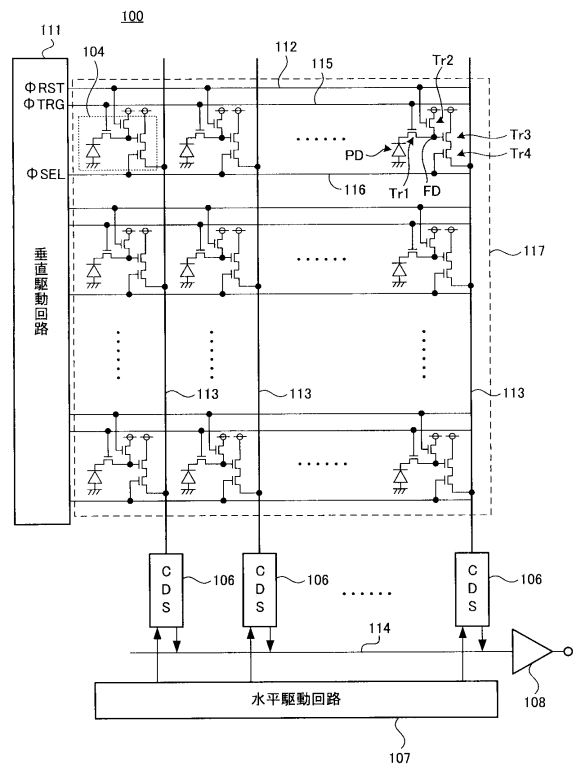
【図11】



【図12】



【図13】



フロントページの続き

(56)参考文献 特開2008-235478(JP,A)
特開2006-049361(JP,A)
特開2009-170448(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 27/14
H04N 5/335