(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3555708号
(P3555708)
(45)発行日　平成16年8月18日(2004.8.18)　(24)登録日　平成16年5月21日(2004.5.21)

(51)Int.Cl.[7]　F I
H04Q 11/04　H04Q 11/04　E
H04Q 3/52　H04Q 3/52　101A

請求項の数 1　(全 7 頁)

(21)出願番号　特願平7-267830
(22)出願日　平成7年9月21日(1995.9.21)
(65)公開番号　特開平9-93676
(43)公開日　平成9年4月4日(1997.4.4)
審査請求日　平成12年10月26日(2000.10.26)

(73)特許権者　000153465
株式会社日立コミュニケーションテクノロジー
東京都品川区南大井六丁目２６番３号
(74)代理人　100083954
弁理士　青木　輝夫
(72)発明者　岩井　秀明
福島県郡山市字船場向９４番地　株式会社日立テレコムテクノロジー内

審査官　稲葉　和生

最終頁に続く

(54)【発明の名称】時分割スイッチ

(57)【特許請求の範囲】
【請求項１】
通話路形成を指定する中央処理装置からの指令により保持メモリを制御する保持メモリ制御部と、入ハイウェイからのデータを多重化するハイウェイ多重部と、時間メモリを制御する時間メモリ制御部と、時間メモリから読み出したデータを分離するハイウェイ分離部とを有する電子交換機の時分割スイッチにおいて、
前記時間メモリ制御部、前記保持メモリ制御部、ハイウェイ多重部及びハイウェイ分離部を１つのＬＳＩにより構成すると共に、
前記時間メモリ制御部に、保持メモリから読み出したハイウェイ番号に基づき前記時間メモリを選択する選択手段を設けたことを特徴とする時分割スイッチ。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、電子交換機に使用する時分割スイッチに関する。
【０００２】
【従来の技術】
従来の時分割スイッチの構成を図３に示す。
【０００３】
図３において、１０１は通話路形成を指定する中央処理装置、１０２は中央処理装置１０１からの指令により保持メモリ１０３を制御する保持メモリ制御部、１０４は入ハイウェ

イ（入ＨＷ）からのデータを多重化するハイウェイ多重部、１０５は通話路接続データを一時格納する時間メモリ、１０６は時間メモリ１０５を制御する時間メモリ制御部、１０７は時間メモリ１０５から読み出したデータを分離するハイウェイ分離部を示す。なお、出ＨＷは、出ハイウェイである。

【０００４】

このような従来の時分割スイッチにおける保持メモリ制御部１０２、ハイウェイ多重部１０４、時間メモリ制御部１０６、ハイウェイ分離部１０７は主に汎用ロジックＩＣで構成されているのが一般である。

【０００５】

【発明が解決しようとする課題】

しかしながら、上記従来の時分割スイッチでは、保持メモリ制御部、ハイウェイ多重部、時間メモリ制御部、ハイウェイ分離部が汎用ロジックＩＣにより構成されるため、部品点数が多くなり、これに伴い実装スペースが大きくなるとともに実装効率が悪く、ハイウェイの拡張が困難であった。

【０００６】

本発明は、上記従来の問題を解決するものであり、実装効率を向上し、ハイウェイの拡張にも容易に対応できる時分割スイッチを提供することを目的とする。

【０００７】

【課題を解決するための手段】

上記目的を達成するために本発明は、電子交換機の時分割スイッチにおいて、時間メモリ制御部、前記保持メモリ制御部、ハイウェイ多重部及びハイウェイ分離部を１つのＬＳＩにより構成すると共に、時間メモリ制御部に、保持メモリから読み出したハイウェイ番号に基づき時間メモリを選択する選択手段を設けたものである。

【０００８】

これによって、実装スペースの削減と部品実装効率の向上が図れるとともに、ハイウェイの拡張が容易になる。

【０００９】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

【００１０】

図１は本発明による時分割スイッチの一実施の形態を示すブロック図である。

【００１１】

図１において、１０は通話路形成を指定する中央処理装置（ＣＰＥ）、２０は中央処理装置１０からの指定により保持メモリ３０を制御する保持メモリ制御部、４０は複数の入ハイウェイからのデータを多重化するハイウェイ多重部、５０はハイウェイ多重部４０で多重化されたデータを一時格納する時間メモリ、６０は時間メモリ５０を制御する時間メモリ制御部、７０は保持メモリ３０から読み出したデータにより、ハイウェイ多重部４０からのデータのレベル制御を行うＰＡＤ、８０はハイウェイ多重部からのデータを分離するハイウェイ分離部である。

【００１２】

前記保持メモリ制御部２０、ハイウェイ多重部、時間メモリ制御部６０およびハイウェイ分離部８０は、１つのカスタムＬＳＩから構成される。これにより、部品実装の効率を向上させる。

【００１３】

次に、カスタムＬＳＩ化される各部の構成について述べる。

【００１４】

前記保持メモリ制御部２０は、中央処理装置１０から制御信号およびアドレス信号を受け取るとともに時間スイッチ返答信号（ＴＳＷＡＣＫＮ）を中央処理装置１０に返すバッファ２１と、バッファ２１からのデータに基づいて保持メモリ３０を制御する保持メモリ制御回路２２と、中央処理装置１０からのデータと保持メモリ３０から読み出されたデータ

を中央処理装置１０と保持メモリ３０間で双方向制御する双方向バッファ２３と、双方向バッファ２３で受けた中央処理装置１０からのデータを保持メモリ３０に出力するバッファ２４と、保持メモリ３０のデータを読み出す読み出しカウンタ２５と、中央処理装置１０からのアドレス信号を読み出しカウンタ２５からの信号を選択するセレクタ２６と、保持メモリ３０から読み出されたデータを受け取るバッファ２７と、バッファ２７からのデータをラッチし双方向バッファ２３側へ出力するフリップフロップ２８とから構成される。

【００１５】

前記ハイウェイ多重部４０は、複数の入ハイウェイからのデータをラッチするフリップフロップ４１と、各入ハイウェイのタイミングを調整するディレー回路４２と、ディレー回路４２から出力されるシリアルデータをパラレルデータに変換するＳ／Ｐ変換部４３と、Ｓ／Ｐ変換部４３からのデータを多重化する多重部４４とから構成される。

【００１６】

前記時間メモリ制御部６０は、保持メモリ制御部２０のバッファ２７からのデータをラッチするバッファ６１と、時間メモリ５０のデータを読み出すためのアドレスカウンタ６２と、バッファ６１からのデータとアドレスカウンタ６２からアドレス信号を選択して時間メモリ５０に出力するセレクタ６３と、多重部４４からのデータを受け時間メモリ５０に出力するバッファ６４と、バッファ６４からのデータを受け取りフリップフロップ６６へ出力するバッファ６５と保持メモリ３０から読み出したデータ内のハイウェイ番号上位ビットをデコードし、時間メモリ５０の選択信号を送出する時間メモリセレクタ６７とから構成される。

【００１７】

前記ハイウェイ分離部８０は、ＰＡＤ７０からのデータをラッチするフリップフロップ８１と、読み出しカウンタ２５からのデータをラッチするフリップフロップ８２と、フリップフロップ８２からのパラレルデータをシリアルデータに変換するＰ／Ｓ変換部８３と、Ｐ／Ｓ変換部８３からのデータのタイミングを調整するディレー回路８４とから構成される。

【００１８】

次に、ハイウェイが８本（ＨＷ０～７）の場合における本実施の形態の動作について説明する。

【００１９】

中央処理装置１０からの制御信号とアドレス信号がバッファ２１を通して保持メモリ制御回路２２に入力されると、保持メモリ制御回路２２では、保持メモリ３０のチップセレクトＣＳおよびライトイネーブルＷＥを制御する。この場合、中央処理装置１０からのアクセスが時間スイッチに対するオーダでハイウェイ０から７に対するオーダーであるときは、保持メモリ３０のＣＳを「Ｌ」にして、保持メモリ３０を動作状態にする。また、中央処理装置１０のライト時は、保持メモリ３０のＷＥを「Ｌ」にして、中央処理装置１０からのパス制御データを指定されたアドレスにランダムに書き込む。さらに、中央処理装置１０のリード時は、保持メモリ３０のＷＥを「Ｈ」にして、保持メモリ３０に書き込んだパス制御データを読み出す。

【００２０】

保持メモリ３０に書き込まれたパス制御データは、読み出しカウンタ２５からセレクタ２６を通して保持メモリ３０に供給されるアドレス信号によりシーケンシャルに読み出され、時間メモリ５０の読み出しアドレスとする。

【００２１】

ハイウェイ多重部４０から送出されるデータは、時間メモリ制御部６０のバッファ６４を通して時間メモリ５０に送られ、そして、アドレスカウンタ６２からのアドレス信号により、時間メモリ５０にシーケンシャルに書き込まれる。

【００２２】

時間メモリ５０から出ハイウェイ側へのパラレルデータは、保持メモリ３０から読み出し

たデータに基づいて、ハイウェイ０から７の読み出しであれば、時間メモリ５０のＣＳを制御するＴＭＯ信号を「Ｌ」にして、ランダムに読み出され、次段のＰＡＤ７０に送出される。ＰＡＤ７０ではデータのレベル制御をした後、フリップフロップ８１を介してＰ／Ｓ変換部８３に送出する。Ｐ／Ｓ変換部８３では、パラレルデータをシリアルデータに変換し、ディレー回路８４でダイミング調整して出ハイウェイに送出する。

【００２３】

次に、ハイウェイが０から１５の１６本の場合について図２を用いて説明する。

【００２４】

図２において、１ａ，１ｂは本発明によるカスタムＬＳＩで１ａはハイウェイ番号０から７に対応し、１ｂはハイウェイ番号８から１５に対応する。２ａはハイウェイ０から７に対応する保持メモリ、２ｂはハイウェイ８から１５に対応する保持メモリ、３ａはハイウェイ０から７に対応するＰＡＤ，３ｂはハイウェイ８から１５に対応するＰＡＤ、４，６はハイウェイ０から７のデータを一時格納する時間メモリ、５，７はハイウェイ８から１５のデータを一時格納する時間メモリ、８はカスタムＬＳＩと時間メモリのデータを分けるバッファ、１０は中央処理装置（ＣＰＥ）を示す。

【００２５】

次に、動作について説明する。

【００２６】

入ＨＷ０から７のデータは、カスタムＬＳＩ１ａで多重され時間メモリ４及び６に書き込まれ、入ＨＷ８から１５のデータ、カスタムＬＳＩ１ｂで多重され時間メモリ５及び７に書き込まれる。カスタムＬＳＩ１ａは、中央処理装置１０からのアクセスがハイウェイ０から７へのアクセスであれば、保持メモリ２ａにデータを書き込み、カスタムＬＳＩ１ｂはハイウェイ８から１５へのアクセスであれば、保持メモリ２ｂにデータを書き込む。出ハイウェイ０に入ハイウェイ８のデータを接続するときは以下のように動作する。

【００２７】

中央処理装置１０から出ハイウェイ０に入ハイウェイ８を接続させるオーダーはカスタムＬＳＩ１ａにより識別され保持メモリ２ａに書き込まれる。カスタムＬＳＩ１ａは、出ハイウェイ０に接続する入ハイウェイ番号を保持メモリ２ａから読み出し時間メモリ４と５の読み出しアドレスとする。このとき、時間メモリ選択信号ＴＭ１が「Ｌ」となり時間メモリ５の読み出し状態となり、データはバッファ８を通りカスタムＬＳＩ１ａに取り込まれ、ＰＡＤ３ａによりレベル制御され、出ハイウェイ０に送出される。

【００２８】

同様に、出ハイウェイ８に入ハイウェイ０のデータを接続する場合は、中央処理装置１０からのオーダーはカスタムＬＳＩ１ｂにより識別され保持メモリ２ｂに書き込まれ、保持メモリ２ｂから読み出したデータにより時間メモリ６と７の読み出しアドレスとする。カスタムＬＳＩ１ｂからの時間メモリ選択信号は、ＴＭ０が「Ｌ」となり時間メモリ６からのみデータを読み出し、ＰＡＤ３ｂを通り出ハイウェイ８に入ハイウェイ０のデータが送出される。

【００２９】

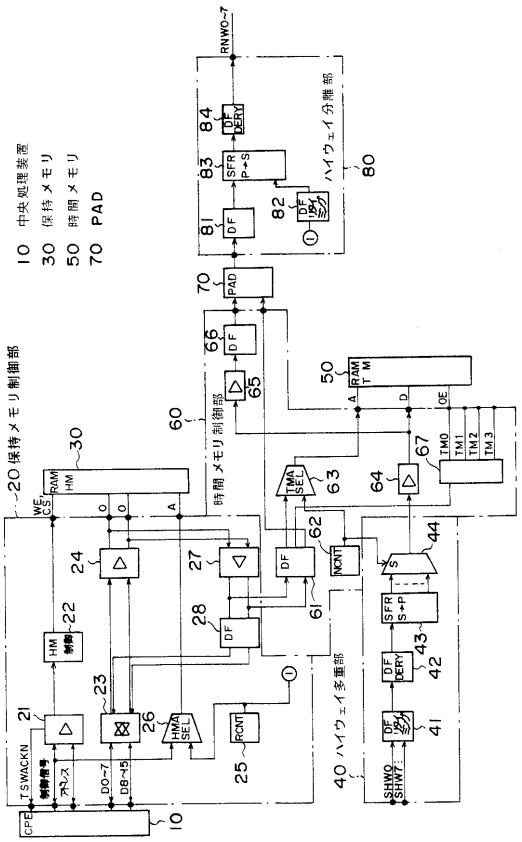
このような図１、図２に示す本実施の形態の時分割スイッチにおいては、中央処理装置１０、保持メモリ３０、時間メモリ５０及びＰＡＤ７０を除く、保持メモリ制御部２０、ハイウェイ多重部４０、時間メモリ制御部６０及びハイウェイ分離部８０を１つのカスタムＬＳＩで構成するから、従来の汎用ロジックＩＣを利用したものに比べ、部品点数が大幅に減少し、部品実装スペースを削減できるとともに、部品の実装効率を向上できる。

【００３０】

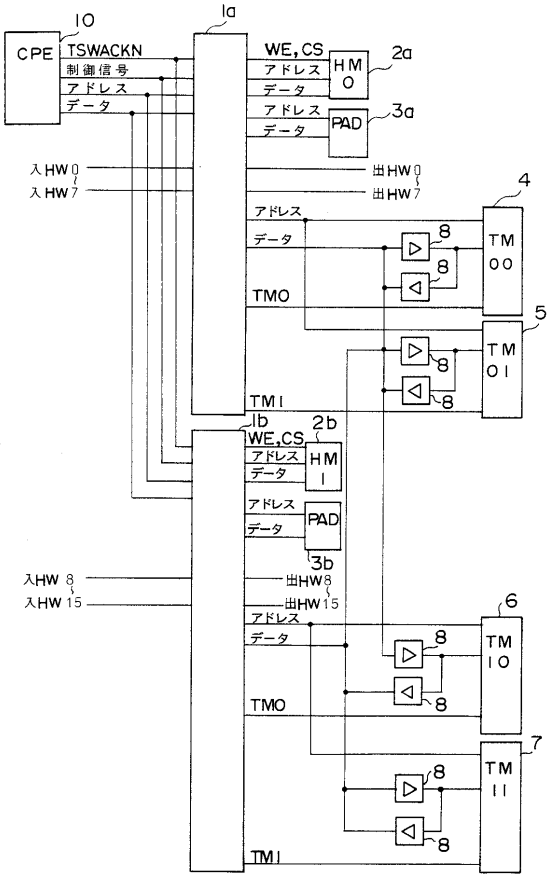
また、時間メモリ制御部６０に、時間メモリセレクタ６７を設けることで本カスタムＬＳＩを並列に接続し、かつ、時間メモリを複数接続可能にしたため、制御できるハイウェイ数を任意に設定することができる。即ち、本実施の形態では、ハイウェイを８本から１６本に拡張した場合を示したが、本カスタムＬＳＩを４個使用することでハイウェイ３２本までの拡張に対応できる。

【００３１】
【発明の効果】
以上説明したように本発明によれば、時分割スイッチを構成する保持メモリ制御部、ハイウェイ多重部、時間メモリ制御部およびハイウェイ分離部をカスタムＬＳＩ化したので、実品実装スペースが削減でき、部品実装効率を向上できるとともに、ハイウェイの拡張にも容易に対応できるという効果を有する。
【図面の簡単な説明】
【図１】本発明の一実施の形態による時分割スイッチのブロック図である。
【図２】本発明の一実施の形態による時分割スイッチのブロック図である。
【図３】従来の時分割スイッチのブロック図である。
【符号の説明】
１０　中央処理装置
２０　保持メモリ制御部
２１　バッファ
２２　保持メモリ制御回路
２３　双方向バッファ
２４　バッファ
２５　読み出しカウンタ
２６　セレクタ
２７　バッファ
２８　フリップフロップ
３０　保持メモリ
４０　ハイウェイ多重部
４１　フリップフロップ
４２　ディレー回路
４３　Ｓ／Ｐ変換部
４４　多重部
５０　時間メモリ
６０　時間メモリ制御部
６１　バッファ
６２　アドレスカウンタ
６３　セレクタ
６４　バッファ
６５　バッファ
６７　時間メモリセレクタ
７０　ＰＡＤ
８０　ハイウェイ分離部
８１　フリップフロップ
８２　フリップフロップ
８３　Ｐ／Ｓ変換部
８４　ディレー回路

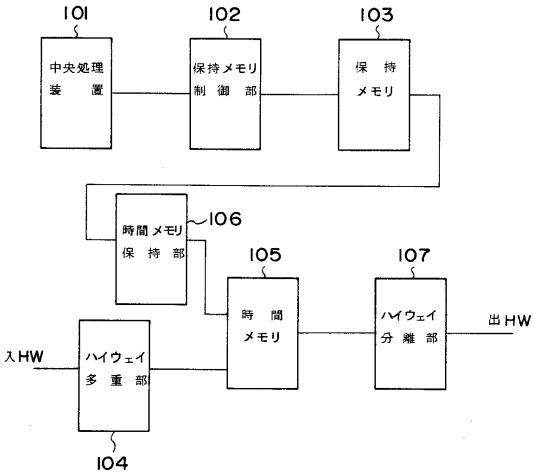
【図１】


10 中央処理装置
30 保持メモリ
50 時間メモリ
70 PAD
20 保持メモリ制御部
ハイウェイ分離部
ハイウェイ多重部
時間メモリ制御部
CPE
TSWACKN

【図２】


CPE
TSWACKN
制御信号
アドレス
データ
WE,CS
HM 0
PAD
入HW 0 ~ 7
出HW 0 ~ 7
TM 00
TM 01
TM 10
TM 11
入HW 8 ~ 15
出HW 8 ~ 15
TMO
TMI

【図３】


中央処理装置
保持メモリ制御部
保持メモリ
時間メモリ保持部
時間メモリ
ハイウェイ多重部
ハイウェイ分離部
入HW
出HW

フロントページの続き

(56)参考文献 特開平０３－２５３１９９（ＪＰ，Ａ）
特開昭５８－１２９８９８（ＪＰ，Ａ）
特開平０５－２６０５４３（ＪＰ，Ａ）
特開平０４－０３６２６８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04Q 11/04