



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월25일
(11) 등록번호 10-1107236
(24) 등록일자 2012년01월11일

(51) Int. Cl.
H01G 4/30 (2006.01)
(21) 출원번호 10-2010-0003733
(22) 출원일자 2010년01월15일
심사청구일자 2010년01월15일
(65) 공개번호 10-2010-0084481
(43) 공개일자 2010년07월26일
(30) 우선권주장
JP-P-2009-007663 2009년01월16일 일본(JP)
(56) 선행기술조사문헌
JP10284343 A*
JP11040462 A*
JP11307391 A*
JP08203769 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
티디케이가부시기가이샤
일본 도쿄도 추오구 니혼바시 1쵸메 13반 1고
(72) 발명자
야나기다 미유키
일본 도쿄도 103-8272, 추오구, 니혼바시, 1쵸메 13반 1고 티디케이가부시기가이샤 내
사사키 다케토
일본 도쿄도 103-8272, 추오구, 니혼바시, 1쵸메 13반 1고 티디케이가부시기가이샤 내
(뒷면에 계속)
(74) 대리인
장훈

전체 청구항 수 : 총 6 항

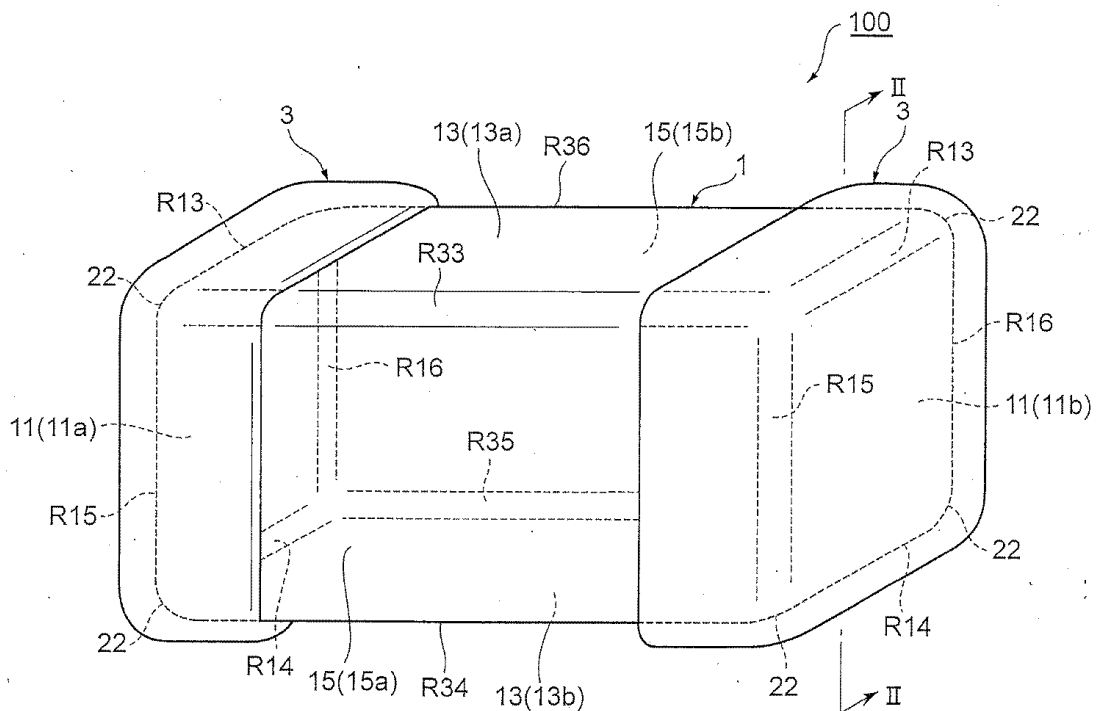
심사관 : 이우식

(54) 세라믹 전자부품

(57) 요약

내부 전극이 매설된 칩 소체(1)와, 내부 전극이 노출되는 칩 소체(1)의 단면(11)과 단면(11)에 직교하는 측면(13, 15)의 일부를 덮고, 내부 전극과 전기적으로 접속된 단자 전극(3)을 구비하고, 단자 전극(3)은 칩 소체(1) 측으로부터 제 1 전극층과, 제 1 전극층보다도 유리 성분의 함유량이 적은 제 2 전극층을 가지고 있고, 제 2 전극층은 측면(13, 15) 위에 있어서의 제 1 전극층의 일부를 덮도록 형성되어 있는 세라믹 전자부품(100).

대표도



(72) 발명자

구리모토 사토시

일본 도쿄도 103-8272, 추오구, 니혼바시, 1쵸메
13반 1고 티디케이가부시기가이샤 내

콘노 마사히코

일본 도쿄도 103-8272, 추오구, 니혼바시, 1쵸메
13반 1고 티디케이가부시기가이샤 내

모리타 유키

일본 도쿄도 103-8272, 추오구, 니혼바시, 1쵸메
13반 1고 티디케이가부시기가이샤 내

아베 히사유키

일본 도쿄도 103-8272, 추오구, 니혼바시, 1쵸메
13반 1고 티디케이가부시기가이샤 내

특허청구의 범위

청구항 1

내부 전극이 매설된 칩 소체와,
 상기 내부 전극이 노출되는 상기 칩 소체의 단면과 상기 단면에 직교하는 측면의 일부를 덮고, 상기 내부 전극과 전기적으로 접속된 단자 전극을 구비하는 세라믹 전자부품으로서,
 상기 단자 전극은 상기 칩 소체측으로부터 제 1 전극층과, 상기 제 1 전극층보다도 유리 성분의 함유량이 적은 제 2 전극층을 가지고 있고,
 상기 제 2 전극층은 상기 측면상에 있어서의 상기 제 1 전극층의 일부를 덮도록 형성되어 있는 세라믹 전자부품.

청구항 2

제 1 항에 있어서,
 상기 단자 전극은 상기 제 1 전극층 및 상기 제 2 전극층을 덮는 제 3 전극층을 가지는 세라믹 전자부품.

청구항 3

제 1 항에 있어서,
 상기 단자 전극은 상기 칩 소체의 정상부 위에 상기 제 2 전극층을 가지는 세라믹 전자부품.

청구항 4

제 2 항에 있어서,
 상기 단자 전극은 상기 칩 소체의 정상부 위에 상기 제 2 전극층을 가지는 세라믹 전자부품.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,
 상기 제 2 전극층이, 한쪽의 상기 단면과 직교하고 또한 서로 인접하는 상기 측면의 사이의 모서리부에 있어서, 다른쪽의 상기 단면측에 연장되도록 형성되어 있는 세라믹 전자부품.

청구항 6

제 1 항에 있어서,
 상기 단자 전극은 Cu, Ag, Pd, Au, Pt, Fe, Zn, Al, Sn 및 Ni로부터 선택되는 적어도 1종의 원소를 함유하는 세라믹 전자부품.

명세서

기술분야

[0001] 본 발명은 세라믹 전자부품에 관한 것이다.

배경기술

[0002] 세라믹 소체와 그 단면 위에 단자 전극을 가지는 적층 세라믹 콘덴서 등의 세라믹 전자부품이, 여러가지 전자기기 등에 사용되고 있다. 최근, 전자기기의 소형화, 고성능화가 진전되고 있고, 이에 따라, 세라믹 전자부품에 대한 소형화 및 고용량화에 대한 요구가 점점 고조되고 있다.

[0003] 세라믹 전자부품에 관한 기술로서, 설치시의 납땜성이나, 세라믹 소체와 단자 전극의 접합성을 양호하게 하기 위해서, 세라믹 전자부품의 단자 전극을, 조성이 다른 복수의 전극층이 적층된 적층 구조로 하는 것이 제안되어

있다(예를 들면, 일본 공개특허공보 제(평)7-86080호, 일본 공개특허공보 2003-243245호 참조). 이 세라믹 전자부품의 단자 전극의 최외층에는 세라믹 전자부품의 실장시에 있어서의 납땀시의 전극 침입을 방지하기 위해서, 전기 도금법에 의해 형성되는 Ni, Sn 도금층이 일반적으로 사용되고 있다(예를 들면, 일본 공개특허공보 2003-243245호 참조).

발명의 내용

해결하려는 과제

- [0004] 세라믹 전자부품의 고용량화를 도모하기 위해서는 세라믹 재료가 본래 가지는 절연 저항 등의 특성을 극력 유지하는 것이 바람직하다. 그런데, 세라믹 전자부품의 도금층 형성시에 있어서의 도금액의 침식이나 공기 중의 수분의 침입 등에 의해, 세라믹 전자부품의 절연 저항이 저하되는 경우가 있다. 또한, 단자 전극을 적층 구조로 하면, 각 층의 소결성의 차이에 기인하여, 균열이 발생하거나, 박리되거나 하는 경우가 있다.
- [0005] 세라믹 전자부품 내부에 대한 도금액의 침입을 억제하는 방법으로는 세라믹 전자부품의 정상부와 모서리부의 단자 전극을 두껍게 형성하는 방법을 들 수 있다. 그러나, 이러한 방법에서는 단자 전극이 전체적으로 두꺼워지기 때문에 제품 치수가 대형화되어, 제품 치수 규격을 만족하는 것이 곤란해진다. 예를 들면, 칩 콘덴서의 경우에는 단자 전극의 두께를 크게 하면, 제품 치수 규격을 만족하기 위해서 세라믹 소체의 형상 치수를 작게 할 필요가 있고, 고용량화·대용량화를 도모하는 것이 곤란했다.
- [0006] 본 발명은 이러한 사정을 감안하여 이루어진 것이며, 제품 치수를 유지하면서 우수한 절연 신뢰성을 가지는 세라믹 전자부품을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0007] 상기 목적을 달성하기 위해서, 본 발명에서는 내부 전극이 매설된 칩 소체와, 내부 전극이 노출되는 칩 소체의 단면과 단면에 직교하는 측면의 일부를 덮고, 내부 전극과 전기적으로 접속된 단자 전극을 구비하는 세라믹 전자부품으로서, 단자 전극은 칩 소체측으로부터 제 1 전극층과, 제 1 전극층보다도 유리 성분의 함유량이 적은 제 2 전극층을 가지고 있고, 제 2 전극층은 측면상에 있어서의 제 1 전극층의 일부를 덮도록 형성되어 있는 세라믹 전자부품을 제공한다.

발명의 효과

- [0008] 본 발명의 세라믹 전자부품은 우수한 절연 신뢰성을 가진다. 본 발명자들은 그 요인을 아래와 같이 추측하고 있다. 본 발명의 세라믹 전자부품은 세라믹 소체의 단면과 직교하는 측면상에 있어서, 유리 성분의 함유량이 많은 제 1 전극층의 일부를 덮도록, 유리 성분의 함유량이 적은 제 2 전극층이 형성되어 있다. 이 때문에, 제 1 전극층의 전부를 제 2 전극층으로 덮는 경우와 비교하여, 전극층의 소결성의 차이에 기초하는 수축률의 차이에 의해 발생하는 응력을 저감할 수 있다. 그 결과, 제 1 및 제 2 전극층간의 박리의 발생이나, 단자 전극에 있어서의 균열의 발생 등을 억제할 수 있다. 또한, 제 1 전극층이, 세라믹 소체의 단면뿐만 아니라, 측면의 일부도 덮도록 형성되어 있기 때문에, 예를 들면 도금 처리로 제 1 및 제 2 전극층 위에 도금층을 형성하는 경우에, 칩 소체의 단면 부근에 대한 도금액의 침입을 충분히 방지할 수 있다. 이 요인에 의해, 우수한 절연 신뢰성을 가지는 세라믹 전자부품으로 할 수 있다.
- [0009] 또, 본 발명의 세라믹 전자부품은 세라믹 소체의 측면상에 있어서의 제 1 전극층의 모두를 덮도록 제 2 전극층을 설치한 것에 비해, 측면상에 있어서의 단자 전극의 두께를 얇게 하는 것도 가능해지고, 소형화를 도모하거나, 상대적으로 세라믹 소체의 사이즈를 크게 해서 고용량화를 도모하거나 하는 것이 한층 더 가능해진다.
- [0010] 본 발명의 세라믹 전자부품에 있어서, 단자 전극은 제 1 전극층 및 제 2 전극층을 덮는 제 3 전극층을 가지는 것이 바람직하다. 세라믹 전자부품이, 제 3 전극층으로서, 예를 들면 도금층을 가짐으로써, 실장할 때의 전극 침입을 충분히 억제할 수 있다.
- [0011] 본 발명의 세라믹 전자부품에 있어서, 단자 전극은 칩 소체의 정상부 위에 제 2 전극층을 가지는 것이 바람직하다. 이러한 구조로 함으로써, 통상 파손되기 쉬운 세라믹 소체의 정상부를, 유리 성분의 함유량이 적은 제 2 전극층에 의해 보호하는 것이 가능해진다. 또한, 제 2 전극층의 유리 성분의 함유량이 적기 때문에, 정상부에 있어서의 제 2 전극층과 제 3 전극층의 밀착성을 충분히 확보하는 것이 가능해진다. 이들의 요인에 의해, 절연

신뢰성이 한층 우수한 세라믹 전자부품으로 할 수 있다.

[0012] 또, 본 발명에서는 제 2 전극층이, 단면과 직교하고 또한 서로 인접하는 측면의 사이의 모서리부에 있어서, 다른쪽의 단면측에 연장되도록 형성되어 있는 것이 바람직하다. 이러한 구조로 함으로써, 통상 파손되기 쉬운 세라믹 소체의 모서리부를 제 2 전극층에 의해 보호하는 것이 가능해진다. 따라서, 제 3 전극층을, 도금액을 사용하여 형성하는 경우에, 세라믹 소체에 대한 도금액 등의 침입을 충분히 억제하는 것이 가능해지고, 절연 신뢰성이 한층 더 우수한 세라믹 전자부품으로 할 수 있다.

[0013] 또, 본 발명의 세라믹 전자부품의 단자 전극은 Cu, Ag, Pd, Au, Pt, Fe, Zn, Al, Sn 및 Ni로부터 선택되는 적어도 1종의 원소를 함유하는 것이 바람직하다. 이것에 의해, 단자 전극의 도전성을 충분히 확보할 수 있는 세라믹 전자부품을 얻을 수 있다.

[0014] 본 발명에 따르면, 제품 치수를 유지하면서 우수한 절연 신뢰성을 가지는 세라믹 전자부품을 제공할 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 세라믹 전자부품의 적절한 1실시형태를 도시하는 사시도.

도 2는 도 1에 도시하는 세라믹 전자부품의 II-II선의 절단면을 모식적으로 도시하는 단면도.

도 3은 도체 페이스트의 부착 공정 및 도체 시트의 부착 공정을 모식적으로 도시하는 공정 단면도.

도 4는 칩 소체(1)의 양 단부에 소결 전극층(8)이 형성된 칩 부재(110)의 사시도.

도 5는 도 4의 칩 부재(110)의 V-V선의 절단면을 모식적으로 도시하는 단면도.

도 6은 단면(11)과 평행하고, 또한 단면에 노출되지 않은 내부 전극(9)의 단부를 지나는 면에 의한 칩 부재(110)의 절단면을 모식적으로 도시하는 단면도.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 경우에 따라 도면을 참조하여, 본 발명의 적절한 실시형태에 대해서 설명한다. 또, 도면의 설명에 있어서, 동일 또는 동등한 요소에는 동일부호를 사용하고, 중복되는 설명을 생략한다.

[0017] 도 1은 본 발명의 세라믹 전자부품의 적절한 1실시형태를 도시하는 사시도이다. 본 실시형태의 세라믹 전자부품(100)은 칩형의 적층형 세라믹 콘덴서이다. 이 세라믹 전자부품(100)은 대략 직방체 형상을 가지고 있고, 예를 들면, 길이방향(가로)의 길이가 2.0mm 정도, 폭방향의 길이 및 깊이 방향의 길이가 1.2mm 정도이다.

[0018] 세라믹 전자부품(100)은 대략 직방체 형상의 칩 소체(1)와, 칩 소체(1)의 양 단부에 각각 형성된 한 쌍의 단자 전극(3)을 구비하고 있다. 칩 소체(1)는 서로 대향하는 단면(11a) 및 단면(11b; 이하, 「단면(11)」이라고 함)과, 단면(11)에 수직이고 서로 대향하는 측면(13a 및 13b; 이하, 「측면(13)」이라고 함)과, 단면(11)에 수직이고 서로 대향하는 측면(15a) 및 측면(15b; 이하, 「측면(15)」이라고 함)을 가진다. 측면(13)과 측면(15)은 서로 수직이다.

[0019] 칩 소체(1)는 단면(11)과 측면(13a)의 사이의 모서리부(R13), 단면(11)과 측면(13b)의 사이의 모서리부(R14), 단면(11)과 측면(15a)의 사이의 모서리부(R15), 단면(11)과 측면(15b)의 사이의 모서리부(R16), 측면(13a)과 측면(15a)의 사이의 모서리부(R33), 측면(15a)과 측면(13b)의 사이의 모서리부(R34), 측면(13b)과 측면(15b)의 사이의 모서리부(R35), 및, 측면(15b)과 측면(13a)의 사이의 모서리부(R36)를 가지고 있다. 모서리부(R13 내지 R16, R33 내지 R36)는 칩 소체(1)가 연마되어 R형상을 이루고 있는 부분이다. 이러한 R형상을 함으로써, 칩 소체(1)의 모서리부(R13 내지 R16, R33 내지 R36)에 있어서의 파손의 발생을 억제할 수 있다. 칩 소체(1)에 있어서의 모서리부의 곡률 반경은 예를 들면, 세라믹 전자부품(100)의 폭방향의 길이의 3 내지 15%로 할 수 있다.

[0020] 단자 전극(3)은 칩 소체(1)에 있어서의 단면(11), 모서리부(R13), 모서리부(R14), 모서리부(R15) 및 모서리부(R16)를 덮는 동시에, 측면(13, 15)의 단면(11)측의 일부를 일체적으로 덮도록 형성되어 있다. 이 때문에, 단자 전극(3)은 칩 소체(1)의 정상부(22)를 덮도록 형성되어 있다.

- [0021] 도 2는 도 1에 도시하는 세라믹 전자부품의 II-II선의 절단면을 모식적으로 도시하는 단면도이다. 즉, 도 2는 도 1에 도시하는 세라믹 전자부품(100)을, 측면(13)에 수직이고 측면(15)에 평행한 면으로 절단한 경우의 단면 구조를 도시하는 도면이다.
- [0022] 단자 전극(3)은 단면(11), 모서리부(R14 내지 R16) 및 정상부(22) 위에 있어서, 칩 소체(1)측으로부터 차례로 제 1 전극층(4), 제 2 전극층(5) 및 제 3 전극층(6)이 이 순서로 적층된 적층 구조를 가진다. 제 1 전극층(4)은 제 2 전극층(5)보다도 유리 성분의 함유량이 높다.
- [0023] 제 1 전극층(4)은 예를 들면, Cu, Ag, Pd, Au, Pt, Fe, Zn, Al 및 Ni로부터 선택되는 적어도 하나의 원소를 포함하는 금속 성분과 유리 성분을 함유한다. 제 1 전극층(4)은 금속 성분과 유리 성분과 바인더, 분산제 및 용제의 적어도 하나를 포함하는 도체 페이스트를 사용하여 형성된다.
- [0024] 제 2 전극층(5)은 예를 들면, Cu, Ag, Pd, Au, Pt, Fe, Zn, Al 및 Ni로부터 선택되는 적어도 하나의 원소를 포함하는 금속 성분을 함유한다. 제 2 전극층(5)은 금속 성분과 유리 성분과 바인더, 분산제 및 용제의 적어도 하나를 포함하는 도체 페이스트를 사용하여 형성된다. 제 2 전극층(5)은 유리 성분을 포함하지 않아도 좋다. 제 3 전극층은 예를 들면, Ni층 및 Sn층이 적층된 도금층이며, 도금액을 사용하여 형성할 수 있다. 또, 제 3 전극층은 도금층에 한정되는 것이 아니라, 예를 들면 납땀이 가능한 Ag-Pt 등의 전극층이어도 좋다.
- [0025] 제 2 전극층(5)은 칩 소체(1)의 측면(13) 및 측면(15) 위에 있어서, 제 1 전극층(4)의 단면(11)측의 일부를 덮도록 형성되어 있다. 즉, 제 2 전극층(5)은 칩 소체(1)의 단면(11) 위 및 측면(13, 15)의 단면(11)측의 일部的 위에 형성되어 있다. 한편, 칩 소체(1)의 측면(13, 15) 위에 있어서, 제 1 전극층(4)의 타부의 위에는 제 2 전극층은 형성되지 않았다. 따라서, 제 1 전극층(4)의 타부는 제 2 전극층(5)에 의해 덮이지 않고, 제 3 전극층(6)과 직접 접촉하고 있다.
- [0026] 칩 소체(1)의 단면(11a)측에 형성되어 있는 제 2 전극층(5)은 모서리부(R33 내지 R36) 위에 있어서, 단면(11b)측에 연장되도록 형성되어 있다(도 4). 이 때문에, 칩 소체(1)의 모서리부(R33 내지 R36)의 일부 및 정상부(22)는 유리 성분의 함유량의 적은 치밀한 제 2 전극층(5)에 의해 보호되어 있다.
- [0027] 세라믹 전자부품(100)에 있어서, 단자 전극(3)은 칩 소체(1)와의 접촉면측에 유리 성분의 함유량이 높은 제 1 전극층(4)을 가지고 있다. 이 때문에, 단자 전극(3)과 칩 소체(1)는 충분히 높은 강도로 접촉되어 있고, 세라믹 전자부품(100)은 접속 신뢰성이 우수하다.
- [0028] 단자 전극(3)은 제 1 전극층(4) 및 제 2 전극층(5)을 덮도록 제 3 전극층(6)을 가지고 있다. 구체적으로는 칩 소체(1)의 단면(11), 모서리부(R13 내지 R16), 정상부(22), 측면(13, 15)의 단면(11)측의 일부 및 모서리부(R33 내지 R36)의 단면(11)측의 일부에 있어서, 제 3 전극층(6)이 제 2 전극층(5)을 덮도록 형성되어 있다. 이 령게, 제 2 전극층(5) 위에 제 3 전극층(6)이 형성되어 있기 때문에, 제 2 전극층(5)과 제 3 전극층(6)의 밀착성을 충분히 확보할 수 있다. 한편, 칩 소체(1)의 측면(13, 15) 위에 있어서, 제 1 전극층(4) 위에 제 2 전극층(5)이 형성되지 않은 부분은 제 1 전극층(4)과 제 3 전극층(6)이 직접 접촉하도록, 제 1 전극층(4) 위에 제 3 전극층(6)이 형성되어 있다.
- [0029] 칩 소체(1)는 복수의 유전체층(7)과 복수의 내부 전극(9)이 교대로 적층되어 구성되어 있다. 이 적층방향은 단자 전극(3)이 형성되어 있는 한 쌍의 단면(11)의 대향방향에 수직이고, 한 쌍의 측면(13)의 대향방향에 평행하다. 또, 설명의 형편상, 도 2에서는 유전체층(7) 및 내부 전극(9)의 적층수를 도면상에서 용이하게 시인할 수 있는 정도의 수로 하였지만, 원하는 전기 특성에 따라서, 유전체층(7) 및 내부 전극(9)의 적층수를 적당히 변경해도 좋다. 적층수는 예를 들면, 유전체층(7) 및 내부 전극(9)을, 각각 몇 십층으로 하여도 좋고, 100 내지 500층 정도로 하여도 좋다. 또한, 유전체층(7)은 서로의 사이의 경계를 시인할 수 없을 정도로 일체화되어 있어도 좋다.
- [0030] 내부 전극(9a)은 한쪽의 단면(11a)측의 단자 전극(3)과 전기적으로 접속되어 있고, 다른쪽의 단면(11b)측의 단자 전극(3)과는 전기적으로 절연되어 있다. 또, 내부 전극(9b)은 다른쪽의 단면(11b)측의 단자 전극(3)과 전기적으로 접속되어 있고, 한쪽의 단면(11a)측의 단자 전극(3)은 전기적으로 절연되어 있다. 내부 전극(9a) 및 내부 전극(9b)은 유전체층(7)을 사이에 두고 교대로 적층되어 있다. 본 실시형태의 세라믹 전자부품(100)은 단면(11a)측의 단자 전극(3)과 내부 전극(9b)의 절연 신뢰성, 및 단면(11b)측의 단자 전극(3)과 내부 전극(9a)의 절연 신뢰성이 우수하다.
- [0031] 단자 전극(3)은 단면(11) 및 측면(13) 위에 있어서, 각각 최대 두께 T 및 H를 가진다. 또한, 단자 전극(3)은

가장 외측에 배치되는 내부 전극(9b)의 단면(11a)을 향하는 연장선상에 있어서, 두께 F를 가진다. 여기에서, 종래의 대략 직방체 형상의 칩 소체는 칩 소체의 정상부 부근에 있어서, 단자 전극의 박리나 균열의 발생에 의해, 절연 신뢰성이나 접속 신뢰성이 손상되는 경우가 있었다. 우수한 절연 신뢰성이나 접속 신뢰성을 확보하는 관점에서는 정상부 부근에 있어서의 단자 전극의 두께(도 2 중의 F)를 크게 하는 것이 바람직하지만, 종래의 세라믹 전자부품에서는 상기 두께를 크게 하면, 결과적으로 단면 위와 측면상의 두께(도 2 중의 T와 H)가 커지고, 제품 치수 규격을 만족할 수 없게 되는 경우가 있었다.

[0032] 하지만, 본 실시형태의 세라믹 전자부품(100)은 제 2 전극층(5)이 측면(13, 15) 위의 단면(11)측의 일부와 단면(11) 위를 덮도록 형성되어 있기 때문에, 두께 H의 크기를 유지하면서, 두께 F를 충분히 크게 할 수 있다. 이 때문에, 충분한 소형화를 도모하면서 우수한 절연 신뢰성을 실현할 수 있다.

[0033] 단자 전극(3)은 Cu, Ag, Pd, Au, Pt, Fe, Zn, Al, Sn 및 Ni로부터 선택되는 적어도 1종의 원소를 함유하는 금속이나 합금을 함유하는 것이 바람직하다. 이것에 의해, 우수한 접속 신뢰성을 가지는 세라믹 전자부품으로 할 수 있다. 내부 전극(9)은 Ni, Cu 등의 비금속을 함유하는 것이 바람직하다. 유전체층(7)은 예를 들면, 티탄늄 산 바륨을 함유한다.

[0034] 본 실시형태의 전자부품(100)에서는 제 2 전극층(5)이, 칩 소체(1)의 측면(13, 15)의 단면(11)측의 일부와 단면(11)의 위에 있어서, 제 2 전극층(5)보다도 유리 성분의 함유량이 높은 제 1 전극층(4)을 덮도록 형성되어 있다. 이 때문에, 제 1 전극층(4)과 제 2 전극층(5)의 계면에 있어서, 양쪽 전극층의 소결성의 차이에 기인하는 응력이 저감되어, 제 1 전극층(4)과 제 2 전극층(5) 사이의 박리나, 소결 전극층(8)에 있어서의 균열의 발생을 충분히 억제할 수 있다. 이것에 의해, 칩 소체(1)의 모서리부(R13 내지 R16) 위에 있어서의 각 전극층의 결합을 충분히 저감할 수 있다.

[0035] 또, 유리 성분의 함유량이 낮고 치밀한 제 2 전극층이 모서리부(R13 내지 R16)나 정상부(22)를 덮도록 형성되어 있기 때문에, 세라믹 전자부품(100)은 충분히 우수한 기계적 강도를 가진다. 또한, 유리 성분의 함유량이 낮은 제 2 전극층 위에 도금층인 제 3 전극층(6)이 형성되어 있기 때문에, 제 2 전극층(5)과 제 3 전극층(6)의 사이의 밀착성을 충분히 높은 것으로 할 수 있다. 이 때문에, 제 2 전극층(5)과 제 3 전극층(6)과 박리를 충분히 억제할 수 있다. 이러한 구조를 가지는 세라믹 전자부품(100)은 충분히 우수한 접속 신뢰성을 가지고 있다.

[0036] 다음에, 도 1 및 도 2에 도시하는 세라믹 전자부품(100)의 제조 방법의 일 예에 대해서 설명한다. 세라믹 전자부품(100)의 제조 방법은 칩 소체의 형성 공정, 도체 그린 시트의 형성 공정, 도체 페이스트의 부착 공정, 도체 시트의 부착 공정, 건조 공정, 전극 소성 공정, 및 도금 공정을 가진다. 이하, 각 공정에 대해서 상세하게 설명한다.

[0037] 칩 소체의 형성 공정에서는 칩 소체(1)를 형성한다. 칩 소체(1)를 형성하기 위해서, 우선, 유전체층(7)이 되는 세라믹 그린 시트를 형성한다. 세라믹 그린 시트는 닥터 블레이드법 등을 사용하여 세라믹 슬러리를 PET 필름 위에 도포한 후, 건조시켜 형성할 수 있다. 세라믹 슬러리는 예를 들면, 티탄늄 산 바륨을 주성분으로 하는 유전체 재료에 용제, 및 가소제 등을 첨가하여, 혼합함으로써 얻을 수 있다. 형성한 세라믹 그린 시트에, 내부 전극(9)이 되는 전극 패턴을 스크린 인쇄하고 건조시킨다. 전극 패턴 스크린 인쇄에는 Cu 분말 또는 Ni 분말에 바인더나 용제 등을 혼합한 전극 페이스트를 사용할 수 있다.

[0038] 이렇게 하여 복수의 전극 패턴이 있는 그린 시트 형성하고, 적층한다. 계속해서, 전극 패턴이 있는 그린 시트의 적층체를 적층방향과 수직으로 절단하여 직방체 형상의 적층 칩을 형성하고, 가열 처리를 행하여 탈바인더를 행한다. 가열 처리는 180 내지 400℃에서 0.5 내지 30시간 행하는 것이 바람직하다. 가열 처리하여 얻어진 적층 칩을 800 내지 1400℃에서 0.5 내지 8.0시간 소성하고, 배럴 연마하여 모떼기를 하여, 직방체 형상의 모서리부를 R형으로 한다. 이것에 의해, 칩 소체(1)를 얻을 수 있다.

[0039] 도체 그린 시트의 형성 공정에서는 도체 그린 시트를 형성한다. 구체적으로는 PET(폴리에틸렌테레프탈레이트) 필름 위에, 도체 그린 시트용 페이스트를 70μm 정도의 두께로 도포한다. 도체 그린 시트용 페이스트는 Cu, Ag, Pd, Au, Pt, Fe, Zn, Al 또는 Ni를 포함하는 금속이나 합금의 분말과 수지성의 바인더와 유기 용제를 혼합한 것을 사용할 수 있다.

[0040] 다음에, PET 필름 위에 도포한 페이스트를 건조시켜, 도체 그린 시트를 형성한다. 건조 후의 도체 그린 시트에는 유기 성분이 잔류하고 있다. 도체 그린 시트의 두께는 10 내지 50μm 정도로 할 수 있다.

[0041] 도체 그린 시트를 PET 필름상에서 원하는 사이즈로 절단하여, 도체 그린 시트(31; 도 3)를 형성한다. 여기에서, 도체 그린 시트(31)는 칩 소체(1)에 접합하는 접합면이, 칩 소체(1)의 단면(11)보다도 약간 큰 사이

즈가 되도록 절단한다. 예를 들면, 단면(11)과 도체 그린 시트(31)의 접합면이 모두 정방향인 경우, 단면(11)의 면적을 기준으로 하여, 도체 그린 시트의 크기는 100 내지 150%로 하는 것이 바람직하다. 절단한 후, PET 필름을 박리함으로써, 도체 그린 시트(31)를 얻을 수 있다.

- [0042] 도체 페이스트의 부착 공정에서는 칩 소체(1)에 도체 페이스트를 부착시킨다. 도체 페이스트로서는 도체 그린 시트용 페이스트가 함유하는 성분에 유리 프리트를 첨가한 것을 사용할 수도 있다. 칩 소체(1)의 한쪽의 단면(11a)을 아래쪽으로 하고, 단면(11a)과 모서리부(R13 내지 R16)와 측면(13, 15)의 단면(11a)측의 부분을 도체 페이스트 중에 침지한다. 이것에 의해, 칩 소체(1)의 단면(11a), 모서리부(R13 내지 R16), 및 측면(13, 15)의 단면(11)측의 부분에, 도체 페이스트를 부착시킨다.
- [0043] 도 3에, 칩 소체(1)에 도체 페이스트(33)를 부착시킨 후의 상태를 도시한다. 도 3은 도체 페이스트의 부착 공정 및 도체 시트의 부착 공정을 모식적으로 도시하는 공정 단면도이다. 도 3에 도시하는 바와 같이, 도체 페이스트의 부착 공정에 의해, 칩 소체(1)의 단면(11a)과 모서리부(R13 내지 R16)와 측면(13, 15)의 단면(11a)측의 부분에 도체 페이스트(33)를 부착시킨다.
- [0044] 도체 시트의 부착 공정에서는 도 3에 도시하는 바와 같이, 칩 소체(1)의 단면(11a) 위에 도체 그린 시트(31)의 일면(31s)을 접합한다. 즉, 칩 소체(1)의 도체 페이스트(33)가 부착되어 있는 한쪽의 단면(11a)이 도체 그린 시트(31)의 일면(31s)을 향하도록 하고, 칩 소체(1)를 도체 그린 시트(31)에 가압한다.
- [0045] 도체 그린 시트(31)를 칩 소체(1)의 단면(11a) 위에 붙이면, 칩 소체(1)의 단면(11a)에 부착되어 있는 도체 페이스트(33)가 단면(11a)의 중심부에서 단면(11a)의 가장자리를 향하는 방향으로 압출되고, 도체 그린 시트(31)와 칩 소체(1)가 도체 페이스트(33)를 개재하여 접촉된다.
- [0046] 접촉시, 도체 페이스트(33)에 포함되는 유기 용제가, 건조된 도체 그린 시트(31)에 침투하여, 도체 그린 시트(31) 중에 잔류하고 있는 유기 성분을 용해한다. 그 결과, 도체 그린 시트(31)가 가요성을 가지게 되고, 칩 소체(1)의 모서리부(R13 내지 R16) 및 정상부(22)를 따르도록 변형되고, 도체 그린 시트(31)와 도체 페이스트(33)가 일체화된다. 또, 도체 그린 시트(31) 중에 잔류하고 있는 유기 성분으로서의 예를 들면, 도체 그린 시트용 페이스트에 포함되는 바인더를 들 수 있다.
- [0047] 건조 공정에서는 칩 소체에 부착된 도체 페이스트(33) 및 도체 그린 시트(31)를 건조시켜, 유리 성분의 함유량이 서로 다른 2개의 층을 가지는 도체층을 형성한다. 이때, 칩 소체(1)의 단면(11a)측이 아래 쪽을 향한 상태에서, 도체 페이스트(33) 및 도체 그린 시트(31)를 건조시킨다.
- [0048] 도체 페이스트(33)는 도체 그린 시트(31)보다도 유기 용제의 함유 비율이 높기 때문에, 도체 그린 시트(31)보다도 건조 과정에서의 유기 용제의 휘발에 따른 수축률이 크다. 이 때문에, 건조가 진행됨에 따라서, 도체 그린 시트(31)가 모서리부(R13 내지 R16) 및 정상부(22)를 따르도록 변형된다.
- [0049] 도체 그린 시트(31)의 일면(31s)은 칩 소체(1)의 단면(11)보다도 약간 큰 사이즈를 가지고 있다. 이 때문에, 건조 공정에서는 도체 그린 시트(31)의 외주에 따른 단부가, 단면(11a)측의 측면(13, 15)의 일부를 덮도록 변형된다. 이것에 의해, 유리 성분의 함유량이 서로 다른 2개의 층을 가지는 도체층이 형성된다.
- [0050] 또, 도체 페이스트(33)와 도체 그린 시트(31)의 일체화성이나 밀착성은 예를 들면, 페이스트 중에 포함되는 바인더의 함유량을 바꿈으로써 조정할 수 있다.
- [0051] 계속해서, 칩 소체(1)의 단면(11b)측에 대해서도, 단면(11a)측과 동일하게 하고, 도체 페이스트의 부착 공정, 도체 시트의 부착 공정 및 건조 공정을 행한다. 이것에 의해, 칩 소체(1)의 단면(11b)측에도 단면(11a)측과 같은 도체층을 형성한다.
- [0052] 전극 소성 공정에서는 단면(11) 위 및 측면(13, 15) 위에 형성된 도체층을 소결하여 소결 전극층(8)을 형성한다. 소결은 예를 들면 400 내지 850°C에서 0.2 내지 5.0시간 행한다. 소결에 의해, 칩 소체(1)의 측면(13, 15) 위에 부착된 도체 페이스트(33)의 두께가 얇아진다. 소결한 후, 도 4에 도시하는 칩 부재(110)를 얻는다.
- [0053] 도 4는 칩 소체(1)의 양 단부에 소결 전극층(8)이 형성된 칩 부재(110)의 사시도이다. 소결 전극층(8)은 칩 소체(1)의 측면(13, 15)의 단면(11)측의 일부 및 단면(11) 위에 있어서, 칩 소체(1)측으로부터 제 1 전극층(4)과 제 2 전극층(5)이 적층된 적층 구조를 가진다. 제 1 전극층(4)은 제 2 전극층(5)보다도 유리 성분의 함유량이 높기 때문에, 칩 소체(1)와 소결 전극층(8)은 제 1 전극층(4)에 의해 강고하게 접촉되어 있다. 한편, 제 2 전극층(5)은 유리 성분이 적기 때문에, 제 1 전극층(4)보다도 치밀하다. 이 때문에, 후술하는 도금 공정에 있어

서, 도금액에 의한 칩 소체(1)의 침식을 충분히 억제할 수 있다.

- [0054] 도금 공정은 칩 부재(110)의 소결 전극층(8)에 전기 도금을 실시하여, 소결 전극층(8) 위에 도금층인 제 3 전극층(6)을 형성하는 공정이다. 도금층은 Ni 도금욕(예를 들면, 와트욕), Sn 도금욕(예를 들면, 중성 Sn 도금욕)을 사용한 배럴 도금법에 의해, Ni 도금층과 Sn 도금층에 순차적으로 형성하는 방법에 의해 얻을 수 있다.
- [0055] 도금 공정에 의해, 도 2에 도시하는 바와 같은 제 1 전극층(4), 제 2 전극층(5), 제 3 전극층(6)을 가지는 단자 전극(3)을 얻을 수 있다. 제 3 전극층(6)인 도금층은 소결 전극층(8)의 표면을 따라 얇게 형성되므로, 단자 전극(3)과 소결 전극층(8)은 같은 형상을 가진다. 이상의 공정을 가지는 제조 방법에 의해, 세라믹 전자부품(100)을 제조할 수 있다.
- [0056] 또, 본 명세서에 있어서의 「대략 직방체 형상」이란 입방체 형상이나 직방체 형상뿐만 아니라, 본 실시형태에 있어서의 칩 소체(1)와 같이, 직방체의 능선부분에 모떼기가 실시되어, 모서리부가 R형상으로 되어 있는 형상을 포함하는 것은 말할 필요도 없다. 즉, 본 실시형태에 있어서의 칩 소체는 실질적으로 입방체 형상 또는 직방체 형상을 하면 좋다.
- [0057] 이상, 본 발명의 적절한 실시형태에 대해서 설명했지만, 본 발명은 상기 실시형태에 한정되는 것이 전혀 아니다. 예를 들면, 상기 실시형태에서는 세라믹 전자부품(100)을 콘덴서로서 설명했지만, 이것에 한정되는 것은 아니다. 본 발명의 세라믹 전자부품은 배리스터, 인덕터, 또는 LCR이어도 좋다. 또한, 칩 소체(1)는 상술한 유전체층(7) 대신에 배리스터층 또는 자성층이어도 좋다.
- [0058] 실시예
- [0059] 이하, 실시예 및 비교예에 기초하여 본 발명을 더욱 구체적으로 설명하지만, 본 발명은 이하의 실시예에 한정되는 것은 전혀 아니다.
- [0060] (실시예 1)
- [0061] <칩 소체의 형성>
- [0062] 시판하는 BaTiO₃ 분말, 바인더, 유기 용제, 가소제 등을 혼합하여 세라믹 슬러리를 조제했다. 이 세라믹 슬러리를, 닥터 블레이드법 등을 이용하여, PET 필름 위에 도포한 후, 건조시켜 세라믹 그린 시트를 형성했다.
- [0063] 형성한 세라믹 그린 시트 위에, Cu 분말 또는 Ni 분말에 바인더나 용제 등을 혼합한 전극 페이스트를 스크린 인쇄하고, 건조시켜 전극 패턴이 있는 그린 시트를 형성했다.
- [0064] 같은 방법을 반복하여 행하고, 복수의 전극 패턴이 있는 그린 시트를 형성하여 적층하여 적층체를 제작했다. 계속해서, 전극 패턴이 있는 그린 시트의 적층체를 적층방향과 수직으로 절단하여 직방체 형상의 적층 칩을 형성하고, 가열 처리를 하여 탈바인더를 행하였다. 가열 처리는 180 내지 400℃에서 0.5시간 이상 행하였다. 가열 처리하여 얻어진 적층 칩을 800 내지 1400℃에서 0.5 내지 8.0시간 소성하고, 배럴 연마하여 모떼기를 행하여, 직방체 형상의 모서리부를 R형으로 가공하여, 대략 직방체 형상을 가지는 칩 소체(1; 도 3)를 얻었다.
- [0065] <도체 그린 시트의 형성>
- [0066] 시판하는 Cu 분말과 수지성 바인더와 유기 용제를 혼합하여 페이스트를 조제했다. 이 페이스트를 시판하는 PET 필름 위에 도포하여 건조하고, 소정의 사이즈로 절단하여 도체 그린 시트를 형성했다. 또, 도체 그린 시트의 칩 소체의 단면과 접합되는 면(주면)은 도체 그린 시트의 칩 소체의 단면과 상사(정방형)이며, 상기 주면의 크기는 상기 단면의 크기를 기준으로 하여 100 내지 150%로 했다.
- [0067] <칩 부재(110)의 제작>
- [0068] 시판하는 Cu 분말과 수지성 바인더와 유리 프리트와 유기 용제를 함유하는 도체 페이스트를 조제했다. 상기한 바와 같이 형성한 칩 소체의 한쪽의 단면측을 아래쪽으로 하고, 단면과 상기 단면에 인접하는 모서리부와 측면의 상기 단면측의 부분을 도체 페이스트 중에 침지했다. 이것에 의해, 도 3에 도시하는 바와 같이 칩 소체(1)의 한쪽의 단면(11a) 위, 모서리부 위, 및 측면의 단면측의 부분의 위에, 도체 페이스트(33)를 부착시켰다.
- [0069] 다음에, 도 3에 도시하는 바와 같이, 도체 페이스트(33)를 개재하여, 칩 소체(1)의 한쪽의 단면(11a) 위가 도체 그린 시트(31)의 일면(31s)을 향하도록 하고, 칩 소체(1)를 도체 그린 시트(31)에 가압하여, 도체 그린 시트(31)의 단면(11a) 위에 붙였다. 그 후, 도체 페이스트(33) 및 도체 그린 시트(31)를 건조시켜, 유리 성분의 함유량이 서로 다른 2개의 층을 가지는 도체층을 형성했다. 도체 그린 시트는 그 외주에 따른 둘레 가장자리부가 변형되

고, 측면(13, 15)의 단면(11a)측의 일부, 모서리부(R13 내지 R16) 및 정상부(22)를 덮도록 도체층이 형성되었다. 여기에서, 측면(13, 15) 위에 있어서, 도체 그린 시트(31)는 칩 소체(1)에 부착된 도체 페이스트(33)의 일부를 덮도록 설치하고, 건조시켜 도체층을 형성했다.

- [0070] 계속해서, 칩 소체(1)의 단면(11b)측에도, 단면(11a)측과 동일하게 하고, 도체층을 형성했다.
- [0071] 다음에, 칩 소체(1)의 단면(11) 위 및 측면(13, 15) 위에 형성된 도체층을, 전기로 중, 400 내지 850℃에서 0.2 내지 5.0시간의 조건으로 소결하여, 도 4에 도시하는 바와 같은 단자 전극으로서 소결 전극층(8)을 가지는 칩 부재(110)를 제작했다.
- [0072] 소결 전극층(8)은 칩 소체(1)의 측면(13, 15)에 있어서의 단면(11)측의 일부 및 단면(11) 위에 있어서, 칩 소체(1)측으로부터, 제 1 전극층(4)과 제 2 전극층(5)이 적층된 적층 구조를 가지고 있었다. 또한, 칩 소체(1)의 측면(13, 15) 위에 있어서, 제 1 전극층(4)은 제 2 전극층(5)에 의해 덮이지 않은 부분을 가지고 있다.
- [0073] 상기한 바와 같이 제작한 칩 부재(110)의 소결 전극층(8)의 두께를, 아래와 같이 하여 측정했다. 우선, 도 4에 도시하는 칩 부재(110)를, V-V선에 따라 절단하고, 이 절단면에 있어서의 소결 전극층(8)의 두께를 현미경 관찰에 의해 측정했다.
- [0074] 도 5는 도 4에 도시하는 칩 부재(110)의 V-V선의 절단면을 모식적으로 도시하는 단면도이다. 즉, 도 5는 단면(11)에 수직이고 또한 단면(11)에 있어서 대각선상에 위치하는 한 쌍의 정상부(22)를 지나는 면으로 절단한 칩 부재(110)의 모식 단면도이다.
- [0075] 도 5에 도시하는 단면에 있어서, 단면(11) 위에 있어서의 단자 전극의 최대 두께를 T1로 하고, 한쪽의 단면 위에 노출되지 않고 또한 가장 외측에 배치되는 내부 전극(9)의 상기 단면으로의 연장선상에 있어서의 최대 두께를 F1로 하고, 모서리부(R34, R36) 위에 있어서의 최대 두께를 H1로 한 경우의 최대 두께의 측정 결과를 표 1에 나타낸다.
- [0076] 다음에, 같은 제조 방법으로 제작되어 같은 구조를 가지는 다른 칩 부재(110)를, 단면(11)과 평행하고 또한 단면에 노출되지 않은 측의 내부 전극(9)의 단부를 지나는 면으로 절단하여, 도 6에 도시하는 바와 같은 절단면을 얻었다. 도 6은 단면(11)과 평행하고, 또한 단면에 노출되지 않은 내부 전극(9)의 단부를 지나는 면에 의한 칩 부재(110)의 절단면을 모식적으로 도시하는 단면도이다. 전자현미경 관찰에 의해, 이 절단면에 있어서의 소결 전극층(8)의 두께를 측정했다. 측면(13, 15) 위에 있어서의 소결 전극층(8)의 최대 두께를 H2, 모서리부(R33 내지 R36) 위에 있어서의 소결 전극층(8)의 최소 두께를 r로 한 경우의 측정 결과를 표 1에 나타낸다.
- [0077] <칩 콘덴서(100)의 제작>
- [0078] 칩 부재(110)의 소결 전극층(8) 위에, 배럴 도금법에 의해 Ni 도금을 행하여 Ni 도금층을 형성하고, 계속해서 Sn 도금을 행하여 Sn 도금층을 형성하고, Ni 도금층과 Sn 도금층이 칩 소체측으로부터 이 순서로 적층된 도금층(6)을 형성했다. 이것에 의해, 도 1 및 도 2에 도시하는 형상을 가지는 칩 콘덴서(100)를 제작했다.
- [0079] 칩 콘덴서(100)의 절연 신뢰성 평가를 아래와 같이 행하였다. 우선 대향하는 단자 전극간의 초기 절연 저항(R_0)을 측정했다. 그 후, 온도 85℃에 있어서 대향하는 단자 전극의 사이에 6.3V의 전압을 1000시간 인가하고, 인가 후의 절연 저항(R_1)을 측정했다. 이 R_0 에 대한 R_1 의 비율(R_1/R_0)이 1/100 이하인 것을 「NG」라고 판정했다. 같은 제조 방법으로 제작한 칩 콘덴서(100)를 합계 100개 준비하고, 상기한 절연 저항의 측정을 행하였다. 「NG」라고 판정된 칩 콘덴서의 개수는 표 1에 나타내는 대로였다.
- [0080] (비교예 1)
- [0081] 실시예 1과 동일하게 하여 칩 소체를 제작하고, 이 칩 소체의 한쪽의 단면과 상기 단면에 인접하는 모서리부와 측면의 상기 단면측의 부분을 실시예 1과 같은 도체 페이스트 중에 침지하고, 칩 소체의 단면 위, 모서리부 위, 및 측면의 단면측의 부분의 위에 도체 페이스트를 부착시켰다. 도체 페이스트가 부착된 칩 소체를 건조시켜 도체층을 형성했다. 칩 소체의 다른쪽의 단면측에도 동일하게 하여 도체층을 형성했다.
- [0082] 다음에, 칩 소체의 단면 위 및 측면 위에 형성된 도체층을, 전기로 중, 400 내지 850℃에서 0.2 내지 5.0시간의 조건으로 소결하여, 단자 전극으로서 소결 전극층을 가지는 칩 부재를 제작했다. 이 칩 부재는 단자 전극으로서 페이스트를 사용하여 형성된 1개의 전극층만을 가지고 있었다.
- [0083] 실시예 1과 동일하게 하여, 상기한 칩 부재에 있어서의 소결 전극층의 두께를 측정했다. 측정 결과는 표 1에

나타내는 대로였다.

[0084] 실시예 1의 「칩 콘텐서(100)의 제작」과 동일하게 하여, 상기한 칩 부재에 도금층을 형성했다. 이렇게 하여 얻어진 칩 콘텐서는 측면의 양 단면측의 일부 및 단면 위에 있어서, 페이스트를 사용하여 형성된 1개의 전극층과 상기 전극층의 표면 전체를 덮는 도금층으로 이루어지는 1개의 전극층이 적층된 2층 구조를 가지는 단자 전극을 구비하고 있다. 이러한 칩 콘텐서의 절연 신뢰성의 평가를 실시예 1과 동일하게 행하였다. 결과는 표 1에 나타나는 대로였다.

[0085] (비교예 2)

[0086] 실시예 1과 동일하게 하여 칩 소체를 제작하고, 이 칩 소체의 한쪽의 단면과 상기 단면에 인접하는 모서리부와 측면의 상기 단면측의 부분을 실시예 1과 같은 도체 페이스트 중에 침지했다. 도체 페이스트가 부착된 칩 소체를 건조시켜 도체층을 형성했다. 그 후, 또 상기 도체 페이스트 중에 칩 소체를 동일하게 침지하여, 상기 도체층을 완전히 덮도록, 상기 페이스트를 부착시켰다. 그 후, 건조시키고, 또 침지 및 건조를 반복하여, 칩 소체(1)의 한쪽의 단면, 모서리부, 및 측면의 단면측 부분의 위에, 적층 구조를 가지는 도체층을 형성했다. 칩 소체의 다른쪽의 단면 위에도 동일하게 하여 도체층을 형성했다.

[0087] 다음에, 칩 소체의 단면 위 및 측면 위에 형성된 도체층을, 전기로 중, 400 내지 850℃에서 0.2 내지 5.0시간의 조건으로 소결하여, 단자 전극으로서 3개의 전극층이 적층된 소결 전극층을 가지는 칩 부재를 제작했다.

[0088] 실시예 1과 동일하게 하여, 상기한 칩 부재에 있어서의 소결 전극층의 두께를 측정했다. 평가 결과는 표 1에 나타내는 대로였다.

[0089] 실시예 1의 「칩 콘텐서(100)의 제작」과 동일하게 하여, 상기한 칩 부재에 도금층을 형성했다. 이렇게 하여 얻어진 칩 콘텐서는 측면의 양 단면측의 일부 및 단면 위에 있어서, 페이스트를 사용하여 형성된 3개의 전극층과 상기 전극층의 표면 전체를 덮는 도금층으로 이루어지는 1개의 전극층이 적층된 4층 구조를 가지는 단자 전극을 구비하였다. 이러한 칩 콘텐서의 절연 신뢰성의 평가를 실시예 1과 동일하게 행하였다. 결과는 표 1에 나타나는 대로였다.

표 1

	실시예 1	비교예 1	비교예 2
두께 T1(μm)	27.2	50.4	56.8
두께 H1(μm)	23.5	10.7	23.3
두께 F1(μm)	17.8	3.3	16.2
두께 H2(μm)	33.1	21.2	34.3
두께 r(μm)	9.3	2.3	8.1
절연 신뢰성 평가 (NG의 개수)	0	68	3

[0091] 표 1에 나타내는 바와 같이, 칩 소체의 측면상에 있어서, 내측에 있는 제 1 전극층(4)의 일부를 덮도록 외측에 있는 제 2 전극층(5)이 형성된 실시예 1의 칩 콘텐서는 우수한 절연 신뢰성을 나타냈다. 또한, 칩 소체 위에서의 소결 전극층의 두께의 차이가 충분히 저감되어 있고, 절연 신뢰성과 소형화를 충분히 양립할 수 있는 것이 확인되었다.

[0092] 한편, 비교예 1의 칩 콘텐서는 절연 신뢰성이 낮았다. 이것은 두께T1이 크지만, 두께 F1이나 두께 r이 작기 때문에, 도금액의 침투에 의해 열화된 것으로 생각된다.

[0093] 또, 비교예 2의 칩 콘텐서에서는 비교예 1보다도 소결 전극층 전체의 두께를 크게 했기 때문에, 두께 F1이나 두께 r을 크게 할 수 있고, 도금액의 침투에 의한 열화를 어느 정도 억제할 수 있었다. 그렇지만, 두께 T1이 크

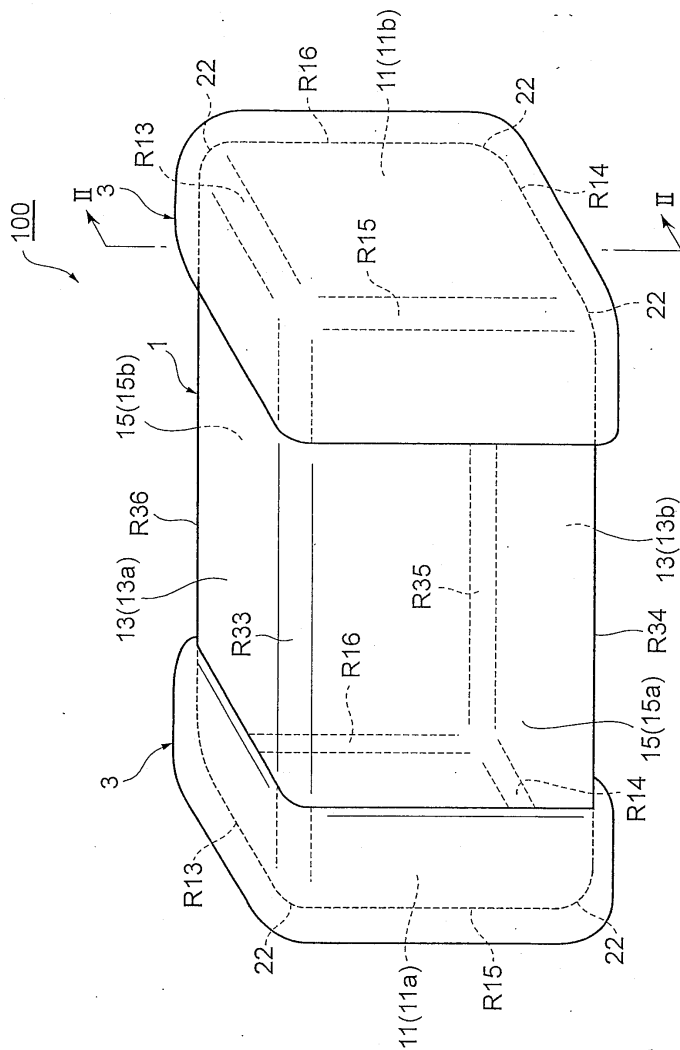
고, 충분한 소형화를 도모하는 것이 곤란한 것이 확인되었다. 또한, 실시예 1과 비교하여 절연 신뢰성이 떨어지는 것이 확인되었다.

부호의 설명

- 1: 칩 소체(1)
- 3: 단자 전극
- 4: 제 1 진극층
- 5: 제 2 진극층
- 13,15: 측면
- 100: 세라믹 전자부품

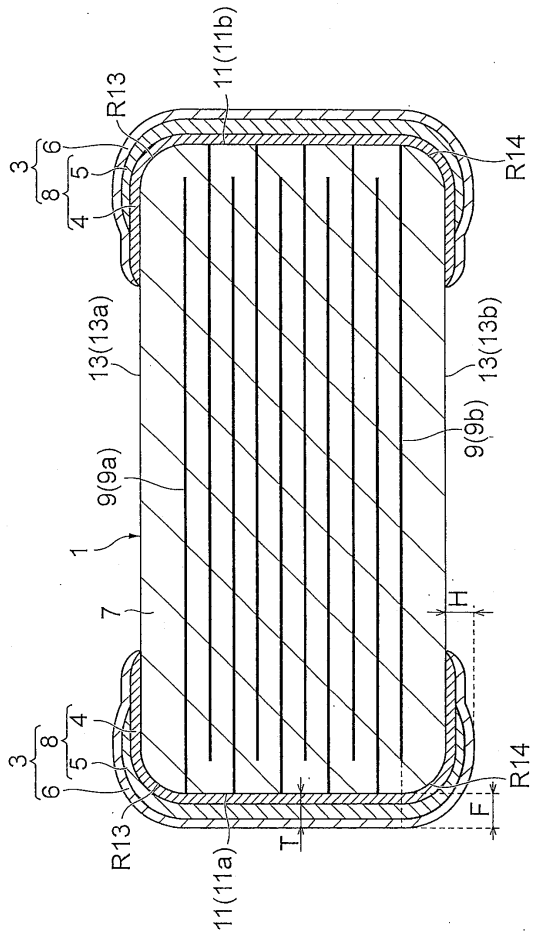
도면

도면1

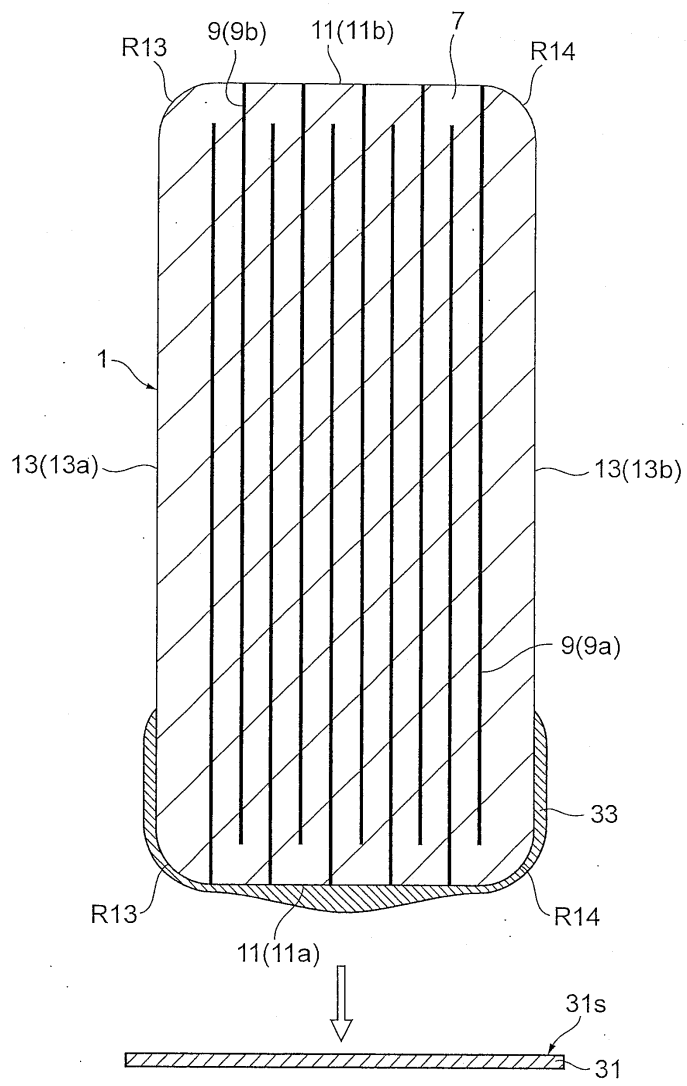


도면2

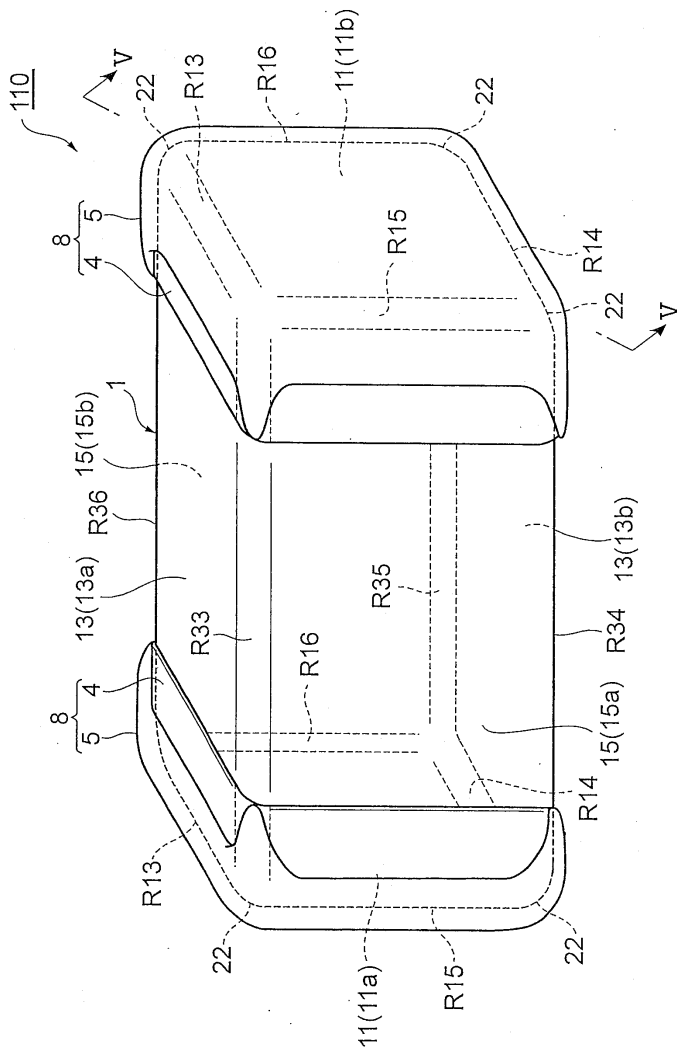
100



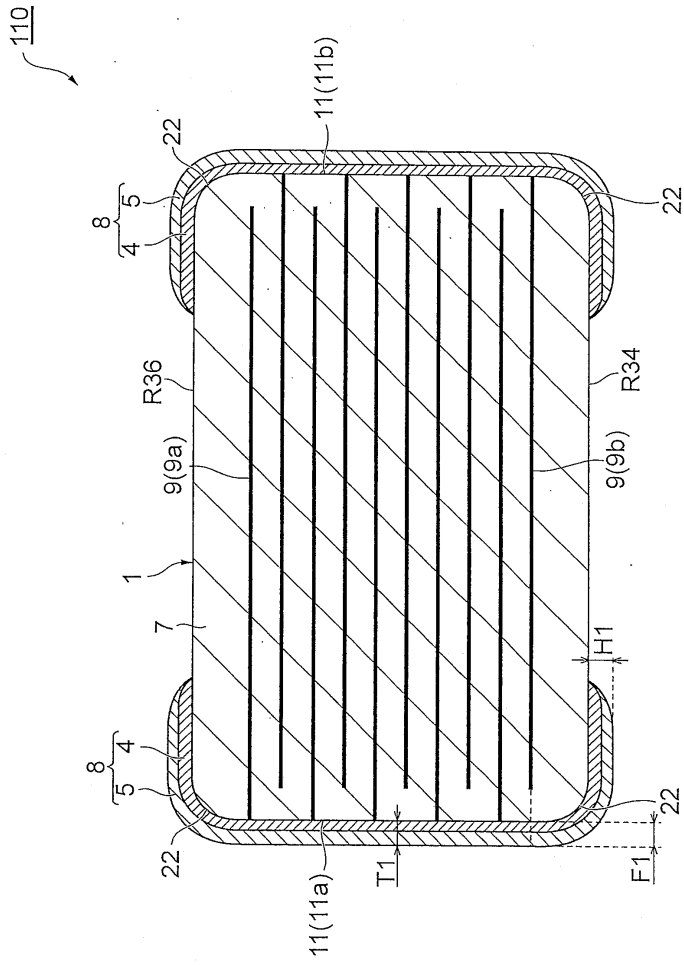
도면3



도면4



도면5



도면6

