

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/136

G09G 3/36



[12] 发明专利说明书

[21] ZL 专利号 00107035.5

[45] 授权公告日 2004 年 9 月 8 日

[11] 授权公告号 CN 1165806C

[22] 申请日 2000.3.5 [21] 申请号 00107035.5

[30] 优先权

[32] 1999. 3. 5 [33] JP [31] 59455/1999

[71] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 山崎舜平 小山润 村上智史

田中幸夫

审查员 潘宁媛

[74] 专利代理机构 中国专利代理(香港)有限公司

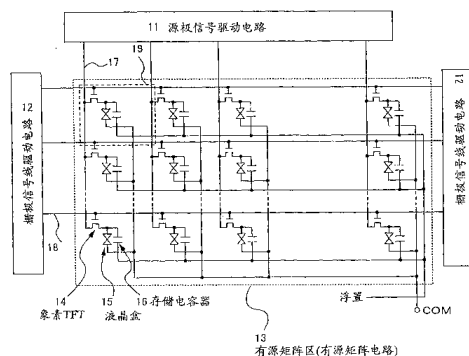
代理人 张志醒

权利要求书 4 页 说明书 33 页 附图 31 页

[54] 发明名称 有源矩阵型显示器

[57] 摘要

一种有源矩阵型显示器，包括：一衬底；形成于衬底上的多条源极信号线和多条栅极信号线；形成于衬底上的多个像素薄膜晶体管；电连接到多个像素薄膜晶体管上的多个像素电极；形成于衬底上的屏蔽膜(黑底)，该屏蔽膜是浮置的；及置于像素电极和屏蔽膜之间的电介质，其中将其极性在每条源极信号线中都进行反相的信号加到源极信号线上，且施加到相应源极信号线上的信号极性每一帧周期反相一次。最好在屏蔽膜和公共电极之间形成一耦合电容器。



ISSN 1008-4274

- 1、 一种有源矩阵型显示器，包括：
一衬底；
- 5 形成于该衬底上的多条源极信号线和多条栅极信号线；
形成于该衬底上的多个像素薄膜晶体管；
电气连接到该多个像素薄膜晶体管上的多个像素电极；
形成于所述衬底上的屏蔽膜，其中该屏蔽膜是电浮置的；及
置于所述多个像素电极和所述屏蔽膜之间的电介质，
- 10 其中其极性在每条源极信号线中都进行反相的信号施加到所述多条源极信号线上，且施加到所述多条源极信号线各自一条信号线上的一个信号极性每一帧周期反相一次。
- 2、 一种有源矩阵型显示器，包括：
一第一衬底；
- 15 形成于该第一衬底上的多条源极信号线和多条栅极信号线；
形成于该第一衬底上的多个像素薄膜晶体管，其中每一像素薄膜晶体管都包括一具有源、漏极区以及沟道形成区的有源层，一与沟道形成区相邻且其间设置有一栅绝缘膜的栅电极，其中栅电极连接到所述多条栅极信号线的相应一条栅极信号线上；
- 20 电气连接到该多个像素薄膜晶体管上的多个像素电极；
形成于该第一衬底上的屏蔽膜，其中该屏蔽膜是电浮置的；
置于所述多个像素电极和所述屏蔽膜之间的电介质，
与所述第一衬底相对的第二衬底；
夹在第一和第二衬底之间的液晶；
- 25 其中其极性在每条源极信号线中都进行反相的信号施加到所述多条源极信号线上，且施加到所述多条源极信号线各自一条信号线上的一个信号极性每一帧周期反相一次。
- 3、 一种有源矩阵型显示器，包括：
一第一衬底；
- 30 形成于该第一衬底上的多条源极信号线和多条栅极信号线；

- 形成于该第一衬底上的多个像素薄膜晶体管，其中每一像素薄膜晶体管都包括一有源层，该有源层具有一对第一杂质区、位于此第一杂质区之间的沟道形成区以及至少一个位于沟道形成区和第一杂质区之间的第二杂质区；一与沟道形成区相邻且其间设置有一栅绝缘膜的栅电极，其中栅电极连接到所述多条
- 5 栅极信号线的相应一条栅极信号线上；
- 电气连接到多个像素薄膜晶体管上的多个像素电极；
- 形成于第一衬底上的屏蔽膜，其中该屏蔽膜是电浮置的；
- 置于所述多个像素电极和所述屏蔽膜之间的电介质，
- 与所述第一衬底相对的第二衬底；
- 10 夹在第一和第二衬底之间的液晶；
- 其中所述的第二杂质区与栅电极及其间的栅绝缘膜相叠加，且将其极性在每条源极信号线中都进行反相的信号施加到所述多条源极信号线上，且施加到所述多条源极信号线各自一条信号线上的信号极性每一帧周期反相一次。
- 4、 根据权利要求1至3中任一权利要求所述的有源矩阵型显示器，其中
- 15 中所述的电介质是通过对所所述的屏蔽膜进行阳极氧化形成的阳极氧化膜。
- 5、 根据权利要求1至3中任一权利要求所述的有源矩阵型显示器，其中所述的屏蔽膜含有选自铝、钛和钽中的一种金属。
- 6、 根据权利要求1至3中任一权利要求所述的有源矩阵型显示器，其中所述的屏蔽膜的厚度为100到300nm。
- 20 7、 根据权利要求2或3所述的有源矩阵型显示器，其中所述的栅电极含有选自钛、钽、钨和钼中的一种金属。
- 8、 一种具有三个液晶面板的向后投影仪，其中三个液晶面板的每一面板都为根据权利要求1至3中任一权利要求的有源矩阵型显示器。
- 9、 一种具有三个液晶面板的向前投影仪，其中三个液晶面板的每一面
- 25 板都为根据权利要求1至3中任一权利要求的有源矩阵型显示器。
- 10、 一种具有单个液晶面板的向后投影仪，其中液晶面板为根据权利要求1至3中任一权利要求的有源矩阵型显示器。
- 11、 一种具有两个显示面板的护目镜型显示器，其中两个显示面板的每一显示面板都为根据权利要求1至3中任一权利要求的有源矩阵型显示器。
- 30 12、 根据权利要求1至3中任一权利要求所述的有源矩阵型显示器，进一

步包括形成于屏蔽膜和一电极之间的耦合电容器，其中所述的电极与多个像素电极同时形成。

13、一种有源矩阵型显示器，包括：

一衬底；

5 形成于该衬底显示区上的多个像素电极；

形成于该衬底上的多条源极信号线和多条栅极信号线；

用于使所述多个像素电极通断的多个像素薄膜晶体管；

形成于该衬底上的屏蔽膜，其中该屏蔽膜是电浮置的；

电气连接到衬底固定电压上的公共线；

10 置于所述多个像素电极和所述屏蔽膜之间的第一电介质；

置于屏蔽膜和公共线之间的第二电介质；

其中将其极性在每条源极信号线中都进行反相的信号施加到所述多条源极信号线上，且施加到所述多条源极信号线各自一条信号线上的一个信号极性每一帧周期反相一次；

15 其中第二电介质不与显示区相叠。

14、根据权利要求 13 所述的有源矩阵型显示器，其中所述衬底为第一衬底；所述多个像素薄膜晶体管中的每一个都包括一具有源、漏极区以及沟道形成区的有源层，一与沟道形成区相邻且其间设置有一栅绝缘膜的栅电极，其中所述栅电极电气连接到多条栅极信号线的相应一条上；以及还包括：

20 与所述第一衬底相对的第二衬底；和

置于第一和第二衬底之间的液晶。

15、根据权利要求 13 所述的有源矩阵型显示器，其中所述衬底为第一衬底；所述多个像素薄膜晶体管中的每一个都包括一有源层，该有源层具有第一杂质区、位于第一杂质区之间的沟道形成区以及至少一个位于沟道形成区和第一杂质区之间的第二杂质区；一与沟道形成区相邻且其间设置有一栅绝缘膜的栅电极，其中所述栅电极电气连接到多条栅极信号线的相应一条上；其中第二杂质区与栅电极及置于其间的栅绝缘膜相叠加；以及还包括：

25 与所述第一衬底相对的第二衬底；和

置于第一和第二衬底之间的液晶。

30 16、根据权利要求 13 至 15 中任一权利要求所述的有源矩阵型显示器，进

一步包括形成于第一衬底上的源极信号线驱动电路，其中该源极信号线驱动电路包括一取样电路。

17、根据权利要求13至15中任一权利要求所述的有源矩阵型显示器，其中所述的第一电介质是通过对所述的屏蔽膜进行阳极氧化形成的阳极氧化膜。

5 18、根据权利要求13至15中任一权利要求所述的有源矩阵型显示器，其中所述的第二电介质是通过对所述的屏蔽膜进行阳极氧化形成的阳极氧化膜。

19、根据权利要求13至15中任一权利要求所述的有源矩阵型显示器，其中所述的屏蔽膜含有选自铝、钛和钽中的一种金属。

20、根据权利要求13至15中任一权利要求所述的有源矩阵型显示器，其中
10 中所述的屏蔽膜的厚度为100到300nm。

21、根据权利要求14至15中任一权利要求所述的有源矩阵型显示器，其中所述的栅电极含有选自钛、钽、钨和钼中的一种金属。

22、一种具有三个液晶面板的向后投影仪，其中三个液晶面板的每一面板都为根据权利要求13至15中任一权利要求的有源矩阵型显示器。

15 23、一种具有三个液晶面板的向前投影仪，其中三个液晶面板的每一面板都为根据权利要求13至15中任一权利要求的有源矩阵型显示器。

24、一种具有单个液晶面板的向后投影仪，其中液晶面板为根据权利要求13至15中任一权利要求的有源矩阵型显示器。

25、一种具有两个显示面板的护目镜型显示器，其中每一显示面板都为根
20 据权利要求13至15中任一权利要求的有源矩阵型显示器。

26、根据权利要求1至3中任一权利要求所述的有源矩阵型显示器，其中所述电介质、多个像素电极和屏蔽膜形成为多个保持电容器。

27、根据权利要求13至15中任一权利要求所述的有源矩阵型显示器，其中所述电介质、多个像素电极和屏蔽膜形成为多个保持电容器。

有源矩阵型显示器

5 技术领域

本发明涉及一种电光器件，该电光器件以液晶显示器为特征，其中像素矩阵电路及配置于其周围的驱动电路设置在一个衬底上，本发明还涉及装有该电光器件的电子装置。应当注意在本说明书中半导体器件是指广义的利用半导体特性进行工作的器件，包括电光器件及装有该电光器件的电子装置。

10 背景技术

由于有源矩阵型液晶显示器的需求量不断增长，所以近来在低价玻璃衬底上制造薄膜晶体管（TFT）的技术得以迅速发展。有源矩阵型液晶显示器是将薄膜晶体管配置于排列成矩阵形状的几十到几百万像素当中的每一像素中，通过薄膜晶体管的开关作用来控制电荷进出每一像素电极。

- 15 液晶夹在每一像素电极和相对电极之间，形成一种类似于电容器的东西。因此，通过薄膜晶体管控制电荷进出该电容器，改变液晶的电光特性，从而可控制透过液晶面板的光线并可显示图象。而上述结构的电容器存在一个问题，即其保持电压将由于电流泄漏的原因而下降，从而导致液晶的电光特性发生变化且显示图象时的对比度品质降低。

- 20 通常的做法是，将另一称作保持电容器（也称作存储电容器）的电容器与此由液晶构成的电容器相串联，以补充泄漏引起的电荷损失，以及将其他电容器串联到该由液晶构成的电容器上。

- 保持电容器的结构各不相同，典型结构是在屏蔽膜和像素电极之间夹入用作电介质的氧化膜。屏蔽膜是具有光屏蔽特性的涂覆膜，可防止薄膜晶体管的
25 导电率由于透射型液晶显示器像素矩阵区的光照发生波动。该屏蔽膜也可用作黑底。

结构为将电介质夹于屏蔽膜和像素电极之间的保持电容器连接到其上施加参考电压以使屏蔽膜电势保持恒定的公共线上。

- 30 通过成型步骤形成屏蔽膜之后，为了使屏蔽膜与公共线相连接，必须在屏蔽膜和公共线之间的层间绝缘膜上形成一个接触孔。该接触孔是通过应用掩膜的光刻法来形成的。

在有源矩阵型液晶显示器的制造过程中，除了在屏蔽膜和公共线之间的层间绝缘膜上形成接触孔的步骤之外，在形成有源层步骤、形成栅绝缘膜步骤、形成像素电极步骤以及形成栅极和源极信号线步骤当中也都要进行应用掩膜的光刻法。应用掩膜进行光刻已经成为使有源矩阵型液晶显示器制制造步骤数目增多的因素，为了实现高产必须减少制作步骤数目。

发明内容

在有源矩阵型液晶显示器中，将相反极性的电压施加到与像素薄膜晶体管相连的源极信号线上的驱动方法被称作是源极线反相。源极线反相可防止液晶由于总是施加定向电场而老化。即如图 4 中所示，通过将极性相反的信号施加到每条源极信号线上且通过使信号极性每一帧周期变换一次，可防止液晶由于总是施加定向电场而导致老化。一个帧周期是指所有像素显示一屏的时间。

应用此源极线反相可使屏蔽膜的电压波动得以均化。因此，即使当屏蔽膜不与电势保持恒定（参考电势）的公共线相连接而暂时均化时，屏蔽膜的电势也几乎保持不变，从而可使屏蔽膜浮置在电介质夹在屏蔽膜和像素电极之间这种结构的保持电容器中。所以，在通过成型形成屏蔽膜之后，不必再通过应用掩膜的光刻法在屏蔽膜和公共线之间的层间绝缘膜上形成接触孔以使屏蔽膜与公共线相连接。于是，可减少有源矩阵型液晶显示器制造步骤的数目，能实现高产并能抑制其造价。

除上述结构之外，可在屏蔽膜和公共线之间形成一个大容量的耦合电容器以使屏蔽膜的电势波动 ΔV 减少。 ΔV 值是由形成于屏蔽膜和公共线之间的耦合电容器的电容值 C 以及施加到屏蔽膜上的电荷量 Q 来决定的。而电荷量 Q 由像素数目和输入到源极信号线上的信号电压值所确定，所以屏蔽膜电势的波动值 ΔV 实际上只由耦合电容器的电容值 C 来决定。 C 值越大， ΔV 变得越小，因此可使屏蔽膜的电势保持得更为恒定。

当通过浮置屏蔽膜而在屏蔽膜和公共线之间形成一大容量的耦合电容器时，与上述只使屏蔽膜浮置的方式相同，不必利用掩膜进行光刻以在屏蔽膜和公共线之间的层间绝缘膜上形成接触孔。优选地，耦合电容器的电容值应是通过像素薄膜晶体管与各栅极信号线相连接的所有保持电容器电容值总和的十倍或更多。因此，可减少有源矩阵型液晶显示器制作步骤的数目，可实现高产并能抑制其造价。除此之外，当通过使屏蔽膜浮置而在屏蔽膜和公共线之间形成大容量的耦合电容器时，因为屏蔽膜的电势可保持得更加恒定一些，所以能够

获得更好的对比度。

下面将描述本发明的结构。

根据本发明的一个实施例，提供了一种有源矩阵型液晶显示器，它具有一个衬底，该衬底上设置有多个象素薄膜晶体管，电气连接到象素薄膜晶体管上的象素电极以及一个屏蔽膜；其特征在于：屏蔽膜是浮置的且在象素电极和屏蔽膜之间设置有电介质。它能够实现上述目的。

根据本发明的另一实施例，提供了一种有源矩阵型液晶显示器，它具有一个衬底，该衬底上设置有多条源极信号线，多条栅极信号线，多个象素薄膜晶体管，电气连接到薄膜晶体管上的象素电极以及一屏蔽膜，其特征在于：多个象素薄膜晶体管电气连接到源极信号线和栅极信号线上；

屏蔽膜是浮置的；

一电介质设置在象素电极和屏蔽膜之间；且

其极性在每条源极信号线中都进行反相的信号施加到源极信号线上，且施加到相应源极信号线上的信号极性每一帧周期反相一次。

根据本发明的另一实施例，提供了一种有源矩阵型液晶显示器，它具有一个第一衬底，该衬底上设置有多条源极信号线，多条栅极信号线，多个象素薄膜晶体管，象素电极以及一屏蔽膜；

设置有一个相对电极的第二衬底；及

夹在象素电极和相对电极之间的液晶；

其特征在于：每一象素薄膜晶体管都具有一栅电极，一栅绝缘膜和一具有源极区、漏极区和沟道形成区的有源层；

栅电极与栅极信号线相连接；

源极区或漏极区连接到源极信号线上；

漏极或源极区连接到象素薄膜晶体管上；

一电介质设置在象素电极和屏蔽膜之间；

屏蔽膜是浮置的；且

其极性在每条源极信号线中都进行反相的信号施加到源极信号线上，且施加到相应源极信号线上的信号极性每一帧周期反相一次。

根据本发明的一个实施例，提供了一种有源矩阵型液晶显示器，它具有一个第一衬底，该衬底上设置有多条源极信号线，多条栅极信号线，多个象素薄

膜晶体管，象素电极以及一屏蔽膜；

设置有一个相对电极的第二衬底；及

夹在象素电极和相对电极之间的液晶；

其特征在于：每一象素薄膜晶体管都具有一栅电极，一栅绝缘膜和一有源

5 层；

该有源层具有一沟道形成区，第二杂质区与沟道形成区相接触和第一杂质区与第二杂质区相接触中至少取一；

栅电极连接到栅极信号线上；

第一杂质区之一连接到象素电极上；

10 另一第一杂质区连接到源极信号线上；

一电介质设置在象素电极和屏蔽膜之间；

屏蔽膜是浮置的；

第二杂质区通过栅绝缘膜与栅电极相重叠；且

15 其极性在每条源极信号线中都进行反相的信号施加到源极信号线上，且施加到相应源极信号线上的信号极性每一帧周期反相一次。

根据本发明的另一个实施例，提供了一种有源矩阵型液晶显示器，它具有一个第一衬底，该衬底上设置有多条源极信号线，多条栅极信号线，多个象素薄膜晶体管，象素电极以及一屏蔽膜；

设置有一个相对电极的第二衬底；及

20 夹在象素电极和相对电极之间的液晶；

其特征在于：每一象素薄膜晶体管都有一栅电极，一栅绝缘膜和一有源层；

该有源层具有一沟道形成区，假定第二杂质区置于沟道形成区中，第二杂质区与沟道形成区和第一杂质区中至少之一相接触；

栅电极连接到栅极信号线上；

25 第一杂质区之一连接到象素电极上；

另一第一杂质区连接到源极信号线上；

一电介质设置在象素电极和屏蔽膜之间；

屏蔽膜是浮置的；

第二杂质区通过栅绝缘膜与栅电极相重叠；且

30 其极性在每条源极信号线中都进行反相的信号施加到源极信号线上，且施

加到相应源极信号线上的信号极性每一帧周期反相一次。

电介质可以是通过屏蔽膜进行阳极氧化形成的阳极氧化膜；

屏蔽膜可以是含有铝（Al）、钛（Ti）或钽（Ta）的膜；

屏蔽膜的厚度可以是 100 到 300nm；

- 5 栅电极可包含选自钛（Ti）、钽（Ta）、钨（W）和钼（Mo）的一种或多种元素。

- 根据本发明的向后或向前型投影仪利用三个上述有源矩阵型液晶显示器面板。而单片型向后投影仪利用上述的有源矩阵型液晶显示器。进而本发明的护目镜型显示器利用一个上述的有源矩阵型液晶显示器。根据本发明的一个实施
- 10 例，提供了一种有源矩阵型液晶显示器，它具有一个衬底，该衬底上设置有一个具有多个象素薄膜晶体管和电气连接到多个象素薄膜晶体管上的象素电极的象素矩阵区，一屏蔽膜和一电势保持在恒定参考电势上的公共线；其特征在于：

屏蔽膜是浮置的；

第一电介质设置在象素电极和屏蔽膜之间；

- 15 第二电介质设置在屏蔽膜和公共线之间；和

第二电介质与象素矩阵区不相重叠。

- 根据本发明的一个实施例，提供了一种有源矩阵型液晶显示器，它具有一个衬底，该衬底上设置有一个具有多个象素薄膜晶体管和电气连接到多个象素薄膜晶体管上的象素电极的象素矩阵区，多条源极信号线，多条栅极信号线，
- 20 一屏蔽膜和一电势保持在恒定参考电势上的公共线；其特征在于：

多个象素薄膜晶体管电气连接到源极信号线和栅极信号线上；

屏蔽膜是浮置的；

第一电介质设置在象素电极和屏蔽膜之间；

第二电介质设置在屏蔽膜和公共线之间；

- 25 第二电介质与象素矩阵区不相重叠；且

其极性在每条源极信号线中都进行反相的信号施加到源极信号线上，且施加到相应源极信号线上的信号极性每一帧周期反相一次。

根据本发明的一个实施例，提供了一种有源矩阵型液晶显示器，它具有：

- 第一衬底，其上设置有具有多个象素薄膜晶体管和电气连接到多个象素薄
- 30 膜晶体管上的象素电极的象素矩阵区，多条源极信号线，多条栅极信号线，一

- 屏蔽膜和一电势保持在恒定参考电势上的公共线；
设置有相对电极的第二衬底；和
夹在像素电极和相对电极之间的液晶；
其特征在于：每一像素薄膜晶体管都有一栅电极，一栅绝缘膜，一源极区，
5 一漏极区及具有一沟道形成区的有源层；
栅电极连接到栅极信号线上；
源极区或漏极区连接到源极信号线上；
漏极区或源极区连接到像素电极上；
屏蔽膜是浮置的；
10 第一电介质设置在像素电极和屏蔽膜之间；
第二电介质设置在屏蔽膜和公共线之间；
第二电介质与像素矩阵区不相重叠；且
其极性在每条源极信号线中都进行反相的信号施加到源极信号线上，且施
加到相应源极信号线上的信号极性每一帧周期反相一次。
- 15 根据本发明的一个实施例，提供了一种有源矩阵型液晶显示器，它具有：
第一衬底，其上设置有具有多个像素薄膜晶体管和电气连接到多个像素薄
膜晶体管上的像素电极的像素矩阵区，多条源极信号线，多条栅极信号线，一
屏蔽膜和一电势保持在恒定参考电势上的公共线；
设置有相对电极的第二衬底；和
20 夹在像素电极和相对电极之间的液晶；
其特征在于：每一像素薄膜晶体管都有一栅电极，一栅绝缘膜，和一有源
层；
该有源层具有一沟道形成区，第二杂质区与沟道形成区相接触和第一杂质
区与第二杂质区相接触至少存其一；
25 栅电极连接到栅极信号线上；
第一杂质区之一连接到像素电极上；
另一第一杂质区连接到源极信号线上；
屏蔽膜是浮置的；
第一电介质设置在像素电极和屏蔽膜之间；
30 第二电介质设置在屏蔽膜和公共线之间；

- 第二电介质与象素矩阵区不相重叠；
- 第二杂质区通过栅绝缘膜与栅电极相重叠；且
- 其极性在每条源极信号线中都进行反相的信号施加到源极信号线上，且施加到相应源极信号线上的信号极性每一帧周期反相一次。
- 5 根据本发明的一个实施例，提供了一种有源矩阵型液晶显示器，它具有：
- 第一衬底，其上设置有具有多个象素薄膜晶体管和电气连接到多个象素薄膜晶体管上的象素电极的象素矩阵区，多条源极信号线，多条栅极信号线，一屏蔽膜和一电势保持在恒定参考电势上的公共线；
- 设置有一相对电极的第二衬底；和
- 10 夹在象素电极和相对电极之间的液晶；
- 有源矩阵型液晶显示器的特征在于：每一象素薄膜晶体管都有一栅电极，一栅绝缘膜和一有源层；
- 有源层具有一沟道形成区，假定第二杂质区设置在沟道形成区中，则第二杂质区至少与沟道形成区和第一杂质区中之一相接触；
- 15 栅电极连接到栅极信号线上；
- 第一杂质区之一连接到象素电极上；
- 另一第一杂质区连接到源极信号线上；
- 屏蔽膜是浮置的；
- 第一电介质设置在象素电极和屏蔽膜之间；
- 20 第二电介质设置在屏蔽膜和公共线之间；
- 第二电介质与象素矩阵区不相重叠；
- 第二杂质区通过栅极绝缘膜与栅电极相重叠；及
- 其极性在每条源极信号线中都进行反相的信号施加到源极信号线上，且施加到相应源极信号线上的信号极性每一帧周期反相一次。
- 25 根据本发明的一个实施例，提供了一种有源矩阵型液晶显示器，它具有：
- 第一衬底，其上设置有具有多个象素薄膜晶体管和电气连接到多个象素薄膜晶体管上的象素电极的象素矩阵区，一屏蔽膜和一电势保持在恒定参考电势上的公共线；和
- 设置有一相对屏蔽膜的第二衬底；
- 30 其特征在于：每一象素薄膜晶体管都有一栅电极，一栅绝缘膜和一有源层；

屏蔽膜是浮置的；

第一电介质设置在象素电极和屏蔽膜之间；

第二电介质设置在屏蔽膜和公共线之间；

第二电介质与象素矩阵区不相重叠；

- 5 源极信号线驱动电路具有一个取样电路；及
相对屏蔽膜与屏蔽膜和取样电路的一部分相重叠。

第一电介质可以是通过屏蔽膜进行阳极氧化而形成的阳极氧化膜，且第二电介质也可以是通过屏蔽膜进行阳极氧化而形成的阳极氧化膜。

屏蔽膜可含有选自铝（Al）、钛（Ti）和钽（Ta）的一种金属。

- 10 屏蔽膜的厚度可以是 100 到 300nm。

栅电极可包含选自钛（Ti）、钽（Ta）、钨（W）和钼（Mo）的一种或多种元素。

- 于是可提供具有上述三个有源矩阵型液晶显示器的向后投影仪，具有上述三个有源矩阵型液晶显示器的向前投影仪，具有上述一个有源矩阵型液晶显示器的单片型向后投影仪，具有上述两个有源矩阵型液晶显示器的护目镜型显示器。

而且，为了避免不必要的电容量影响，优选地应不在源极信号线驱动电路上形成屏蔽膜。

附图说明

- 图 1 是本发明有源矩阵电路的电路图；
- 20 图 2 图形所示的是发明的象素矩阵电路的上部结构；
- 图 3 是本发明的象素矩阵电路上部结构的另一图形；
- 图 4 图形所示的是源极信号线反相概念；
- 图 5 是源极信号线驱动电路的方框图；
- 图 6 是源极信号线驱动电路的电路图；
- 25 图 7A 和 7B 是模拟开关和电平移位电路的等效电路图；
- 图 8A 到 8C 是本发明的薄膜晶体管制造过程的剖面图；
- 图 9A 到 9C 是本发明的薄膜晶体管制造过程的剖面图；
- 图 10A 到 10C 是本发明的薄膜晶体管制造过程的剖面图；
- 图 11 是发明的有源矩阵电路的电路图；
- 30 图 12A 和 12B 是本发明的仿真结果图；
- 图 13A 到 13C 是本发明的薄膜晶体管制造过程的剖面图；

图 14A 到 14C 是本发明的薄膜晶体管制造过程的剖面图；

图 15A 到 15C 是本发明的薄膜晶体管制造过程的剖面图；

图 16 是利用本发明液晶显示器的三片型投影仪的结构示意图；

图 17 是利用本发明液晶显示器的三片型投影仪的结构示意图；

5 图 18 是利用本发明液晶显示器的单片型投影仪的结构示意图；

图 19A 和 19B 是利用本发明液晶显示器的前投影仪及后投影仪的结构示意图；

图 20 是利用本发明液晶显示器的护目镜型显示器的结构示意图；

图 21A 到 21D 所示的是利用本发明液晶显示器的电子装置实例；

10 图 22 是利用本发明液晶显示器的笔记本型个人电脑的结构示意图；

图 23A 和 23B 是本发明的有源矩阵电路的剖面及平面图；

图 24A 和 24B 是另一本发明的有源矩阵电路的剖面及平面图；

图 25 是一有源矩阵衬底仿真模型的电路图；

图 26 是一有源矩阵衬底仿真模型电路中像素区电路图；

15 图 27 是与设置在栅极信号线驱动电路及 FPC 输出端子上的 ITO 相连接的公共线接合部分的剖面图；

图 28 是与设置在栅极信号线驱动电路及 FPC 输出端子上的 ITO 相连接的公共线另一接合部分的剖面图；

图 29A 到 29E 的剖面图所示的是制造本发明薄膜晶体管的过程；

20 图 30A 和 30B 是本发明有源矩阵电路的剖面及平面图；以及

图 31A 到 31C 所示的是利用本发明液晶显示器的电子装置实例。

具体实施方式

下面将借助其优选实施例来对本发明进行说明。应当注意的是本发明并不仅限于下述实施例。尽管在下述实施例中讨论的是液晶显示器，但本发明也适用于其他类型的有源矩阵显示器。下面将参考图 1 到 31 对实施例进行说明。

[第一实施例]

下面利用图 1 来对应用本发明的一个有源矩阵液晶显示器实例进行说明。

图 1 所示的是本发明的利用一保持电容器的有源矩阵电路的电路图实例。图 1 中所示的有源极信号线驱动电路 11，栅极信号线驱动电路 12，有源矩阵电路 13，像素薄膜晶体管 14，在像素电极和相对电极之间夹有液晶的液晶盒 15，通过在像素电极和屏蔽膜之间夹入电介质而形成的保持电容器 16，源极信

号线 17 和栅极信号线 18。源极信号线驱动电路 11 和栅极信号线驱动电路 12 通常被称作驱动电路。这些驱动电路和包含有源矩阵电路的像素矩阵区形成于同一衬底上。

在有源矩阵区 13 中，连接到源极信号线驱动电路 11 上的源极信号线 17 与连接到栅极信号线驱动电路 12 上的栅极信号线 18 相正交。像素薄膜晶体管（像素薄膜晶体管）14，在相对电极和像素电极之间夹有液晶的液晶盒 15 以及保持电容器 16 设置在由源极信号线 17 和栅极信号线 18 所包围的区域即像素区域 19 当中。

保持电容器 16 是通过在像素电极和屏蔽膜之间夹入用作电介质的氧化膜来构成的，且所有的屏蔽膜都被置入到不与公共线相连接的浮置状态中。

像素薄膜晶体管 14 选择一输入到源极信号线 17 上的图象信号，将其写入到一预定的像素电极中。

由源极信号线驱动电路 11 输出的定时信号进行取样的图象信号送入到源极信号线 17 中。

像素薄膜晶体管 14 由自栅极信号线驱动电路 12 通过栅极信号线 18 输入的选择信号来控制。

输入到源极信号线 17 上的图象信号是通过使每一条源极信号线 17 的极性反相且每一帧周期使信号极性反相一次来进行施加的，以防止液晶由于总是施加定向电场而导致老化。结果，可通过源极线反相来驱动液晶，并将屏蔽膜置成不与公共线相连接的浮置状态。当如上所述在屏蔽膜与公共线不连接结构情况下暂时均化时，屏蔽膜的电势可保持不变，从而可形成在屏蔽膜和像素电极之间夹有电介质这种结构的保持电容器。所以，不必利用掩膜通过光刻法在屏蔽膜和公共线之间的层间绝缘膜上形成一个接触孔以使屏蔽膜与公共线相连接。于是，可减少有源矩阵液晶显示器制造步骤的数目，可实现高产并能抑制其造价。

下面，将参考图 2 对图 1 中所示的像素区 19 的详细结构进行说明。

图 2 所示的是有源层 21，栅极信号线 22，源极信号线 23，有源层和源极信号线的接触部分 24，漏极线（漏电极）25 以及有源层和漏极线的接触部分 26。

图 3 所示的是屏蔽膜 27 和像素电极 28 叠置在图 2 中所示部件上的状态。应当注意虽然用虚线特别标出了像素电极 28，但只是明确了它与下层屏蔽膜的

位置关系。

如图3中所示,形成像素电极28使得它能与屏蔽膜27在图象显示区29的周边区域上相重叠。像素电极28与屏蔽膜27相重叠的区域30用作为保持电容器17。参考标号31所示的是漏极线25和像素电极28之间的接触部分。

5 虽然不能将屏蔽膜27设置在接触部分31处,但由于漏极线25能将光线全部挡住,所以光线无法到达薄膜晶体管上。

下面,将对图1中所示的源极信号线驱动电路实例进行说明。

图5是图1中所示源极信号线驱动电路11的方框图。相应地,CLK表示时钟信号,CLKB表示一反相时钟信号,SP表示起始脉冲信号而SL/R表示驱动方向转换信号。

图6所示的是图5中所示电路的一个具体结构实例。如图中所示设置有移位寄存器电路101,电平移位电路102,取样电路103,以及图象信号线104。

如图5中所示,时钟信号(CLK),反相时钟信号(CLKB),起始脉冲信号(SP)以及驱动方向转换信号(SL/R)通过导线输入到移位寄存器电路中。

15 例如自源极信号线驱动电路外侧输入的10V时钟信号(CLK)输入到移位寄存器电路101中。接着移位寄存器电路101根据输入的时钟信号和同时输入到移位寄存器电路101中的起始脉冲信号进行工作并一个接一个地产生用于图象取样的定时信号。

所产生的定时信号输入到电平移位电路(LS)102中以增大电压幅值。在此,电压幅值是指信号最高电压与最低电压之间差值(压差)的绝对值。电压幅值增大(上升)表示压差增大而电压幅值下降少表示压差减少。电压幅值增大的定时信号输入到具有模拟开关105的取样电路103中,取样电路103工作,根据所输入的定时信号对图象信号进行取样。取样图象信号经由源极信号线(S1到Sn)输入到像素矩阵区。

25 取样图象信号以相反的极性施加到每一图象信号线上。由此,施加到液晶上的是在每一源极信号线上所取的相反极性图象信号。换句话说,液晶由源极线反相来进行驱动。因此,当屏蔽膜在不与电压为固定电压值(参考电压)的公共线相连接的情况下而暂时均化时,屏蔽膜的电压可保持不变,从而可在结构为在屏蔽膜和像素电极之间夹有电介质的保持电容器中将屏蔽膜置成浮置状态。故在利用成型术形成屏蔽膜之后,不必利用掩膜通过光刻法在屏蔽膜和公

30

共线之间的层间绝缘膜上形成接触孔以使屏蔽膜和公共线相连接。结果，可减少有源矩阵液晶显示器制造步骤的数目，实现高产量并能抑制其造价。

图 7A 和 7B 是模拟开关 105 和电平移位电路 102 的具体电路图。

图 7A 是模拟开关的等效电路图。利用输入的信号 (IN 和 INb) 来对图象
5 信号进行取样。图 7B 是电平移位电路的等效电路图。IN 是指输入信号，INb 是指输入 IN 的反相信号。Vddh 表示施加正电压，Vss 表示施加负电压。如此设计电平移位电路可使通过 IN 输入的电压已升高并已反相的信号自 OUTb 输出。即当通过 IN 输入 Hi 时，自 OUTb 输出一个等于 Vss 的信号，而当输入 Lo 时，自 OUTb 输出一个等于 Vddh 的信号。

10 下面，将参考图 8 到 10 对发明的象素矩阵电路及同时设置在其周围的驱动电路的薄膜晶体管的制造方法实例进行说明。应当注意本发明并不限于此制造方法。

[形成岛状半导体层及栅绝缘膜的步骤：图 8A]

在图 8A 中优选地用非碱性玻璃衬底或石英衬底作为衬底 6001。除此之外，
15 也可以是其上形成有绝缘膜的硅衬底或金属衬底。

在将要形成薄膜晶体管的衬底 6001 表面上，通过等离子体 CVD 或溅射形成 100nm 到 400nm 厚的、由氧化硅膜、氮化硅膜或氮氧硅膜制成的底基层膜 6002。底基层膜 6002 可以是 25 到 100nm 厚、或在此为 50nm 厚的氮化硅膜 6002
20 与 50 到 300nm 厚、或在此为 150nm 厚的氧化硅膜 6003 的双层结构。设置底基层膜 6002 能够防止衬底受杂质污染，当使用石英衬底时不必总是设置此底基层膜 6002。

接下来，通过公知的膜形成方法在底基层膜 6002 上形成 20 到 100nm 厚的非晶硅膜。不过由于它取决于氢含量，所以有必要在优选的 400 到 550°C 温度下加热几个小时以脱氢使氢含量减少到 5 原个子%以下之后再进行结晶处理。
25 虽然可通过另外的制造方法如溅射或蒸发来形成非晶硅膜，但也有必要充分减少膜中所含杂质元素如氧或氮。在此，由于底基层膜和非晶硅膜是用相同的膜形成方法来形成的，所以可连续地形成底基层膜和非晶硅膜。由于底基层膜在形成之后不暴露在大气中，所以可避免表面污染并能降低所制造的薄膜晶体管的弥散特性。

30 由非晶硅膜形成结晶硅膜可利用公知的激光结晶或热结晶法来进行。可利

用能够促进硅结晶的催化剂元素通过热结晶来制造结晶硅膜。除此之外，还可形成微晶硅膜或直接形成结晶硅膜。结晶硅膜也可用公知的将单晶硅涂在衬底上的 SOI（硅在绝缘子上）技术来制成。

岛状半导体层 6004 到 6006 是通过将如此形成的结晶硅膜的多余部分蚀刻掉而形成的。为了控制制作 n-沟道型薄膜晶体管的结晶硅膜区域的阈值电压，应提前将硼（B）浓度加至 1×10^{15} 到 $5 \times 10^{17} \text{cm}^{-3}$ 。

接下来，形成主要成份为氧化硅或氮化硅的栅绝缘膜 6007 以便覆盖岛状半导体层 6004 到 6006。所形成的栅绝缘膜 6007 的厚度为 10 到 200nm，更优选地为 50 到 150nm。例如，可通过等离子体 CVD 形成原材料是 N_2O 和 SiH_4 、厚度为 75nm 的氮氧硅膜。再在 800 到 1000°C 的氧气环境或氧气和盐酸的混合环境下进行热氧化以形成 115nm 厚的栅绝缘膜（图 8A）。

[形成 n^- 区：图 8B]

在形成岛状半导体层 6004 和 6006 及其连接导线的整个区域表面上形成保护掩膜 6008 到 6011，在半导体层 6005 的部分区域（包括最终将是沟道形成区域的区域）中加入 n-型杂质元素，形成低浓度杂质区 6012 和 6013。低浓度杂质区 6012 和 6013 是用于形成 LDD 区域（在本说明书中称作 Lov 区域，应注意 ‘ov’ 是指 ‘叠加’）的杂质区域，其中 LDD 区域在之后的 CMOS 电路 n-沟道薄膜晶体管中通过栅绝缘膜与栅电极相重叠。应当注意的是，低浓度杂质区域中所含 n-型杂质元素的浓度在此用 (n^-) 表示。因此，在本说明书中，低浓度杂质区 6012 和 6013 被称作 n^- 区。

在此，利用等离子体激发离子掺杂法无需对磷化氢（ PH_3 ）进行同位素分离即可加入磷。也可利用涉及同位素分离的离子注入技术。在这一步骤中，通过栅绝缘膜 6007 将磷加入到栅绝缘膜 6007 下的半导体层中。优选地，所加入磷的浓度范围为 5×10^{17} 到 5×10^{18} 原子/ cm^3 ，在此设定为 1×10^{18} 原子/ cm^3 。

之后，除去保护掩膜 6008 到 6011，在 400 到 900°C 、更优选地在 550 到 800°C 的氮气环境下进行 1 到 12 小时的热处理以激活在此步骤中所加入的磷。

[形成栅极导电膜及连接导线；图 8C]

由主要成份为钛（Ti）、钽（Ta）、钨（W）和钼（Mo）中元素的导电材料形成 10 到 100nm 厚的第一导电膜 6014。优选地例如用氮化钽（Ta₃N₅）或氮化钨（W₃N₅）作为第一导电膜 6014。再在第一导电膜 6014 上用主要由 Ta、Ti、

Mo、W 中任一元素构成的导电材料形成 100 到 400nm 厚的第二导电膜 6015。例如，可形成 200nm 厚的 Ta。尽管未示出，但在第一导电膜 6014 之下形成 2 到 20nm 厚的硅膜可以有效地防止导电膜 6014 和 6015（特别是导电膜 6015）氧化。

5 [形成 p-沟道栅电极及导线电极并形成 P⁺⁺区：图 9A]

形成保护掩膜 6016 到 6019，对第一和第二导电膜（下文经处理成为层状膜）进行蚀刻形成 P-沟道型薄膜晶体管的栅电极 6020 和栅极信号线 6021 和 6022。应当注意，余下导电膜 6023 和 6024 用以覆盖最终结果将是 n-沟道薄膜晶体管的整个区域表面。

- 10 以保护掩膜 6016 到 6019 作为掩膜，在将要形成 p-沟道型薄膜晶体管的半导体层 6004 部分区域上，进行掺入 p 型杂质元素的步骤。利用乙硼烷 (B₂H₆) 通过离子掺杂（也可用离子注入）来掺入硼作为杂质元素。所掺入硼的浓度为 5×10²⁰ 到 3×10²¹ 原子/cm³。应注意在此形成的 p-型杂质区域中所含杂质元素的浓度标记为 (P⁺⁺)。因此，杂质区 6025 和 6026 被称作 P⁺⁺区。

- 15 应当注意应在利用保护掩膜 6016 到 6019 对栅绝缘膜 6007 进行蚀刻并将岛状半导体层 6004 的部分进行暴光之后，再掺入 p-型杂质元素。在此情形下，由于加速电压较低，因此岛状半导体膜的破坏较小且可以提高生产率。

[形成 n-沟道栅电极：图 9B]

- 20 接下来，在除去保护掩膜 6016 到 6019 之后，通过形成保护掩膜 6027 到 6030 来形成 n-沟道型薄膜晶体管的栅电极 6031 和 6032。此时，应使形成的栅电极 6031 通过栅绝缘膜与 n-区 6012 和 6013 相叠加。

[形成 n⁺区：图 9C]

- 25 除去保护掩膜 6027 到 6030，形成保护掩膜 6033 到 6035。再形成用作 n-沟道型薄膜晶体管中源或漏极区域的杂质区域。形成保护掩膜 6035，以覆盖 n-沟道型薄膜晶体管的栅电极 6032，从而形成一个不与象素矩阵电路 n-沟道型薄膜晶体管中的栅电极相叠加的 LDD 区域。

- 30 接着掺入 n-型杂质元素，形成杂质区域 6036 到 6040。在此，利用氢化磷 (PH₃) 通过离子掺杂（也可利用离子注入）来掺入磷。所掺入磷的浓度为 1×10²⁰ 到 1×10²¹ 原子/cm³。应注意在此形成的 n-型杂质区域 6038 到 6040 中所含杂质元素的浓度被标记为 (n⁺)。因此，杂质区 6038 和 6040 被称作 n⁺区。进而，

由于已形成 n^- 区域, 所以杂质区 6036 和 6037 所含磷的浓度稍高于杂质区 6038 到 6040。

应当注意, 应在利用保护掩膜 6033 到 6035 和栅电极 6031 作为掩膜对栅绝缘膜 6007 进行蚀刻并将岛状半导体层 6005 和 6006 的部分进行曝光之后, 再进行掺入 n^- 型杂质元素的步骤。在此情形下, 由于加速电压较低, 因此岛状半导体膜的破坏较小且可以提高生产率。

[形成 n^- 区域: 图 10A]

除去保护掩膜 6033 到 6035, 进行将 n^- 型杂质元素掺入到最终结果是象素矩阵电路 n^- 沟道薄膜晶体管的岛状半导体层 6006 中这一步骤。将与上述 n^- 区域相同或稍低浓度的磷(具体是 5×10^{16} 到 1×10^{18} 原子/ cm^3)掺入到如此形成的杂质区 6041 到 6044 中。应当注意, 在此形成的杂质区 6041 到 6044 中所含的 n^- 型杂质元素浓度被标记为(n^-)。因此, 在本说明书中, 可将杂质区 6041 到 6044 称作 n^- 区。在这一步骤中, 磷掺入到了除栅电极所掩盖且浓度为 n^- 的杂质区 6068 和 6069 之外的所有杂质区域中, 但由于其浓度较低, 可忽略不计。

[热激活步骤: 图 10B]

接下来, 形成最终将是第一层间绝缘膜一部分的保护绝缘膜 6045。保护绝缘膜 6045 可由氮化硅膜、氧化硅膜或氮氧硅膜或其层压膜形成。其厚度可为 100 到 400nm。

之后, 进行加热处理以激活所掺入的相应浓度的 n^- 或 p^- 杂质元素。这一步骤可通过炉内退火、激光退火或快速热退火(RTA)来进行。在此由炉内退火来进行激活。热处理是在 300 到 650°C 或优选地在 400 到 550°C 的氮气环境中进行的, 在此, 是在 450°C 下进行两个小时的热处理。

进而, 在含有 3 到 100%氢的大气环境中、在 300 到 450°C 下进行 1 到 12 小时的热处理, 以进行岛状半导体层的加氢步骤。这是用热激发氢来结束半导体层不饱和键的步骤。也可用等离子体加氢(用受等离子体激发的氢)来作为其他的加氢方法。

[形成层间绝缘膜, 源/漏极, 屏蔽膜, 象素电极及保持电容器: 图 10C]

激活步骤结束之后, 在保护绝缘膜 6045 上形成 0.5 到 1.5 μm 厚的层间绝缘膜 6046。保护绝缘膜 6045 和该层间绝缘膜 6046 的层压膜被设定为第一层间绝

缘膜。

之后,形成延伸到相应薄膜晶体管源或漏极区的接触孔,从而形成源极 6047 到 6049 及漏极 6050 和 6051。尽管未示出,但这些电极是利用溅射通过连续形成 100nmTi 膜、300nm 含 Ti 铝膜和 150nmTi 膜这三层层压膜来形成的。接着, 5 它变为与图 2 中所示相同的状态。图 2 中所示的激活层 21 与图 10 中的激活层 6004 到 6006 相对应,同样地,栅极信号线 22 和漏极导线 25 被表示成漏极 6050 和 6051。源极信号线 23 被表示成源极 6047 到 6049。

接下来,由氮化硅膜、氧化硅膜或氮氧硅膜形成 50 到 500nm (典型地为 200 到 300nm) 厚的钝化膜 6052。当此时进行加氢时,便能获得利于改进薄膜晶体 10 管特性的结果。在含有 3%到 100%氢的环境中、在 300 到 450°C 温度下进行 1 到 12 小时的热处理或利用等离子体加氢可获得此结果。应注意可在之后形成连接像素电极和漏极的接触孔的位置处形成通过钝化膜 6052 的开口。

之后,形成约 1 μ m 厚的含有有机树脂的第二层间绝缘膜 6053。聚酰亚胺, 丙烯酸, 聚酰胺, BCB (苯环丁烯) 等都可用作有机树脂。使用有机树脂膜的好 15 好处在于膜形成方法简单,由于介电常数较小所以寄生电容量低,且在平整性上较优。应注意除上述之外也可利用其他的有机树脂膜或有机 SiO 化合物。在此,是利用热聚型聚酰亚胺、在将其涂覆到衬底上之后在 300°C 下对其进行烧 16 结来形成层间绝缘膜的。

然后,在最终将是像素矩阵电路的区域内的第二层间绝缘膜 6053 上形成屏 20 蔽膜 6054。屏蔽膜 6054 是一个主要由铝 (Al)、钛 (Ti) 或钽 (Ta) 中之一构成的膜,厚度为 100 到 300nm。再在该屏蔽膜 6054 的表面上通过阳极氧化或 21 等离子体氧化形成 30 到 150nm 厚 (优选地为 50 到 75nm) 的氧化膜 6055。在此,用铝膜或主要由铝构成的膜作为屏蔽膜 6054,用氧化铝膜 (铝膜) 作为电 22 介质 6055。

25 应注意在此绝缘膜虽然设置在屏蔽膜的表面上,但也可用气相法如等离子体 CVD、热力 CVD 或溅射来形成绝缘膜。在此情形下,厚度优选地为 30 到 150nm (或更优选地为 50 到 75nm)。也可用氧化硅膜、氮化硅膜、氮氧硅膜、 26 DLC (菱形碳) 或有机树脂膜。还可用上述膜的层压层。

接下来,通过钝化膜 6052 和第二层间绝缘膜 6053 形成一个延伸到漏极 6051 30 的接触孔,从而形成一个像素电极 6056。应注意像素电极 6057 和 6058 是与其

相连接的其他像素的像素电极。透明导电膜用于形成透射型液晶显示器的像素电极 6056 到 6058，金属膜用于形成反射型液晶显示器。在此，通过溅射形成 100nm 厚的氧化铟锡膜 (ITO)，从而形成透射型液晶显示器。

5 在此，在像素电极 6056 通过氧化膜 6055 与屏蔽膜 6054 相叠的区域内形成保持电容器。

因此，制作完成具有最终为驱动电路的 CMOS 电路的有源矩阵衬底及设置于该衬底上的像素矩阵电路。应注意，在最终将是驱动电路的 CMOS 电路中形成一 p-沟道型薄膜晶体管 6081 和一 n-沟道型薄膜晶体管 6082，且在像素矩阵电路中形成由 n-沟道型薄膜晶体管构成的像素薄膜晶体管 6083。

10 在 CMOS 电路的 p-沟道型薄膜晶体管 6081 中相应地形成用作为 P⁺区的沟道形成区 6062、源极区 6063 和漏极区 6064。在 n-沟道型薄膜晶体管 6082 中形成沟道形成区 6065，源极区 6066，漏极区 6067 及通过栅绝缘膜与栅极相叠加的 LDD 区域（下文称作 Lov 区域，‘ov’指重叠）6068 和 6069。此时，源极区 6066 和漏极区 6067 形成于 (n⁺+n⁺) 区而 Lov 区 6068 和 6069 形成于 n⁻区域
15 域内。

进而，在像素薄膜晶体管 6083 中，形成沟道形成区 6070 和 6071、源极区 6072、漏极区 6073 和不通过栅绝缘膜与栅极相叠加的 LDD 区域（下文当中称作 LOff 区域，‘off’意为‘偏离’）6074 到 6077 以及与 LOff 区域 6075 和 6076 相接触的 n⁺区域 6078。此时源极区 6072 和漏极区 6073 形成于 n⁺区域而 LOff
20 区域 6074 到 6077 则相应地形成于 n⁻区域内。

相对于 3 到 7 μm 的沟道长度，可将 Lov 区域的长度（宽度）设定为 0.5 到 3.0 μm 、或典型地将其设定为 1.0 到 1.5 μm 。可将设置于像素薄膜晶体管 6083 中的 LOff 区域 6074 到 6077 的长度（宽度）设定为 0.5 到 3.5 μm 、或典型地将其设定为 2.0 到 2.5 μm 。

25 图 27 所示的是公共线和 FPC 导线端子的接合部分。如图 27 中所示，设置有衬底 6001、具有图 10C 中所示 n-沟道型薄膜晶体管的栅极信号线驱动电路 2702、公共线 2703、屏蔽膜 2704、电介质 2705、ITO 膜 2706、垫片 2707、树脂 2708、形成于 FPC 导线端子上的 ITO 膜 2709 以及 FPC 的导线端子 2710。

由屏蔽膜 2704、ITO 膜 2706 及夹在其间的电介质 2705 形成一耦合电容器。
30 ITO 膜设置在栅极信号线驱动电路 2702 上并与设置在栅极信号线驱动电路 2702

之下的公共线 2703 相连接。FPC 侧的 ITO 膜 2709 形成于 FPC 的导线端子 2710 上，且 FPC 导线端子 2710 上的 FPC 侧 ITO 膜 2709 通过垫片 2707 和树脂 2708 与 ITO 膜 2706 相连接。

树脂可以是光固树脂，热固树脂或光固和热固树脂的混合物。当利用光固树脂和热固树脂的混合物时，是用光将其暂时粘结后再通过加热及压和使其连接在一起。垫片必须是导电材料。可用两个或多个不同尺寸的垫片。在此情形下，较小的垫片可以是不导电的，因为它可只用作衬垫，而较大的垫片则必须是导电的，因为它要用来进行电气连接。

根据本发明，可利用源极线反相来驱动液晶，且屏蔽膜与电势为固定电势（参考电势）的公共线不相连。因为在暂时均化时屏蔽膜的电压可通过源极线反相保持恒定，所以可使屏蔽膜浮置在结构为电介质夹于屏蔽膜和象素电极之间的保持电容器中。因此，在屏蔽膜和公共线之间的层间绝缘膜上不必用掩膜通过光刻来形成接触孔以使屏蔽膜与公共线相连接。因此，可减少有源矩阵液晶显示器制造步骤的数目，实现高产量并能抑制其造价。

15 [第二实施例]

除了第一实施例中使屏蔽膜浮置的结构之外，本实施例中将对在屏蔽膜和公共线之间形成大容量耦合电容器的实例进行说明。

图 11 所示的是本发明应用一保持电容器的有源矩阵电路的电路图实例。如图 11 中所示，设置有源极信号线驱动电路 301，栅极信号线驱动电路 302，有源矩阵电路 303，象素薄膜晶体管 304，在象素电极和相对电极之间夹有液晶的液晶盒 305，通过在象素电极和屏蔽膜之间夹入电介质而形成的保持电容器 306，源极信号线 307 和栅极信号线 308。在浮置状态的屏蔽膜和公共线之间还设置一耦合电容器 310。源极信号线驱动电路 301 和栅极信号线驱动电路 302 通常被称作驱动电路。这些驱动电路与有源矩阵区（电路）形成于同一衬底上。

25 在有源矩阵区 303 中，连接到源极信号线驱动电路 301 上的源极信号线 307 与连接到栅极信号线驱动电路 302 上的栅极信号线 308 相正交。象素薄膜晶体管（象素薄膜晶体管）304，在相对电极和象素电极之间夹有液晶的液晶盒 305 以及保持电容器 306 设置在由源极信号线 307 和栅极信号线 308 所包围的区域即象素区域 309 当中。

30 通过在象素电极和屏蔽膜 312 之间夹入用作电介质的氧化膜来构成保持电

容器 306, 并将所有的屏蔽膜 312 都设置成不与公共线 311 相连接的浮置状态。

耦合电容器 310 的电容量如果是经像素薄膜晶体管连接到栅极信号线上的所有保持电容器总电容量的十倍或更多的话, 则是足够的。

5 像素薄膜晶体管 304 选择一输入到源极信号线 307 上的图象信号, 将其写入到一预定的像素电极中。

由源极信号线驱动电路 301 输出的定时信号进行取样的图象信号被输入到源极信号线 307 中。

像素薄膜晶体管 304 由自栅极信号线驱动电路 302 经栅极信号线 308 输入的一选择信号进行控制。

10 输入到源极信号线上的图象信号是通过使其每一条源极信号线极性反相来进行施加, 且每一帧周期使信号极性反相一次, 以防止液晶由于总是施加定向电场而导致老化。结果, 可通过源极线反相来驱动液晶, 并将屏蔽膜置入到不与公共线相连的浮置状态。当如上所述在屏蔽膜与公共线不连接情况下暂时均化时, 屏蔽膜的电势可保持不变, 从而可形成在屏蔽膜和像素电极之间夹有电介质这种结构的保持电容器。所以, 不必利用掩膜通过光刻在屏蔽膜和公共线之间的层间绝缘膜上形成接触孔以使屏蔽膜与公共线相连接。于是, 可减少有源矩阵液晶显示器制造步骤的数目, 可实现高产并能抑制其造价。除此之外, 通过使屏蔽膜浮置及在屏蔽膜和公共线之间形成大容量耦合电容器, 可使屏蔽膜的电势波动 ΔV 减少。耦合电容器的电容量越大, ΔV 变得越小, 因此可使屏蔽膜的电势保持得更为恒定, 并可因此而获得更好的对比度。

20 图 23A 和 23B 是图 11 中所示电路的平面及剖面示意图。图 23B 是沿图 23A 中 A-A' 线剖开的剖面图。

如图 23A 中所示, 设置有源极信号线驱动电路 411 (图 11 中 301), 栅极信号线驱动电路 402, 有源矩阵区 413 (图 11 中 303), 屏蔽膜 404, ITO 膜 406, 公共线 407 及 FPC414。

ITO 膜 406 与公共线 407 电气连接, 且公共线 407 通过 FPC414 连接到衬底外侧以保持在恒定电势 (参考电势) 上。

耦合电容器 416 (图 11 中 310) 形成在与公共线 407 相连接的 ITO 膜 406 与屏蔽膜 404 相重叠的区域上。

30 如图 23B 中所示, 设置有衬底 401, 栅极信号线驱动电路 402 (图 11 中的

302), 层间绝缘膜 403, 屏蔽膜 404, 电介质 405, ITO 膜 406, 公共线 407, 垫片 412, 树脂 410, 形成在 FPC 导线端子上的 ITO 膜 409 以及 FPC 的导线端子 408。

耦合电容器由屏蔽膜 404、ITO 膜 406 及夹在其间的电介质 405 形成。ITO 膜设置在栅极信号线驱动电路 402 上并与设置在栅极信号线驱动电路之下的公共线 407 相连接。FPC 侧 ITO 膜 409 形成于与其相接触的 FPC 导线端子 408 上, 且 FPC 导线端子 408 上的 FPC 侧 ITO 膜 409 通过垫片 412 和树脂 410 与 ITO 膜 406 相连接。

树脂 410 可以是光固树脂, 热固树脂或光固及热固树脂的混合物。当利用光固树脂和热固树脂的混合物时, 是用光将其暂时粘结后再通过加热及压和使其连接在一起的。垫片必须是导电材料, 可用两个或多个不同尺寸的垫片。在此情形下, 较小的垫片可以是不导电的, 因为它可只用作衬垫, 而较大的垫片则必须是导电的, 因为要用其进行电气连接。

ITO 膜 406 与公共线 407 电气连接。图 11 中所示的耦合电容器 310 是由连接到公共线 407 上的 ITO 膜 406, 屏蔽膜 404 及置于其间的电介质 405 来形成的。

下面将参考图 12, 25 和 26, 对于当将屏蔽膜置于浮置状态且在屏蔽膜和公共线之间形成大容量的耦合电容器时像素电压的仿真结果进行说明。

图 12A 所示的是当屏蔽膜置于浮置状态且在屏蔽膜和公共线之间形成有大容量耦合电容器的有源矩阵液晶显示器的每一源极线上显示黑白条时, 像素电极电极波形的仿真结果。假定像素数为 10×10 , 且在所有的栅极信号线驱动电路上形成容量为 300nF 的耦合电容器时, 来进行仿真。图 12A 是屏幕中心或连接到该处的像素电极的电极波形图。0ms 到 16ms 表示显示第一屏时的像素电压, 16ms 到 32ms 表示显示第二屏时的像素电压。以 8V 像素电压为基准电压, 再向像素电极施加 $\pm 5V$ 信号。

图 25 是图 12 中有源矩阵衬底仿真模型的电路图。图 26 是图 25 中像素区的详细电路图。如图 26 中所示, 设置有像素薄膜晶体管 3501 和耦合电容器 3502。图 12 中所示的仿真结果是在图 25 中点 A 处所测得的电压。

图 12B 所示的是用于比较的、当屏蔽膜未被置入浮置状态、且与低电阻 (1) 公共线 (COM) 相连接而保持在参考电势时的仿真结果。

由图 12A 和图 12B 相比较可以看出,可获得几乎相同的仿真结果。也就是说,即使当屏蔽膜不与公共线相连接而被置入浮置状态且当耦合电容器设置在屏蔽膜和公共线之间时,可以看到象素电压不发生波动,从而可与屏蔽膜不浮置且屏蔽膜与公共线相连而保持在参考电压时显示同样的图象。因此,在设置于屏蔽膜和公共线之间的层间绝缘膜上利用掩膜通过光刻形成接触孔这一制作步骤数可以减少,从而可以在不降低图象质量的前提下,实现高产量并抑制其造价。

[第三实施例]

除了实施例 1 中所示的方法之外,下面将参考图 13 到 15 对象素矩阵电路及同时设置在其周围的驱动电路的薄膜晶体管的制造方法实例进行说明。此实施例中公开的方法也可用于制造本发明的半导体器件。

[形成岛状半导体层及栅绝缘膜的步骤:图 13A]

在图 13A 中,最好用非碱性玻璃衬底或石英衬底作为衬底 7001。除此之外,也可以是其上形成有绝缘膜的硅衬底或金属衬底。

在利用等离子体 CVD 或溅射形成薄膜晶体管的衬底 7001 表面上,形成由氧化硅膜、氮化硅膜或氮氧硅膜制成的、厚度为 100nm 到 400nm 的底基层膜。底基层膜 7002 可以是由 25 到 100nm 厚、或在此为 50nm 厚的氮化硅膜 7002 和 50 到 300nm 厚、或在此为 150nm 厚的氧化硅膜 7003 构成的双层结构。设置底基层膜 7002 能够防止衬底受杂质污染,当使用石英衬底时不必总是设置此底基层膜 7002。

接下来,通过公知的膜形成方法在底基层膜上形成 20 到 100nm 厚的非晶硅膜。由于它取决于氢的含量,所以优选地应在 400 到 550°C 温度下加热几个小时以脱氢从而将氢含量减少到 5 个原子%以下之后再行进行结晶步骤。虽然可用另外的制造方法如溅射或蒸发来形成非晶硅膜,但最好能充分减少膜中所含杂质元素如氧或氮量。此时,由于底基层膜和非晶硅膜是用相同的膜形成方法来形成的,所以可连续地形成底基层膜和非晶硅膜。由于底基层膜形成之后不暴露在大气中,所以可避免表面污染并能降低所制造薄膜晶体管的弥散特性。

由非晶硅膜形成结晶硅膜可通过公知的激光结晶或热结晶法来实现。可利用能够促进硅结晶的催化剂元素通过热结晶来制造结晶硅膜。除此之外,可利用微晶硅膜或使结晶硅膜直接沉积。也可用公知的将单晶硅涂至衬底上的 SOI

(硅在绝缘子上)技术来形成结晶硅膜。

将如此形成的结晶硅膜的多余部分蚀刻掉而形成岛状半导体层 7004 到 7006。为了控制制作 n-沟道型薄膜晶体管的结晶硅膜区域内的阈值电压,应提前加入硼(B),使其浓度达到 1×10^{15} 到 $5 \times 10^{17} \text{cm}^{-3}$ 。

5 接下来,再形成主要成份为氧化硅或氮化硅的栅绝缘膜 7007 以覆盖岛状半导体层 7004 到 7006。所形成的栅绝缘膜 7007 的厚度为 10 到 200nm,更优选地为 50 到 150nm。例如,通过等离子体 CVD 来形成原材料是 N_2O 和 SiH_4 、厚度为 75nm 的氮氧硅膜。再在 800 到 1000°C 的氧气环境或氧气和盐酸的混合环境下进行热氧化形成 115nm 厚的栅绝缘膜(图 13A)。

10 [形成 n⁻区:图 13B]

在岛状半导体层 7004 和 7006 以及导线的整个区域表面上形成保护掩膜 7008 到 7011,在岛状半导体层 7005 的部分区域中(包括最终成为沟道形成区域的区域)加入 n-型杂质元素,形成一低浓度杂质区 7012。低浓度杂质区域 7012 是 LDD 区域(在本说明书中称作 Lov 区域,应注意‘ov’是指‘叠加’)的
15 杂质区域,其中 LDD 区在之后 CMOS 电路的 n-沟道薄膜晶体管中通过栅绝缘膜与栅电极相叠加。应当注意,低浓度杂质区域中所含的 n-型杂质元素浓度在此用(n-)表示。因此,在本说明书中,低浓度杂质区 7012 可被称作 n-区。

在此,利用等离子体激发离子掺杂法不必对磷化氢(PH_3)进行同位素分离即可加入磷。如果需要的话也可利用涉及同位素分离的离子注入技术。在此步
20 骤中,通过栅绝缘膜 7007 将磷加入到栅绝缘膜 7007 之下的半导体层中。优选地,所加入磷的浓度范围为 5×10^{17} 到 5×10^{18} 原子/ cm^3 ,在此设定为 1×10^{18} 原子/ cm^3 。

之后,除去保护掩膜 7008 到 7011,在 400 到 900°C 、或更优选地在 550 到 800°C 的氮气环境下进行 1 到 12 小时的热处理以激活此步骤中加入的磷。

25 [形成栅电极导电膜及导线;图 13C]

由主要成份为钛(Ti)、钽(Ta)、钨(W)和钼(Mo)元素中之一的导电材料制成厚度为 10 到 100nm 的第一导电膜 7013。优选地例如用氮化钽(TaN)或氮化钨(WN)作为第一导电膜 7013。再在第一导电膜 7013 上用主要由 Ta、Ti、Mo、W 中任一元素构成的导电材料形成 100 到 400nm 厚的第二导电膜 7014。
30 例如,可形成 200nm 厚的 Ta。尽管未示出,但在第一导电膜 7013 之下形成 2

到 20nm 厚的硅膜可以有效地防止导电膜 7013 和 7014（特别是导电膜 7014）发生氧化。

[形成 p-沟道栅电极及导线电极并形成 P⁺⁺区：图 14A]

5 形成保护掩膜 7015 到 7018，对第一和第二导电膜（下文经处理成为层状膜）进行蚀刻，形成 P-沟道型薄膜晶体管的栅电极 7019 和栅极信号线 7020 和 7021。应当注意，留下导电膜 7022 和 7023 以覆盖最终将成为 n-沟道薄膜晶体管区域的整个表面。

10 在将要形成 p-沟道型薄膜晶体管的半导体层 7004 的部分区域上，留下保护掩膜 7015 到 7018 作为掩膜，掺入 p 型杂质元素。在此利用乙硼烷 (B₂H₆) 通过离子掺杂（也可用离子注入）掺入硼作为杂质元素。所掺入硼的浓度为 5×10²⁰ 到 3×10²¹ 原子/cm³。应注意，在此形成的杂质区域中所含 p-型杂质元素的浓度标记为 (P⁺⁺)。因此，杂质区 7024 和 7025 又被称作 P⁺⁺区。

15 应当注意，可以在利用保护掩膜 7015 到 7018 对栅绝缘膜 7007 进行蚀刻并将岛状半导体层 7004 的部分进行曝光之后，再进行掺入 p-型杂质元素的步骤。在此情形下，由于加速电压低，岛状半导体膜的破坏较小且可以提高生产率。

[形成 n-沟道栅电极：图 14B]

接下来，除去保护掩膜 7015 到 7018 之后，通过形成保护掩膜 7026 到 7029 来形成 n-沟道型薄膜晶体管的栅电极 7030 和 7031。此时，所形成的栅电极 7030 能够通过栅绝缘膜与 n-区 7012 相叠加。

20 [形成 n⁺区：图 14C]

除去保护掩膜 7026 到 7029，形成保护掩膜 7032 到 7034。再进行形成用作 n-沟道型薄膜晶体管中源或漏极区的杂质区域。形成保护掩膜 7034 以便覆盖 n-沟道型薄膜晶体管的栅极 7031 从而形成一个 LDD 区域，以不与之后步骤中像素矩阵电路 n-沟道型薄膜晶体管中的栅极相叠加。

25 掺入 n-型杂质元素以形成杂质区 7035 到 7039。在此，利用氢化磷 (PH₃) 通过离子掺杂（也可利用离子注入）来掺入磷。所掺入磷的浓度为 1×10²⁰ 到 1×10²¹ 原子/cm³。应注意，在此形成的杂质区 7037 到 7039 中所含 n-型杂质元素的浓度标记为 (n⁺)。因此，杂质区 7037 和 7039 又被称作 n⁺区。进而，由于已形成 n-区域，所以严格地说，杂质区 7035 当中所含磷的浓度稍高于杂质区 7037 到 7039 中所含磷的浓度。

30

应当注意，可以在利用保护掩膜 7032 到 7034 和栅极 7030 作为掩膜对栅绝缘膜 7007 进行蚀刻并将岛状半导体层 7005 和 7006 的部分进行曝光之后，再进行掺入 n-型杂质元素的步骤。在此情形下，由于加速电压较低，因此岛状半导体膜的破坏较小且可以提高生产率。

5 [形成 n^{-} 区域：图 15A]

除去保护掩膜 7032 到 7034，进行将 n 型杂质元素掺入到最终结果是象素矩阵电路 n-沟道型薄膜晶体管的岛状半导体层 7006 中这一步骤。将与上述 n^{-} 区域相同或稍低浓度（具体是 5×10^{16} 到 1×10^{18} 原子/cm³）的磷掺入到如此形成的杂质区 7040 到 7043 中。应当注意，在此形成的杂质区 7040 到 7043 中所含的 n-型杂质元素浓度标记为 (n^{-})。因此，在本说明书中，杂质区 7040 到 7043 10 又称作 n^{-} 区域。在这一步骤中，虽然将磷掺入到了除被栅极所掩盖且浓度为 n^{-} 的杂质区 7067 之外的所有杂质区域中，但由于其浓度较低，所以可忽略不计。

[热激活步骤：图 15B]

15 接下来，形成最终将是第一层间绝缘膜的一部分的保护绝缘膜 7044。保护绝缘膜 7044 可由氮化硅膜、氧化硅膜或氮氧硅膜或其层压膜形成。其厚度可为 100 到 400nm。

之后，进行加热处理以激活所掺入的相应浓度的 n^{-} 或 p^{-} 杂质元素。这一步骤可通过炉内退火、激光退火或快速热退火 (RTA) 来进行。在此，激活由炉内退火来进行。在 300 到 650°C 或优选地在 400 到 550°C、在此是在 450°C 的 20 氮气环境中进行两个小时热处理。

进而，在含有 3 到 100% 氢的大气环境中、在 300 到 450°C 下进行 1 到 12 小时的热处理以对岛状半导体层进行加氢处理。这一步骤是利用热激发氢来结束半导体层的不饱和键。也可用等离子体加氢（用受等离子体激发的氢）作为 25 另一加氢方法。

[形成层间绝缘膜，源/漏极，屏蔽膜，象素电极及保持电容器：图 15C]

激活步骤完成之后，在保护绝缘膜 7044 上形成 0.5 到 1.5 μ m 厚的层间绝缘膜 7045。保护绝缘膜 7044 和该层间绝缘膜 7045 的层压膜被设定为第一层间绝缘膜。

30 之后，形成延伸到相应薄膜晶体管源或漏极的接触孔，从而形成源极 7046

到 7048 和漏极 7049 和 7050。尽管未示出，但这些电极是用溅射法通过连续形成 100nmTi 膜、300nm 含 Ti 铝膜和 150nmTi 膜这三层层压膜来形成的。

接下来，由氮化硅膜、氧化硅膜或氮氧硅膜形成 50 到 500nm（典型地为 200 到 300nm）厚的钝化膜 7051。此时进行加氢步骤时，能获得利于改进薄膜晶体
5 管特性的结果。在含有 3%到 100%氢的环境中、在 300 到 450°C 进行 1 到 12 小时的热处理或利用等离子体加氢都可获得此结果。应注意可在之后形成的、用于连接像素电极和漏极的接触孔位置处形成通过钝化膜 7051 的开口。

之后，形成约 1 μ m 厚的由有机树脂构成的第二层间绝缘膜 7052。聚酰亚胺，丙烯酸，聚酰胺，聚酰亚胺-酰胺，BCB（苯环丁烯）等等都可用作有机树脂。
10 使用有机树脂膜的好处在于膜形成方法简单，由于其介电常数较小从而能够降低寄生电容量，且在平整性上较优。应注意除以上提到的之外也可利用其他的有机树脂膜或有机 SiO 化合物。在此，是利用热聚型聚酰亚胺、将其涂覆到衬底上之后在 300°C 下进行烧结来形成层间绝缘膜。

然后，在最终将是像素矩阵电路的区域内的第二层间绝缘膜 7052 上形成屏
15 蔽膜 7053。屏蔽膜 7053 是一个主要由铝（Al）、钛（Ti）或钽（Ta）中任一种元素构成的膜，厚度为 100 到 300nm。再在该屏蔽膜 7053 的表面上用阳极氧化或等离子体氧化来形成 30 到 150nm 厚（优选地为 50 到 75nm）的氧化膜 7054。在此，用铝膜或主要由铝构成的膜来作为屏蔽膜 7053，用氧化铝膜（铝膜）作为电介质 7054。

20 应注意尽管在此是将绝缘膜设置在屏蔽膜的表面上，但也可用气相法如等离子体 CVD、热力 CVD 或溅射来形成绝缘膜。在此情形下，厚度优选地为 30 到 150nm（或更优选地为 50 到 75nm）。也可用氧化硅膜，氮化硅膜，氮氧硅膜，DLC（菱形碳）或有机树脂膜。还可用这些膜的层压层。

接下来，形成一个通过第二层间绝缘膜 7052 延伸到漏极 7050 的接触孔，
25 从而形成像素电极 7055。应注意像素电极 7056 和 7057 是与其相互连接的其他像素的像素电极。一透明导电膜用于像素电极 7055 到 7057，以形成透射型液晶显示器，金属膜用于形成反射型液晶显示器。在此，用溅射法形成 100nm 厚的氧化铟锡膜（ITO）以形成透射型液晶显示器。

在此，在像素电极 7055 与屏蔽膜 7053 通过氧化膜 7045 相叠的区域内形成
30 保持电容器。

因此，制作完成了具有最终成为驱动电路的 CMOS 电路的有源矩阵衬底及该衬底上的像素矩阵电路。应注意，在最终将是驱动电路的 CMOS 电路中形成一 p-沟道型薄膜晶体管 7081 和一 n-沟道型薄膜晶体管 7082，以及在像素矩阵电路中形成一个由 n-沟道型薄膜晶体管构成的像素薄膜晶体管 7083。

5 在 CMOS 电路的 p-沟道型薄膜晶体管 7081 中相应地形成用作为 P⁺区的沟道形成区 7061、源极区 7062 和漏极区 7063。在 n-沟道型薄膜晶体管 7082 中形成沟道形成区 7064，源极区 7065，漏极区 7066 及通过栅绝缘膜与栅极相叠交的 LDD 区 7067（下文称作 Lov 区域，‘ov’指重叠）。此时，源极区 7065 和漏极区 7066 形成于（n⁺+n⁺）区中且 Lov 区 7067 相应地形成于 n⁻区内。

10 进而，在像素薄膜晶体管 7083 中形成沟道形成区 7068 和 7069、源极区 7070、漏极区 7071 和不通过栅绝缘膜与栅极相叠加的 LDD 区 7072 到 7075（下文当中称作 Loff 区，‘off’意为‘偏离’）以及与 Loff 区 7073 和 7074 相接触的 n⁺区 7076。此时源极区 7070 和漏极区 7071 形成于 n⁺区且 Loff 区 7072 到 7075 则相应地形成于 n⁻区内。

15 相对于 3 到 7 μ m 的沟道长度，可将 Lov 区域的长度（宽度）设定为 0.5 到 3.0 μ m 或典型地设定为 1.0 到 1.5 μ m。可将设置于像素薄膜晶体管 7083 中的 Loff 区域 7072 到 7075 的长度（宽度）设定为 0.5 到 3.5 μ m 或典型地设定为 2.0 到 2.5 μ m。

图 28 所示的是公共线和 FPC 导线端子的接合部分。如图 28 中所示，设置
20 有一衬底 7001、具有图 15C 中所示 n-沟道型薄膜晶体管的栅极信号线驱动电路 2902、公共线 2903、屏蔽膜 2904、一电介质 2905、ITO 膜 2906、垫片 2907、树脂 2908、形成于 FPC 导线端子上的 ITO 膜 2909 以及 FPC 的导线端子 2910。

由屏蔽膜 2904、ITO 膜 2906 及夹在其间的电介质 2905 形成一耦合电容器。
ITO 膜 2906 设置在栅极信号线驱动电路 2902 上并与设置在栅极信号线驱动电
25 路 2902 之下的公共线 2903 相连接。FPC 侧的 ITO 膜 2909 形成于 FPC 的导线端子 2910 上，且 FPC 导线端子 2910 上的 FPC 侧上 ITO 膜通过垫片 2907 和树脂 2908 与 ITO 膜 2906 相连接。

树脂 2908 可以是光固树脂，热固树脂或光固和热固树脂的混合物。当利用光固树脂和热固树脂的混合物时，是用光将其暂时粘结后再通过加热和压合使其连接在一起。垫片必须是导电材料。可用两个或多个不同尺寸的垫片。在此
30

情形下，较小的垫片可以是不导电的，因为它可只用作衬垫，而较大的垫片则必须是导电的，因为要用其进行电气连接。

根据本发明，由源极线反相来驱动液晶，且屏蔽膜不与电势保持在固定电势（参考电势）上的公共线相连接。因为屏蔽膜的电压在暂时均化时由源极线反相保持恒定，所以可使屏蔽膜在电介质夹于屏蔽膜和象素电极之间这种结构的保持电容器中浮置。因此，在设置在屏蔽膜和公共线之间的层间绝缘膜上不必用掩膜通过光刻来形成接触孔以使屏蔽膜与公共线相连接。因此，可减少有源矩阵液晶显示器制造步骤的数目，实现高产量并能抑制其造价。

[第四实施例]

10 第一到第三实施例中所述发明的液晶显示器可用于图 16 中所示的三片型投影仪。

在图 16 中，参考标号（2401）表示白色光源，（2402 到 2405）表示分光镜，（2406 和 2407）表示总反射镜，（2408 到 2410）表示本发明的液晶显示器，（2411）表示投影透镜。

15 [第五实施例]

第一到第三实施例中所述发明的液晶显示器也可用于图 17 中所示的三片型投影仪。

在图 17 中，参考标号（2501）表示白色光源，（2502 到 2503）表示分光镜，（2504 和 2506）表示总反射镜，（2507 到 2509）表示本发明的液晶显示器，20 （2510）表示分光棱镜，（2511）表示投影透镜。

[第六实施例]

第一到第三实施例中所述发明的液晶显示器也可用于图 18 中所示的单片型投影仪。

在图 18 中，参考标号（2601）表示由灯和反射镜组成的白色光源，（2602，25 2603 和 2604）分别表示用于选择反射蓝、红和绿色波长范围光线的分光镜，（2605）表示具有多个微透镜的微透镜组，（2606）表示本发明的液晶显示器，（2607）表示向场镜（物镜），（2608）表示投影透镜，（2609）表示屏幕。

[第七实施例]

30 在第五到第七实施例的投影仪中，根据其投影方法有向后投影仪和向前投影仪。

图 19A 所示的是具有主体 10001、本发明液晶显示器 10002、光源 10003、光学系统 10004 及屏幕 10005 的向前型投影仪。应注意，尽管图 19A 中所示的是内置液晶显示器的向前型投影仪，但结合使用三个液晶显示器（分别与 R、G 和 B 光线相对应）可获得分辨率高且精确度高的向前型投影仪。

- 5 图 19B 所示的是具有主体 10006、本发明液晶显示器 10007、光源 10008、反射镜 10009 及屏幕 10010 的向后型投影仪。图 19B 所示的向后型投影仪内置有三个有源矩阵型液晶显示器（分别与 R、G 和 B 光相对应）。

[第八实施例]

本实施例中将对发明的液晶显示器用于护目镜型显示器的实例进行说明。

- 10 在图 20 中，参考标号(2801)表示护目镜型显示器的主体，(2802-R 和 2802-L)表示本发明的液晶显示器，(2803-R 和 2803-L)表示 LED 背照光，且(2804-R 和 2804-L)表示光学元件。

[第九实施例]

- 15 除上述之外，本发明的液晶显示器还可广泛应用。本实施例将对内置本发明液晶显示器的半导体器件进行说明。

这种半导体器件包括视频摄影机、静物摄影机、汽车导向系统、个人计算机、便携式信息终端（移动计算机，手提电话及其他）及其他。图 21A 到 21D 给出了其实例。

- 20 图 21A 所示的是具有主体 11001，语音输出区 11002，语音输入区 11003，本发明的液晶显示器 11004，操作开关 11005 和天线 11006 的手提电话。

图 21B 所示的是具有主体 12007，本发明的液晶显示器 12008，声音输入区 12009，控制开关 12010，电池 12011 和图象接收区 12012 的视频摄影机。

图 21C 所示的是具有主体 13001，镜头部分 13002，图象接收区 13003，控制开关 13004 和本发明的液晶显示器 13005 的移动计算机，

- 25 图 21D 所示的是具有主体 14001，本发明的液晶显示器 14002 和 14003，存储介质 14004，控制开关 14005 和天线 14006 的便携式书（电子书）。

[第十实施例]

图 22 所示的是将本发明的液晶显示器用于笔记本型个人电脑的实例。

- 30 该笔记本型个人电脑包括主体 3001 和本发明的液晶显示器 3002。LED 用于背照光。应当注意，阴极射线管也可用于背照光。

[第十一实施例]

本实施例中将对不仅在具有有源矩阵区的有源矩阵衬底上而且在相对衬底上都设置有屏蔽膜的情形进行说明。

如图 24A 中所示, 设置有衬底 501 (有源矩阵衬底), 源极信号线驱动电路 511, 栅极信号线驱动电路 502, 有源矩阵区 513, 屏蔽膜 504, ITO 膜 506, 公共线 507 和 FPC514。如图中所示, 设置在相对衬底上的相对屏蔽膜 517 与整个源极信号线驱动电路 511 相重叠且与屏蔽膜 504 的部分相重叠。尽管本实施例中是将相对屏蔽膜 517 设置在相对衬底上以使其与整个源极信号线驱动电路 511 相重叠, 但也可将其设置成只与源极信号线驱动电路 511 的取样电路相重叠。

ITO 膜 506 与公共线 507 电气连接在一起, 且公共线 507 通过 FPC514 连接到衬底外侧以使其电势保持不变 (参考电势)。

在连接到公共线 507 上的 ITO 膜与屏蔽膜 504 相重叠的区域上形成耦合电容器 516。

相对屏蔽膜 517 与屏蔽膜 504 的重叠部分 (重叠区) 可阻止光线自外界进入到源极信号线驱动电路 511 中。当光线进入到源极信号线驱动电路 511、或特别是进入到源极信号线驱动电路 511 的取样电路中时, 构成取样电路的薄膜晶体管 (薄膜晶体管) 的 OFF 电流增大, 因此引起噪声。优选地, 相对屏蔽膜 517 含有 Ti。通过相对屏蔽膜 517 进行反射, Ti 可阻止光线进入到源极信号线驱动电路 511 中。由于重叠区 518 被设置成 $20\mu\text{m}$ 或更厚, 所以它可有效地阻止光线进入到源极信号线驱动电路 511 中。

图 24B 所示的是沿图 24A 中 A-A' 线进行剖切的剖面图。如图所示有衬底 501, 有源矩阵区 513, 层间绝缘膜 512, 屏蔽膜 504, 电介质 505, 相对衬底 521, 相对衬底侧层间绝缘膜 522 和相对衬底侧屏蔽膜 517。衬底 501 通过一密封构件 (未示出) 即设置一垫片 (未示出) 与相对衬底 521 接合在一起。屏蔽膜 504 与相对衬底侧屏蔽膜 517 部分重叠, 此重叠部分的宽度 L 优选地应为 $20\mu\text{m}$ 或更多。

可以与之前或之后实施例相同的方式来形成驱动电路和有源矩阵电路。

[第十二实施例]

除第一实施例中所示的方法之外, 下面将参考图 29 对象素矩阵电路的薄膜

晶体管及同时设置在其周围的驱动电路的制造方法实例进行说明。应当注意本发明的制造方法并不仅限于此方法。

本装置直至图 8C 中所示步骤，都是以与第一实施例相同的方式来形成的。接下来，利用保护掩膜膜对第一和第二导电膜（在下文当中经处理成为层压层）
5 进行蚀刻，形成 P-沟道型薄膜晶体管的栅电极 8001 和 n-沟道型薄膜晶体管的栅电极 8002，栅极信号线 8003a 和 8003b。此时，形成的栅极 8002 能通过栅绝缘膜与 n⁻区 6012 和 6013 相重叠（图 29A）。

用 P-沟道型薄膜晶体管的栅电极 8001 和 n-沟道型薄膜晶体管的栅电极 8002，栅极信号线 8003a 和 8003b 作为掩膜掺入 n-型杂质元素。将与图 8B 中
10 所述 n⁻区相同或稍低浓度（具体是 5×10^{16} 到 1×10^{18} 原子/cm³）的磷掺入到如此形成的杂质区 8004 到 8008 中。应当注意，在此形成的杂质区 8004 到 8008 中所含 n-型杂质元素浓度标记为 (n⁻)。因此，在本说明书中，杂质区 8004 到 8008 又称作 n⁻区域。在这一步骤中，虽然将磷掺入到了除被栅极所掩盖且浓度为 n⁻的杂质区 8009 和 8010 之外的所有杂质区中，但由于其浓度较低，所以
15 可忽略不计（图 29B）。

接下来，形成保护掩膜 8011 到 8014。再进行形成用作 n-沟道型薄膜晶体管源或漏极区的杂质区的步骤。形成保护掩膜 8012 使其覆盖 n-沟道型薄膜晶体管的栅极 8002，从而形成一不与之后步骤中像素矩阵电路 n-沟道型薄膜晶体管中的栅极相叠的 LDD 区域。

20 掺入 n-型杂质元素以形成杂质区 8016 到 8022。在此，也是利用氢化磷(PH₃)通过离子掺杂（当然也可利用离子注入）来掺入磷。所掺入磷的浓度为 1×10^{20} 到 1×10^{21} 原子/cm³。应注意，在此形成的 n-型杂质区 8018 到 8022 中所含杂质元素的浓度标记为 (n⁺)。因此，杂质区 8018 到 8022 被称作 n⁺区。进而，由于已形成 n⁻区域，所以严格地说，杂质区 8009 和 8010 当中所含磷的浓度或多或少高于杂质区 8020 到 8022 中所含磷的浓度（图 29C）。
25

应当注意可以在利用保护掩膜 8011 到 8014 作为掩膜对栅绝缘膜 6007 进行蚀刻并将岛状半导体层 6005 和 6006 的部分进行曝光之后，再进行掺入 n-型杂质元素的步骤。在此情形下，由于加速电压较低，因此岛状半导体膜的破坏较小且可以提高生产率。

30 形成保护掩膜 8024 使其能够覆盖最终结果是 n-沟道型薄膜晶体管的整个区

域表面。在将要形成 p-沟道型薄膜晶体管的半导体层 6004 的部分区域上，用保护掩膜 8024 作为掩膜，进行掺入 p-型杂质元素的步骤。利用乙硼烷 (B_2H_6) 通过离子掺杂(也可用离子注入)掺入硼作为杂质元素。所掺入硼的浓度为 5×10^{20} 到 3×10^{21} 原子/cm³。应注意在此形成的 p-型杂质区域中所含杂质元素的浓度标
5 记为 (P⁺)。因此，杂质区 8025 和 8026 被称作 P⁺区 (图 29D)。

应当注意，可以在利用保护掩膜 8024 对栅绝缘膜 6007 进行蚀刻并将岛状半导体层 6004 的部分进行曝光之后，再进行掺入 p-型杂质元素的步骤。在此情形下，由于加速电压较低，因此岛状半导体膜的破坏较小且可以提高生产率。

接下来，进行激活所掺入杂质元素(磷或硼)的步骤。优选地，在本实施
10 例中，可利用炉内退火或照明退火来进行此激活步骤。当利用炉内退火时，应在 450 到 650°C、或更优选地在 500 到 550°C、或在此为 500°C 温度下进行四个小时的加热处理 (图 29E)。

在本实施例的情况下，总有一个区域含有与 n-沟道型薄膜晶体管和 p-沟道型薄膜晶体管源或漏极区域中 n⁺区相等的磷浓度。因此，在用于热激活的热处
15 理步骤当中，利用磷可获得镍吸收效应。也就是说，镍自沟道形成区域沿着箭头所指的方向移动，并被源或漏极中所含的磷所吸收。这对于利用促结晶金属如镍来使硅膜结晶的情形特别有利。

由于激活掺入到岛状半导体膜内杂质元素的步骤可与吸收结晶用催化剂元素的步骤相结合，所以本实施例可有效地简化步骤。

20 之后，通过图 10C 中所示与第一实施例中所述相同的步骤来制成像素矩阵电路的薄膜晶体管及设置在其周围的驱动电路。应当注意，本实施例只给出了制作步骤的实例，而制作步骤顺序并不限于此实施例所给出的情形。

[第十三实施例]

在本实施例中，将对一个与图 23A 和 23B 中所示即本发明的有源矩阵电路
25 的剖面及平面图不同的实例进行说明。图 30A 和 30B 为图 11 中所示电路的平面及剖面示意图。图 30A 是本发明的有源矩阵电路的平面图。

如图 30A 中所示，设置有源极信号线驱动电路 611 (图 11 中 301)，栅极信号线驱动电路 602 (图 11 中 302)，有源矩阵区 613 (图 11 中 303)，屏蔽膜 604，ITO 膜 606，公共线 607 和 FPC614。

30 ITO 膜 606 与公共线 607 在连接区 608 处电气连接，且公共线 607 通过

FPC614 连接到衬底外侧以保持在恒定电势（参考电势）上。

在连接到公共线 607 上的 ITO 膜 606 与屏蔽膜 604 相重叠区域上形成耦合电容器 616（图 11 中 310）。因为在本实施例中，应使形成的 ITO 膜能够覆盖栅极信号线驱动电路的一部分，所以可形成一个具有大电容量的耦合电容器 616。也可形成能够覆盖整个栅极信号线驱动电路 602 的 ITO 膜 606。

图 30B 是沿图 30A 中的 A—A' 线剖切的剖面图。如图 30B 中所示，设置有衬底 601，栅极信号线驱动电路 602 的 n-沟道型薄膜晶体管 616 中之一，层间绝缘膜 617，屏蔽膜 604，电介质 605，ITO 膜 606，公共线 607（图 11 中的 312），垫片 612，树脂 610，形成于 FPC 导线端子上的 ITO 膜 609 以及 FPC 的导线端子 615。

由屏蔽膜 604、ITO 膜 606 及夹在其间的电介质 605 形成耦合电容器。ITO 膜设置在栅极信号线驱动电路 602 上。换句话说，它设置在栅极信号线驱动电路 602 的一个 n-沟道型薄膜晶体管 616 上。

ITO 膜 606 在连接区 608 上与衬底 601 上的公共线 607 相连接。应当注意，尽管在本实施例中，ITO 膜 606 是直接与公共线 607 相连接的，但 ITO 膜 606 与公共线 607 也可进行电气连接。

FPC 侧 ITO 膜 609 形成于与其相接触的 FPC 导线端子 615 上，且 FPC 导线端子 615 上的 FPC 侧上 ITO 膜 609 通过垫片 612 和树脂 610 与 ITO 膜 606 相连接。

树脂 610 可以是光固树脂，热固树脂或光固及热固树脂的混合物。当利用光固树脂和热固树脂的混合物时，是用光将其暂时粘结后再通过加热及压和使其连接在一起。垫片必须是导电材料，可用两个或多个不同尺寸的垫片。在此情形下，较小的垫片可以是不导电的，因为它可只用作衬垫，而较大的垫片则必须是导电的，因为要用其进行电气连接。可以用与前述任一实施例中公开的方法相同的方法来制造有源矩阵电路和驱动电路。

[第十四实施例]

在本实施例中，将参考图 31 对应用本发明的除图 16 到 22 中所示之外的电光装置实例进行说明。

图 31A 所示的是具有外壳 2001，支座 2002，显示区 2003 及其他的显示器。本发明可用于显示区 2003。

图 31B 所示的是具有主体 2201, 信号线 2202, 头固定带 2203, 屏幕 2204, 光学系统 2205, 显示区 2206 及其他的头装配显示器的一部分 (右侧)。本发明用于显示部分 2206。

图 31C 是应用其中记录有程序的记录媒介的唱机, 包括主体 2301, 记录媒介 2302, 控制开关 2303, 显示区 2304 及其他。应当注意, 通过利用 DVD (数字通用盘)、CD 等作为记录媒介, 此装置可使用户欣赏音乐和电影或者连接到因特网上。

如上所述, 本发明适用范围极宽, 且本发明可用于各个领域的电子装置。此外, 利用由第一到第三及十一到十三实施例构成的任一结构都可得到本实施例的电子装置。

如上所述, 根据本发明, 由源极线反相来驱动液晶且将屏蔽膜置入不与公共线相连的浮置状态。因为屏蔽膜的电压在如上所述屏蔽膜不与公共线相连接而暂时均化时保持恒定, 所以可使形成的保持电容器的结构为电介质夹于屏蔽膜和像素电极之间。因此, 在设置在屏蔽膜和公共线之间的层间绝缘膜上不必用掩膜通过光刻来形成接触孔以使屏蔽膜与公共线相连接。因此, 可减少有源矩阵液晶显示器制造步骤的数目, 实现高产量并能抑制其造价。除此之外, 当将屏蔽膜置入浮置状态且在屏蔽膜和公共线之间形成大容量的耦合电容器时, 屏蔽膜的电压将更为稳定, 从而可获得更好的对比度。

尽管已描述了各种优选实施例, 但本领域技术人员所能想到的各种变形也都应落入其后权利要求书所述的本发明概念的范围之内。

前述优选实施例中使用的是硅膜, 很容易理解可以用另外的半导体材料如硅-锗化合物来代替硅。

而且, 虽然优选实施例中所公开的薄膜晶体管是所谓的多栅极晶体管, 但很好理解也可用单栅极晶体管。而且在本发明中也可利用其他类型的薄膜晶体管如底栅极型薄膜晶体管。此外, 本发明也可用于具有用于开关像素的非晶硅薄膜晶体管的有源矩阵显示面板。

在上述实施例中, 优选地应在形成像素电极的同时形成耦合电容器的 ITO 膜以便减少光刻步骤数目。而如果需要的话, 可以用不同于像素电极的材料来形成耦合电容器的电极。而且, 可以理解, 可以用其他的透明导电材料如氧化铟锌来代替 ITO。

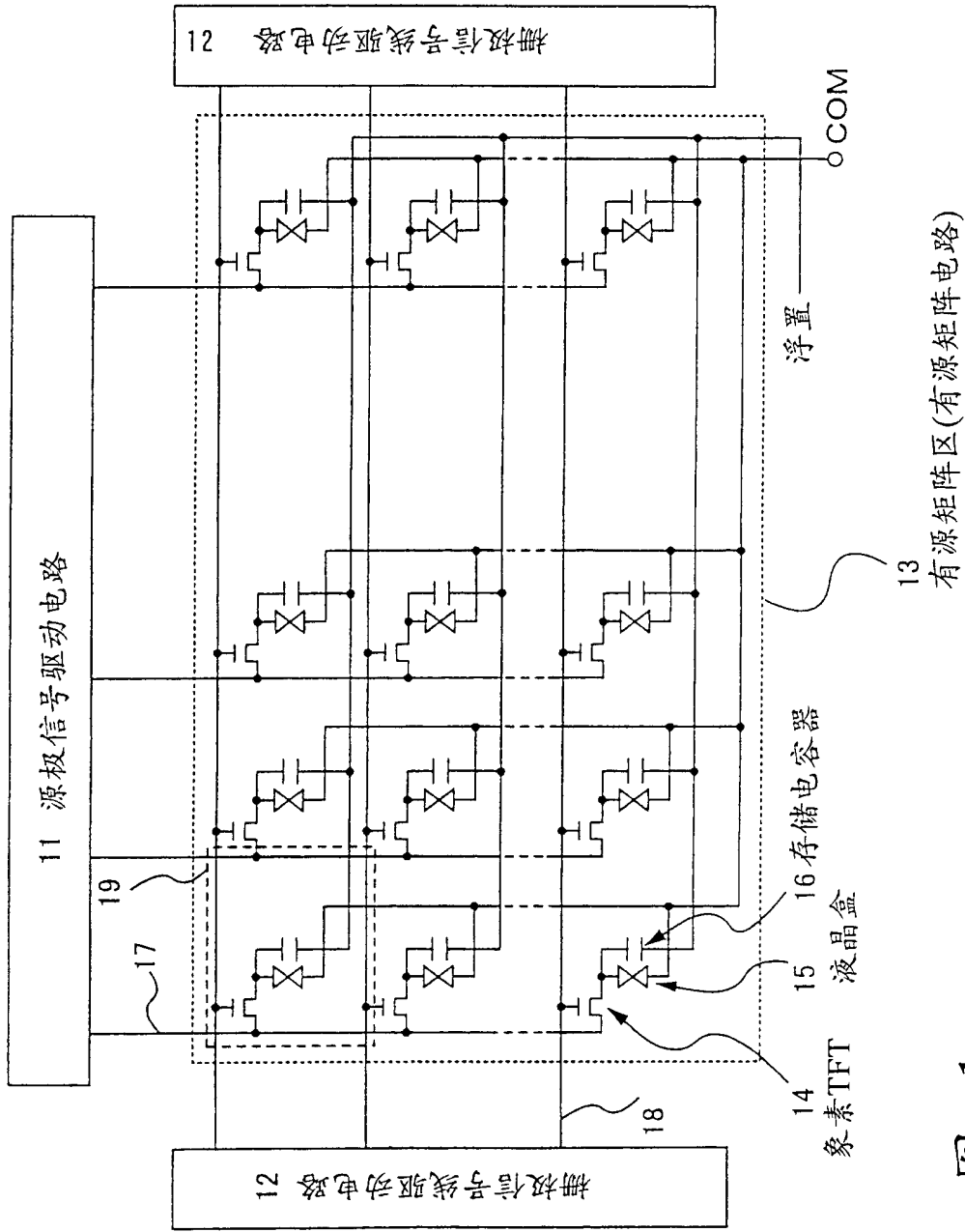


图 1

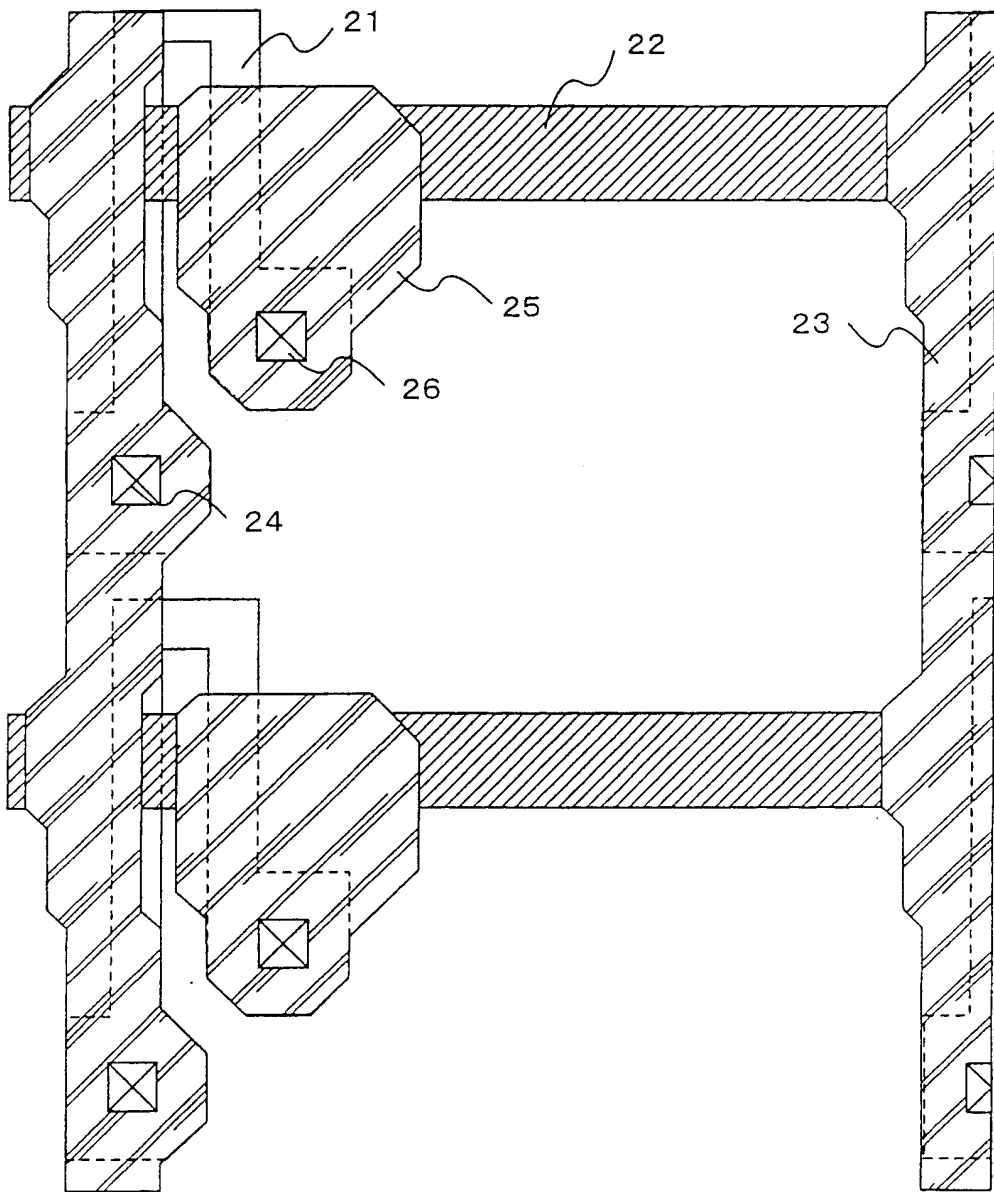


图 2

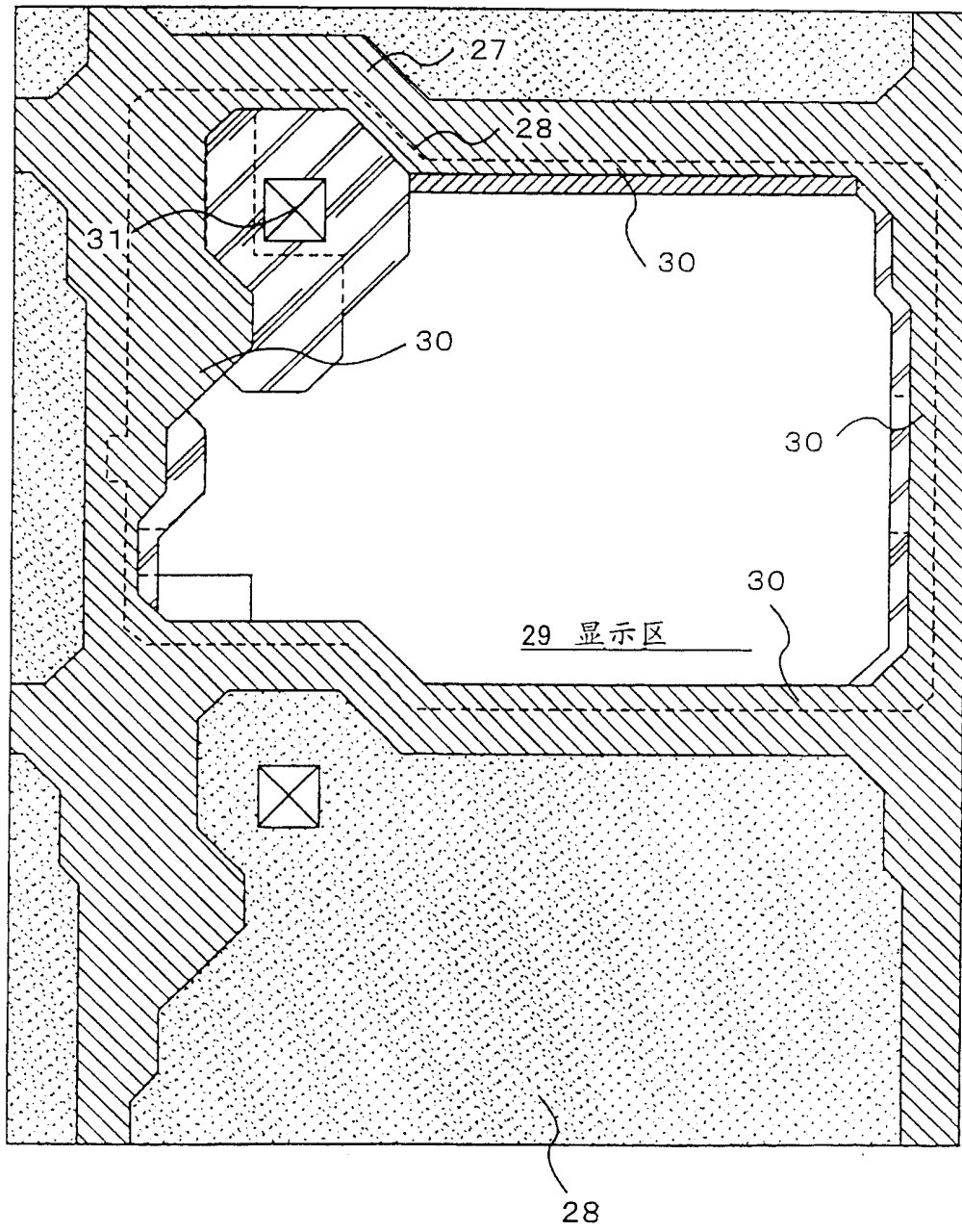


图 3

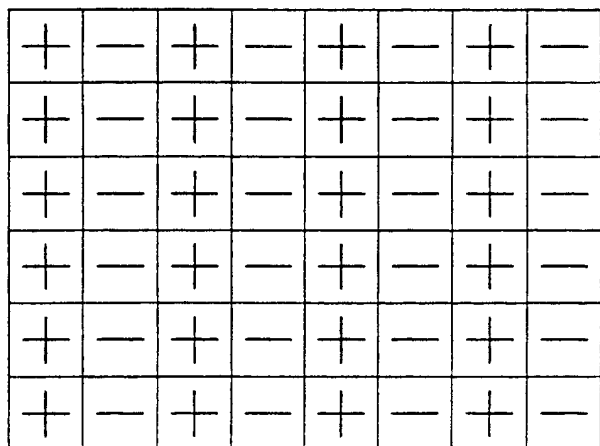


图 4A

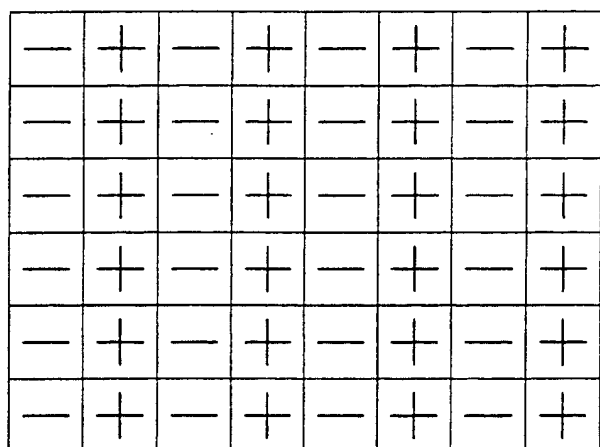


图 4B

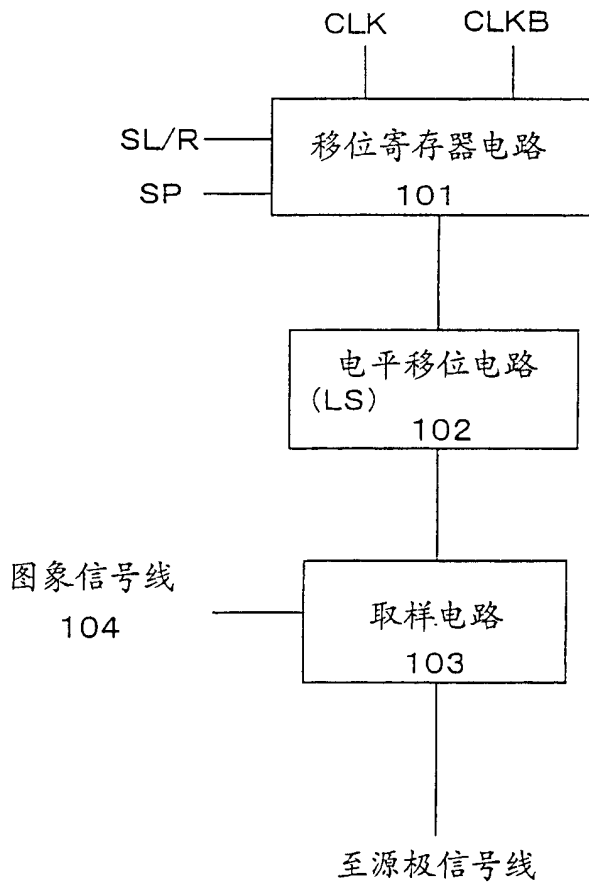


图 5

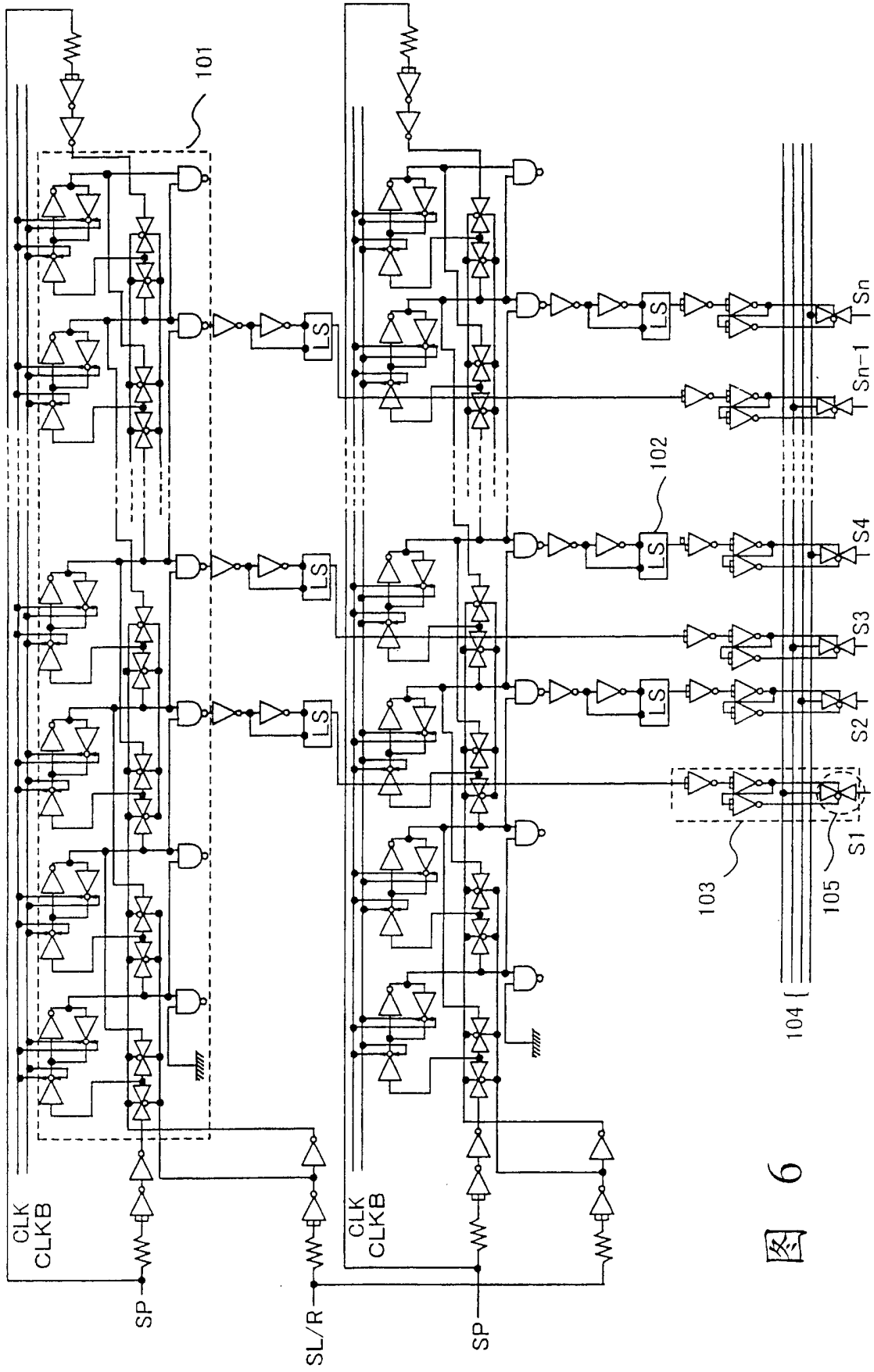


图 6

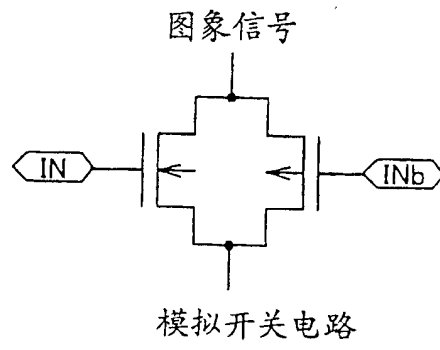


图 7A

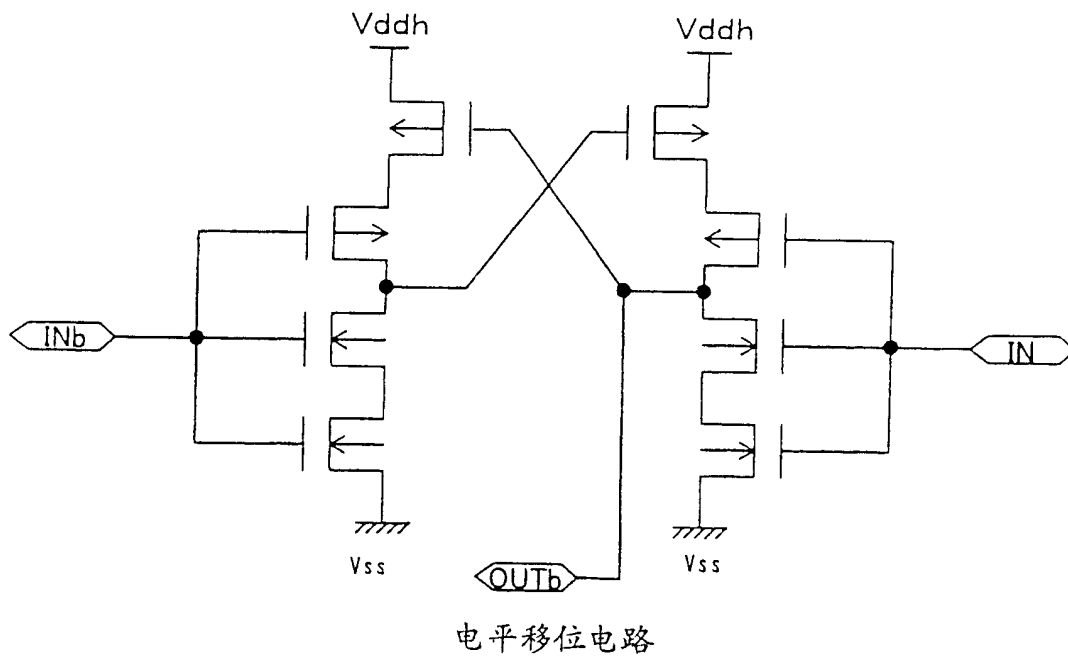


图 7B

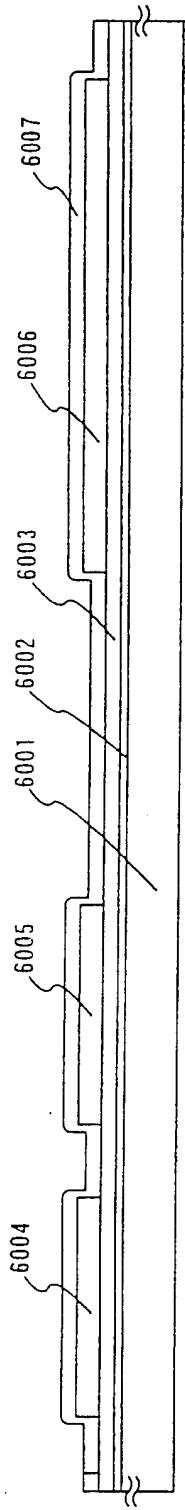


图 8A (形成岛状半导体层及栅绝缘膜)

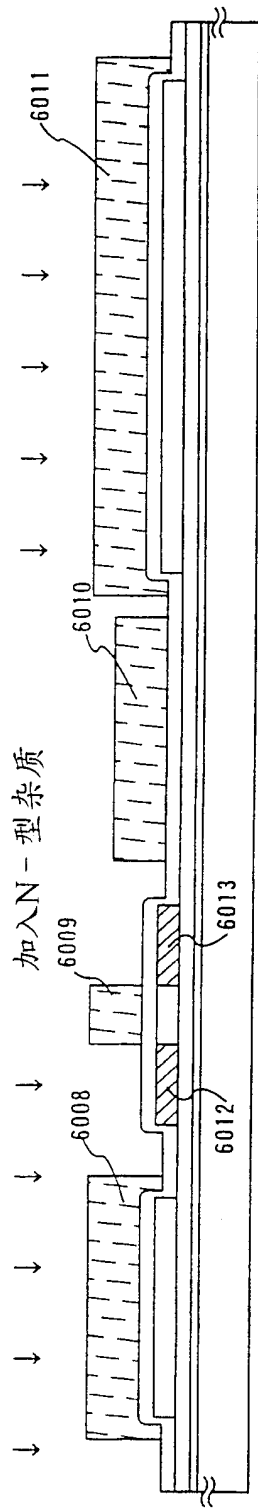


图 8B (形成n-区)

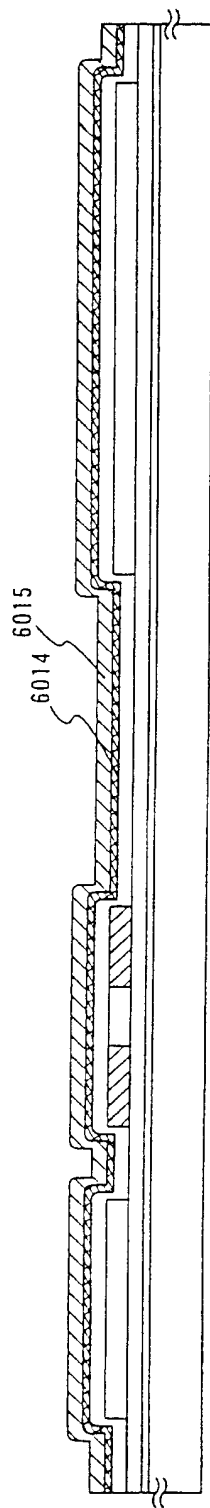


图 8C (形成栅极导电层及导线)

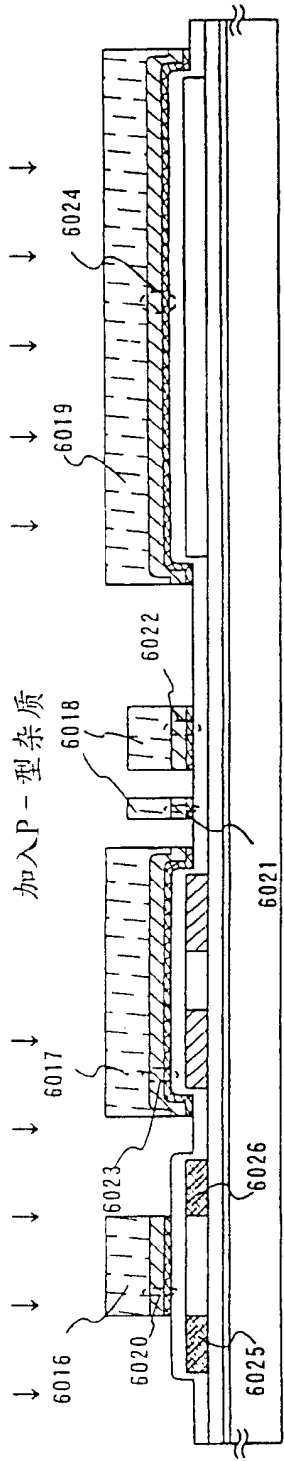


图 9A (形成P-沟道栅电极, 导线电极, P++区)

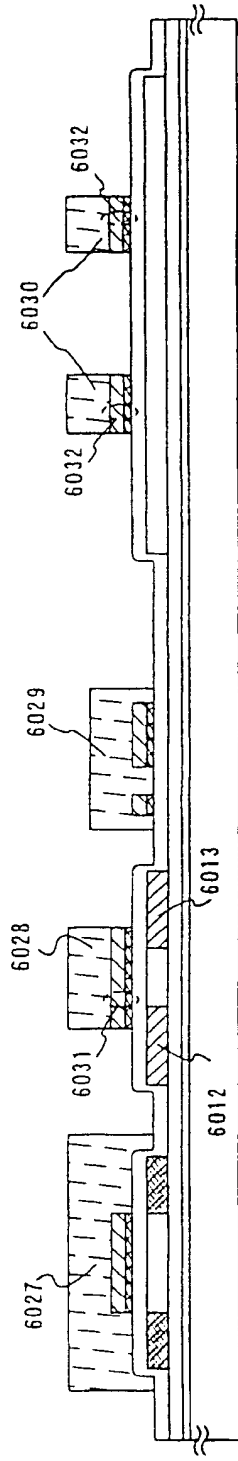


图 9B (形成n-沟道栅电极)

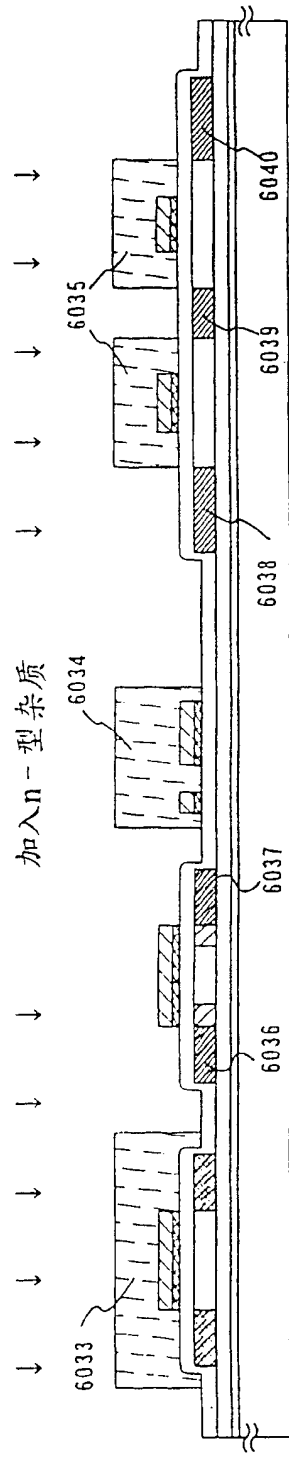


图 9C (形成n+区)

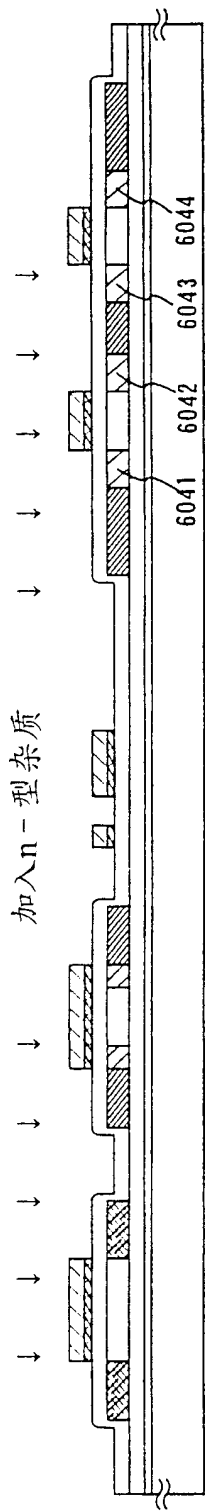


图 10A (形成n-区)

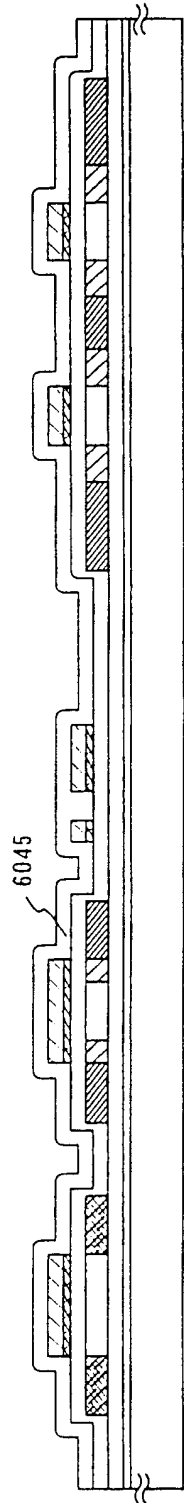


图 10B (热激活)

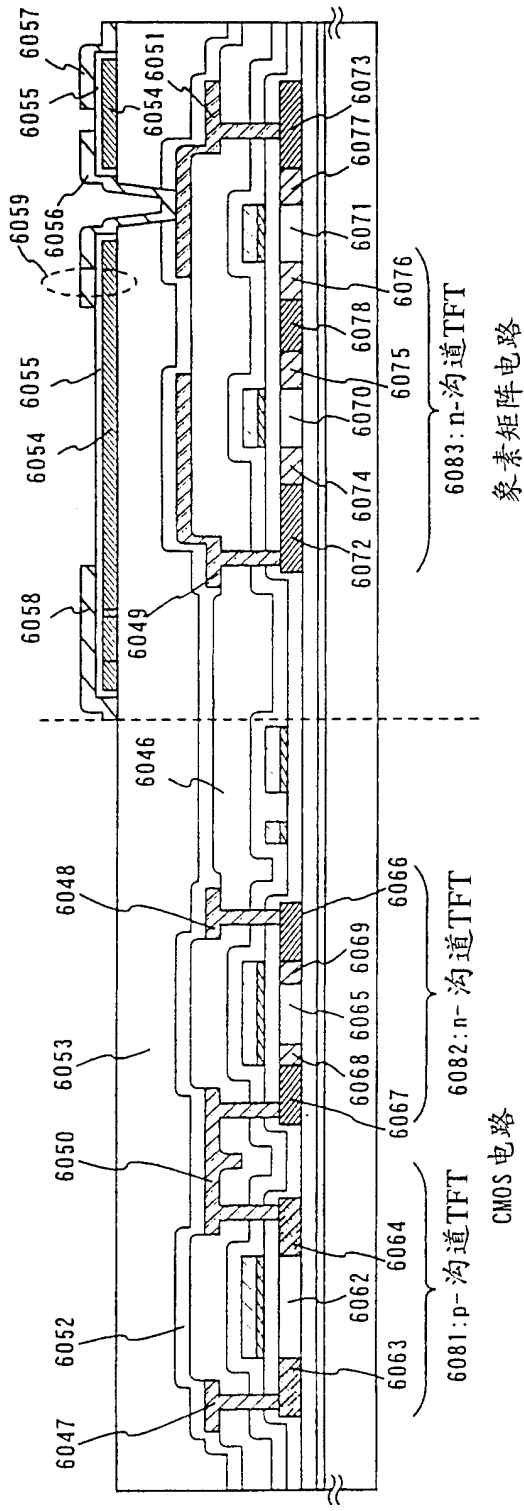


图 10C (形成层间绝缘子、源/漏极、屏蔽膜、象素电极、存储电容器)

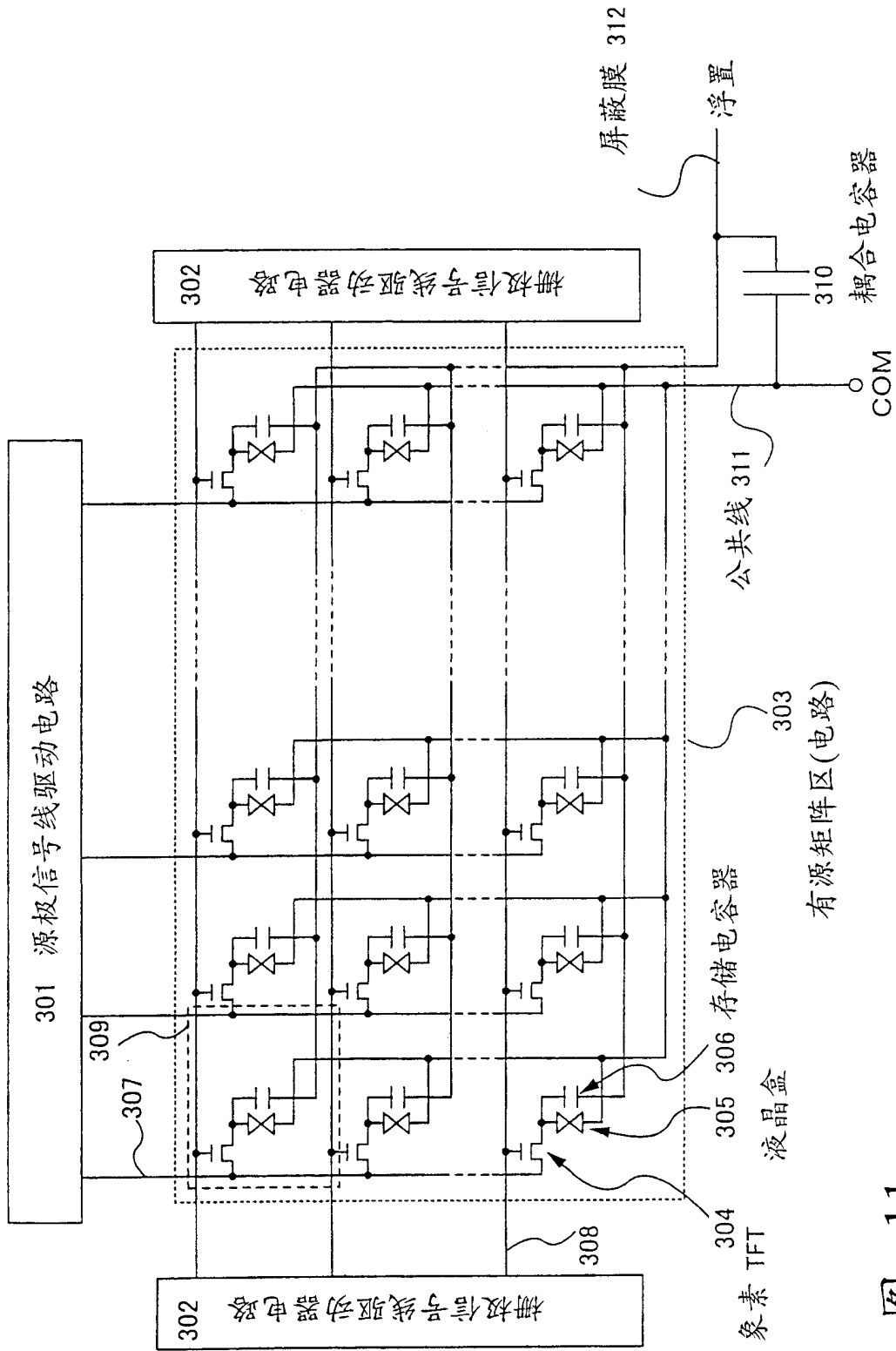


图 11

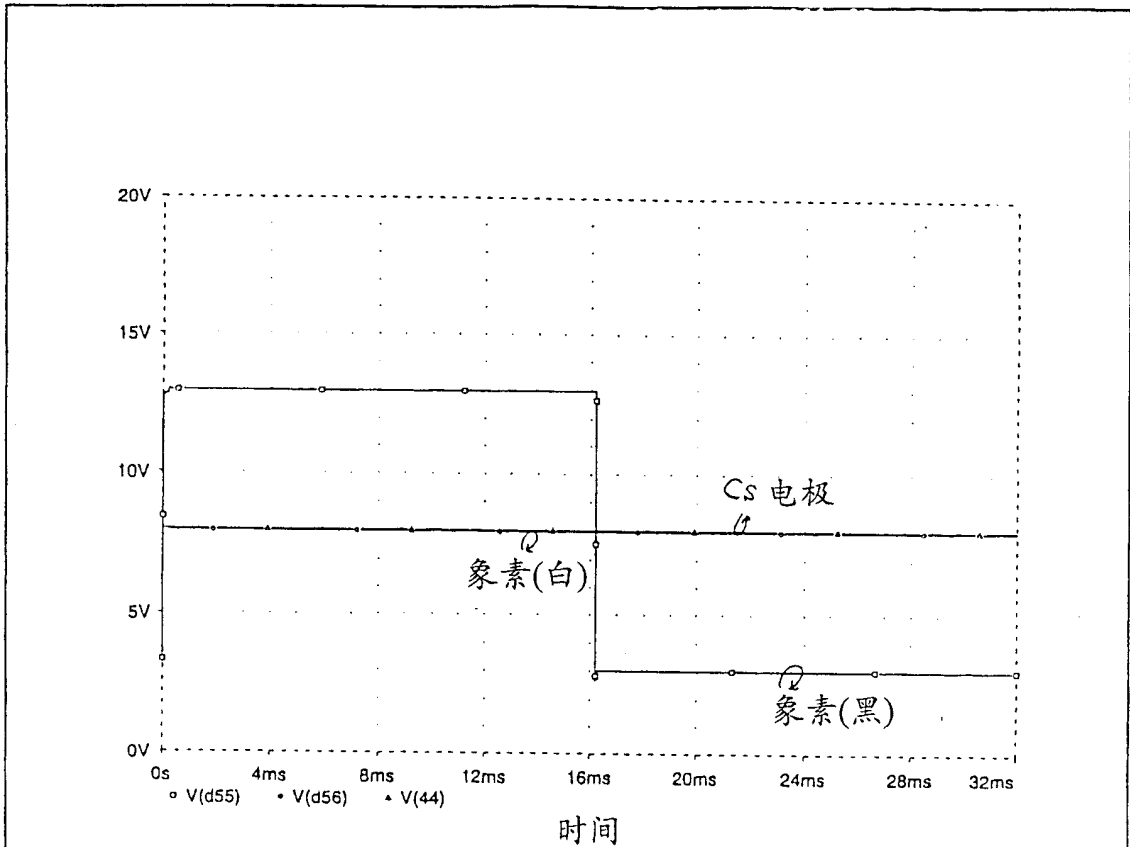


图 12A

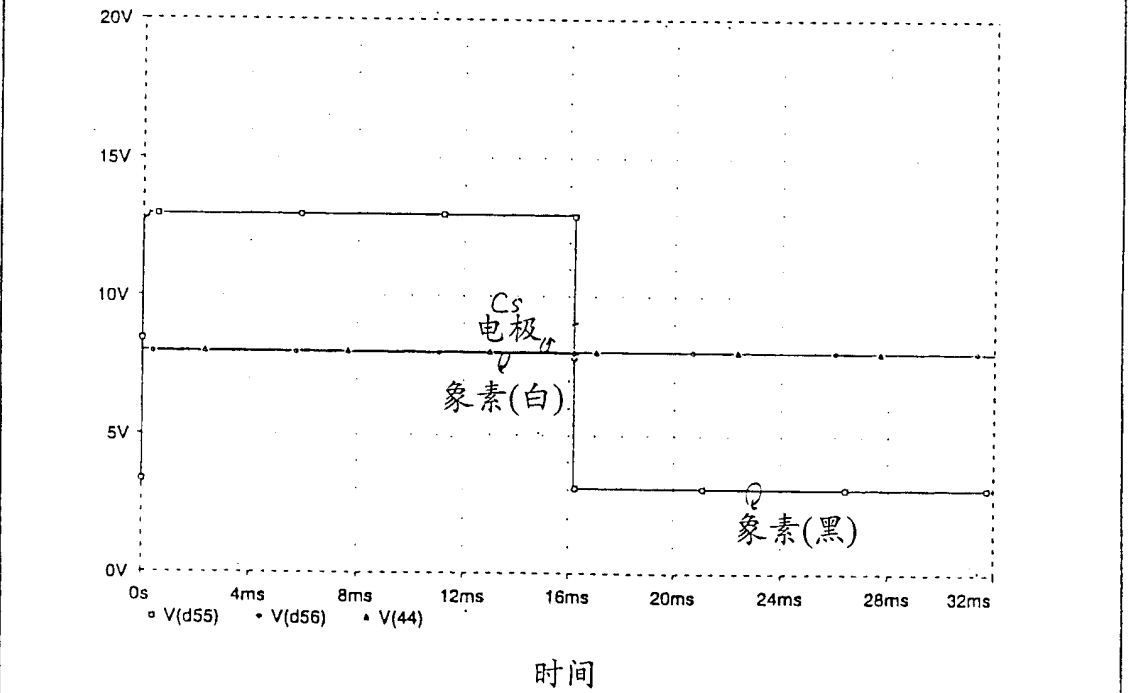


图 12B

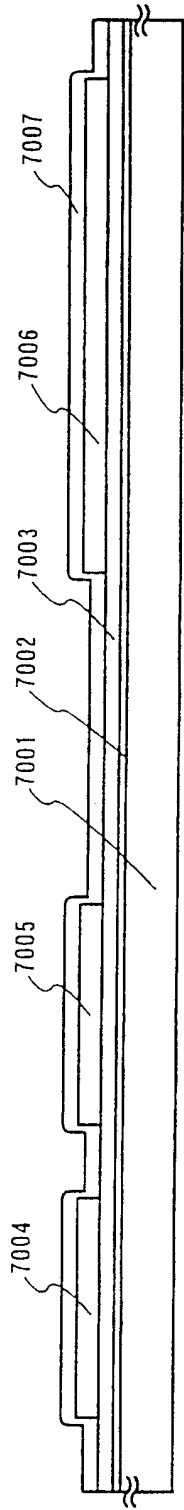


图 13A (形成岛状半导体层, 栅绝缘膜)

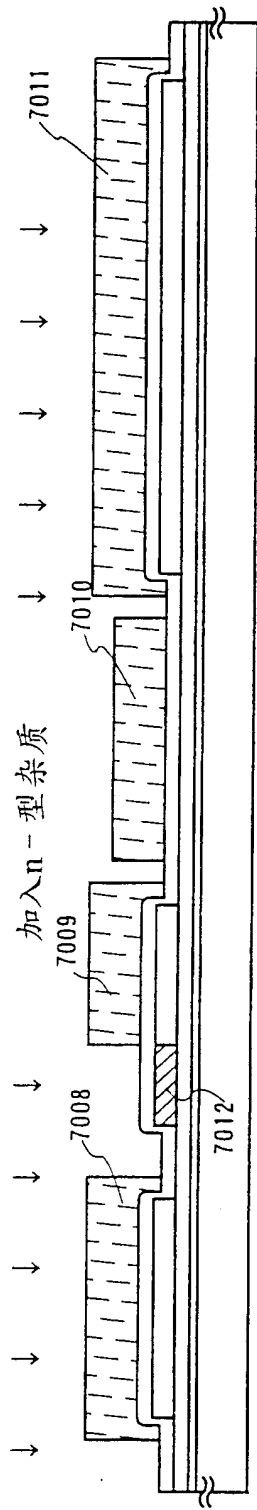


图 13B 形成n-区

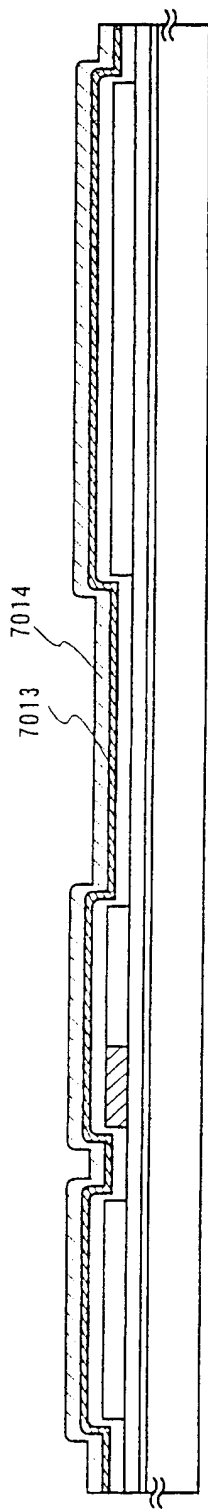


图 13C (形成栅电极的导电层及导线)

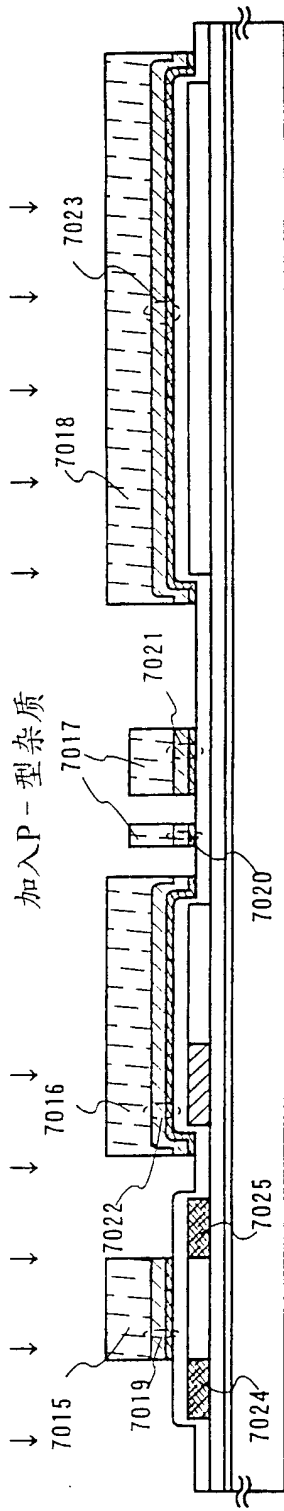


图 14A (形成P-沟道栅电极、导线电极、P+区)

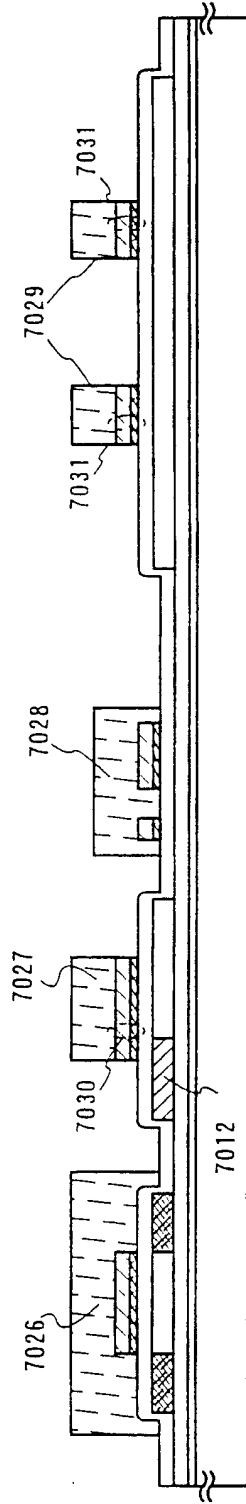


图 14B (形成n-沟道栅电极)

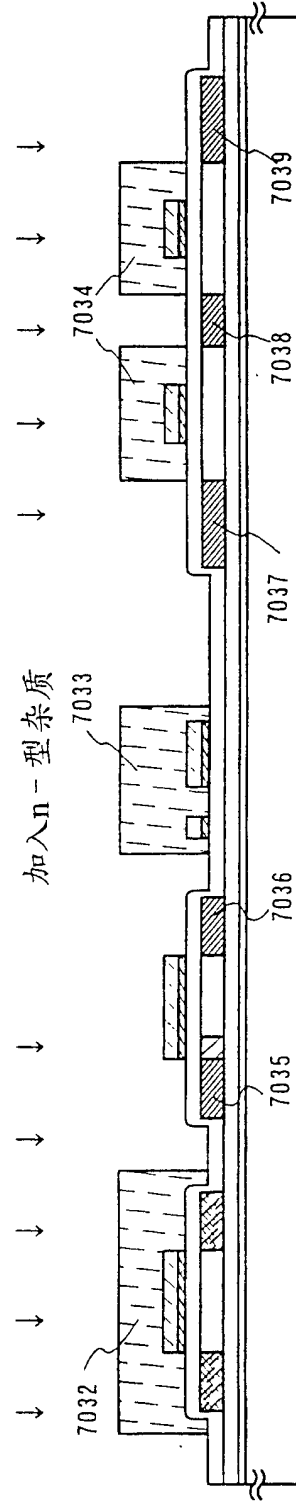


图 14C (形成n+区)

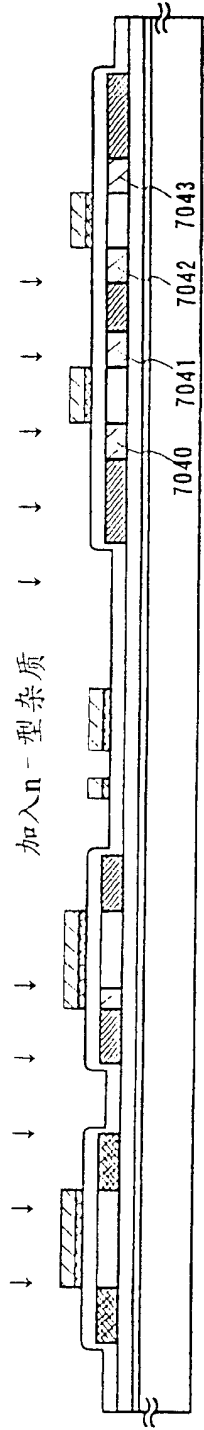


图 15A (形成n--区)

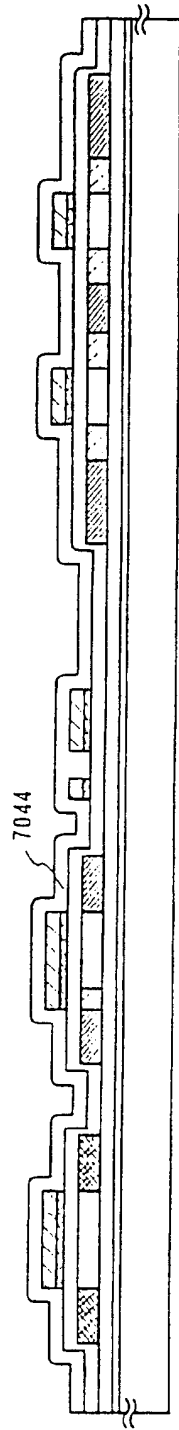


图 15B (热激活)

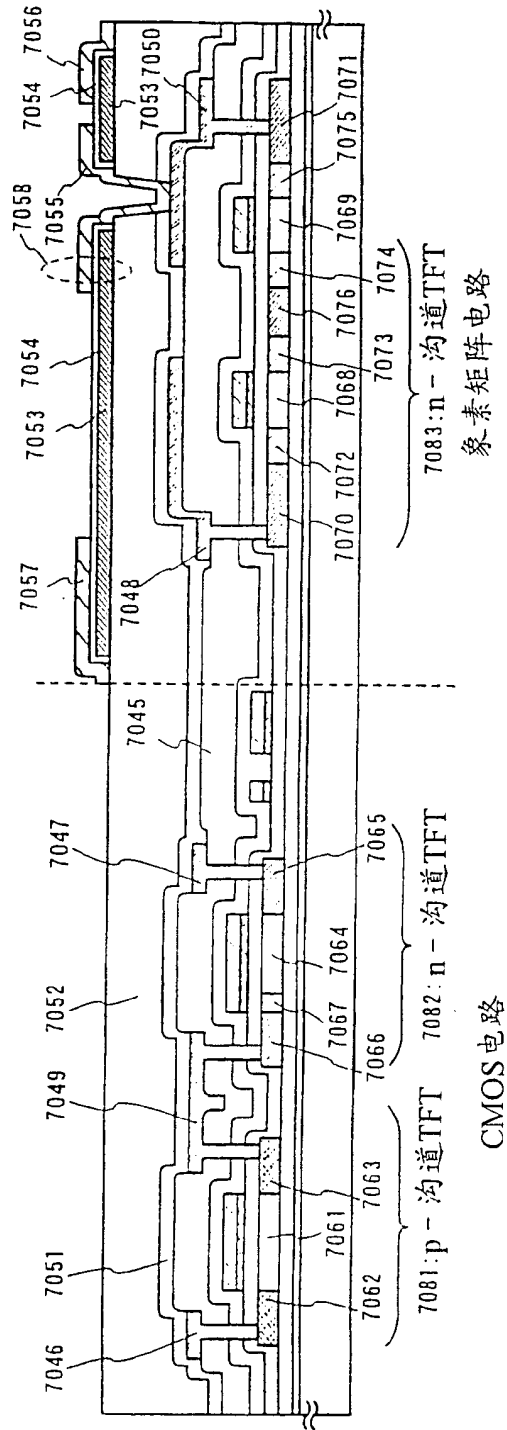


图 15C (形成层间绝缘层、源/漏极、像素电极、存储电容器)

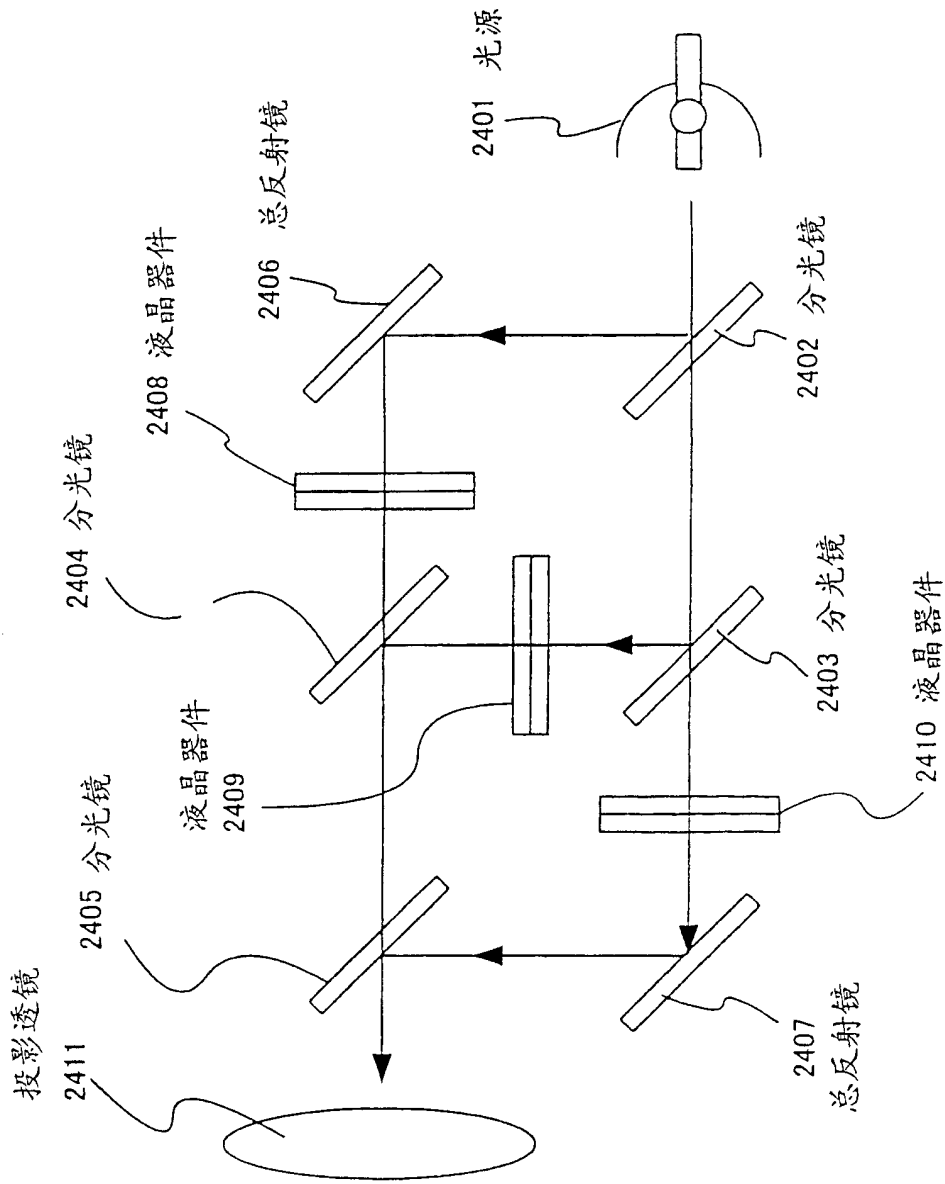


图 16

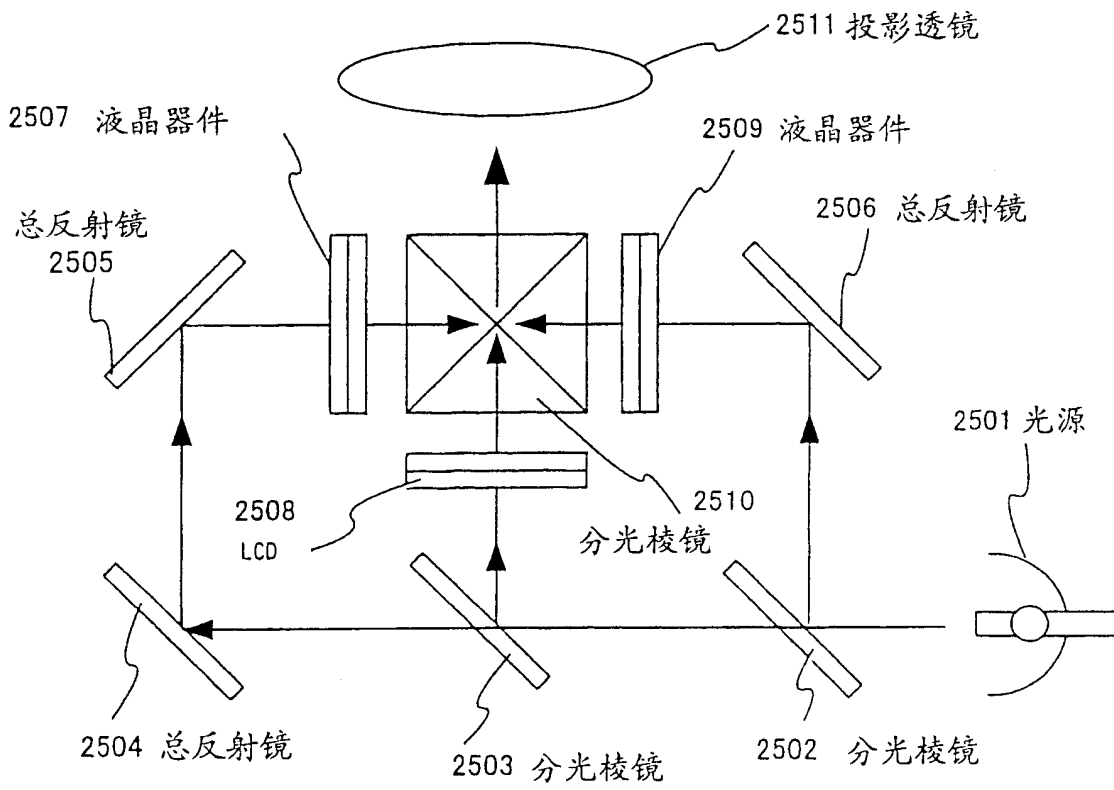


图 17

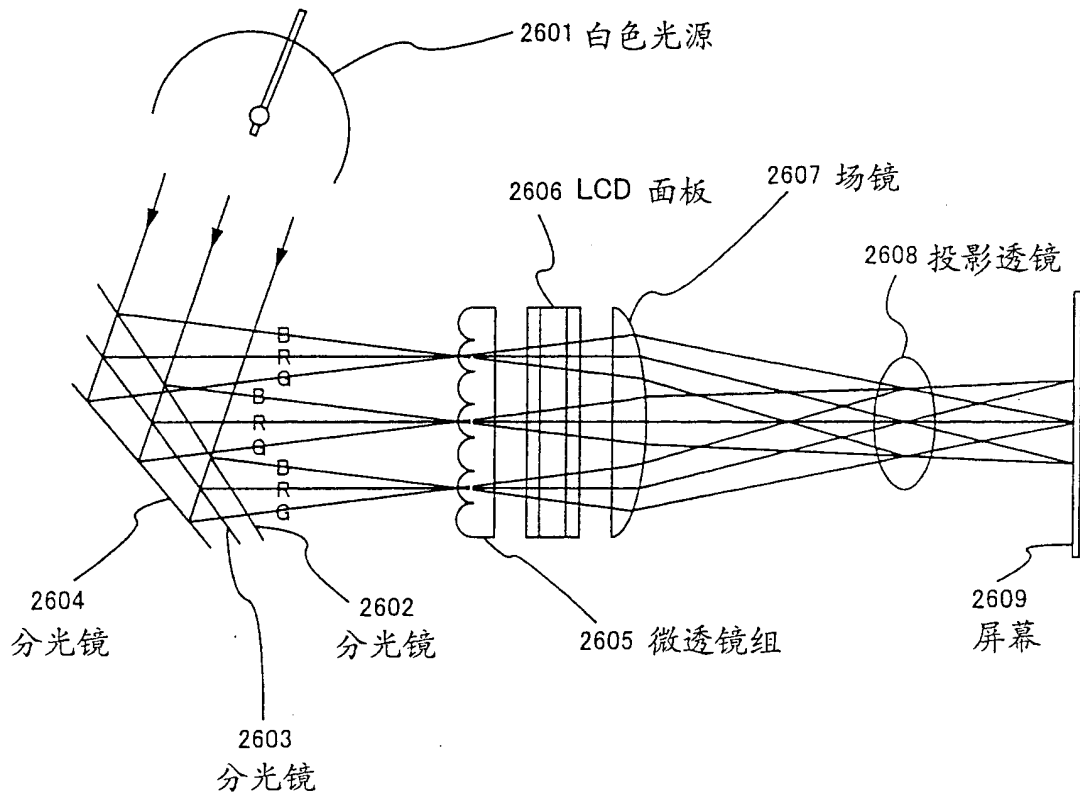


图 18

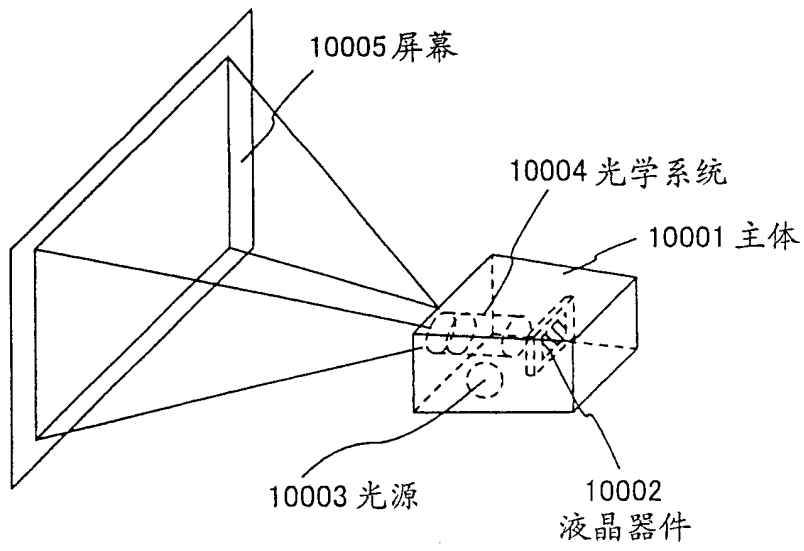


图 19A

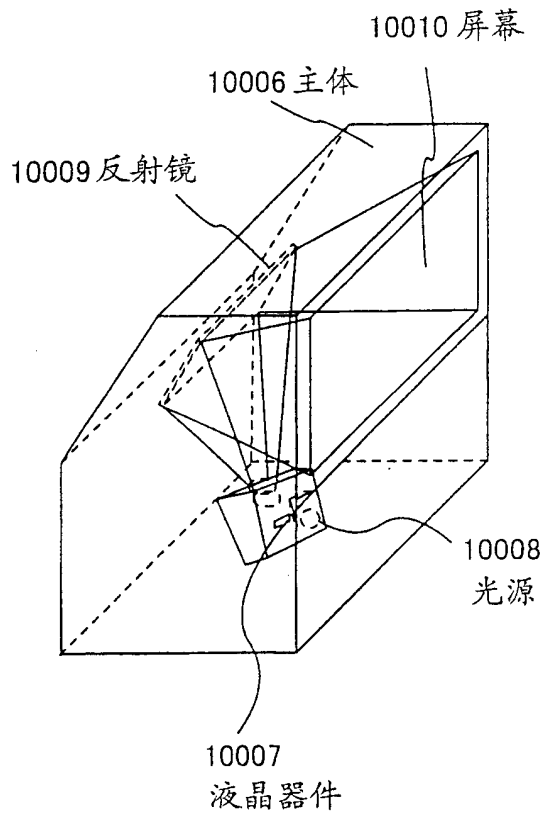


图 19B

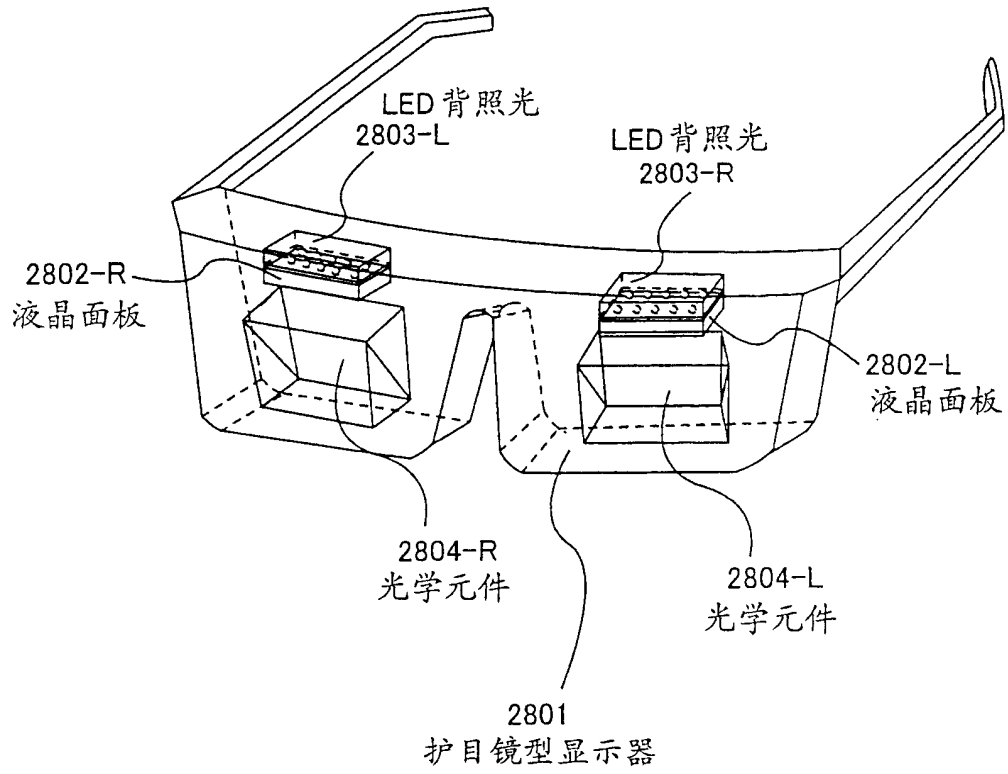


图 20

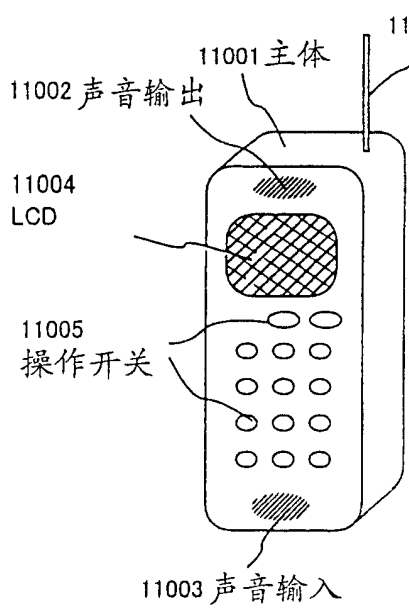


图 21A

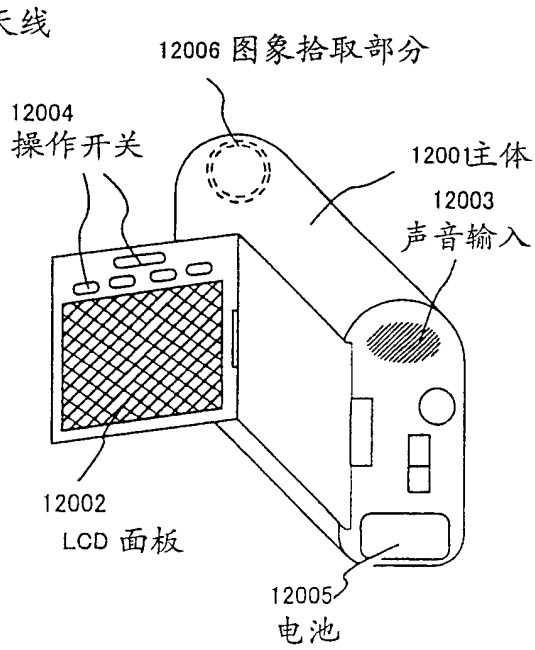


图 21B

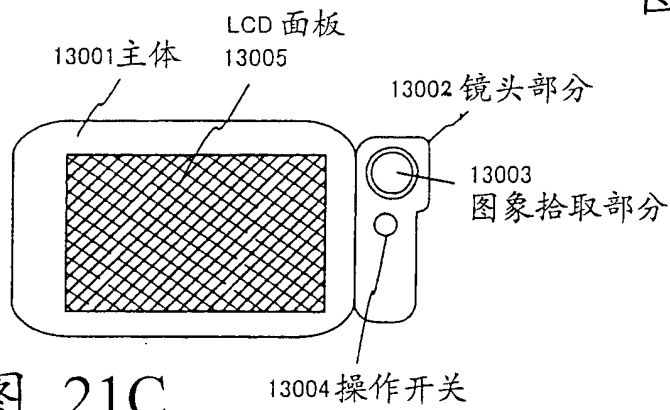


图 21C

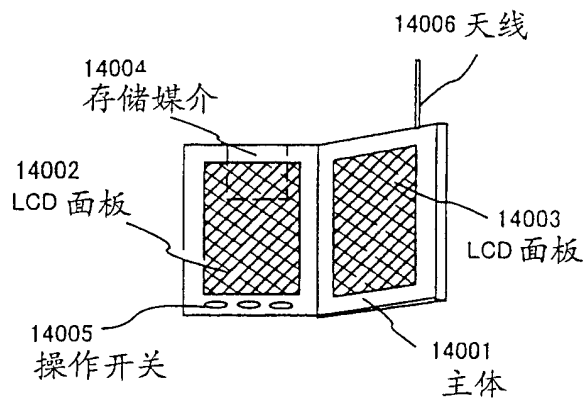


图 21D

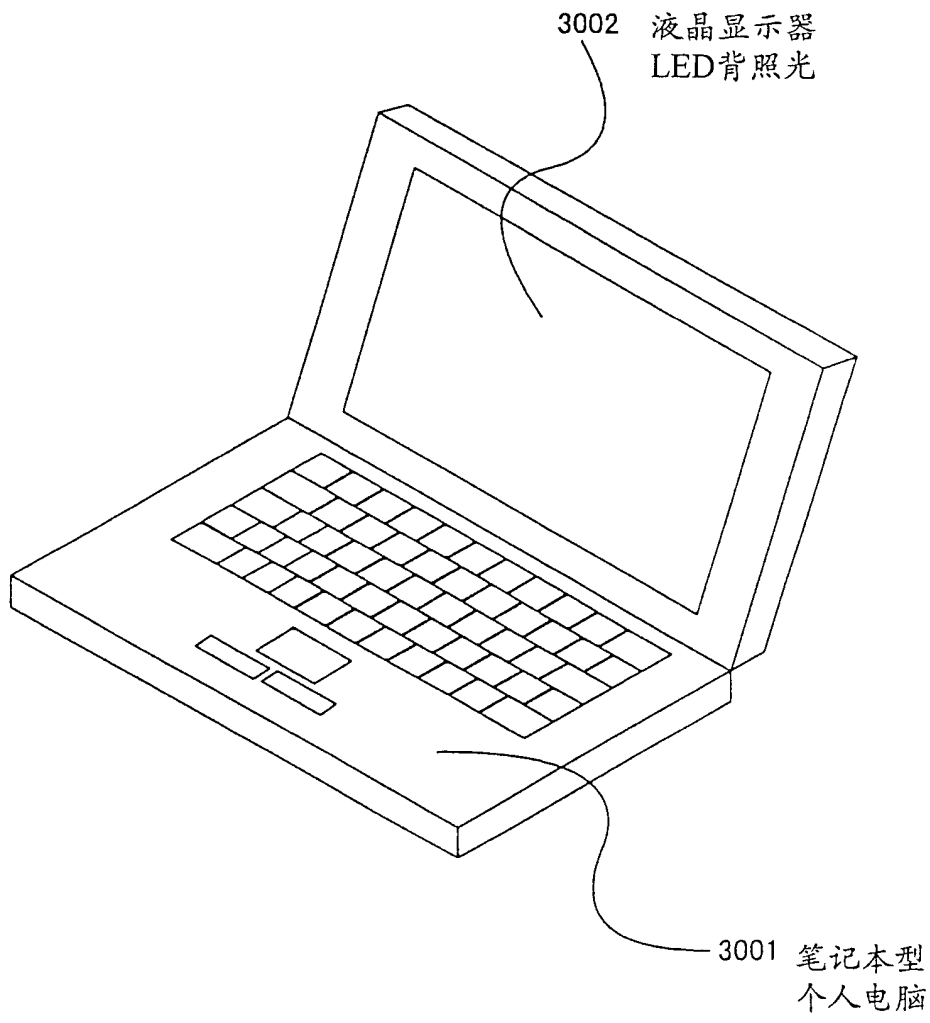


图 22

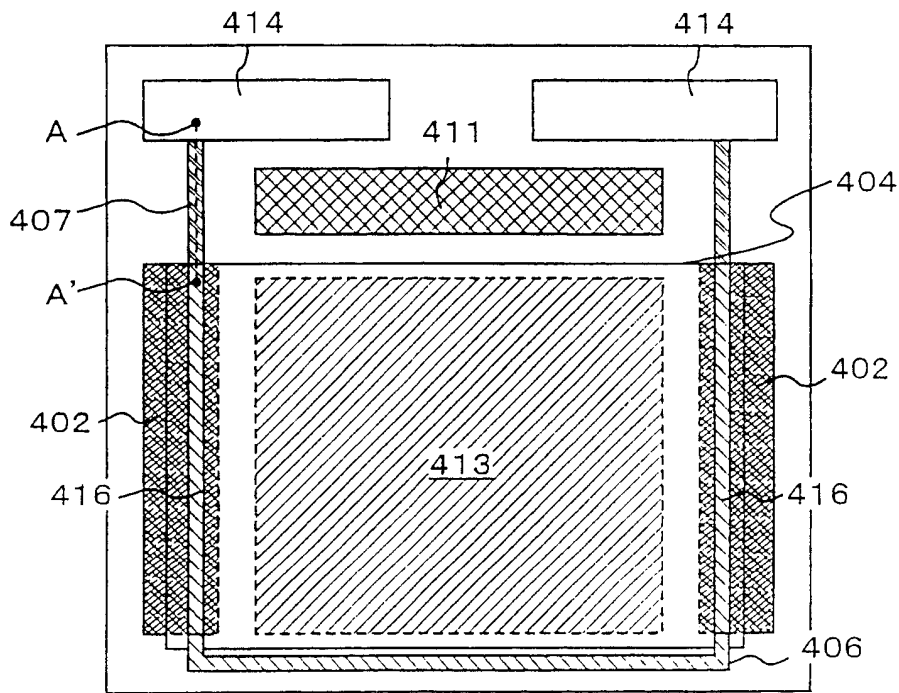


图 23A

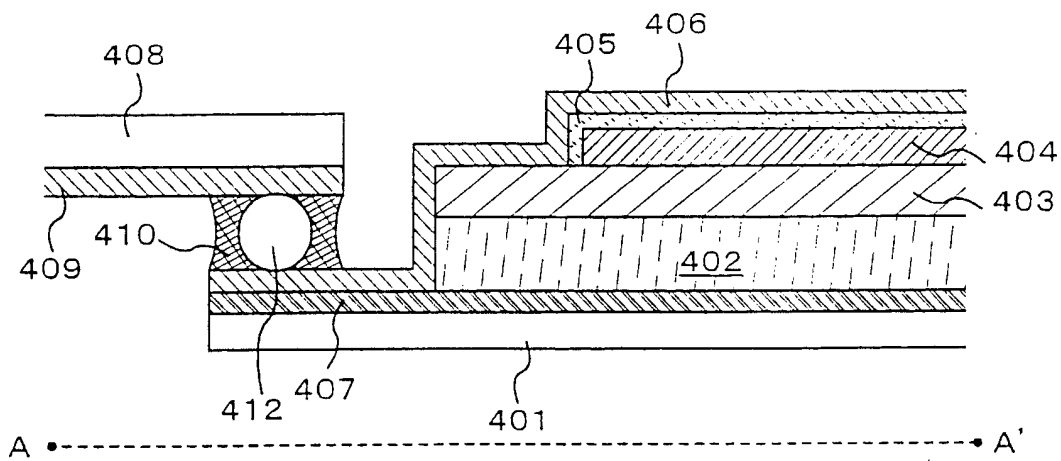


图 23B

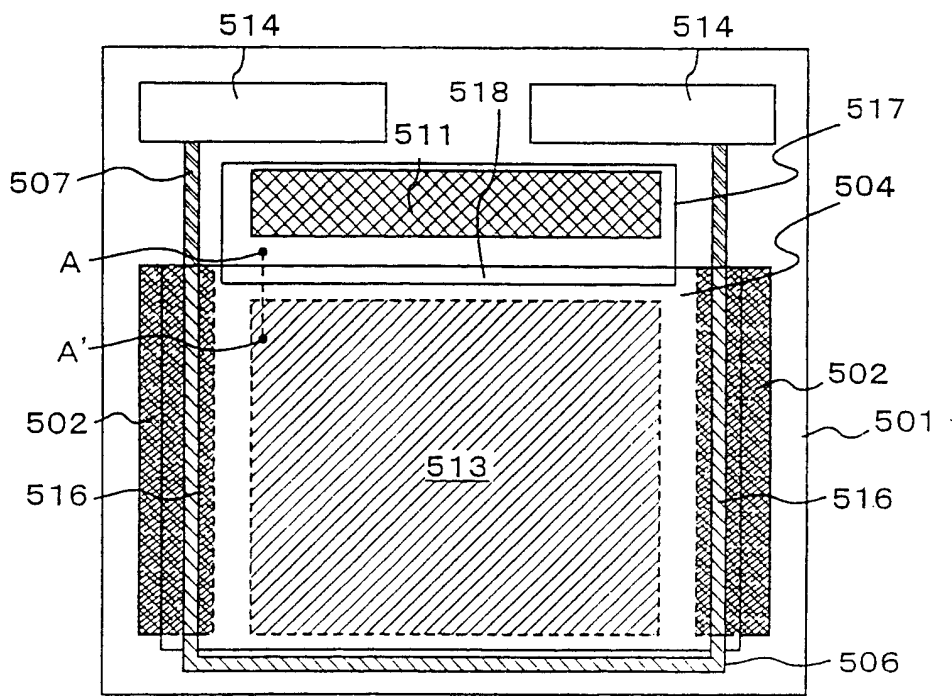


图 24A

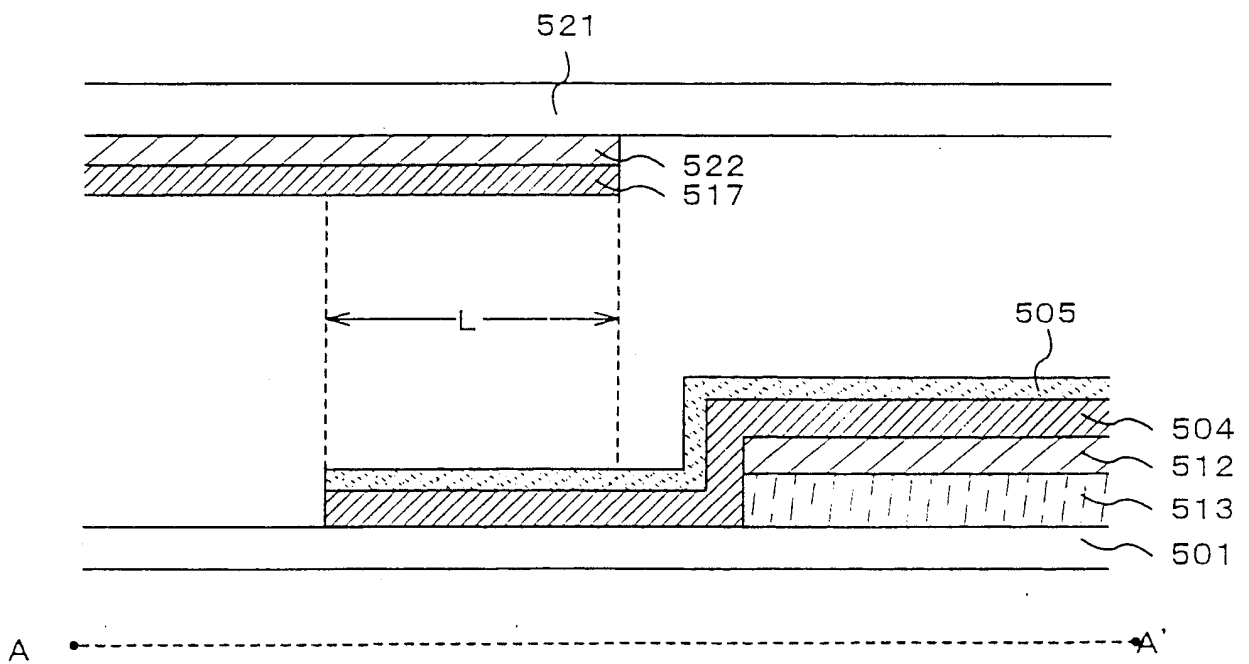


图 24B

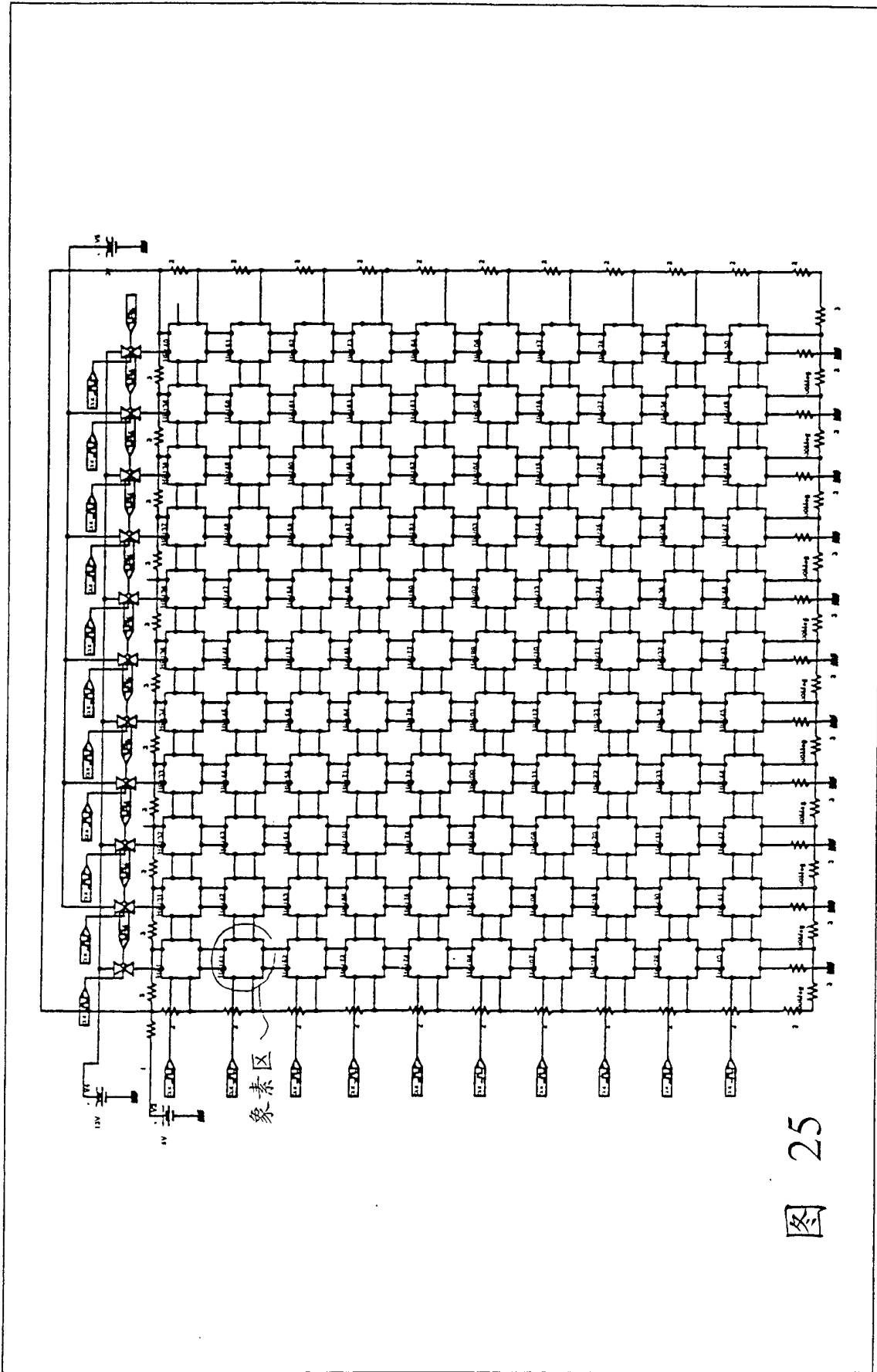


图 25

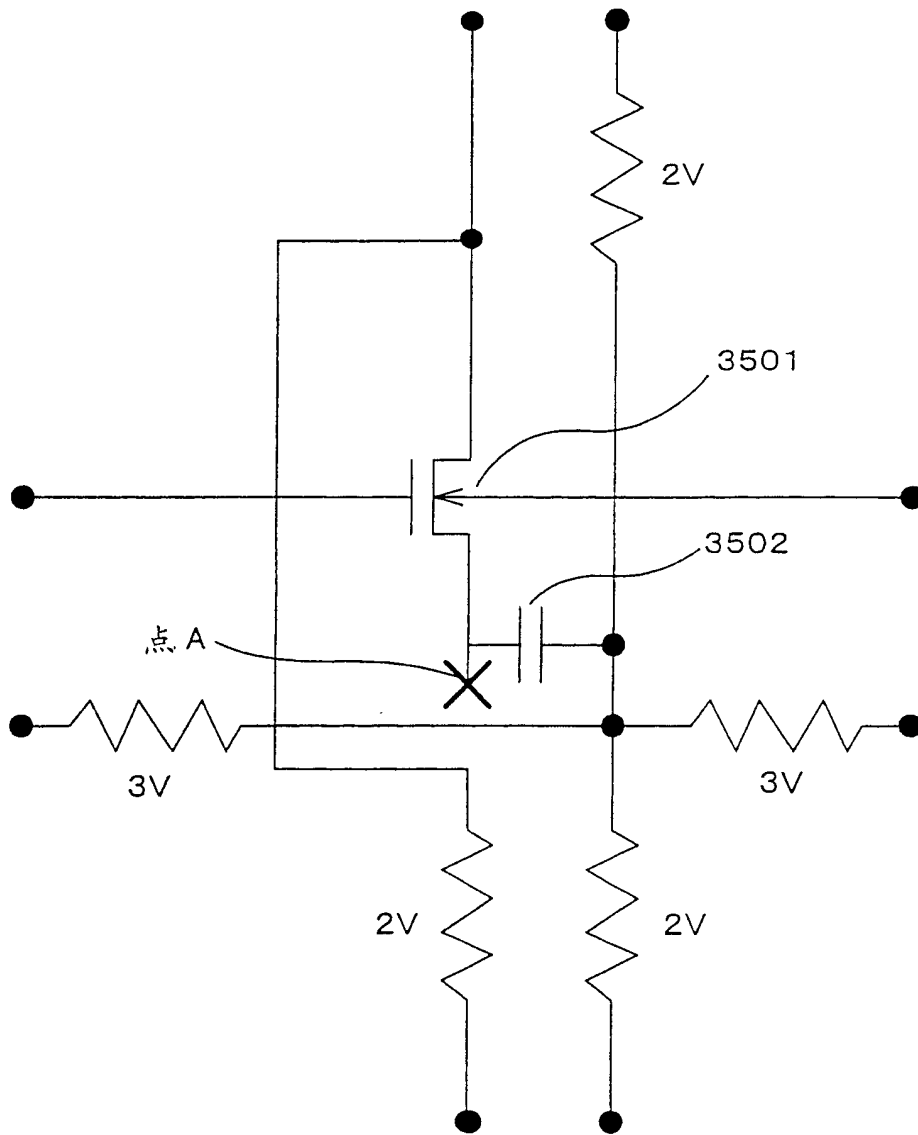


图 26

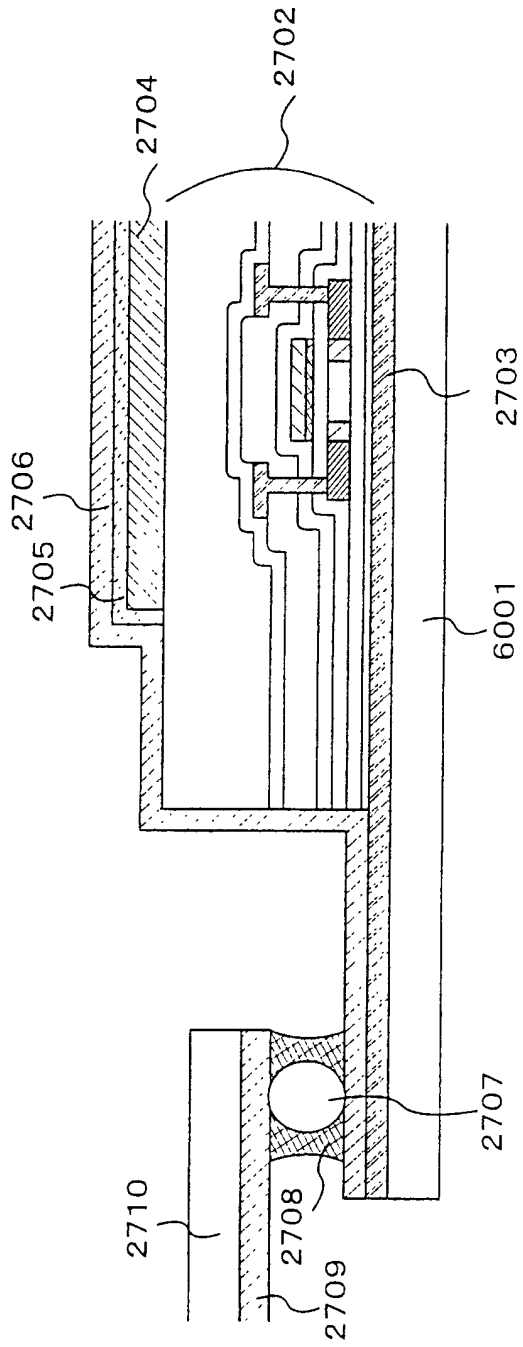


图 27

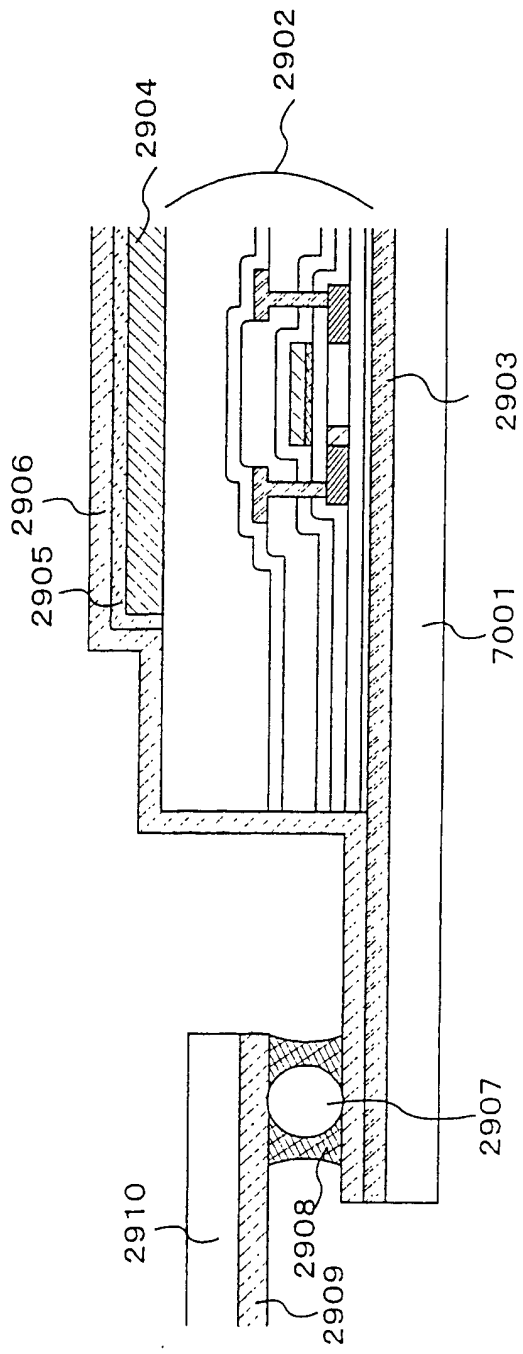
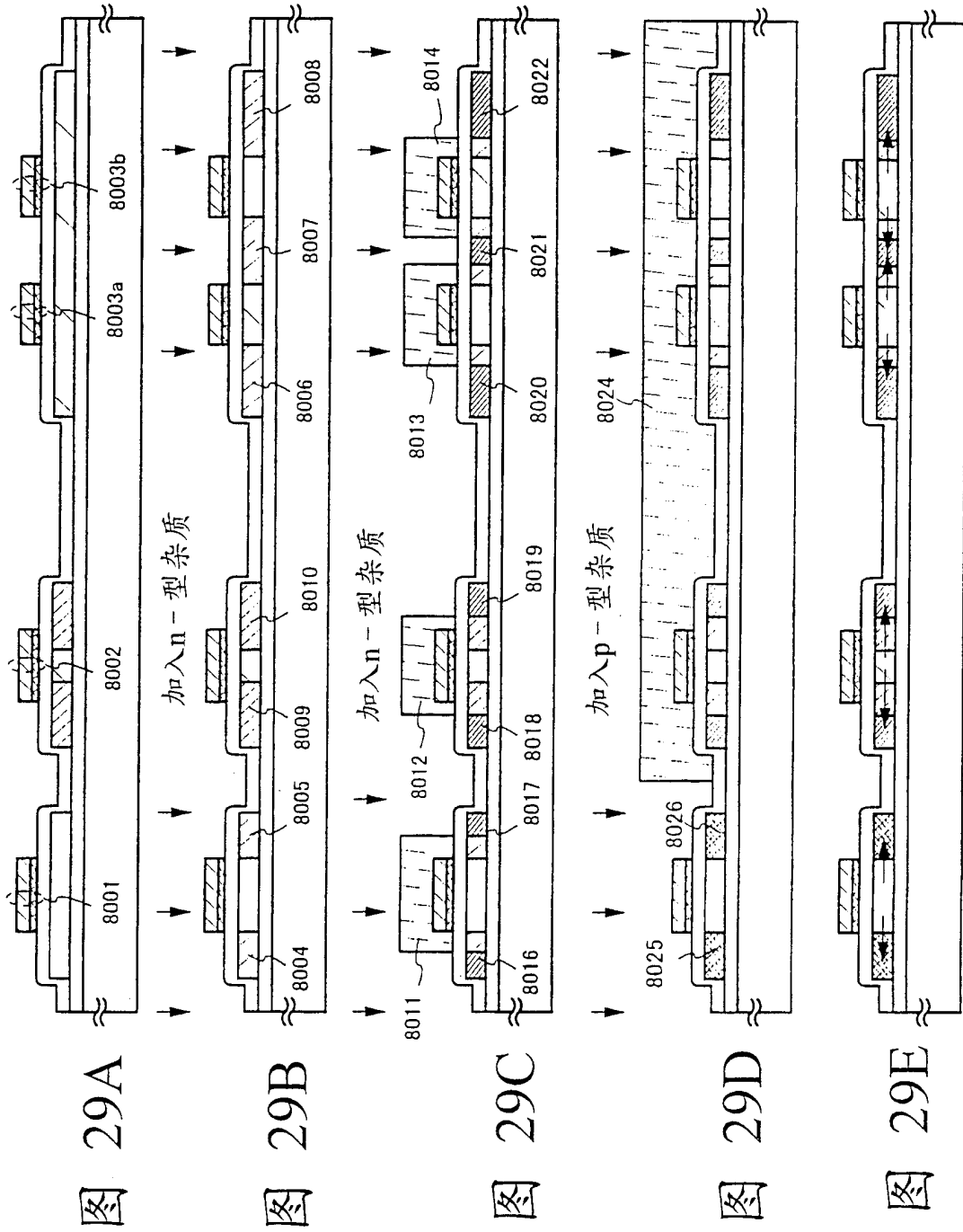


图 28



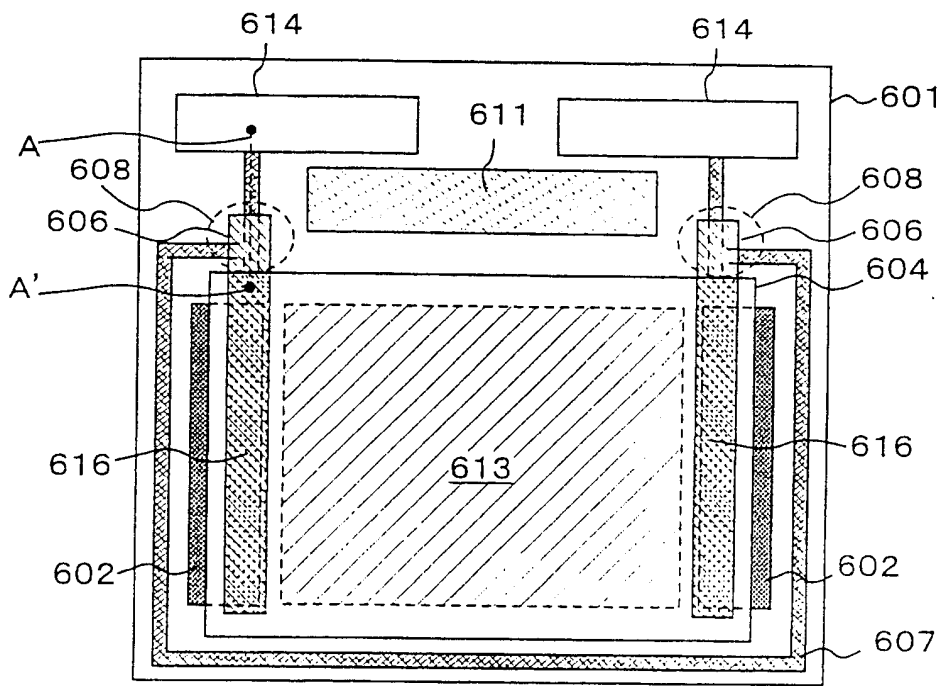


图 30A

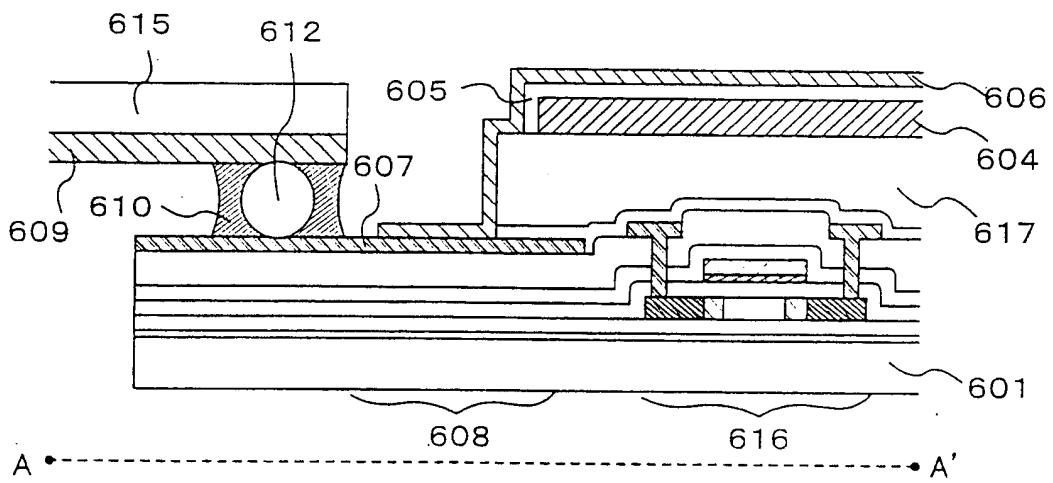


图 30B

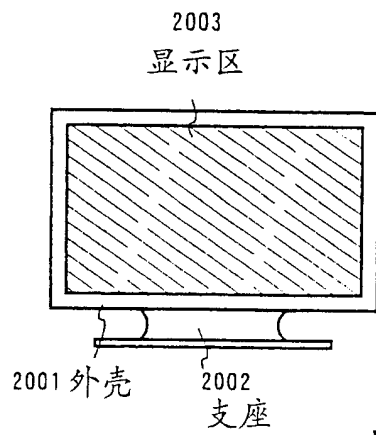


图 31A

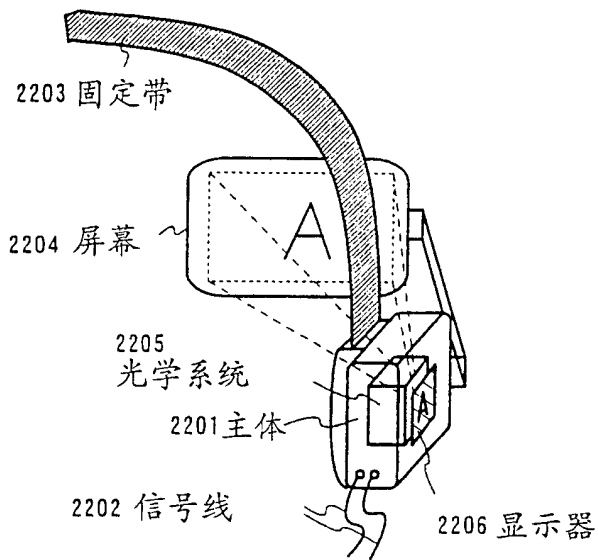


图 31B

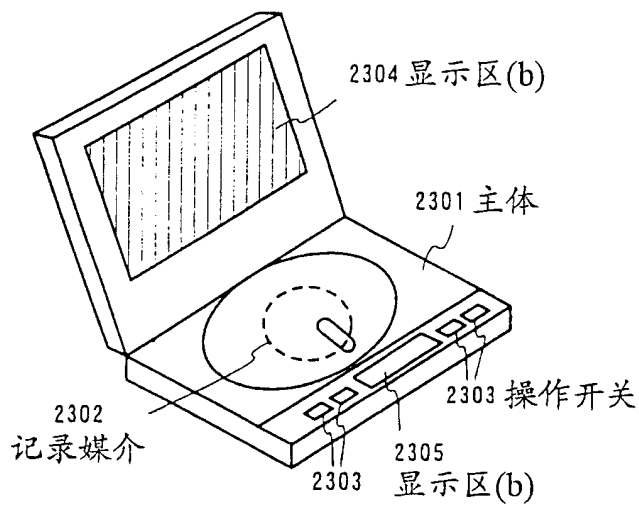


图 31C