

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5859637号
(P5859637)

(45) 発行日 平成28年2月10日 (2016. 2. 10)

(24) 登録日 平成27年12月25日 (2015. 12. 25)

(51) Int. Cl.		F I			
H03L	7/099	(2006.01)	H03L	7/08	F
H03L	7/107	(2006.01)	H03L	7/10	E
H03K	3/354	(2006.01)	H03K	3/354	B
H03K	3/03	(2006.01)	H03K	3/03	

請求項の数 16 (全 29 頁)

(21) 出願番号	特願2014-504056 (P2014-504056)	(73) 特許権者	595020643
(86) (22) 出願日	平成24年4月6日 (2012. 4. 6)		クゥアルコム・インコーポレイテッド
(65) 公表番号	特表2014-515224 (P2014-515224A)		QUALCOMM INCORPORATED
(43) 公表日	平成26年6月26日 (2014. 6. 26)		アメリカ合衆国、カリフォルニア州 92
(86) 国際出願番号	PCT/US2012/032647		121-1714、サン・ディエゴ、モア
(87) 国際公開番号	W02012/139078		ハウス・ドライブ 5775
(87) 国際公開日	平成24年10月11日 (2012. 10. 11)	(74) 代理人	100108855
審査請求日	平成25年11月21日 (2013. 11. 21)		弁理士 蔵田 昌俊
(31) 優先権主張番号	13/082, 313	(74) 代理人	100109830
(32) 優先日	平成23年4月7日 (2011. 4. 7)		弁理士 福原 淑弘
(33) 優先権主張国	米国 (US)	(74) 代理人	100103034
			弁理士 野河 信久
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 供給調整されたVCOアーキテクチャ

(57) 【特許請求の範囲】

【請求項1】

制御信号入力導体と、
 供給電流入力リード線を有する発振器と、
 前記発振器の前記供給電流入力リード線に結合された第1のリード線を有するバイパスキャパシタと、
 前記制御信号入力導体から制御信号を受信し、前記発振器の前記供給電流入力リード線に第1の供給電流を供給する供給調整制御ループ回路と、
 前記発振器の前記供給電流入力リード線に第2の供給電流を供給する補助供給電流回路と、
 ここで、前記補助供給電流回路が、前記発振器の電流－電圧特性（I－V特性）を近似するI－V特性を有するレプリカ負荷を備える、
 を備える、電圧制御発振器（VCO）。

【請求項2】

前記第1の供給電流が、前記第2の供給電流に実質的に正比例する、請求項1に記載のVCO。

【請求項3】

前記補助供給電流回路が、
 前記制御信号入力導体から前記制御信号を受信するために結合された第1の入力リード線を有し、かつ前記レプリカ負荷の供給電流入力リード線に結合された第2の入力リード線を有する演算増幅器と、

10

20

トランジスタとを備え、前記トランジスタのゲートが前記演算増幅器の出力リード線に結合され、前記トランジスタのドレインが前記レプリカ負荷の前記供給電流入力リード線に結合される、請求項 1 に記載の VCO。

【請求項 4】

前記補助供給電流回路が、

ゲートとドレインとを有する第 2 のトランジスタをさらに備え、前記第 2 のトランジスタの前記ゲートが前記演算増幅器の前記出力リード線に結合され、前記第 2 のトランジスタの前記ドレインが前記発振器の前記供給電流入力リード線に結合される、請求項 3 に記載の VCO。

【請求項 5】

前記供給調整制御ループ回路が、

前記制御信号入力導体から前記制御信号を受信するために結合された第 1 の入力リード線を有し、かつ前記発振器の前記供給電流入力リード線に結合された第 2 の入力リード線を有する演算増幅器と、

トランジスタとを備え、前記トランジスタのゲートが前記演算増幅器の出力リード線に結合され、前記トランジスタのドレインが前記発振器の前記供給電流入力リード線に結合される、請求項 1 に記載の VCO。

【請求項 6】

前記補助供給電流回路によって供給される前記第 2 の供給電流が、前記供給調整制御ループ回路によって供給される前記第 1 の供給電流よりも実質的に大きい、請求項 5 に記載の VCO。

【請求項 7】

前記供給調整制御ループ回路が第 1 のトランジスタを通して前記発振器の前記供給電流入力リード線に前記第 1 の供給電流を供給し、前記第 1 のトランジスタのドレインが前記発振器の前記供給電流入力リード線に結合され、前記補助供給電流回路が第 2 のトランジスタを通して前記発振器の前記供給電流入力リード線に前記第 2 の供給電流を供給し、前記第 2 のトランジスタのドレインが前記発振器の前記供給電流入力リード線に結合され、第 1 のトランジスタが前記第 2 のトランジスタよりも小さい、請求項 1 に記載の VCO。

【請求項 8】

前記制御信号が、ループフィルタから前記制御信号入力導体を介して受信される、請求項 1 に記載の VCO。

【請求項 9】

供給調整制御ループ回路が、

演算増幅器と、

前記演算増幅器の出力リード線から制御信号を受信し、前記発振器の前記供給電流入力リード線に前記第 1 の供給電流を供給する電流制御回路要素とを備える、請求項 1 に記載の VCO。

【請求項 10】

電圧制御発振器 (VCO) を動作させる方法であって、

発振器の供給電流入力リード線からグランド導体にキャパシタを通して雑音電流を導通することと、

供給調整制御ループ回路から前記発振器の前記供給電流入力リード線上に第 1 の供給電流を供給することであって、前記供給調整制御ループ回路が演算増幅器とトランジスタとを含み、前記演算増幅器の出力リード線が前記トランジスタのゲートに結合され、前記トランジスタのドレインが前記発振器の前記供給電流入力リード線に結合される、供給することと、

補助供給電流回路から前記発振器の前記供給電流入力リード線上に第 2 の供給電流を供給することとを備え、前記キャパシタ、前記供給調整制御ループ回路、前記発振器、および前記補助供給電流回路が前記 VCO の一部である、ここにおいて、前記補助供給電流回路が、前記発振器の電流－電圧特性 (I－V 特性) を近似する I－V 特性を有するレプリ

10

20

30

40

50

カ負荷を備える、方法。

【請求項 1 1】

前記補助供給電流回路が、

制御信号入力導体から制御信号を受信するために結合された第 1 の入力リード線を有し、かつ前記レプリカ負荷の供給電流入力リード線に結合された第 2 の入力リード線を有する演算増幅器と、

トランジスタとを備え、前記補助供給電流回路の前記トランジスタのゲートが前記補助供給電流回路の前記演算増幅器の出力リード線に結合され、前記補助供給電流回路の前記トランジスタのドレインが前記レプリカ負荷の前記供給電流入力リード線に結合される、請求項 1 0 に記載の VCO を動作させる方法。

10

【請求項 1 2】

前記第 2 の供給電流が、前記第 1 の供給電流に実質的に正比例する、請求項 1 0 に記載の VCO を動作させる方法。

【請求項 1 3】

前記第 2 の供給電流が、前記第 1 の供給電流よりも実質的に大きい、請求項 1 0 に記載の VCO を動作させる方法。

【請求項 1 4】

発振器と、

VCO の制御信号入力導体から制御信号を受信し、前記発振器の供給電流入力リード線に第 1 の供給電流を供給する供給調整制御ループ回路と、

20

前記発振器の前記供給電流入力リード線からグラウンド導体に雑音電流を導通するために結合されたバイパスキャパシタと、

第 2 の供給電流が前記第 1 の供給電流に実質的に正比例するように、前記発振器の前記供給電流入力リード線に第 2 の供給電流を供給するための手段と、ここにおいて、前記手段が、前記発振器の電流－電圧特性（I－V 特性）を実質的に複製するレプリカ負荷を含む、を備える、電圧制御発振器（VCO）。

【請求項 1 5】

前記第 2 の供給電流が、前記第 1 の供給電流よりも実質的に大きい、請求項 1 4 に記載の VCO。

30

【請求項 1 6】

前記制御信号が、前記発振器の発振周波数を制御する電圧制御信号である、請求項 1 4 に記載の VCO。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、供給調整された電圧制御発振器（VCO）アーキテクチャを利用する位相ロックループ（PLL）に関する。

【背景技術】

【0002】

40

供給調整された位相ロックループ（PLL）は、一般に、その発振周波数が、制御電圧信号などの入力制御信号によって決定され制御される電圧制御発振器（VCO）を伴う。図 1（従来技術）は、1 つのそのような PLL 1 の図である。PLL 1 は、位相一周波数検出器（PFD）2 と、電荷ポンプ（CP）3 と、ループフィルタ 4 と、供給調整制御ループ回路 5 と、バイパスキャパシタ 6 と、発振器 7 と、フィードバック分周器 8 とを伴う。供給調整制御ループ回路 5、発振器 7、およびバイパスキャパシタ 6 は、ともに VCO 9 を形成する。供給調整制御ループ回路 5 は、図示のように相互接続された演算増幅器 10 と P チャネル電界効果トランジスタ M1 11 とを伴う。PFD 2 は、基準信号 FREF 12 の位相とフィードバック信号 FDIV 13 の位相とを比較し、FDIV の位相が FREF の位相より進んでいるかまたは遅れているかに応じて、UP パルスま

50

たはDNパルスを出力する。電荷ポンプ3は、パルスを制御電流信号ICP 14に変換する。制御信号ICP 14は、ループフィルタ4によってフィルタリングされ、制御電圧信号VCTRL 15に変換される。発振器の出力信号VCO_OUT 16の発振周波数は入力制御電圧信号VCTRL 15の関数であるので、供給調整制御ループ回路5、発振器7、およびバイパスキャパシタ6はともに、VCOを構成する。VCTRL信号は、微調整信号と呼ばれることがあり、VTUNEで示される。発振器7は、その出力信号VCO_OUT 16が、発振器に供給される供給電流ICTRL 17にかなり比例する周波数を有する発振器である。信号VCTRL 15が増加すると、発振器に供給される制御電流ICTRL 17が増加し、このことが、発振器出力信号VCO_OUT 16の発振周波数を増加させる。同様に、信号VCTRL 15が減少すると、発振器に供給される制御電流ICTRL 17が減少し、このことが、発振器出力信号VCO_OUT 16の発振周波数を減少させる。制御ループは、PFD 2によって受信される信号FDIV 13の位相および周波数がPFD 2によって受信される信号REF 12の周波数および位相にマッチングするように、VCO_OUTの周波数および位相を維持するように動作する。PLLがこの状態にあるとき、PLLがロックされていると言われる。

【0003】

信号ICTRL 17は、制御電圧信号VCTRL 15の関数であり、かつ制御電圧信号VCTRL 15だけの関数であることが望ましい。残念ながら、供給電圧導体18における供給電圧VDD_NOISYには、しばしば、雑音が存在する。この雑音が発振器の動作に影響を及ぼすことを許容すべきではない。供給調整制御ループ回路5は、信号ICTRL 17を制御信号VCTRL 15の関数として保つように動作するが、供給調整制御ループ回路は限定された帯域幅を有する。制御ループの帯域幅外の周波数である高周波数雑音VDD_NOISYは、トランジスタM1 11のドレイン電流に高周波数変動を引き起こすことがある。したがって、発振器7がそのような雑音によって過度に影響を及ぼされないように、バイパスキャパシタ6は、そのような高周波数雑音をグラウンドに分流するために設けられる。

【0004】

図2（従来技術）は、図1の回路に伴う問題を示す。線路19は、供給雑音感度がいか

に周波数に応じて変化するかを示す。電圧VSは、発振器7の供給電流入力リード線におけるコモンノード上の調整された供給電圧であり、VDD_NOISYは、供給電圧導体18上の雑音の多い供給電圧である。制御電圧信号VCTRL 15から調整された供給電圧VSまでの供給調整ループは、周波数F1およびF2において2つの極を有する。周波数F1における支配的な極は、トランジスタM1 11に関連する寄生キャパシタンスと演算増幅器10の出力抵抗とに起因する。この支配的な極は、演算増幅器の供給調整制御ループ回路がもはや供給電圧雑音を十分に除去しない、上側の周波数境界を決定する。演算増幅器の供給調整制御ループは、周波数F1より低い周波数に対して比較的十分に電源雑音を除去するが、周波数F1より高い周波数に対しては、あまり十分に電源雑音を除去しない。F1は、ほぼ $1/2\pi(R_{OUT} * C_P)$ に等しく、ここでROUTは演算増幅器10の出力抵抗であり、CPはトランジスタM1に関連する実効寄生キャパシタンス(effective parasitic capacitance)である。

【0005】

バイパスキャパシタ6と発振器7の実効抵抗とに起因して、周波数F2における非支配的な極が存在する。周波数F2より上では、バイパスキャパシタ6は、供給電圧雑音をグラウンドに分流することにおいて比較的十分に作動するが、周波数F2より下では、バイパスキャパシタ6は雑音をあまり分流しない。Freqは、演算増幅器の単位利得帯域幅である。F2は、ほぼ $1/2\pi(R_{VCO} * C_{BYCAP})$ であり、ここでRVCOはリング発振器の実効抵抗であり、CBYCAPはバイパスキャパシタ6のキャパシタンスである。低周波数において良好な電源除去を達成するために、演算増幅器10の利得は全体的に最大化され、そのことが $R_{OUT} \gg R_{VCO}$ をもたらす。これによって $F1 < F2$ とな

10

20

30

40

50

り、図2に示すように、供給雑音感度伝達関数 ($V_S(s)/V_{DD_NOISY}(s)$) においてピーキング21がもたらされる。

【0006】

図2に示すように、F1とF2との間にギャップ20が存在し、そこでは、全体的な供給調整回路は供給電圧雑音を十分に除去しない。この電圧供給雑音の不十分な除去は、供給雑音感度「ピーキング」と呼ばれ、矢印21で表される。支配的な極の周波数F1は、ソースゲート寄生キャパシタンス22およびゲートドレイン寄生キャパシタンス23など、トランジスタM11の寄生キャパシタンスと、演算増幅器10の出力抵抗とによって決定される。これらの寄生キャパシタンスをより小さくすることによって支配的な極の周波数F1が増加することができ、これらの寄生キャパシタンスは、トランジスタ11をより小さくすることによってより小さくなり得る。残念ながら、トランジスタ11は、必要な電流信号ICTRL17を発振器7に供給するのに十分なだけ大きくなければならない。演算増幅器11の出力抵抗は、同様に、支配的な極の周波数F1を増大させるために小さくなり得るが、このことが、低周波数において供給雑音感度を増大させる。そのような理由によって、支配的な極の周波数F1は、一般に、F1とF2のギャップ20を閉じるために望まれる程度には増加され得ない。第2に、バイパスキャパシタ6に起因する周波数F2は、一般に、F1とF2のギャップ20を排除するのに十分には減少され得ない。F2がどれだけ低くなり得るかの1つの限界は、より大きいバイパスキャパシタを実現するために必要な集積回路面積の量である。別の限界は、供給調整ループの安定性である。非支配的な極が、供給調整ループの支配的な極の周波数に近すぎる周波数になると、供給調整ループの安定性が劣化する。

【0007】

図3（従来技術）は、図1の回路の問題点のいくつかを克服するPLL回路24の図である。発振器7のレプリカ25は、発振器7の電流－電圧特性（I－V特性）に類似する低周波数I－V特性を有する。この場合のレプリカ25は、ダイオード接続Nチャネルトランジスタ27と並列接続されたダイオード接続Pチャネルトランジスタ26を伴う。これらのトランジスタは、レプリカ25のI－V特性が発振器7のI－V特性に類似するようにサイズ決定される。図3の回路24において、供給調整制御ループ回路5のトランジスタM111のゲートは、第2のトランジスタM228のゲートに接続される。したがって、供給調整制御ループ回路5は、トランジスタM111を使用して調整することができ、また同時に、トランジスタM228を介して主発振器7に電流ICTRL29を供給することもできる。バイパスキャパシタ6は、もはや、演算増幅器の供給調整制御ループ5には存在しない。したがって、バイパスキャパシタ6のサイズは、供給調整ループの安定性に影響を及ぼすことなく、供給雑音感度ピーキングを軽減するために増大され得る。

【0008】

図4（従来技術）は、図3の回路に伴う問題点を示す図である。破線19は、図1の回路の周波数に応じて供給雑音感度がいかに変化するかを示しており、一方実線31は、図3の回路の周波数に応じて供給雑音感度がいかに変化するかを示している。縦の破線32、33および34はそれぞれ、図1の回路のF1、F2およびFregを示し、一方、縦の破線35、36および37はそれぞれ、図3のレプリカ回路のF1、F2およびFregを示す。図1の回路と比較して、周波数F1は、トランジスタM2に関連する追加の寄生キャパシタンスに起因して低下する。図1の回路と比較して、キャパシタ6は、供給調整ループの外にあり、したがってより大きくされ得るので、レプリカ回路の周波数F2は減少され得る。F2は、F1に非常に近くなり得るかまたはF1よりも低くなり得るので、供給雑音感度ピーキングはほとんどまたはまったく存在しない。しかしながら、レプリカ25のI－V特性は、発振器7のI－V特性に正確にはマッチングし得ない。この不正確なマッチングは、図示のように、低周波数において供給雑音感度を増大させるように働く。矢印39は、主にレプリカと発振器との不正確なマッチングに起因する、低周波数において増大した供給雑音感度を表す。

【0009】

図3の回路に関連する別の問題点は、レプリカトランジスタ26および27自体からの低周波数雑音（ $1/f$ 雑音など）が、ICTRL内に低周波数変動を生じることである。このことは、いくつかのアプリケーションでは重要な仕様である、リング発振器7の近接位相雑音を増加させることがある。レプリカトランジスタ26および27による雑音寄与が、VSにおける変動を生じる。供給調整制御ループ5は、修正電圧をトランジスタM1およびM2のゲートに印加することによって、この変動を補償することを試行する。しかしながら、トランジスタM2のゲートに印加される修正電圧は、実際には、ICTRL内に望ましくない低周波数変動を生じる。これは、この場合の雑音源が、レプリカと発振器の両方に共通する供給雑音とは違って、レプリカデバイスそのものであるからである。これは、供給調整制御ループ5の帯域幅内の周波数においてのみ、問題となる。高周波数において、バイパスキャパシタ6は、雑音電流をグラウンドに分流する。

10

【0010】

図5（従来技術）は、図3の回路に伴う低周波数雑音の問題を示す簡略図である。電流源記号38は、レプリカ25による雑音電流 $I_{NOISE_REPLICA}$ を表す。この雑音電流は、低周波数成分 $I_{NOISE_REPLICA}(LF)$ および高周波数成分 $I_{NOISE_REPLICA}(HF)$ の2つの成分を有する。演算増幅器10を伴う供給調整制御ループは、合計電流 $I_{REPLICA} + I_{NOISE_REPLICA}$ を供給する。ICTRLは、発振器7に供給されるときに大きさ $K * I_{REPLICA}$ の所望の制御電流であり、ここでトランジスタM2はトランジスタM1よりもK倍大きい。トランジスタM2は、トランジスタM1よりもK倍大きいので、雑音電流 $I_{NOISE_REPLICA}$ は、トランジスタM2によって供給される電流が $ICTRL + K * I_{NOISE_REPLICA}$ になるように、トランジスタM2によって増大される。バイパスキャパシタ6は、高周波数雑音をグラウンドに分流し得るが、低周波数雑音をグラウンドに分流しない。バイパスキャパシタ6は、トランジスタM2によって電流出力の $K * I_{NOISE_REPLICA}(HF)$ 成分をグラウンドに分流し、残りの $K * I_{NOISE_REPLICA}(LF)$ が発振器7に流入するのを放置する。増大されたレプリカ雑音のこの低周波数成分は、発振器7によって出力される信号内にジッタと位相雑音とを引き起こす。

20

【発明の概要】

【0011】

供給調整されたVCOは、供給雑音感度伝達関数において低減されたピーキングを示す。供給調整されたVCOは、発振器の発振周波数を制御するために、供給電流が調整される発振器を含む。VCO入力信号（この信号はVCTRLまたはVTUNEと示されることがある）は、発振器の入力信号と発振周波数との間に関連性が存在するように、発振器に供給される供給電流を制御する。通常ならば発振器の動作に影響を及ぼす可能性がある電源雑音は、発振器の供給電流入力リード線から離れて、バイパスキャパシタによってグラウンド導体に分流される。

30

【0012】

第1の新規な態様では、補助供給電流回路が、補助供給電流 I_{ASUP} を発振器に供給し、それによって、供給調整制御ループ回路が発振器を制御するために供給しなければならない供給電流 I_{CL} の量を低減する。供給調整制御ループ回路が供給しなければならない供給電流 I_{CL} の量が低減されるので、その回路を通して供給電流 I_{CL} が供給される供給調整制御ループ回路内のトランジスタは、サイズを縮小され得る。このトランジスタのサイズの縮小によって、供給調整ループ内の極に（周波数 $F1$ において）生じる寄生が低減される。このトランジスタ内の寄生を低減することによって、この極の周波数 $F1$ が増大し、設計者が、 $F2$ におけるバイパスキャパシタによる極を支配的な極として処理することによって供給調整ループを補償することを可能にする。バイパスキャパシタのキャパシタンスは、ループの安定性に悪影響を及ぼすことなく増大され得る。このことは、供給感度伝達関数 $VS(s)/VDD_NOISY(s)$ 内のピーキングを低減するように働く。

40

50

【0013】

第1の新規な態様の第1の実施形態では、補助供給電流回路は、レプリカ負荷（発振器によって示される負荷のレプリカ）と、レプリカ負荷に供給電流を供給するための補助供給調整制御ループ回路とを含む。レプリカ負荷のための供給調整制御ループ回路が、補助供給電流 I A S U P を出力する。この場合、補助供給電流 I A S U P は、主供給調整制御ループ回路によって供給される供給電流 I C L に実質的に正比例する。

【0014】

第1の新規な態様の第2の実施形態では、補助供給電流回路は、デジタル制御の電流源である。デジタル制御の電流源に供給されるマルチビットデジタル制御信号は、補助供給電流 I A S U P の大きさを決定する。デジタル制御の電流源は、V C O の周波数動作範囲にわたって補助供給電流 I A S U P の供給電流 I C L に対する比が実質的に一定になるように制御される。

10

【0015】

第2の新規な態様では、供給調整制御ループ回路は、マスター発振器に制御電流を供給する。次いで、マスター発振器の出力が、P L L 制御ループを閉じるために使用される。しかしながら、供給調整された V C O のバイパスキャパシタは、このマスター発振器の供給電流入力リード線に結合されるのではなく、スレーブ発振器に結合される。次いで、スレーブ発振器の出力は、C P U または R F シンセサイザまたは別の回路など、外部回路をクロック制御するために使用される。スレーブ発振器は、マスター発振器に注入同期される。バイパスキャパシタは、主 P L L フィードバック制御ループの外にあるので、バイパスキャパシタのキャパシタンスは、主 P L L ループの安定性に影響を及ぼすことなく増大され得る。ここでは、供給雑音感度は、総合的 P L L ループ安定性に影響を及ぼすことなくバイパスキャパシタのキャパシタンスを増大することによって最小化され得る。バイパスキャパシタがマスター発振器の両端に設けられると、バイパスキャパシタは、周波数 = $1 / 2 \pi (R V C O * C B Y C A P)$ において P L L ループ伝達関数における極をもたらす。ここで R V C O はマスター発振器の実効抵抗であり、C B Y C A P はバイパスキャパシタの値である。バイパスキャパシタは、主 P L L フィードバック制御ループの外にあるので、バイパスキャパシタのキャパシタンス C B Y C A P は、集積回路領域の制約によってのみ制限される。

20

【0016】

上記は概要であり、したがって当然、詳細の簡略化、一般化および省略を含んでおり、したがって、概要はいかなる形でも例示的なものに過ぎず、限定的なものではないことを当業者は諒解されたい。特許請求の範囲のみによって定義される、本明細書で説明するデバイスおよび／またはプロセスの他の態様、発明的特徴、および利点は、本明細書に記載する非限定的な詳細な説明において明らかになるであろう。

30

【図面の簡単な説明】

【0017】

【図1】（従来技術）第1のタイプの従来の供給調整された電圧制御発振器（V C O）を使用する P L L の図。

【図2】（従来技術）図1の供給調整された V C O の動作を示す図。

40

【図3】（従来技術）第2のタイプの従来の供給調整された電圧制御発振器（V C O）を使用する P L L の図。

【図4】（従来技術）図3の供給調整された V C O の動作を示す図。

【図5】（従来技術）図3の回路に伴う低周波数雑音の問題を示す簡略図。

【図6】第1の新規な態様による供給調整された V C O を使用する P L L の図。

【図7】図6の供給調整された V C O の動作を示す図。

【図8】図6の回路になぜ、図3の回路に関連する低周波数雑音の問題がないかを示す図。

。

【図9】第1の新規な態様による、図6の P L L の第1の実施形態の図。

【図10】第1の新規な態様による、図6の P L L の第2の実施形態の図。

50

【図 1 1】図 9 の第 1 の実施形態および図 1 0 の第 2 の実施形態において、合計供給電流 I C T R L に対して補助供給電流 I A S U P がいかに変化するかを示す図。

【図 1 2】図 6 の第 1 の新規な態様による方法 2 0 0 のフローチャート。

【図 1 3】P L L の V C O が、第 2 の新規な態様による、マスター発振器に注入同期されるスレーブ発振器を伴う P L L の図。

【図 1 4】図 1 3 の供給調整された V C O の動作を示す図。

【図 1 5】図 1 3 の第 2 の新規な態様による方法 3 0 0 のフローチャート。

【発明を実施するための形態】

【0 0 1 8】

図 6 は、第 1 の新規な態様による、供給調整された V C O 5 9 を伴う位相ロックループ (P L L) 5 0 の図である。P L L 5 0 は、位相一周波数検出器 (P F D) 5 1 と、電荷ポンプ (C P) 5 2 と、ループフィルタ 5 3 と、供給調整制御ループ回路 5 4 と、バイパスキャパシタ 5 5 と、補助供給電流回路 5 6 と、発振器 5 7 と、フィードバック分周器 5 8 とを含む。供給調整制御ループ回路 5 4、発振器 5 7、およびバイパスキャパシタ 5 5 がともに、供給調整された V C O 5 9 を形成する。

【0 0 1 9】

P F D 5 1 は、基準信号 F R E F 6 2 の位相とフィードバック信号 F D I V 6 3 の位相とを比較し、F D I V の位相が F R E F の位相より進んでいるかまたは遅れているかに応じて、U P パルスまたは D N パルスを出力する。電荷ポンプ 5 2 は、パルスを制御電流信号 I C P 6 4 に変換する。制御信号 I C P 6 4 は、ループフィルタ 5 3 によってフィルタリングされ、制御電圧信号 V C T R L 6 5 に変換される。V C T R L 信号は、微調整信号と呼ばれ、V T U N E で示されることがある。発振器の出力信号 V C O _ O U T 6 6 の発振周波数は入力制御電圧信号 V C T R L 6 5 の関数であるので、供給調整制御ループ回路 5 4、発振器 5 7、補助供給電流回路 5 6、およびバイパスキャパシタ 5 5 はともに、V C O を構成する。P L L が動作するにつれて、P F D 5 1 によって受信された信号 F D I V 6 3 の位相が P F D 5 1 によって受信された基準信号 F R E F 6 2 の位相にマッチングしてロックされるように、制御電圧信号 V C T R L 6 5 の電圧が、信号 V C O _ O U T 6 6 の位相を調整するように調整される。

【0 0 2 0】

図示の例の発振器 5 7 は、インバータのリングから構成されるリング発振器である。発振器 5 7 は、供給電流入力リード線 6 8 を介して制御電流 I C T R L 6 7 を受信する。発振器 5 7 の図は、簡略図である。制御電流 I C T R L 6 7 は、図示のリングのすべてのインバータにではなく発振器の一部にだけ供給され得る。発振器の出力信号 V C O _ O U T 6 6 は、発振器に供給される供給電流 I C T R L 6 7 の大きさにかなり正比例する周波数を有する。信号 V C T R L 6 5 が増加すると、発振器 5 7 に供給される制御電流 I C T R L 6 7 も増加し、電流 I C T R L 6 7 のこの増加によって、発振器出力信号 V C O _ O U T 6 6 の発振周波数が増加する。同様に、信号 V C T R L 6 5 が減少すると、発振器 5 7 に供給される制御電流 I C T R L 6 7 が減少し、このことによって、発振器出力信号 V C O _ O U T 6 6 の発振周波数が減少する。

【0 0 2 1】

供給調整制御ループ回路 5 4 は、図示のように相互接続された演算増幅器 6 0 と P チャネル電界効果トランジスタ M 1 6 1 とを含む。供給調整制御ループ回路 5 4 の演算増幅器 6 0 は、非反転入力リード線 6 9 と、反転入力リード線 7 0 と、出力リード線 7 1 とを有する。出力リード線 7 1 は、トランジスタ 6 1 のゲート 7 2 に結合される。トランジスタ 6 1 のソース 7 3 は、供給電圧導体 7 4 に結合される。D C 供給電圧 V D D _ N O I S Y が、供給電圧導体 7 4 上に存在する。トランジスタ 6 1 のドレイン 7 5 は、演算増幅器 6 0 の非反転入力リード線 6 9 に結合され、また発振器 5 7 の供給電流入力リード線 6 8 に結合される。制御電圧信号 V C T R L 6 5 は、制御信号入力導体 7 6 を介してループフィルタ 5 3 から、演算増幅器 6 0 の反転入力リード線 7 0 上で受信される。供給調整制御ループ回路 5 4 は、トランジスタ 6 1 のドレイン 7 5 から第 1 の供給電流 I C L 7 7

10

20

30

40

50

を出力する。

【0022】

バイパスキャパシタ55は、発振器57の供給電流入力リード線68とトランジスタ61のドレイン75とに結合されている第1のリード線78を有する。バイパスキャパシタ55は、グランド導体80に結合される第2のリード線79を有する。バイパスキャパシタ55は、それが、高周波数雑音電流81をグランド導体80に導通し得るように結合される。

【0023】

補助供給電流回路56は、ここでは補助供給電流IASUP 82と呼ばれる第2の供給電流を出力する回路である。供給電流IASUP 82は、第1の供給電流ICL 77と結合して、次には、供給電流入力リード線68を介して発振器57に供給される供給制御電流ICTRL 67を形成する。ICLとIASUPとが組み合わされた電流の雑音成分は、この雑音成分が発振器57に影響を及ぼさないように、バイパスキャパシタ55によってグランド導体80に導通され得る。以下でより詳細に説明するように、電流IASUP 82は、VCO 59の動作の周波数範囲にわたって、電流ICL 77に実質的に比例する。たとえば、VCO 59の動作の周波数の増加に起因して電流ICL 77が増加する場合、電流ICL 77の電流IASUP 82に対する比が、VCO 59の動作の周波数の増加にかかわらず実質的に一定のままであるように、電流IASUP 82も増加する。同様に、VCO 59の動作の周波数の減少に起因して電流ICL 77が減少する場合、電流ICL 77の電流IASUP 82に対する比が、VCO 59の動作周波数の増加にかかわらず実質的に一定のままであるように、電流IASUP 82も減少する。

【0024】

発振器57に供給される供給電流ICTRL 67のすべてが、供給調整制御ループ回路54から電流ICL 77の形態で供給される必要はないので、トランジスタ61のサイズは、補助供給電流IASUP 82が設けられていない場合よりも小さくされ得る。トランジスタ61のサイズを縮小することは、ゲートソースキャパシタンス83とゲートドレインキャパシタンス84とを含めてトランジスタ61の寄生を低減するのに役立つ。一実施形態では、VCO制御電流ICTRL 67の大部分が、補助供給電流回路56によって供給される。トランジスタ61の寄生のこの低減に起因して、トランジスタM1 61に関連する寄生キャパシタンスと演算増幅器60の出力抵抗とによる極の周波数F1は、図1（従来技術）の従来の回路の周波数F1と比較して増大する。バイパスキャパシタ55によるF2における極は、ここでは、供給調整ループ内の支配的な極となる。このことは、設計者が、バイパスキャパシタ55のサイズを大きくすることを可能にし、それにより、供給雑音伝達関数のピーキングを引き下げながら、同時に供給調整ループを安定させる。

【0025】

一例では、バイパスキャパシタ55は20 pFのキャパシタであり、VCOおよびPLLの性能要件が満たされるように十分な雑音をグランドに分流するのに足りるサイズである。第2の供給電流IASUP 82は、0.5 GHz～1.0 GHzのVCOの周波数動作範囲全体にわたって、第1の供給電流ICL 77の4倍の大きさプラスまたはマイナス20パーセントである。

【0026】

図7は、図6の回路の供給雑音感度を示す図である。電圧VSは、発振器57の供給電流入力リード線68におけるコモンノード89上の電圧である。電圧VDD_NOISYは、供給電圧導体74上の供給電圧である。破線19は、図1の従来回路において周波数に応じて供給雑音感度がいかに変化するかを示しており、一方実線85は、図6の回路において周波数に応じて供給雑音感度がいかに変化するかを示している。縦の破線32、33および34はそれぞれ、図1の回路のF1、F2およびFregを示し、一方、縦の破線86、87および88はそれぞれ、図6の回路のF1、F2およびFregを示す。F

2は、バイパスキャパシタ55による極の周波数である。周波数F2の上では、バイパスキャパシタは、供給電圧雑音をグランドに分流することにおいて比較的十分に働く。従来
の回路のバイパスキャパシタのサイズと比較してバイパスキャパシタ55のサイズは大き
くされるので、周波数F2は、図1（従来技術）の従来回路と比較して引き下げられる
。このことは、供給調整ループ安定性に悪影響を及ぼすことなく実施され得る。というの
は、供給調整制御ループ回路54による周波数F1における極は、周波数において上方に
移動され、そこでは非支配的な極となるからである。演算増幅器60が駆動しなければなら
ないトランジスタによる演算増幅器60の負荷は、図1および図3の従来技術の回路内
の対応する演算増幅器の負荷と比較して、図6の回路内で低減されるので、F1の周波数
は、図1（従来技術）の従来回路および図3（従来技術）の従来回路の周波数F1と
比較して高められる。図3の従来技術の回路は、図3の供給調整ループの演算増幅器の出
力に負荷をかける、2つのトランジスタM1およびM2、ならびにそれらに関連する組み
合わされた寄生キャパシタンスを伴うのに対して、図6の回路では、演算増幅器60は、
1つのトランジスタM1 61を駆動する必要があるのみである。その上、このトランジ
スタ61のサイズは、図1の回路のトランジスタM1 11のサイズおよび図3のラン
ジスタM2のサイズと比較して縮小され得る。したがって、周波数F1 87は、図4の
図の周波数F1 35よりも周波数が高いことを図7に示す。周波数F2は周波数F1より
も低いので、またF2とF1における2極間の周波数の間隔は大幅であるので、矢印9
0で示す供給雑音感度「ピーキング」はほとんどまたはまったくない。図3の従来回路
に関連するレプリカマッチングの問題は存在しないので、図6の回路は、図3の回路と比
較してより良好な低周波数供給雑音除去を有する。図6の回路では、主供給調整ループは
、補助回路56内の雑音要因によって生じる補助電流IASUP 82のどんな低周波数
変動をも補償するために、第1のサポート電流ICL 77を調整する。補助電流IAS
UP内のすべての高周波数変動が、バイパスキャパシタ55によってグランドに分流され
る。

10

20

【0027】

図8は、図6のPLL回路50になぜ、図3の従来技術のPLL 24に関連する低周
波数雑音問題がないかを示す簡略図である。発振器57のレプリカを含み得る補助供給電
流回路56によってもたらされる雑音は、IAUX__NOISEで示される。この雑音電
流は、低周波数成分IAUX__NOISE (LF)と高周波成分IAUX__NOISE (30
HF)とを有する。所望の補助出力電流IAUXおよびこの雑音電流IAUX__NOIS
Eが、補助供給電流回路56によってVSノード89上に出力される。バイパスキャパ
シタ55は、高周波数成分IAUX__NOISE (HF)をグランド導体80に分流する。
供給調整制御ループ54は、低周波数においてノード89の電圧を十分に調整し、したが
って、補助供給電流回路56からの低周波数雑音成分IAUX__NOISE (LF)は、
供給調整制御ループ54によって補償される。発振器57と、補助回路56の一部であり
得る任意のレプリカとの間のすべての不整合は、電流IAUX__NOISE内のDCまたは
低周波数の外乱としてモデル化され得る。このDCまたは低周波数の外乱は、供給調整
制御ループ54によって補償される。したがって、補助供給電流雑音が実質的にない電流
ICTRL 67が、供給電流入力リード線68を介して発振器57に供給される。供給 40
電流入力リード線68は、実際は、ノード89の一部である。電流ICL 77およびI
ASUP 82がこのノードに流入し、電流ICTRL 67およびIAUX__NOIS
E (HF) 81がこのノードから流出する。

【0028】

図9は、図6の一般化されたPLL回路50の第1の実施形態101の回路図である。
第1の実施形態101の場合は、補助供給電流回路56は、レプリカ負荷102と、演算
増幅器103と、第1のPチャネルトランジスタ104と、第2のPチャネルトランジス
タ105とを含む。レプリカ負荷102は、発振器57の電流-電圧特性 (I-V特性)
を実質的に複製するI-V特性を有する。第1のトランジスタ104は、第2のランジ
スタ105の4分の1のサイズである。演算増幅器103の反転入力リード線106は、 50

制御信号VCTRLを受信するように結合される。演算増幅器103の非反転入力リード線107は、第1のトランジスタ104のドレイン109に結合される。演算増幅器103の出力リード線108は、第1のトランジスタ104のゲート110と、第2のトランジスタ105のゲート111とに結合される。トランジスタ104のソース112およびトランジスタ105のソース113は、供給電圧導体74に結合される。この供給電圧導体74は、供給電流を主供給調整制御ループ54に供給するのと同じ供給電圧導体74である。第2のトランジスタ105のドレイン114は、補助供給電流IASUP 82を出力する。レプリカ負荷102は、供給入力リード線115を介して電流を受ける。

【0029】

一例では、レプリカ負荷102は、図示の、ダイオード接続Nチャネルトランジスタに並列接続されたダイオード接続Pチャネルトランジスタを伴う。これら2つのトランジスタは、これらの並列接続されたトランジスタの両端のI-V特性が、発振器57のI-V特性を近似するようにサイズ決定される。別の例では、レプリカ負荷102は、実際は、複製された発振器57の拡張されたバージョンである。代替として、適切なレプリカ負荷を作る他の方法が、レプリカ負荷102を実現するために使用され得る。

【0030】

図10は、図6の一般化されたPLL回路50の第2の実施形態120の回路図である。第2の実施形態120の場合、補助供給電流回路56は、デジタル制御電流源を含む。図示の例のデジタル制御電流源は、3つのバイナリ加重電流源121-123と3つの対応するスイッチ124-126とを含む。デジタル制御電流源による電流出力の量は、補助供給電流IASUP 82である。電流ISSUP 82の大きさは、導体128を介して補助供給電流回路上で受信されるマルチビットデジタル信号127の3ビットデジタル値によって決定される。一例では、VCO 59は、RF受信機のローカル発振器のPLL内にあり、マルチビットデジタル信号127は、適宜ダウンコンバートするために受信機をチューニングするデジタルベースバンドプロセッサ回路によって供給される。VCO 59は、たとえば、RFトランシーバの集積回路上に配設されてよい。デジタルベースバンドプロセッサ回路は、デジタルベースバンドプロセッサ集積回路の一部である。デジタルベースバンドプロセッサ回路は、デジタルベースバンドプロセッサ集積回路からRFトランシーバ集積回路まで直列バスを介してチューニング情報を送信し、このチューニング情報は、IASUP 82の大きさを設定するマルチビットデジタル信号127を含む。デジタル制御電流源は、電流ICL 77の電流IASUP 82に対する比が、VCO 59の動作周波数範囲にわたって実質的に一定のままであるように制御される。補助供給電流回路56は発振器57によって要求される電流ICTRL 67の一部を供給するので、トランジスタ61のサイズが縮小され得、バイパスキャパシタ55のキャパシタンスが、図1の従来のVCOと比較して増加され得る。トランジスタM1 61および補助供給電流回路56のデジタル制御電流源は、デジタル制御電流源のソース抵抗RDAC (VDD導体74からデジタル制御電流源の出力リード線までデジタル制御電流源を通る抵抗)は、トランジスタM1のソース抵抗ROUTM1 (VDD導体74からトランジスタM1のドレインまでトランジスタM1を通る抵抗)よりもずっと大きくなるようにサイズを決められる。

【0031】

図11は、補助供給電流IASUP 82がいかに関与し、発振器57に供給される合計供給電流ICTRL 67に対して変化するかを示す図である。VCO 59の動作周波数範囲は、0.5GHzの下限周波数150から1GHzの上限周波数151まで延びる。線152は、発振器57に供給される供給電流ICTRL 67を表す。滑らかな線153は、図9の第1の実施形態の場合の補助供給電流IASUP 82を表す。階段ステップの線153は、図10の第2の実施形態の場合の補助供給電流IASUP 82を表す。

【0032】

図12は、図6の第1の新規な態様による方法200のフローチャートである。雑音電流が、発振器の供給電流入力リード線からグラウンド導体にキャパシタを通して導通される

10

20

30

40

50

(ステップ201)。一例では、雑音電流は高周波数雑音電流81であり、キャパシタはバイパスキャパシタ55である。このバイパスキャパシタ55は、発振器57の供給電流入力リード線68（ノード89）からグラウンド導体80に高周波数雑音電流81を導通する。供給調整制御ループ回路は、発振器の供給電流入力リード線に供給電流ICLを供給する（ステップ202）。一例では、供給調整制御ループ回路は回路54であり、この回路54は、ノード89と、発振器57の供給電流入力リード線68とに電流ICL77を供給する。補助供給電流IASUPはまた、発振器の供給電流入力リード線にも供給される（ステップ203）。一例では、補助供給電流回路56は、発振器57の供給電流入力リード線68におけるノード89にIASUP電流82を供給する。低周波数雑音供給電圧導体74がある場合、この雑音は、供給調整制御ループ回路54によって除去される。高周波数雑音供給電圧導体74がある場合、この雑音は、供給調整制御ループ回路54によって除去される。高周波数雑音が供給調整制御ループ回路54を通過する場合、この高周波数雑音のほとんどまたはすべてが、雑音電流81の形で、供給電流入力リード線68（ノード89）からグラウンド導体80にキャパシタ55によって導通される。トランジスタ61のドレイン、バイパスキャパシタ55の一方の板、および供給電流入力リード線68は、実際にはともに、1つのコモン加算ノード89を形成する。電流77および82がこのノードに流入し、電流67および81がこのノードから流出する。

10

【0033】

図13は、第2の新規な態様による供給調整されたVCOを伴うPLL160の図である。PFD51、CP52、ループフィルタ53、およびフィードバック分周器58は、上記で説明した第1および第2の実施形態と同じであり、同じ機能を有する。PLLの供給調整されたVCO59は、供給調整制御ループ回路161と、バイパスキャパシタ55と、マスター発振器162と、インジェクタ163と、スレーブ発振器164とを含む。マスター発振器162の出力リード線165上の出力信号VCO_OUT66は、スレーブ発振器164がマスター発振器162に注入同期されるように、インジェクタ163を介してスレーブ発振器164の入力リード線166に供給される。供給調整制御ループ回路161は、マスター発振器162の供給電流入力リード線168に第1の供給電流ICTRLM167を供給する。供給調整制御ループ回路161はまた、第2の供給電流ICL169を出力する。バイパスキャパシタ55は、供給電流ICL169の高周波数雑音成分170をグラウンド導体80に導通する。供給電流ICTRLS171の残りの量が、スレーブ発振器164の供給電流入力リード線172に供給される。

20

30

【0034】

供給調整制御ループ回路161は、演算増幅器173と、第1のPチャネルトランジスタ174と、第2のPチャネルトランジスタ175とを含む。演算増幅器173の反転入力リード線176は、ループフィルタ53から制御信号入力導体76を介して制御信号VCTRL65を受信する。演算増幅器173の非反転入力リード線177は、第1のPチャネルトランジスタ174のドレイン178に結合される。演算増幅器173の出力リード線179は、第1のトランジスタ174のゲート180と、第2のトランジスタ175のゲート181とに結合される。第1のトランジスタ174のソース182は供給電圧導体74に結合され、第2のトランジスタ175のソース183もまた供給電圧導体74に結合される。制御電流ICTRLM167は、第1のトランジスタ174のドレイン178から供給される。制御電流ICL169は、第2のトランジスタ175のドレイン184から供給される。

40

【0035】

動作時、演算増幅器173と第1のトランジスタ174とを伴う供給調整制御ループ回路161の第1の部分、マスター発振器162の供給電流入力リード線168に、調整された電流ICTRLM167を供給する。マスター発振器162からの出力信号VCO_OUT66が、導体185を介してフィードバック分周器58にVCO_OUT信号を供給することによってPLL制御ループを閉じるために使用される。フィードバック分周器58は、信号VCO_OUTを分周し、得られた信号FDIV63をPFD51に供給する。供給調整制御ループ回路161は、フィードバック信号FDIVの位相が

50

P D F 51の入力における基準信号 F R E F 62と同相になってその基準信号にロックされるように、I C T R L M電流 167を調整する。一方、スレーブ発振器164によって出力される信号 V C O _ O U T _ S 186は、導体187を介してC P UまたはR Fシンセサイザまたは別の回路に供給されるクロック信号である。信号 V C O _ O U T _ S 186は、フィードバックの目的のためには使用されない。スレーブ発振器164はマスター発振器162に注入同期されているので、その出力周波数は、マスター発振器162の発振周波数の整数倍または約数である。バイパスキャパシタ55は、主P L Lループの外にあるので、バイパスキャパシタ55のキャパシタンスは、主P L Lループの安定性に影響を及ぼすことなく増大され得る。電源雑音感度は、全体的なP L Lループ安定性に影響を及ぼすことなくバイパスキャパシタ55のキャパシタンスを増加することによって最小化され得、このことは、図1の従来技術のアーキテクチャでは不可能である。バイパスキャパシタ55のキャパシタンスは、集積回路領域の制約によってのみ制限される。

10

【0036】

図14は、供給調整制御ループ回路161の供給雑音感度がいかにして、スレーブ発振器164の供給電流入力リード線172に供給電流 I C T R L S 171を供給する際に、供給導体74上に存在する雑音を除去するかを示す図である。破線19は、図1の従来回路において周波数に応じて供給雑音感度がいかに変化するかを示しており、一方、実線191は、図13の回路において周波数に応じて供給雑音除去がいかに変化するかを示している。縦の破線32、33および34はそれぞれ、図1の従来の回路のF1、F2およびF r e gを示し、一方、縦の破線188、189および190はそれぞれ、図5の回路のF1、F2およびF r e gを示す。図1の回路と比較して、周波数F1は、トランジスタ174に関連する追加の寄生キャパシタンスに起因して低下する。しかしながら、バイパスキャパシタ55のサイズは、図1および図3の従来技術のアーキテクチャと比較して大幅に増加され得る。このことは、バイパスキャパシタ55がスレーブ発振器164の両端に接続されており、マスター発振器の出力が主P L Lループを閉じるために使用されるので、主P L Lループの安定性に悪影響を及ぼすことなく実行され得る。したがって、F2は、実質的にF1よりも小さくされる。F1よりも実質的に小さいF2は、供給雑音感度関数におけるピーキングの完全な排除をもたらす、図14に示すように、広範囲の周波数にわたって良好な供給雑音除去をもたらす。

20

30

【0037】

図15は、図13の第2の新規な態様による、V C Oを動作させる方法300のフローチャートである。制御信号が、制御信号入力導体から供給調整制御ループ回路上で受信される（ステップ301）。一例では、制御信号は図13の信号 V C T R L 65であり、供給調整制御ループ回路は図13の回路161であり、制御信号入力導体は図13の導体76である。第1の供給電流が、供給調整制御ループ回路から第1の発振器の供給電流入力リード線に供給される（ステップ302）。一例では、第1の供給電流は図13の電流 I C T R L M 167であり、第1の発振器は図13の発振器162である。第2の供給電流が、供給調整制御ループから第2の発振器の供給電流入力リード線に供給される（ステップ303）。第2の発振器は、第1の発振器に注入同期される。一例では、第2の供給電流は図13の電流 I C L 169であり、第2の発振器は図13の発振器164である。雑音電流が、第2の発振器の供給電流入力リード線からグランド導体にキャパシタを介して導通される（ステップ304）。一例では、この雑音電流は図13の雑音電流170であり、キャパシタは図13のバイパスキャパシタ55である。制御信号入力導体、供給調整制御ループ回路、第1の発振器、第2の発振器、およびバイパスキャパシタは、V C Oの一部である。この議論では、トランジスタ175のドレインから、スレーブ発振器164の供給電流入力リード線172まで、そのリード線を含めて、およびバイパスキャパシタ55の一方の板まで、その板を含めて、すべての導体または導体のセットが、単一の電気的ノードである。電流 I C L 169がこのコモン加算ノードに流入し、電流 I C T R L S 171および雑音電流170がこのコモン加算ノードから流出する。

40

50

【0038】

いくつかの特定の実施形態について説明の目的で上述したが、本特許文書の教示は、一般的な適用可能性を有し、上述した特定の実施形態に限定されない。上記で説明した供給調整制御ループの例は、供給電流がPチャネルトランジスタのドレインを源とするPチャネルトランジスタを伴うが、Nチャネルトランジスタなど、他の電流制御回路要素が使用されてもよい。供給電流がNチャネルトランジスタから供給されるそのような一例では、駆動演算増幅器への反転および非反転の入力リード線との接続は、演算増幅器が電流ソーシングNチャネルトランジスタを駆動する、上記で説明した実施形態における接続と比較して反転している。したがって、説明した特定の実施形態の様々な特徴の様々な変更、適合、および組合せは、以下に記載する特許請求の範囲の範囲から逸脱することなく実施できる。

10

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[C 1] 制御信号入力導体と、

供給電流入力リード線を有する発振器と、

前記発振器の前記供給電流入力リード線に結合された第1のリード線を有するバイパスキャパシタと、

前記制御信号入力導体から制御信号を受信し、前記発振器の前記供給電流入力リード線に第1の供給電流を供給する供給調整制御ループ回路と、

前記発振器の前記供給電流入力リード線に第2の供給電流を供給する補助供給電流回路とを備える、電圧制御発振器(VCO)。

20

[C 2] 前記第1の供給電流が、前記第2の供給電流に実質的に正比例する、C 1に記載のVCO。

[C 3] 前記補助供給電流回路が、デジタル制御電流源である、C 1に記載のVCO。

[C 4] 前記補助供給電流回路が、マルチビットデジタル制御信号を受信するデジタル制御電流源であり、前記第1の供給電流が前記VCOが動作するにつれて変化し、前記マルチビットデジタル制御信号が、前記第2の供給電流の前記第1の供給電流に対する比が前記VCOが動作するにつれて実質的に一定のままであるように、前記VCOが動作するにつれて変化する、C 1に記載のVCO。

[C 5] 前記補助供給電流回路が、

前記発振器の電流-電圧特性(I-V特性)を近似するI-V特性を有するレプリカ負荷と、

30

前記制御信号入力導体から前記制御信号を受信するために結合された第1の入力リード線を有し、かつ前記レプリカ負荷の供給電流入力リード線に結合された第2の入力リード線を有する演算増幅器と、

トランジスタとを備え、前記トランジスタのゲートが前記演算増幅器の出力リード線に結合され、前記トランジスタのドレインが前記レプリカ負荷の前記供給電流入力リード線に結合される、C 1に記載のVCO。

[C 6] 前記補助供給電流回路が、

ゲートとドレインとを有する第2のトランジスタをさらに備え、前記第2のトランジスタの前記ゲートが前記演算増幅器の前記出力リード線に結合され、前記第2のトランジスタの前記ドレインが前記発振器の前記供給電流入力リード線に結合される、C 5に記載のVCO。

40

[C 7] 前記供給調整制御ループ回路が、

前記制御信号入力導体から前記制御信号を受信するために結合された第1の入力リード線を有し、かつ前記発振器の前記供給電流入力リード線に結合された第2の入力リード線を有する演算増幅器と、

トランジスタとを備え、前記トランジスタのゲートが前記演算増幅器の出力リード線に結合され、前記トランジスタのドレインが前記発振器の前記供給電流入力リード線に結合される、C 1に記載のVCO。

[C 8] 前記補助供給電流回路によって供給される前記第2の供給電流が、前記供給調

50

整制御ループ回路によって供給される前記第 1 の供給電流よりも実質的に大きい、C 7 に記載の VCO。

[C 9] 前記供給調整制御ループ回路が第 1 のトランジスタを通して前記発振器の前記供給電流入力リード線に前記第 1 の供給電流を供給し、前記第 1 のトランジスタのドレインが前記発振器の前記供給電流入力リード線に結合され、前記補助供給電流回路が第 2 のトランジスタを通して前記発振器の前記供給電流入力リード線に前記第 2 の供給電流を供給し、前記第 2 のトランジスタのドレインが前記発振器の前記供給電流入力リード線に結合され、第 1 のトランジスタが前記第 2 のトランジスタよりも小さい、C 1 に記載の VCO。

[C 10] 前記制御信号が、ループフィルタから前記制御信号入力導体を介して受信される、C 1 に記載の VCO。

[C 11] 供給調整制御ループ回路が、
演算増幅器と、

前記演算増幅器の出力リード線から制御信号を受信し、前記発振器の前記供給電流入力リード線に前記第 1 の供給電流を供給する電流制御回路要素とを備える、C 1 に記載の VCO。

[C 12] 電圧制御発振器 (VCO) を動作させる方法であって、

発振器の供給電流入力リード線からグランド導体にキャパシタを通して雑音電流を導通することと、

供給調整制御ループ回路から前記発振器の前記供給電流入力リード線上に第 1 の供給電流を供給することであって、前記供給調整制御ループ回路が演算増幅器とトランジスタとを含み、前記演算増幅器の出力リード線が前記トランジスタのゲートに結合され、前記トランジスタのドレインが前記発振器の前記供給電流入力リード線に結合される、供給することと、

補助供給電流回路から前記発振器の前記供給電流入力リード線上に第 2 の供給電流を供給することとを備え、前記キャパシタ、前記供給調整制御ループ回路、前記発振器、および前記補助供給電流回路が前記 VCO の一部である、方法。

[C 13] 前記補助供給電流回路が、

前記発振器の電流-電圧特性 (I-V 特性) を近似する I-V 特性を有するレプリカ負荷と、

前記制御信号入力導体から前記制御信号を受信するために結合された第 1 の入力リード線を有し、かつ前記レプリカ負荷の供給電流入力リード線に結合された第 2 の入力リード線を有する演算増幅器と、

トランジスタとを備え、前記補助供給電流回路の前記トランジスタのゲートが前記補助供給電流回路の前記演算増幅器の出力リード線に結合され、前記補助供給電流回路の前記トランジスタのドレインが前記レプリカ負荷の前記供給電流入力リード線に結合される、C 12 に記載の VCO を動作させる方法。

[C 14] 前記補助供給電流回路が、デジタル制御電流源である、C 12 に記載の VCO を動作させる方法。

[C 15] 前記第 2 の供給電流が、前記第 1 の供給電流に実質的に正比例する、C 12 に記載の VCO を動作させる方法。

[C 16] 前記第 2 の供給電流が、前記第 1 の供給電流よりも実質的に大きい、C 12 に記載の VCO を動作させる方法。

[C 17] 発振器と、

VCO の制御信号入力導体から制御信号を受信し、前記発振器の供給電流入力リード線に第 1 の供給電流を供給する供給調整制御ループ回路と、

前記発振器の前記供給電流入力リード線からグランド導体に雑音電流を導通するために結合されたバイパスキャパシタと、

第 2 の供給電流が前記第 1 の供給電流に実質的に正比例するように、前記発振器の前記供給電流入力リード線に第 2 の供給電流を供給するための手段とを備える、電圧制御発振

10

20

30

40

50

器（VCO）。

〔C18〕 前記手段が、前記発振器の電流－電圧特性（I－V特性）を実質的に複製するレプリカ負荷を含む、C17に記載のVCO。

〔C19〕 前記手段がデジタル制御電流源を含み、前記デジタル制御電流源がマルチビットデジタル制御信号を受信する、C17に記載のVCO。

〔C20〕 前記第2の供給電流が、前記第1の供給電流よりも実質的に大きい、C17に記載のVCO。

〔C21〕 前記制御信号が、前記発振器の発振周波数を制御する電圧制御信号である、C17に記載のVCO。

〔C22〕 制御信号入力導体と、
供給電流入力リード線を有する第1の発振器と、
供給電流入力リード線を有し、前記第1の発振器に注入同期されている第2の発振器と

10

、
前記制御信号入力導体から制御信号を受信し、前記第1の発振器の前記供給電流入力リード線に第1の供給電流を供給し、前記第2の発振器の前記供給電流入力リード線に第2の供給電流を供給する供給調整制御ループ回路とを備える、電圧制御発振器（VCO）。

〔C23〕 前記第2の発振器の前記供給電流入力リード線からグラウンド導体に雑音電流を導通するために結合されたバイパスキャパシタをさらに備える、C22に記載のVCO。

〔C24〕 前記第2の供給電流が、前記第1の供給電流に実質的に正比例する、C22に記載のVCO。

20

〔C25〕 前記供給調整制御ループ回路が、
前記第1の発振器に前記第1の供給電流を供給する第1のトランジスタと、
前記第2の発振器に前記第2の供給電流を供給する第2のトランジスタと、
演算増幅器とを備え、前記演算増幅器の出力リード線が前記第1のトランジスタのゲートに結合され、かつ前記第2のトランジスタのゲートに結合される、C22に記載のVCO。

〔C26〕 前記供給調整制御ループ回路が、
ゲートとドレインとを有するトランジスタであって、前記ドレインが前記第1の発振器の前記供給電流入力リード線に結合される、トランジスタと、
演算増幅器とを備え、前記演算増幅器の出力リード線が前記トランジスタの前記ゲートに結合され、前記演算増幅器の第1の入力リード線が前記制御信号入力導体に結合され、前記演算増幅器の第2の入力リード線が前記トランジスタの前記ドレインに結合される、C22に記載のVCO。

30

〔C27〕 電圧制御発振器（VCO）を動作させる方法であって、
制御信号入力導体から供給調整制御ループ回路上に制御信号を受信することと、
前記供給調整制御ループ回路から第1の発振器の供給電流入力リード線に第1の供給電流を供給することと、

前記供給調整制御ループから、前記第1の発振器に注入同期されている第2の発振器の供給電流入力リード線に第2の供給電流を供給することと、

40

前記第2の発振器の前記供給電流入力リード線からグラウンド導体にバイパスキャパシタを通して雑音電流を導通することとを備え、前記制御信号入力導体、前記供給調整制御ループ回路、前記第1の発振器、前記第2の発振器、および前記バイパスキャパシタが前記VCOの一部である、方法。

〔C28〕 前記第1の供給電流が、前記第2の供給電流に実質的に正比例する、C27に記載のVCOを動作させる方法。

〔C29〕 前記供給調整制御ループ回路が、
前記第1の発振器に前記第1の供給電流を供給する第1のトランジスタと、
前記第2の発振器に前記第2の供給電流を供給する第2のトランジスタと、
演算増幅器とを備え、前記演算増幅器の出力リード線が前記第1のトランジスタのゲ

50

トに結合され、かつ前記第 2 のトランジスタのゲートに結合される、C 2 7 に記載の V C O を動作させる方法。

[C 3 0] 前記 V C O が位相ロックループ (P L L) の一部であり、前記方法が、
前記第 1 の発振器から発振信号を出力することと、
前記 P L L のフィードバック分周器に前記発振信号を供給することと、
前記第 2 の発振器に前記発振信号を供給することとをさらに備える、C 2 7 に記載の V C O を動作させる方法。

[C 3 1] 制御信号入力導体と、
供給電流入力リード線を有する第 1 の発振器と、
供給電流入力リード線を有し、前記第 1 の発振器に注入同期されている第 2 の発振器と

10

、
第 2 の供給電流が第 1 の供給電流に実質的に正比例するように、前記制御信号入力導体から制御信号を受信し、前記第 1 の発振器の前記供給電流入力リード線に第 1 の供給電流を供給し、前記第 2 の発振器の前記供給電流入力リード線に第 2 の供給電流を供給するための手段とを備え、前記制御信号入力導体、前記第 1 の発振器、前記第 2 の発振器、および前記手段が電圧制御発振器 (V C O) の一部分である、V C O。

[C 3 2] 前記第 1 の発振器が、位相ロックループ (P L L) のフィードバック分周器に供給される発振信号を出力する、C 3 1 に記載の V C O。

[C 3 3] 位相ロックループ (P L L) のループフィルタから前記制御信号入力導体を介して前記制御信号を受信する、C 3 1 に記載の V C O。

20

[C 3 4] 前記手段が第 1 のトランジスタと、第 2 のトランジスタと、演算増幅器とを含み、前記第 1 のトランジスタが前記第 1 の発振器に前記第 1 の供給電流を供給し、前記第 2 のトランジスタが前記第 2 の発振器に前記第 2 の供給電流を供給し、前記演算増幅器の出力リード線が前記第 1 のトランジスタのゲートと前記第 2 のトランジスタのゲートとに結合される、C 3 1 に記載の V C O。

图 3

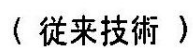


FIG. 3

图 4



图 5

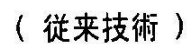


FIG. 5

【図 6】

図 6

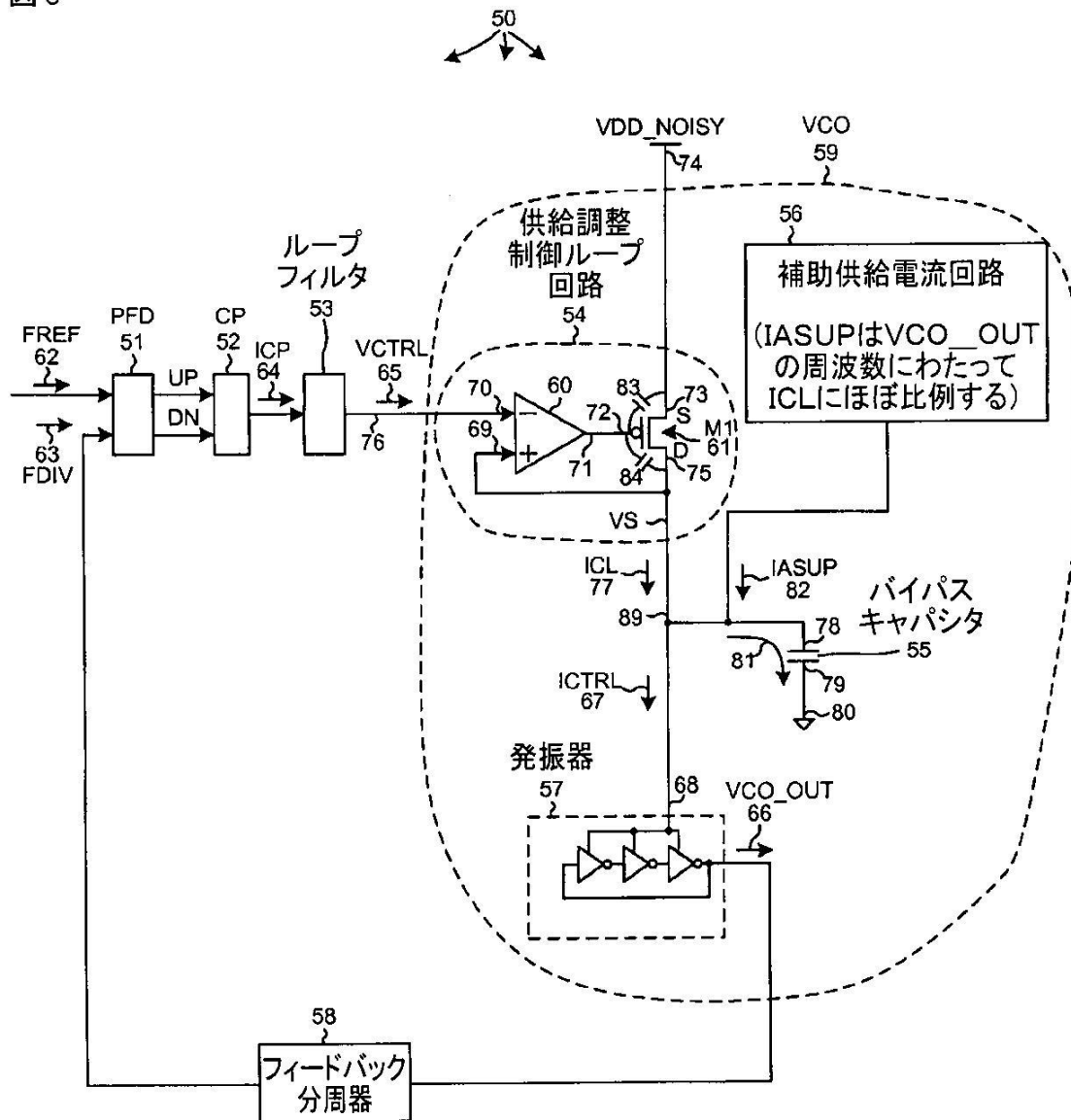


FIG. 6

【図 7】

図 7

レプリカマッチング問題がないので低周波数において図3より優れた供給雑音感度

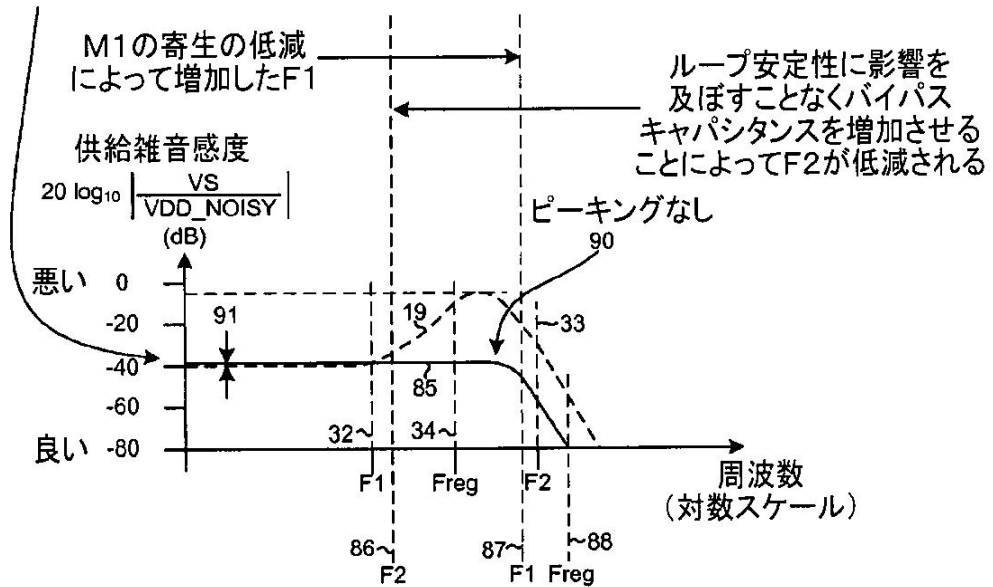


FIG. 7

【図 8】

図 8

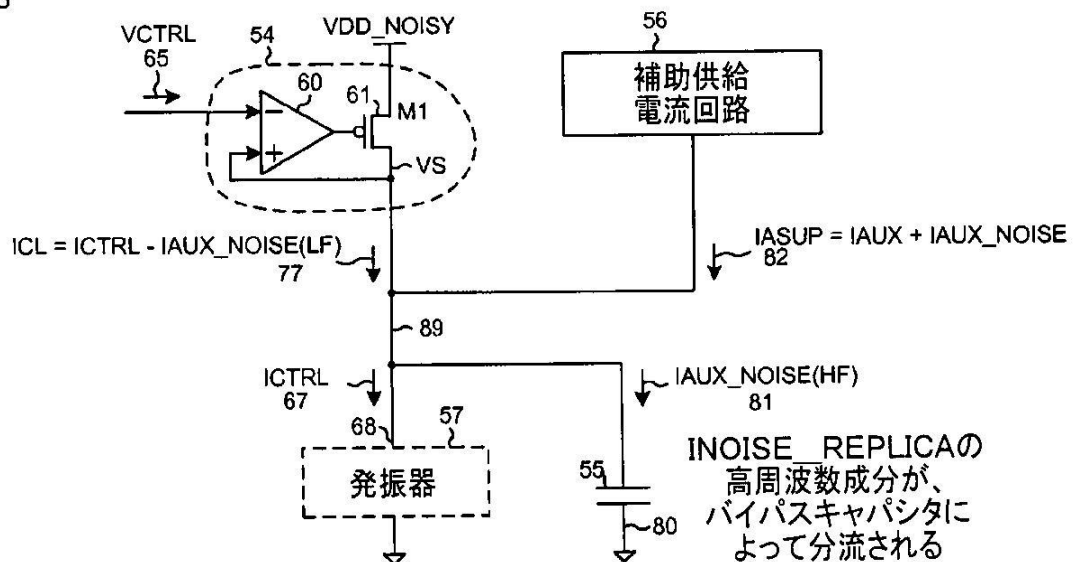
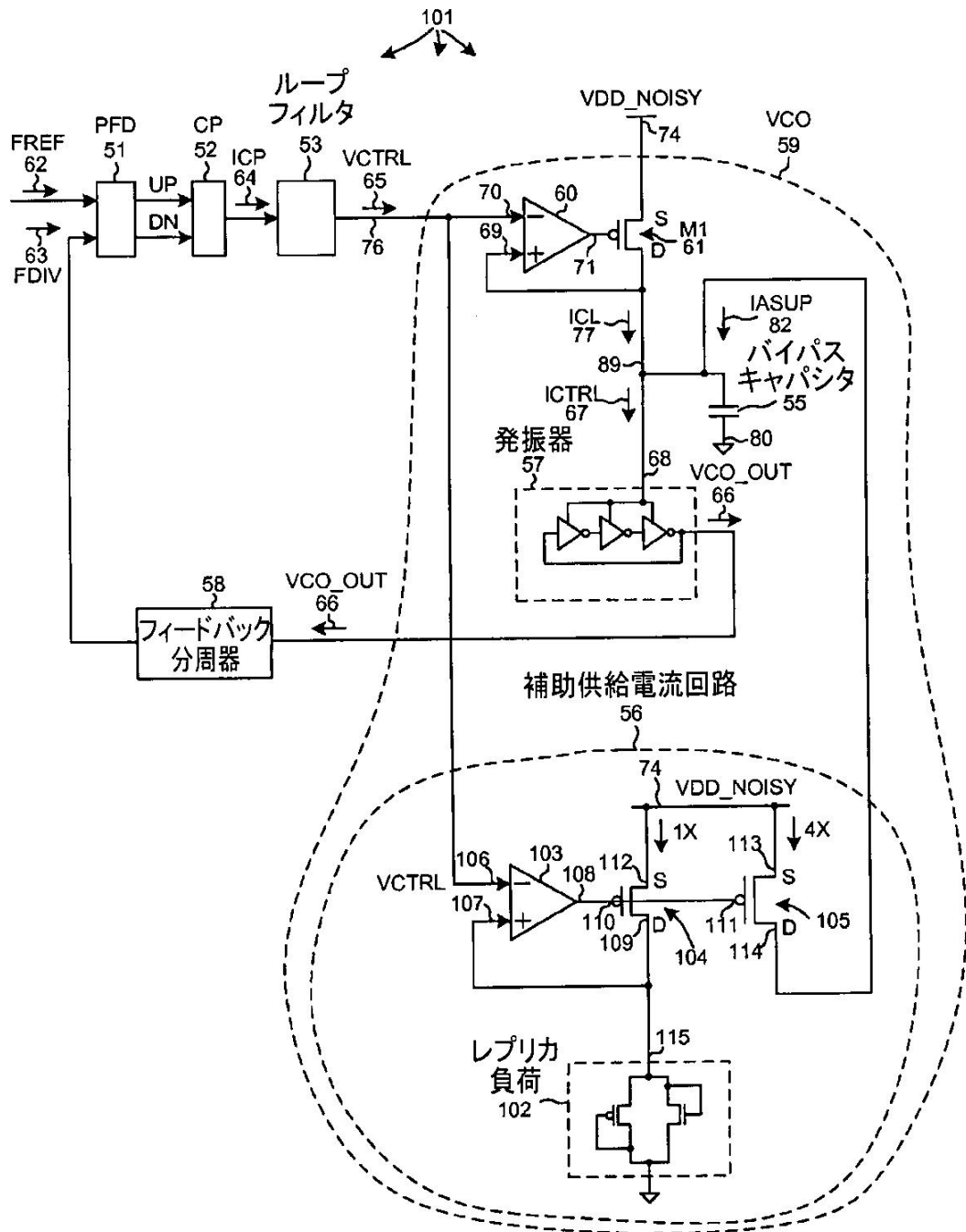


FIG. 8

【図 9】

図 9

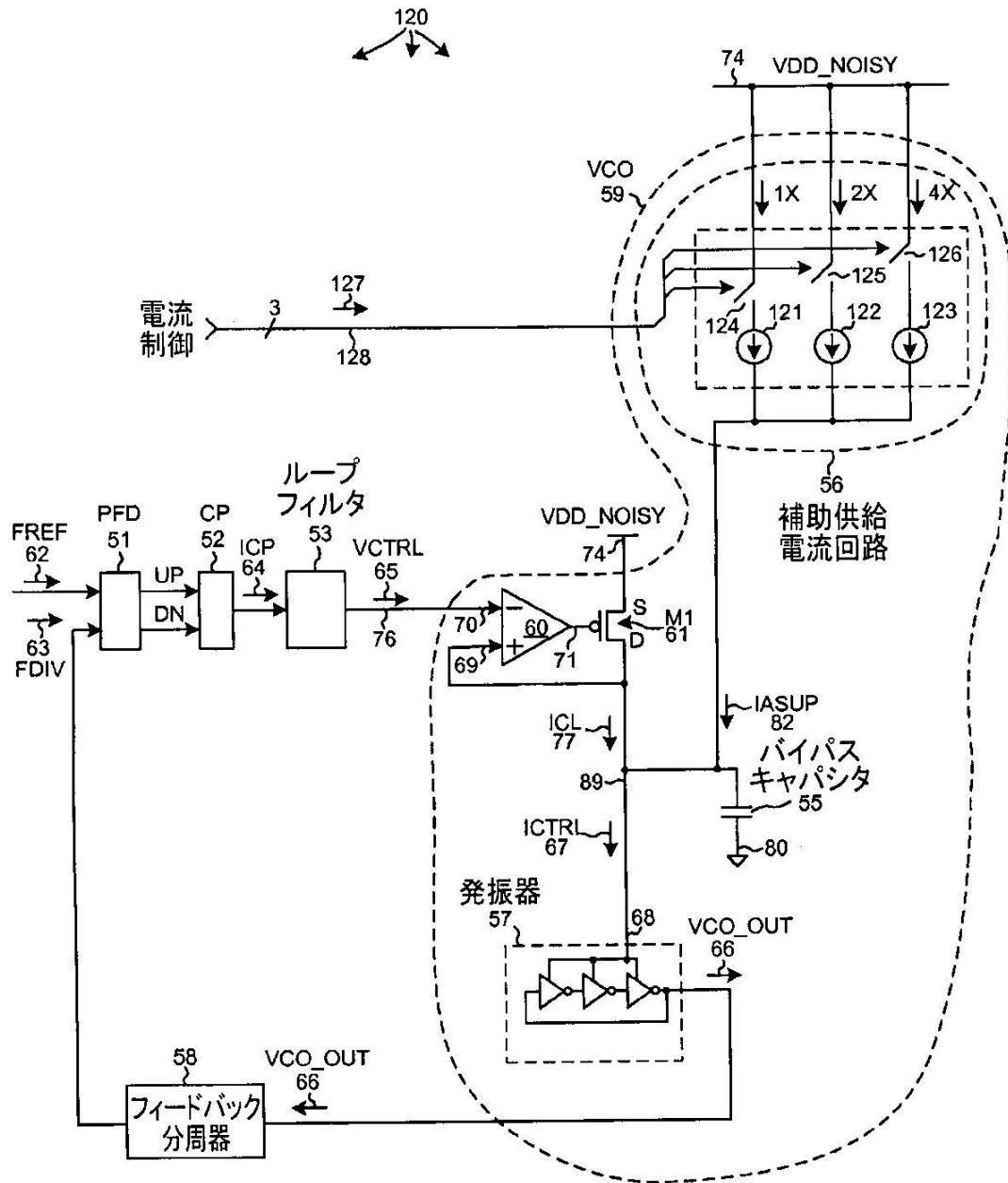


第1の実施形態

FIG. 9

【図10】

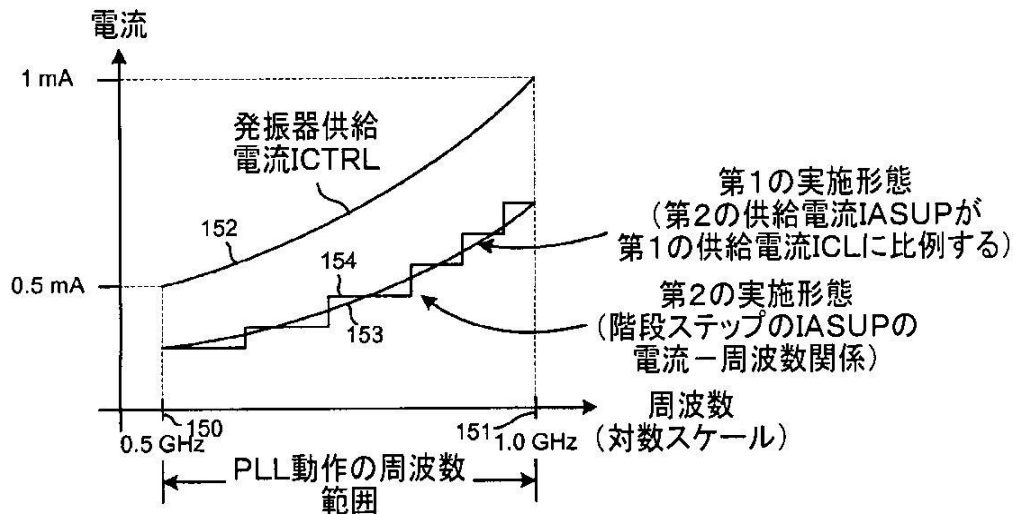
図 10



第2の実施形態
FIG. 10

【図 1 1】

図 11



IASUP電流がいかにか、
ICTRLおよびVCO周波数に対して変化するか

FIG. 11

【図 1 2】

図 12

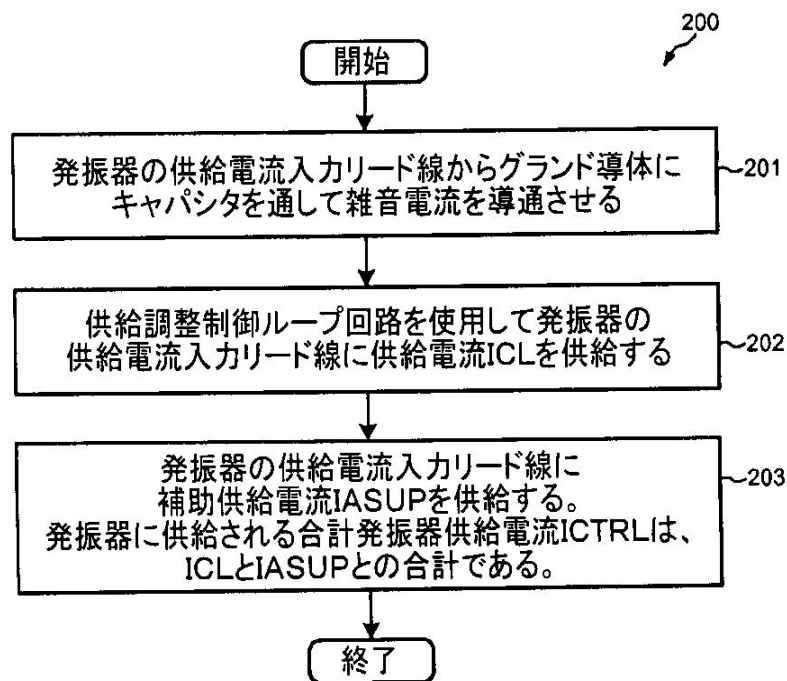


FIG. 12

图 13



FIG. 13

【図 1 4】

図 14

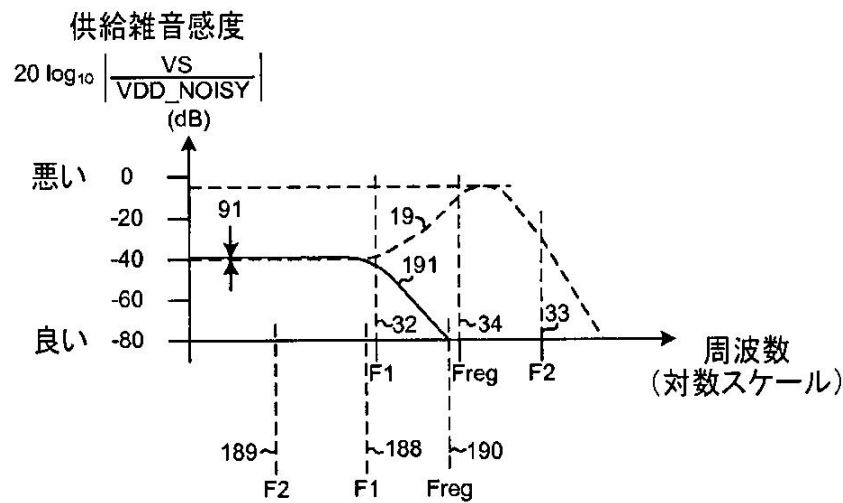


FIG. 14

【図 1 5】

図 15

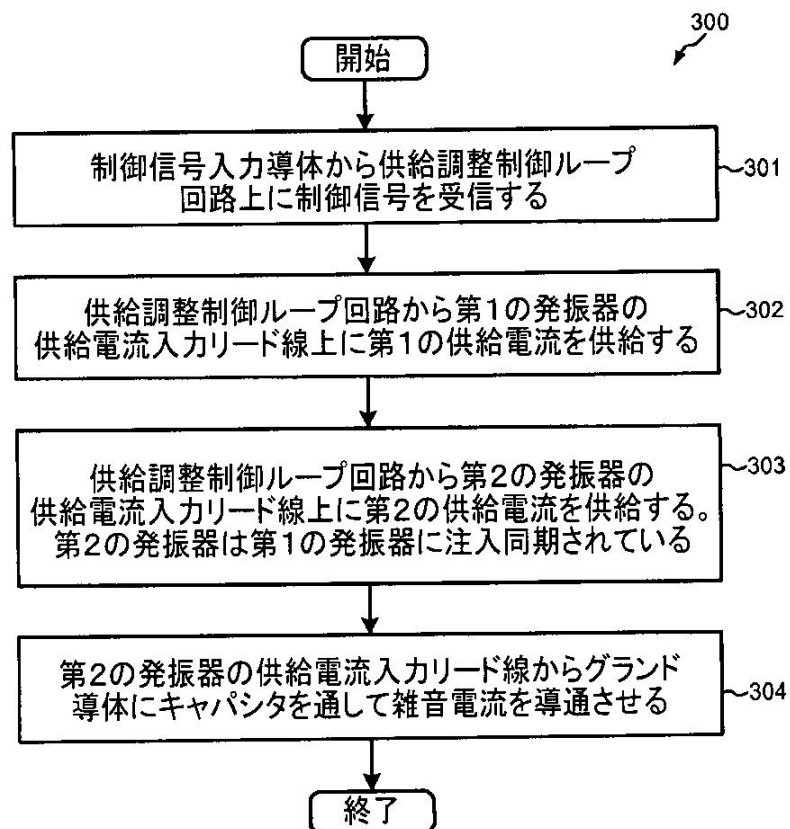


FIG. 15

フロントページの続き

- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (72)発明者 ラグナサン、アシュウィン
アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775
- (72)発明者 ペドラリーノイ、マルツィオ
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 5775
- (72)発明者 ワドーファ、サメーア
アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775

審査官 鬼塚 由佳

- (56)参考文献 特表2009-523394 (JP, A)
特開2001-077674 (JP, A)
特開2002-111449 (JP, A)
特開2002-185291 (JP, A)
国際公開第2010/126845 (WO, A1)
E. Alon, et al, Replica Compensated Linear Regulators for Supply-Regulated Phase Locked Loops, IEEE J. Solid-State Circuits, 米国, IEEE, 2006年 2月, vol. 41, no.2, pp. 413 - 424
ZHANG FENG, A LOW LATENCY TRANSCEIVER MACRO WITH ROBUST DESIGN TECHNIQUE FOR PROCESSOR INTERFACE, IEEE ASIAN SOLID-STATE CIRCUITS CONFERENCE, 2009 (A-SSCC 2009), 米国, IEEE, 2009年11月16日, P185-188
VIVEKANANTH GURUMOORTHY, SUPPLY REGULATION TECHNIQUES FOR PHASE-LOCKED LOOPS, 2009 IEEE DALLAS CIRCUITS AND SYSTEMS WORKSHOP (DCAS), 米国, IEEE, 2009年10月 4日, P1-4

(58)調査した分野(Int.Cl., DB名)

H03L 7/099
H03K 3/03
H03K 3/354
H03L 7/107

IEEE Xplore