

(43) 国際公開日
2006 年 3 月 2 日 (02.03.2006)

PCT

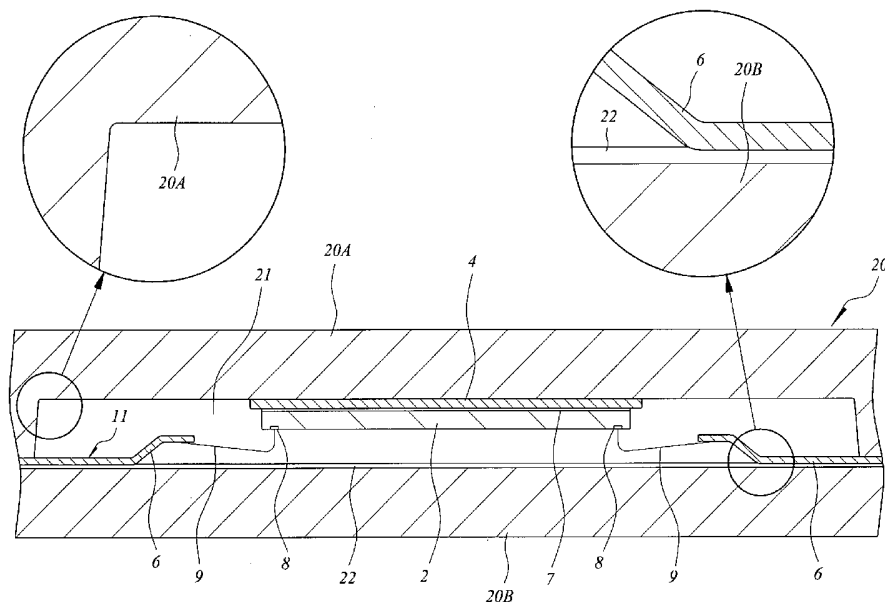
(10) 国際公開番号
WO 2006/022024 A1

- (51) 国際特許分類⁷: H01L 21/56 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (21) 国際出願番号: PCT/JP2004/012450
- (22) 国際出願日: 2004 年 8 月 24 日 (24.08.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 坂野 正和 (SAKANO, Masakazu) [JP/JP]; 〒0668511 北海道千歳市泉沢 1007 番地 39 株式会社ルネサス北日本セミコンダクタ内 Hokkaido (JP).
- (74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1600023 東京都新宿区西新宿 8 丁目 1 番 1 号アゼリアビル 3 階 筒井国際特許事務所 Tokyo (JP).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: PROCESS FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: A QFN (1A) has such a structure that the rear surface of a die pad part (4) on which a chip (2) is mounted is exposed to the outside from the upper surface of a mold resin (3). The mold resin (3) has flat upper and side surfaces which have not been subjected to mat finish. The mold resin (3) having such flat surfaces is molded using a die (20) having an upper die (20A) whose surface exposed to a cavity (21) is mirror-finished.

(57) 要約: QFN (1A) は、チップ (2) が実装されたダイパッド部 (4) の裏面をモールド樹脂 (3) の上面から外部に露出させた構造になっている。また、モールド樹脂 (3) の上面と側面とは、梨地加工が施されておらず、平坦な面になっている。このような平坦な面を有するモールド樹脂 (3) は、キャビティ (21) 内に露出した上金型 (20A) の表面に鏡面加工が施された金型 (20) を使って成形される。

WO 2006/022024 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置の製造方法

5 技術分野

本発明は、半導体装置の製造技術に関し、特に、半導体チップを封止するモールド樹脂の実装面に外部接続端子を配置し、モールド樹脂の他の面にダイパッド部を露出させたパッケージ構造を有する半導体装置の製造に適用して有効な技術に関するものである。

10

背景技術

リードフレームに搭載された半導体チップをモールド樹脂からなる封止体によって封止した樹脂パッケージの一種にQFN(Quad Flat Non-leaded package)がある(例えば特開2001-189410号公報、特許第3072291号公報など)。

15

上記QFNは、ボンディングワイヤを介して半導体チップと電氣的に接続された複数のリードのそれぞれの一部をモールド樹脂の下面(実装面)から露出させて外部接続端子を構成し、これらの外部接続端子を配線基板の電極(フットプリント)に半田付けすることによって実装されるパッケージである。このようなパッケージ構造は、外部接続端子を構成するリードをモールド樹脂の側面から外側に引き出したQFP(Quad Flat Package)などに比べて実装面積を小さくできるので、高密度実装に有利である。

20

発明の開示

25 一般に、QFNやQFPなどの樹脂パッケージを製造するには、リードフレームのダイパッド部上に半導体チップを実装し、半導体チップとリードとをワイヤで接続した後、リードフレームをモールド金型に装着して半導体チップを樹脂封止し、その後、モールド樹脂の外部に露出したリードフレームの不要部分を切断、除去する。

上記モールド金型は、上金型と下金型とで構成され、通常、キャビティ内に露出した金型の表面には、梨地加工が施される。梨地加工とは、物理的处理や化学的处理によって、金型の表面に多数の微細な凹凸を形成する処理であり、これによって、モールド樹脂の表面に微細な凹凸を形成する。

- 5 半導体チップを封止するモールド樹脂の表面を梨地にするのは、
- (a) モールド樹脂の表面に、製造者、品番、ロット番号などを示すインクマークを刻印する際、インクの密着性を向上させる。
 - (b) 金型の表面の微細な傷などがモールド樹脂の表面に転写され難くする。
 - (c) モールド樹脂の外観に高級感を付与する、などの理由からである。

- 10 また、QFNやQFPなどの樹脂パッケージは、熱伝導性の小さい有機樹脂によって半導体チップを封止するので、半導体チップから発生した熱が外部に放散され難い。その対策として、高周波回路が形成された半導体チップのように、発熱量の大きい半導体チップを封止する樹脂パッケージの場合は、モールド樹脂の表面にダイパッド部を露出させることによって、パッケージの熱抵抗を低減する
- 15 ことが行われている。

- モールド樹脂の表面にダイパッド部を露出させる方式には、モールド樹脂の下面（実装面）から露出させる方式と、上面（実装面とは反対側の面）から露出させる方式とがある。ところが、QFNは、モールド樹脂の下面に外部接続端子が配置されるため、ダイパッド部をモールド樹脂の下面（実装面）から外部に露出
- 20 させた場合、配線基板の表面のダイパッド部と対向する領域に配線を配置することができなくなり、特に高密度実装用配線基板においては、配線のレイアウト設計が困難になる。

- 従って、QFNの場合は、モールド樹脂の上面からダイパッド部を露出させることによって、配線基板の実装密度を向上させると共に、パッケージの放熱性を
- 25 向上させることが要求される。

モールド樹脂の上面からダイパッド部を露出させたQFNを製造するには、まず、リードフレームのダイパッド部上に半導体チップを実装した後、半導体チップのボンディングパッドと、リードフレームのリードとをワイヤで結線し、次に、このリードフレームをモールド金型に装着する。

そして、下金型の表面に薄い樹脂シートを敷き、この樹脂シートの上にリードフレームを載置する。このとき、リードフレームは、半導体チップが実装されたダイパッド部の一面（主面）と反対側の他面（裏面）を上に向けて配置し、リードを樹脂シートに接触させる。そしてこの状態で、リードと樹脂シートとを上金型と下金型とで挟み付けると、ダイパッド部の裏面（上面）が上金型の表面に接
5 触すると共に、上金型と下金型との押圧力によってリードが樹脂シートの中に食い込む。

次に、この状態でキャビティ内に溶融樹脂を注入してモールド樹脂を成形した後、上金型と下金型とを分離することにより、ダイパッド部の裏面（上面）がモ
10 ルド樹脂の上面から外部に露出すると共に、樹脂シートの中に食い込んでいたリードがモールド樹脂の下面から外部に露出する。

リードは樹脂シートに隙間なく食い込むため、リードと樹脂シートとの間に樹脂が入り込むことがないことから、モールド樹脂の下面（実装面）から露出させ形成される外部接続端子の表面に樹脂が付着することがない。

ところが、上記した成形工程では、リードフレームを金型に装着してダイパッド部の裏面（上面）を上金型の表面に接触させた時、梨地加工による上金型の表面の微細な凹凸に起因してダイパッド部と上金型との間に微細な隙間が生じる。そのため、キャビティ内に溶融樹脂を注入すると、溶融樹脂がこの隙間に入り込む結果、リードフレームを金型から取り出した際に、モールド樹脂から露出した
20 ダイパッド部の表面にレジソフラッシュと呼ばれる樹脂バリが大量に付着してしまうことが、本発明者の検討によって明らかになった。

一般に、成形工程で発生するこの種の樹脂バリを除去するバリ取り(deflash)方法としては、モールド樹脂の表面に高圧水を噴射するウォータージェット方式が用いられる。また、樹脂バリの量が多いとき、あるいは樹脂バリがウォータ
25 ジェット方式だけでは除去することが困難な場合には、ウォータージェットの前処理として、モールド樹脂を薬液に浸漬する電解方式が併用される。

しかし、ダイパッド部の表面に樹脂バリが大量に付着した場合は、バリ取りに多くの時間が掛かってしまう。特に、QFNのような小型のパッケージの場合は、ダイパッド部の表面全体が樹脂バリで覆われてしまうので、上記したバリ取り

方法では除去が困難である。また、ダイパッド部に半導体チップを実装する工程に先立ってリードフレームの表面全体にPd（パラジウム）などのメッキを施しておく、いわゆる先付けメッキ方式のリードフレームに上記のようなバリ取り方法を適用すると、モールド樹脂の外部に露出したリードやダイパッド部の表面の

- 5 メッキがダメージを受け、半田メッキの濡れ性が低下するという問題も生じる。さらに、ダイパッド部の表面に付着した樹脂バリの一部がリードフレームの搬送中に剥離して異物の原因となる場合もある。

- 10 ダイパッド部の表面に樹脂バリが付着するのを防ぐ方法として、例えば上金型と下金型の両面に薄い樹脂シートを敷き、ダイパッド部と上金型との間に樹脂シートを介在させる方法もある。このようにすると、ダイパッド部が樹脂シートの中に食い込むので、ダイパッド部と樹脂シートとの間に熔融樹脂が入り込むことはない。

- 15 しかし、上金型には熔融樹脂を供給するゲートランナーやキャビディ内の余分な空気を排気するためのエアメント等が設けられている。そのため、上金型は下金型に比べ複雑な構造のため、上金型に樹脂シートを敷くと、その樹脂シートがよれてしまう可能性がある。上金型と下金型の両面に樹脂シートを敷く成形方法は、金型の構造が複雑化するのみならず、樹脂シートのコスト増加をもたらすので、QFNの製造コストの増加を招く不利益がある。

- 20 本発明の目的は、半導体チップを封止するモールド樹脂の下面（実装面）に外部接続端子を配置し、モールド樹脂の上面にダイパッド部を露出させたパッケージ構造を有する半導体装置の製造に際し、ダイパッド部の表面に付着する樹脂バリの量を低減することのできる技術を提供することにある。

また、本発明の他の目的は、半導体装置の製造時間を低減することのできる技術を提供することにある。

- 25 また、本発明の他の目的は、半導体装置の製造コストを安価にすることのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば

、次のとおりである。

本発明は、ダイパッド部と、前記ダイパッド部の一面に実装された半導体チップと、前記ダイパッド部の周囲を囲むように配置された複数本のリードと、前記複数本のリードのそれぞれと前記半導体チップとを電氣的に接続する複数本の

5 ワイヤとがモールド樹脂によって封止され、

前記複数本のリードのそれぞれの一部が、前記モールド樹脂の実装面から露出されることによって、複数の外部接続端子が構成され、

前記ダイパッド部の一面と反対側の他面が、前記モールド樹脂の前記実装面とは反対側の面から露出されたパッケージ構造を有する半導体装置の製造方法で

10 あつて、

（a）前記ダイパッド部と前記複数本のリードとが形成されたリードフレームを用意する工程と、

（b）前記リードフレームに形成された前記ダイパッド部の一面に、前記半導体チップを実装した後、前記リードフレームに形成された前記複数本のリードのそれぞれと前記半導体チップとをワイヤで電氣的に接続する工程と、

15

（c）前記工程（b）の後、上金型と下金型とからなる金型に前記リードフレームを装着し、前記ダイパッド部の他面を前記上金型の表面に接触させると共に、前記複数本のリードのそれぞれの一部を、前記下金型の上に敷かれた樹脂シートに接触させる工程と、

20

（d）前記工程（c）の後、前記金型のキャビティ内に溶融樹脂を供給することによって、前記モールド樹脂を成形する工程とを有し、

前記キャビティ内に露出した前記上金型の表面全体が鏡面処理されているものである。

25 図面の簡単な説明

図1は、本発明の一実施の形態であるQFNの上面を示す平面図である。

図2は、本発明の一実施の形態であるQFNの下面を示す平面図である。

図3は、図1のA-A線に沿ったQFNの断面図である。

図4は、本発明の一実施の形態であるQFNの側面図である。

図5は、本発明の一実施の形態であるQFNの製造に用いるリードフレームの平面図である。

図6は、本発明の一実施の形態であるQFNの製造方法を示すリードフレームの平面図である。

5 図7は、本発明の一実施の形態であるQFNの製造方法を示すリードフレームの要部断面図である。

図8は、本発明の一実施の形態であるQFNの製造方法を示すリードフレームの平面図である。

10 図9は、本発明の一実施の形態であるQFNの製造方法を示すリードフレームの要部断面図である。

図10は、本発明の一実施の形態であるQFNの製造方法を示す金型の要部断面図である。

図11は、本発明の一実施の形態であるQFNの製造方法を示す金型の要部断面図である。

15 図12は、本発明の他の実施の形態であるQFNの製造方法を示す金型の要部断面図である。

図13は、本発明の他の実施の形態であるQFNの製造方法を示す金型の要部断面図である。

20 図14は、本発明の他の実施の形態であるQFNの製造方法を示す金型の要部断面図である。

図15は、図12に示す金型により成形されたQFNの断面図である。

図16は、図13に示す金型により成形されたQFNの断面図である。

図17は、図14に示す金型により成形されたQFNの断面図である。

図18は、本発明の他の実施の形態であるQFNの断面図である。

25 図19は、本発明の他の実施の形態であるQFNの製造方法を示す金型の要部断面図である。

発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形

態を説明するための全図において、同一の機能を有するものには同一の符号を付し、その繰り返しの説明は省略する。

(実施の形態 1)

図 1 および図 2 は、本実施の形態の QFN の平面図であり、図 1 は上面側、図 2 は下面（実装面）側をそれぞれ示している。また、図 3 は、図 1 の A-A 線に沿った断面図、図 4 は、この QFN の側面図である。

本実施の形態の QFN (1A) は、1 個の半導体チップ（以下、単にチップという）2 をモールド樹脂 3 で封止した表面実装型の樹脂パッケージである。チップ 2 は、金属製のダイパッド部 4（チップ搭載部、タブ）の一面に実装（接着）された状態でモールド樹脂 3 の中央部に配置されており、チップ 2 の裏面とダイパッド部 4 の表面とは、接着剤 7 によって接着されている。チップ 2 の主面（集積回路が形成された面）の周辺部には、複数のボンディングパッド 8 が形成されている。図 1～図 4 には示さないが、ダイパッド部 4 は、これと一体に形成され、モールド樹脂 3 のコーナー部方向に延在する 4 本の吊りリード 5 によって支持されている。なお、図に示すダイパッド部 4 の形状は四角形であるが、それ以外の形状（例えば円形）であってもよい。また、ダイパッド部 4 のサイズは、チップ 2 のサイズより小さくてもよい。

チップ 2 が実装されたダイパッド部 4 の周囲には、複数本のリード 6 がほぼ等間隔に配置されている。各リード 6 の一端部（チップ 2 に近い方の端部）と、チップ 2 の主面のボンディングパッド 8 とは、Au ワイヤ 9 を介して電氣的に接続されている。一方、各リード 6 の他端部側は、モールド樹脂 3 の下面（実装面）から外部に露出し、QFN (1A) の外部接続端子を構成している。図示は省略するが、リード 6、吊りリード 5 およびダイパッド部 4 のそれぞれの表面には、Pd（パラジウム）メッキが施されている。QFN (1A) を配線基板に実装する際には、配線基板の電極と QFN (1A) の各リード 6 とを半田を介して電氣的に接続するが、上記 Pd メッキは、半田の濡れ性を向上させるために形成される。

本実施の形態の QFN (1A) の特徴は、チップ 2 が実装されたダイパッド部 4 の一面（主面）とは反対側の他面（裏面）をモールド樹脂 3 の上面から外部に

露出させた点にある。前述したように、QFN（1A）は、モールド樹脂3の下面に外部接続端子（リード6）が配置される。そのため、ダイパッド部4の裏面をモールド樹脂3の下面（実装面）から外部に露出させた場合、配線基板の表面のダイパッド部4と対向する領域に配線を配置することができなくなり、特に高

5 密度実装用配線基板においては、配線のレイアウト設計が困難になる。そこで、本実施の形態のQFN（1A）は、モールド樹脂3の上面からダイパッド部4を外部に露出させ、配線基板の実装密度を向上させると共に、パッケージの熱抵抗を低減させている。

また、本実施の形態のQFN（1A）の他の特徴は、モールド樹脂3の上面（

10 ダイパッド部4が露出している面）と側面とに梨地加工が施されておらず、平坦な面になっている点にある。このような平坦な面を有するモールド樹脂3は、表面が鏡面加工された金型を使って成形される。

一般に、梨地加工（梨地処理）とは、物理的处理（サンドブラスト、ショットブラスト、放電加工、レーザー照射など）あるいは化学的处理（エッチングなど

15 ）によって、金型などの表面に多数の微細な凹凸を形成する処理であり、シボ加工とも呼ばれている。梨地加工によって形成される凹凸の大きさ（凹部の深さ、あるいは凸部の高さ）は、モールド樹脂3の表面にインクを使って文字や記号などのマークを印刷することが可能な程度の大きさであり、通常は、 $10\mu\text{m}\sim 15\mu\text{m}$ 程度である。

一方、鏡面加工（鏡面処理）とは、一般に、金型などの表面に上記のような梨地加工を施さず、凹凸のない平坦な面に仕上げることをいうが、本実施の形態では、 $1.0\mu\text{m}$ 未満の極めて微細な凹凸を形成する場合も含まれる。鏡面加工が施された金型を使ってモールド樹脂3を成形する工程については、後述する。

図1に示すように、モールド樹脂3の上面の周辺部には、製造者、品番、ロット

25 番号などを示すマーク10が刻印されている。一般に、樹脂パッケージの表面にマークを形成する方法として、インクを用いた印刷方法とレーザーマーキング法とがあるが、本実施の形態のQFN（1A）は、モールド樹脂3の上面が平坦になっているので、印刷方法ではモールド樹脂3とインクとの密着性が乏しくなる。そこで、上記マーク10は、平坦な面にもマークを刻印できるレーザーマー

キング法によって刻印されている。

図5は、上記QFN(1A)の製造に用いるリードフレームの平面図である。このリードフレーム11は、Cu、Cu合金またはFe-Ni合金などからなる厚さ125 μ m~200 μ m程度の金属板からなり、前述したダイパッド部4、
5 吊りリード5、リード6などのパターンが繰り返し形成された構成になっている。すなわち、リードフレーム11は、複数個(例えば3個)のチップ2を搭載できる多連構造を有している。このリードフレーム11は、金属板をプレスで打ち抜いたり、エッチングしたりすることによって、ダイパッド部4、吊りリード5、リード6などのパターンを形成し、その後、これらのパターンの表面全体にPdメッキを施すことによって製造される。リードフレーム11の表面全体に一括してPdメッキを施した場合は、リード6の表面やダイパッド部4の表面に選択的にメッキを施す工程が不要となる。

上記リードフレーム11を使ってQFN(1A)を組み立てるには、まず、図6および図7に示すように、Ag(銀)ペーストなどの接着剤7を使ってダイパッド部4上にチップ2を接着した後、図8および図9に示すように、周知のボールボンディング装置を使って、チップ2のボンディングパッド8と、リードフレーム11のリード6とをAuワイヤ9で電氣的に接続(結線)する。

次に、上記リードフレーム11を図10に示す金型20に装着する。図10は、金型20の一部(QFN約1個分の領域)を示す断面図である。この金型20
20 は、上金型20Aと下金型20Bとで構成されており、キャビティ21内に露出した上金型20Aの表面には、鏡面加工が施されている。

上記金型20を使ってチップ2を樹脂封止するには、まず、下金型20Bの表面に薄い樹脂シート22を敷き、この樹脂シート22の上にリードフレーム11を載置する。リードフレーム11は、ダイパッド部4の裏面(チップ2が実装された面と反対側の面)を上に向けて配置し、リード6を樹脂シート22に接触させる。そして、この状態でリード6と樹脂シート22とを上金型20Aと下金型20Bとで挟み付け、ダイパッド部4の裏面(上面)を上金型20Aの表面に接触させると共に、上金型20Aと下金型20Bとの押圧力によって、リード6を樹脂シート22の中に食い込ませる。このとき、上金型20Aの表面は、梨地加

工されていない平坦な面となっているので、上金型 20 A の表面とダイパッド部 4 とが密に接触する。

次に、この状態でキャビティ 21 内に溶融樹脂を注入してモールド樹脂 3 を成形した後、上金型 20 A と下金型 20 B とを分離する。これにより、図 11 に示すように、ダイパッド部 4 の裏面（上面）がモールド樹脂 3 の上面から外部に露出すると共に、樹脂シート 22 の中に食い込んでいたリード 6 がモールド樹脂 3 の下面から外部に露出する。また、リード 6 は下金型 20 B の表面に敷かれた樹脂シート 22 の中に食い込んでいるので、モールド樹脂 3 から突出して形成される。

10 前述したように、本実施の形態では、上金型 20 A とダイパッド部 4 とが密に接触するので、キャビティ 21 内に注入された溶融樹脂は、上金型 20 A の表面とダイパッド部 4 との隙間に入り難い。従って、モールド樹脂 3 から露出したダイパッド部 4 の裏面（上面）に付着する樹脂バリの量が低減される。

一方、リード 6 は、下金型 20 B の表面に敷かれた樹脂シート 22 の中に食い込んでいたので、リード 6 と樹脂シート 22 との間に溶融樹脂が入り込むことはない。従って、モールド樹脂 3 から露出したリード 6 の表面に樹脂バリが発生することはない。

次に、金型 20 から取り出したリードフレーム 11 をウォータージェット方式のバリ取り装置に搬送し、モールド樹脂 3 の表面に高圧水を噴射することによって、異物を除去する。このとき、モールド樹脂 3 の上面から露出したダイパッド部 4 の表面に付着している樹脂バリも同時に除去される。本実施の形態の製造方法によれば、ダイパッド部 4 の表面には、僅かな量の樹脂バリしか付着しないので、たとえ樹脂バリが発生しても高圧水の噴射によって速やかに樹脂バリを除去することができ、電解方式によるバリ取り作業が不要となる。従って、モールド樹脂 3 の外部に露出したリード 6 やダイパッド部 4 の表面に施された Pd メッキの劣化も低減される。また、本実施の形態における洗浄工程は、樹脂パッケージの外観を良くするためにも行う。

その後、モールド樹脂 3 の上面の周辺部にレーザーマーキング法でマーク 10 を刻印し、続いて、モールド樹脂 3 の外部に露出したリードフレーム 11 の不要

箇所を切断してパッケージを個片化した後、テストング工程および外観検査工程を経ることによって、前記図 1～図 4 に示す本実施の形態の QFN (1A) が完成する。

(実施の形態 2)

- 5 前記実施の形態 1 では、キャビティ 21 内に露出した上金型 20A の表面全体に鏡面加工を施したが、例えば図 12 に示すように、上金型 20A の表面のうち、ダイパッド部 4 の裏面 (上面) と接触する領域のみに鏡面加工を施し、他の領域に梨地加工を施してもよい。

- 10 この場合も、キャビティ 21 内に注入された熔融樹脂は、上金型 20A とダイパッド部 4 との隙間に入り難いので、モールド樹脂 3 から露出したダイパッド部 4 の表面に付着する樹脂バリの量を低減することができる。

このような上金型 20A により成形された QFN (1A) は、図 15 に示すように、モールド樹脂 3 においてダイパッド部 4 が露出する面には梨地加工が施された構造となる。

- 15 一方、この場合は、モールド樹脂 3 の上面が梨地になるので、レーザーマーキング方式と印刷方式のいずれの方法でもマーク 10 を刻印することが可能となり、マーキング工程の自由度が向上する。

- また、この場合は、モールド樹脂 3 の側面も梨地になるので、モールド工程が完了したリードフレーム 11 を金型 20 から取り出す際、モールド樹脂 3 と上金型 20A との離型性が向上する。

- 20 図 13 に示す上金型 20A は、前記図 12 に示す上金型 20A と同様、ダイパッド部 4 の裏面 (上面) と接触する領域のみに鏡面加工を施し、他の領域に梨地加工を施したものであるが、さらに、ダイパッド部 4 の裏面と接触する領域を他の領域よりもキャビティ 21 の内側に突出させ、ダイパッド部 4 の外周部近傍の上金型 20A の表面に段差を形成している。

このような段差を設けた場合は、キャビティ 21 内に注入された熔融樹脂が段差部の狭い隙間を通過する際に熱を奪われ易くなるので、樹脂の硬化が促進される。この結果、モールド樹脂 3 により成形された QFN (1A) は、ダイパッドの周辺部のみ段差部の狭い隙間を設けた分だけ樹脂封止される。これにより、ダ

ダイパッド部 4 と上金型 20A との隙間に溶融樹脂が入り込み難くなるので、ダイパッド部 4 の表面に発生する樹脂バリの量をさらに低減することができる。このような段差は、前記実施の形態 1 で使用した上金型 20A、または図 12 に示すような上金型 20A に形成してもよい。

- 5 このような上金型 20A により成形された QFN (1A) の断面図は、図 16 に示すように、モールド樹脂 3 においてダイパッド部 4 が露出する面には鏡面加工が施され、さらにダイパッド部 4 の周辺部において段差を有した構造となる。

図 14 に示す上金型 20A の表面は、モールド樹脂 3 の上面と接触する領域に鏡面加工を施し、モールド樹脂 3 の側面と接触する領域に梨地加工を施したものである。

10 この場合も、キャビティ 21 内に注入された溶融樹脂は、上金型 20A とダイパッド部 4 との隙間に入り難いので、モールド樹脂 3 から露出したダイパッド部 4 の表面に付着する樹脂バリの量を低減することができる。

- 15 この場合は、モールド樹脂 3 の上面が平坦になるので、マーク 10 は、レーザーマーキング方式によって刻印する。また、モールド樹脂 3 の側面が梨地になるので、モールド樹脂 3 と上金型 20A との離型性が向上する。なお、図 14 に示す上金型 20A の表面に、前記図 13 に示すような段差を形成することにより、ダイパッド部 4 の表面に発生する樹脂バリの量をさらに低減することができる。

- 20 このような上金型 20A により成形された QFN (1A) の断面図は、図 17 に示すように、モールド樹脂 3 においてダイパッド部 4 が露出する面には鏡面加工が施され、側面は梨地加工が施された構造となる。

(実施の形態 3)

- 25 前記実施の形態 1 では、ダイパッド部 4 の面積がチップ 2 の面積よりも大きい QFN 構造について説明したが、例えば図 18 に示すように、ダイパッド部 4 の面積がチップ 2 の面積よりも小さい場合に、本発明を適用してもよい。

ダイパッド部 4 の面積がチップ 2 の面積よりも小さいと、上記したように樹脂バリがダイパッド部 4 の表面全体を覆う可能性が、ダイパッド部 4 の面積がチップ 2 の面積よりも大きい場合に比べ高くなる。ダイパッド部 4 の表面全体を樹脂バリで覆われてしまうと、バリ取り工程を行っても樹脂バリの除去が困難となる

。しかし、実施形態1および2のような金型20によりモールド樹脂3を成形することで、ダイパッド部4の裏面（上面）に樹脂バリが付着するのを抑制することができる。

（実施の形態4）

- 5 前記実施の形態1～3では、チップ2を1個ずつ封止する金型20を使用した
が、例えば図19に示すように、複数のチップ2を一括して樹脂封止し、その後、樹脂およびリードフレーム11を切断してQFN（1A）を個片化する一括モールド方式の金型を使用する場合に、本発明を適用してもよい。

- 10 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

- 前記実施の形態では、QFNの製造に適用した場合について説明したが、一般に、半導体チップを封止するモールド樹脂の実装面に外部接続端子を配置し、モールド樹脂の他の面にダイパッド部を露出させる樹脂パッケージの製造に広く適用
15 することができる。

前記実施の形態では、リードフレームにPdメッキを施した場合について説明したが、CuにAlを形成する後付けメッキ方式のリードフレームに適用してもよい。

- また、前記実施の形態では、上金型の表面において、少なくともダイパッド部
20 4の裏面（上面）と接触する部分は鏡面加工されている場合について説明したが、梨地加工を施した上金型を適用しても、その梨地加工によって形成される凹凸の大きさを小さくすれば、樹脂バリの発生は多少ではあるが抑制できる。上金型の表面全体を梨地加工で形成することで、鏡面加工で形成するよりも金型の製造コストを低減できる。しかし、上金型の表面全体を梨地加工にする場合、ダイパ
25 ッド部4の裏面（上面）と上金型の表面とを密にできないため、樹脂バリは発生することから、モールド樹脂3を成形後の洗浄工程は必要である。さらに説明すると、同じサイズのダイパッドに対して、例えば凹凸の大きさが5 μm と15 μm の上金型により成形した場合、凹凸の大きさが小さい方がダイパッド部の裏面（上面）全体は樹脂バリで覆われ難くなる。

産業上の利用可能性

半導体チップを封止するモールド樹脂の実装面に外部接続端子を配置し、モールド樹脂の他の面にダイパッド部を露出させたパッケージ構造を有するQFN(Quad Flat Non-leaded package)などの製造に適用することができる。

請 求 の 範 囲

1. ダイパッド部と、前記ダイパッド部の一面に実装された半導体チップと、前記ダイパッド部の周囲を囲むように配置された複数本のリードと、前記複数本の
5 リードのそれぞれと前記半導体チップとを電氣的に接続する複数本のワイヤとがモールド樹脂によって封止され、

前記複数本のリードのそれぞれの一部が、前記モールド樹脂の実装面から露出されることによって、複数の外部接続端子が構成され、

前記ダイパッド部の一面と反対側の他面が、前記モールド樹脂の前記実装面とは反対側の面から露出されたパッケージ構造を有する半導体装置の製造方法であ
10 って、

(a) 前記ダイパッド部と前記複数本のリードとが形成されたリードフレームを用意する工程と、

(b) 前記リードフレームに形成された前記ダイパッド部の一面に、前記半導体
15 チップを実装した後、前記リードフレームに形成された前記複数本のリードのそれぞれと前記半導体チップとをワイヤで電氣的に接続する工程と、

(c) 前記工程 (b) の後、上金型と下金型とからなる金型に前記リードフレームを装着し、前記ダイパッド部の他面を前記上金型の表面に接触させると共に、前記複数本のリードのそれぞれの一部を、前記下金型の上に敷かれた樹脂シート
20 に接触させる工程と、

(d) 前記工程 (c) の後、前記金型のキャビティ内に熔融樹脂を供給することによって、前記モールド樹脂を成形する工程とを有し、

前記キャビティ内に露出した前記上金型の表面全体が鏡面処理されていることを特徴とする半導体装置の製造方法。

25 2. 前記工程 (d) の後、前記モールド樹脂の前記実装面とは反対側の面に、レーザーマークを刻印する工程をさらに有することを特徴とする請求項 1 記載の半導体装置の製造方法。

3. 前記工程 (b) に先立って、前記リードフレームの表面にメッキを施すことを特徴とする請求項 1 記載の半導体装置の製造方法。

4. 前記メッキは、Pdメッキであることを特徴とする請求項3記載の半導体装置の製造方法。

5. 前記工程(d)の後、前記モールド樹脂の表面に高圧水を噴射することによって、前記ダイパッド部の他面に付着した樹脂バリを除去する工程をさらに有することを特徴とする請求項1記載の半導体装置の製造方法。

6. 前記キャビティ内に露出した前記上金型の表面全体は、凹凸を有し、前記凹凸の大きさは $1.0\text{ }\mu\text{m}$ 未満であることを特徴とする請求項1記載の半導体装置の製造方法。

7. ダイパッド部と、前記ダイパッド部の一面に実装された半導体チップと、前記ダイパッド部の周囲を囲むように配置された複数本のリードと、前記複数本のリードのそれぞれと前記半導体チップとを電氣的に接続する複数本のワイヤとがモールド樹脂によって封止され、

前記複数本のリードのそれぞれの一部が、前記モールド樹脂の実装面から露出されることによって、複数の外部接続端子が構成され、

15 前記ダイパッド部の一面と反対側の他面が、前記モールド樹脂の前記実装面とは反対側の面から露出されたパッケージ構造を有する半導体装置の製造方法であって、

(a) 前記ダイパッド部と前記複数本のリードとが形成されたリードフレームを用意する工程と、

20 (b) 前記リードフレームに形成された前記ダイパッド部の一面に、前記半導体チップを実装した後、前記リードフレームに形成された前記複数本のリードのそれぞれと前記半導体チップとをワイヤで電氣的に接続する工程と、

(c) 前記工程(b)の後、上金型と下金型とからなる金型に前記リードフレームを装着し、前記ダイパッド部の他面を前記上金型の表面に接触させると共に、

25 前記複数本のリードのそれぞれの一部を、前記下金型の上に敷かれた樹脂シートに接触させる工程と、

(d) 前記工程(c)の後、前記金型のキャビティ内に熔融樹脂を供給することによって、前記モールド樹脂を成形する工程とを有し、

前記キャビティ内に露出した前記上金型の表面のうち、前記ダイパッド部の他

面に接触する領域は鏡面処理され、他の領域は梨地処理されていることを特徴とする半導体装置の製造方法。

8. 前記キャビティ内に露出した前記上金型の表面のうち、前記ダイパッド部の他面と接触する領域は、前記他の領域よりも前記キャビティの内側に突出していることを特徴とする請求項7記載の半導体装置の製造方法。
- 5

9. 前記工程(d)の後、前記モールド樹脂の前記実装面とは反対側の面に、インクマークを刻印する工程をさらに有することを特徴とする請求項7記載の半導体装置の製造方法。

10. 前記工程(b)に先立って、前記リードフレームの表面にメッキを施すことを特徴とする請求項7記載の半導体装置の製造方法。

11. 前記工程(d)の後、前記モールド樹脂の表面に高圧水を噴射することによって、前記ダイパッド部の他面に付着した樹脂バリを除去する工程をさらに有することを特徴とする請求項7記載の半導体装置の製造方法。

12. 前記キャビティ内に露出した前記上金型の表面のうち、前記ダイパッド部の他面に接触する領域は、他の領域よりも平坦度が高いことを特徴とする請求項7記載の半導体装置の製造方法。
- 15

13. ダイパッド部と、前記ダイパッド部の一面に実装された半導体チップと、前記ダイパッド部の周囲を囲むように配置された複数本のリードと、前記複数本のリードのそれぞれと前記半導体チップとを電氣的に接続する複数本のワイヤとがモールド樹脂によって封止され、
- 20

前記複数本のリードのそれぞれの一部が、前記モールド樹脂の実装面から露出されることによって、複数の外部接続端子が構成され、

- 前記ダイパッド部の一面と反対側の他面が、前記モールド樹脂の前記実装面とは反対側の面から露出されたパッケージ構造を有する半導体装置の製造方法であって、
- 25

(a) 前記ダイパッド部と前記複数本のリードとが形成されたリードフレームを用意する工程と、

(b) 前記リードフレームに形成された前記ダイパッド部の一面に、前記半導体チップを実装した後、前記リードフレームに形成された前記複数本のリードのそ

れぞれと前記半導体チップとをワイヤで電氣的に接続する工程と、

(c) 前記工程 (b) の後、上金型と下金型とからなる金型に前記リードフレームを装着し、前記ダイパッド部の他面を前記上金型の表面に接触させると共に、前記複数本のリードのそれぞれの一部を、前記下金型の上に敷かれた樹脂シート

5 に接触させる工程と、

(d) 前記工程 (c) の後、前記金型のキャビティ内に熔融樹脂を供給することによって、前記モールド樹脂を成形する工程とを有し、

前記キャビティ内に露出した前記上金型の表面のうち、前記モールド樹脂の前記実装面とは反対側の面に接触する領域は鏡面処理され、前記モールド樹脂の側面に接触する領域は梨地処理されていることを特徴とする半導体装置の製造方法

10 。

1 4. 前記工程 (d) の後、前記モールド樹脂の前記実装面とは反対側の面に、レーザーマークを刻印する工程をさらに有することを特徴とする請求項 1 3 記載の半導体装置の製造方法。

15 1 5. 前記工程 (b) に先立って、前記リードフレームの表面にメッキを施すことを特徴とする請求項 1 3 記載の半導体装置の製造方法。

1 6. 前記キャビティ内に露出した前記上金型の表面のうち、前記ダイパッド部の他面と接触する領域は、他の領域よりも前記キャビティの内側に突出していることを特徴とする請求項 1 3 記載の半導体装置の製造方法。

20 1 7. 前記キャビティ内に露出した前記上金型の表面のうち、前記モールド樹脂の前記実装面とは反対側の面に接触する領域は、前記モールド樹脂の側面に接触する領域よりも平坦度が高いことを特徴とする請求項 1 3 記載の半導体装置の製造方法。

1 8. ダイパッド部と、前記ダイパッド部の一面に実装された半導体チップと、

25 前記ダイパッド部の周囲を囲むように配置された複数本のリードと、前記複数本のリードのそれぞれと前記半導体チップとを電氣的に接続する複数本のワイヤとがモールド樹脂によって封止され、

前記複数本のリードのそれぞれの一部が、前記モールド樹脂の実装面から露出されることによって、複数の外部接続端子が構成され、

前記ダイパッド部の一面と反対側の他面が、前記モールド樹脂の前記実装面とは反対側の面から露出されたパッケージ構造を有する半導体装置の製造方法であって、

5 (a) 前記ダイパッド部と前記複数本のリードとが形成されたリードフレームを用意する工程と、

(b) 前記リードフレームに形成された前記ダイパッド部の一面に、前記半導体チップを実装した後、前記リードフレームに形成された前記複数本のリードのそれぞれと前記半導体チップとをワイヤで電氣的に接続する工程と、

10 (c) 前記工程 (b) の後、上金型と下金型とからなる金型に前記リードフレームを装着し、前記ダイパッド部の他面を前記上金型の表面に接触させると共に、前記複数本のリードのそれぞれの一部を、前記下金型の上に敷かれた樹脂シートに接触させる工程と、

(d) 前記工程 (c) の後、前記金型のキャビティ内に溶融樹脂を供給することによって、前記モールド樹脂を成形する工程とを有し、

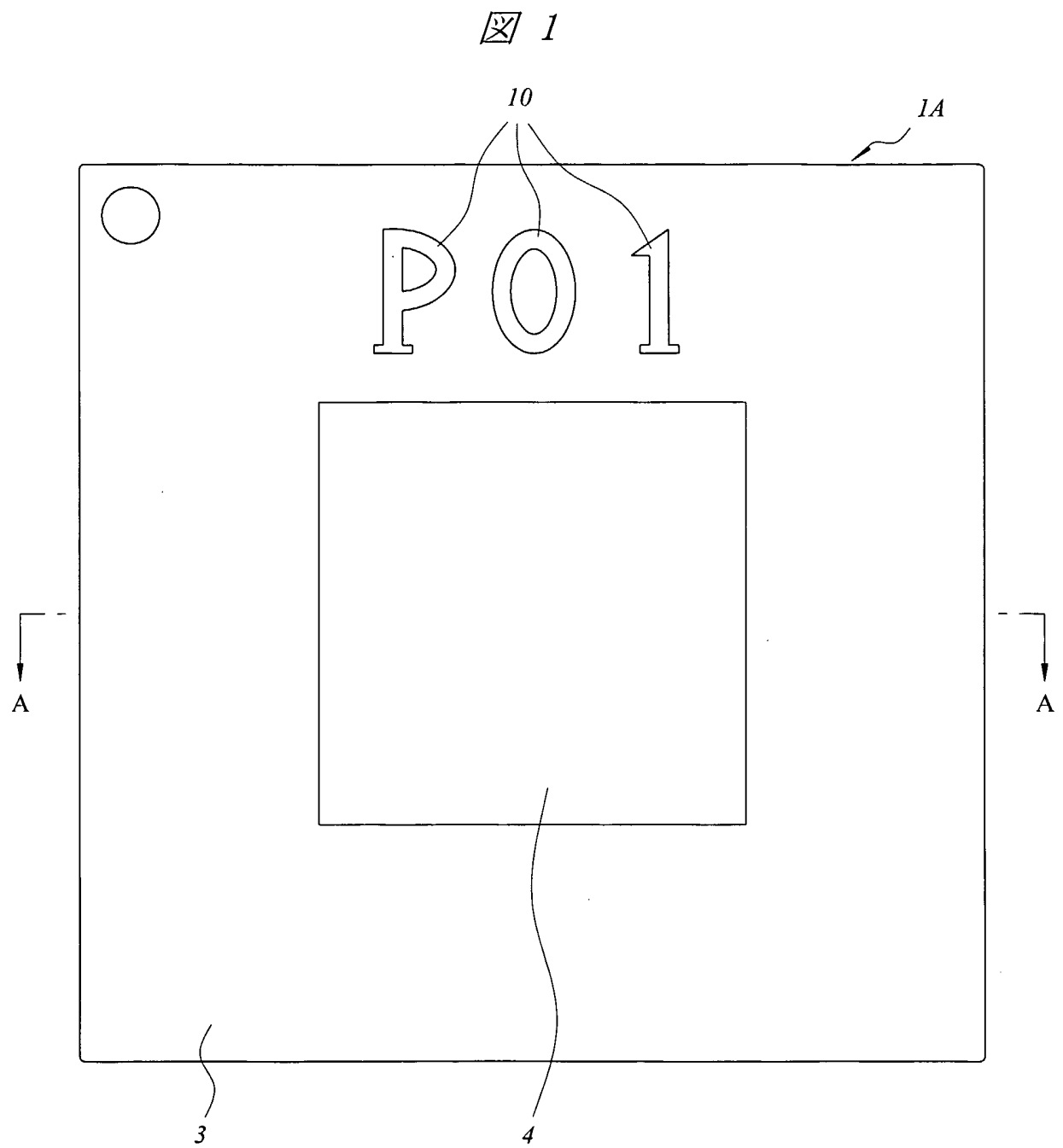
15 前記キャビティ内に露出した前記上金型の表面のうち、前記モールド樹脂の前記実装面とは反対側の面に接触する領域は、他の領域よりも平坦度が高いことを特徴とする半導体装置の製造方法。

20 19. 前記キャビティ内に露出した前記上金型の表面のうち、前記ダイパッド部の他面と接触する領域は、前記他の領域よりも前記キャビティの内側に突出していることを特徴とする請求項 18 記載の半導体装置の製造方法。

20. 前記工程 (d) の後、前記モールド樹脂の前記実装面とは反対側の面に、インクマークを刻印する工程をさらに有することを特徴とする請求項 18 記載の半導体装置の製造方法。

25 21. 前記工程 (b) に先立って、前記リードフレームの表面にメッキを施すことを特徴とする請求項 18 記載の半導体装置の製造方法。

22. 前記工程 (d) の後、前記モールド樹脂の表面に高圧水を噴射することによって、前記ダイパッド部の他面に付着した樹脂バリを除去する工程をさらに有することを特徴とする請求項 18 記載の半導体装置の製造方法。



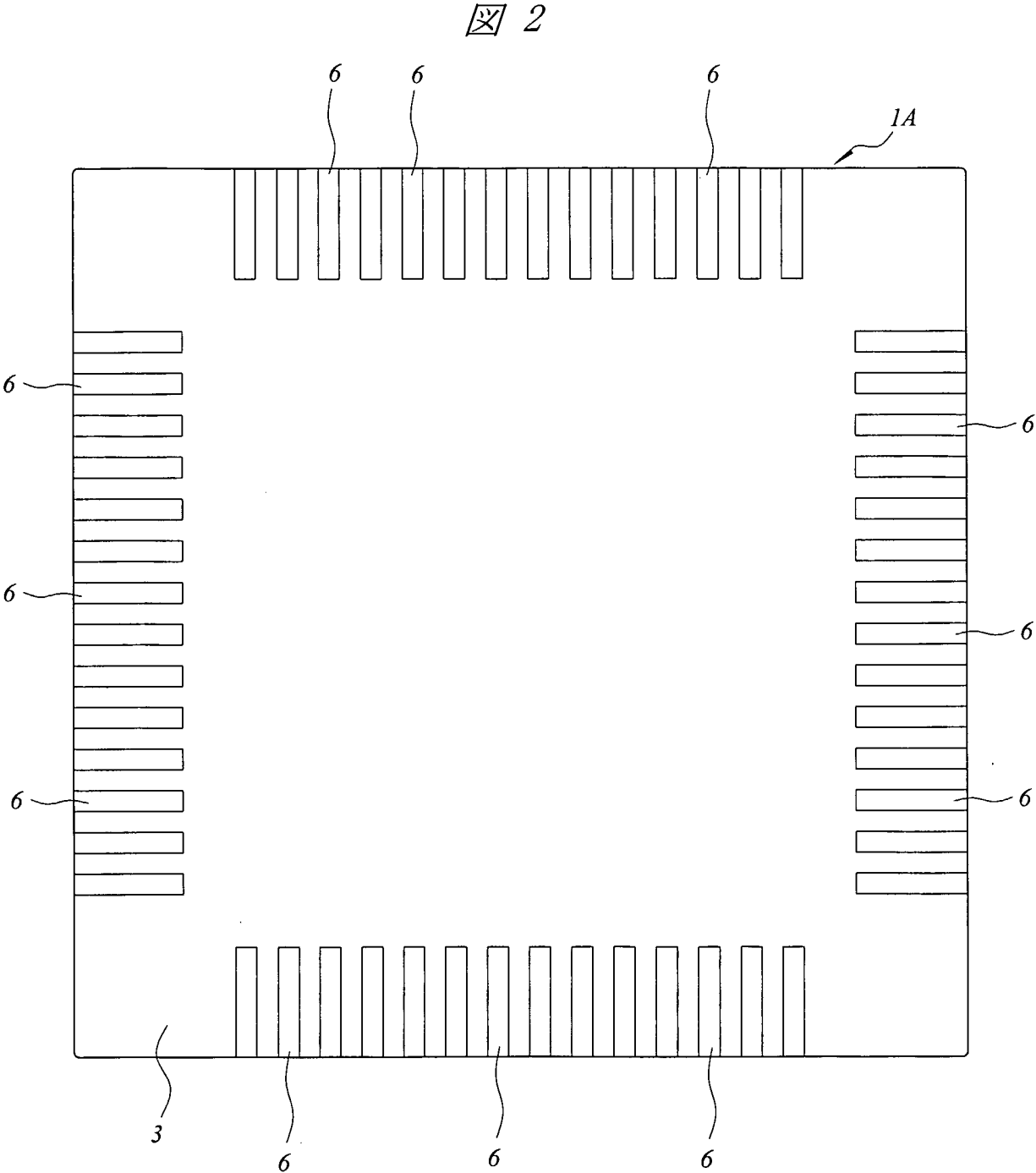


図 3

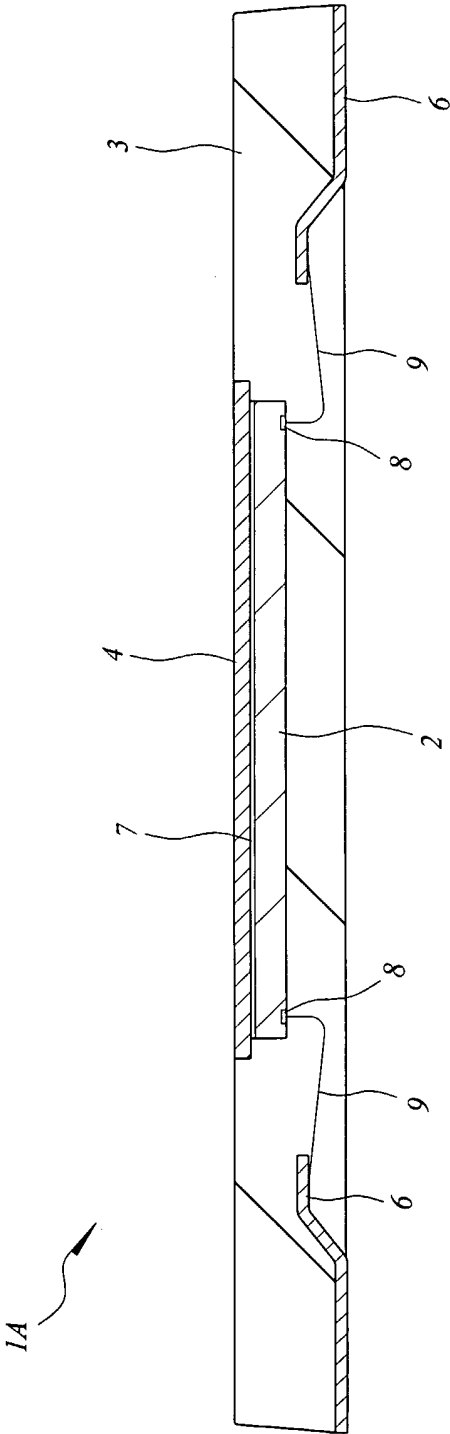
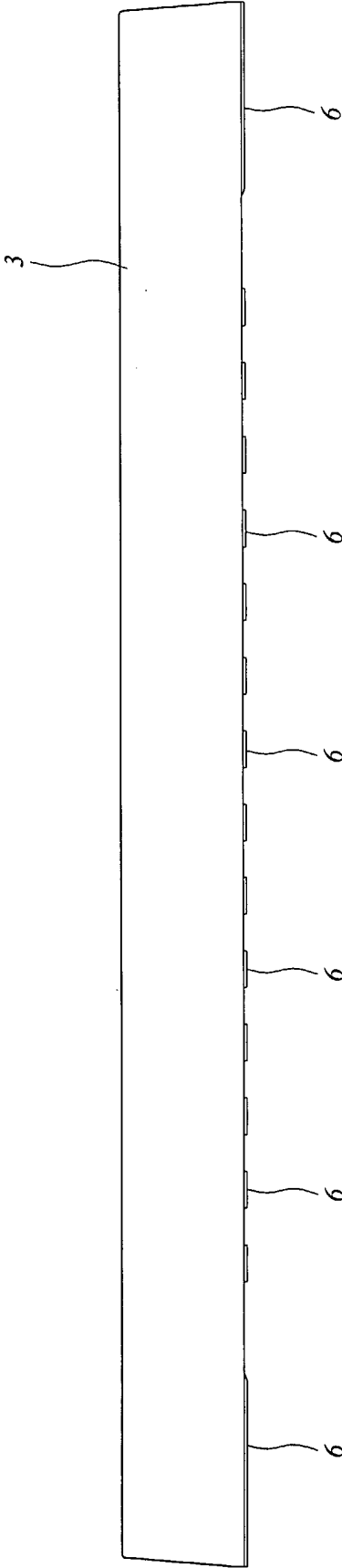
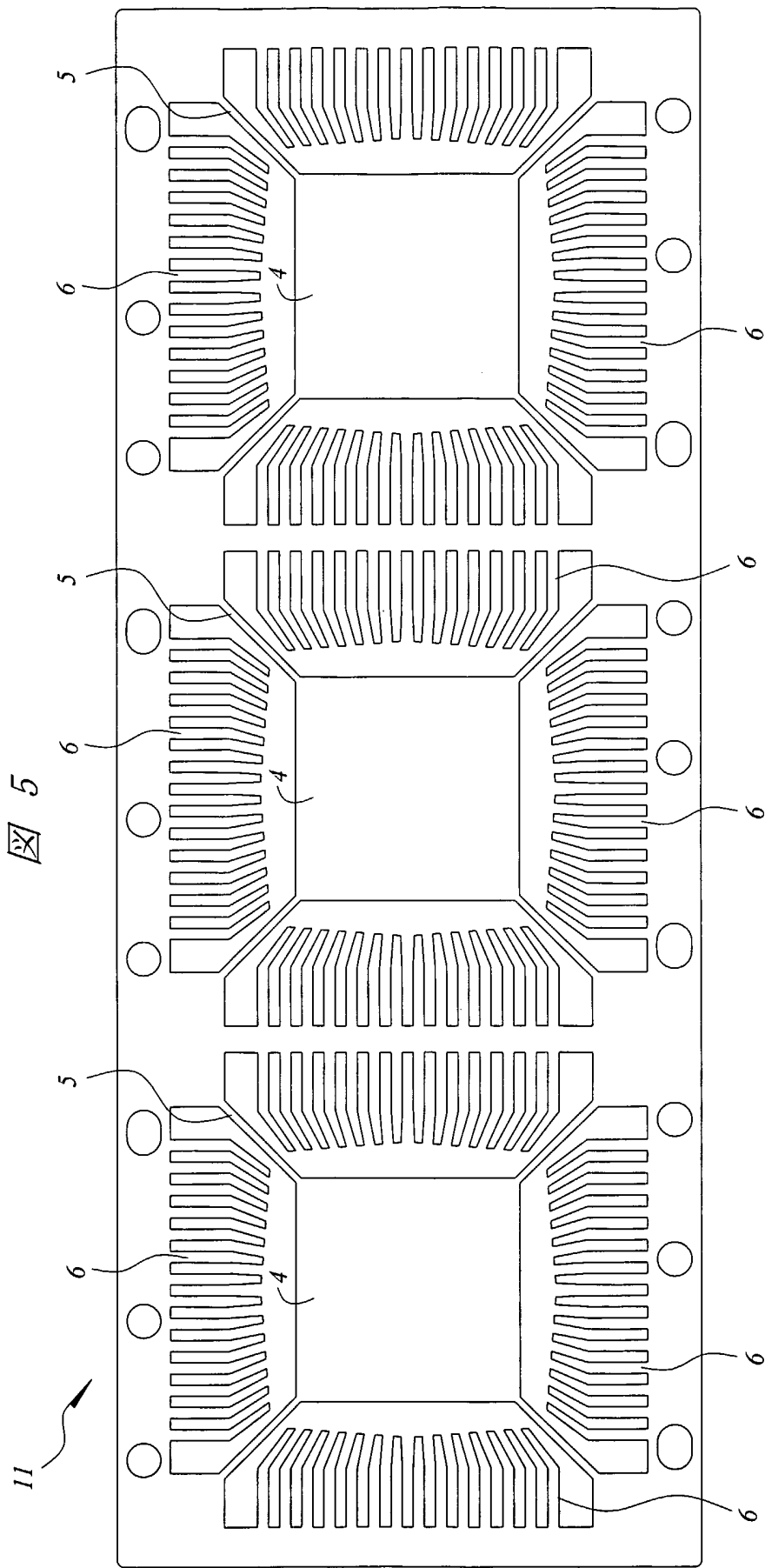
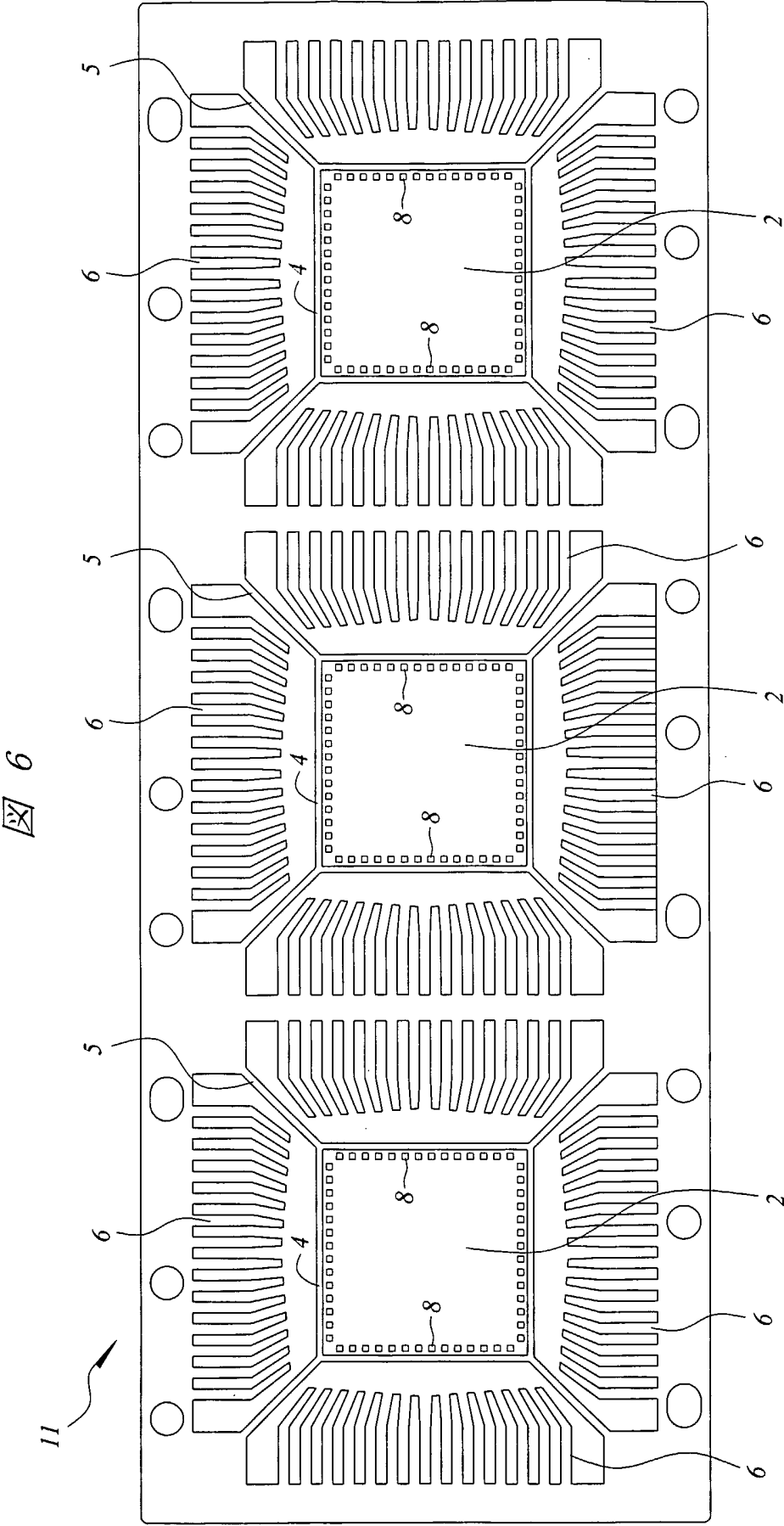


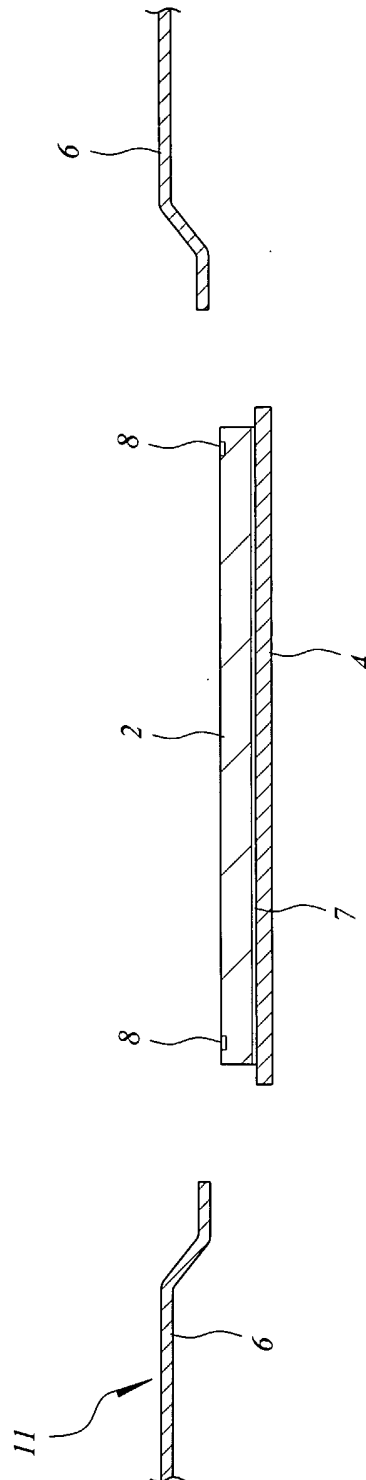
図 4

1A









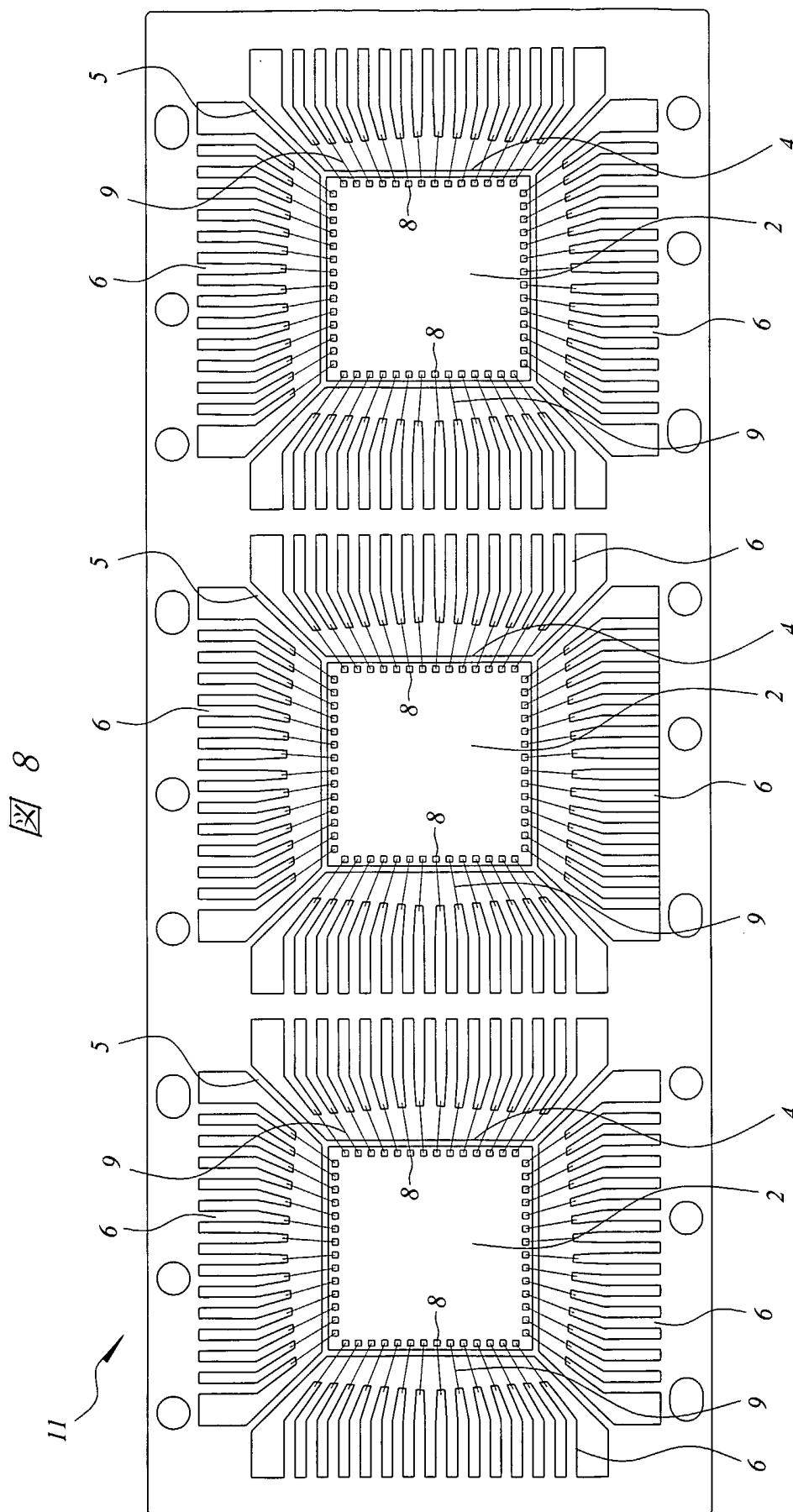
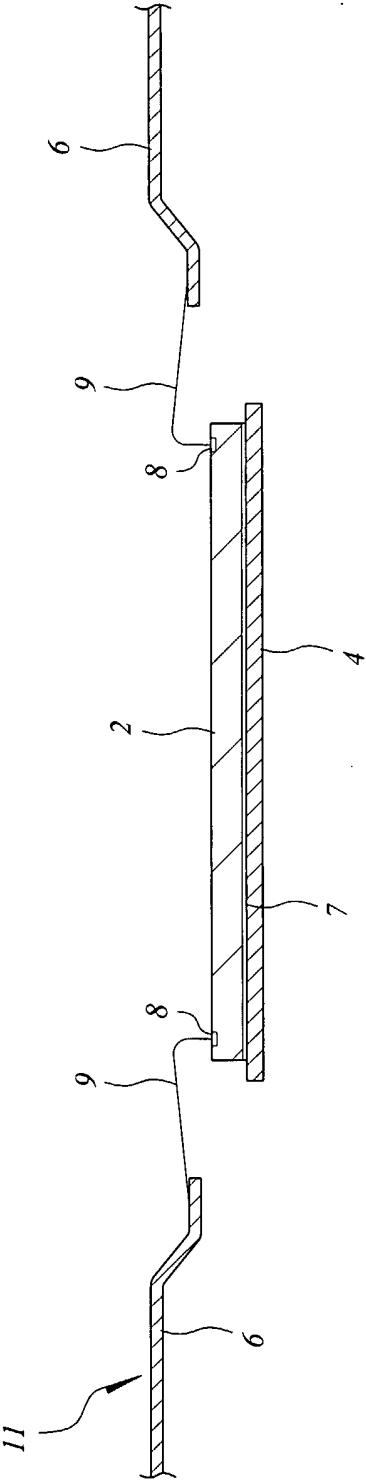


図 9



10

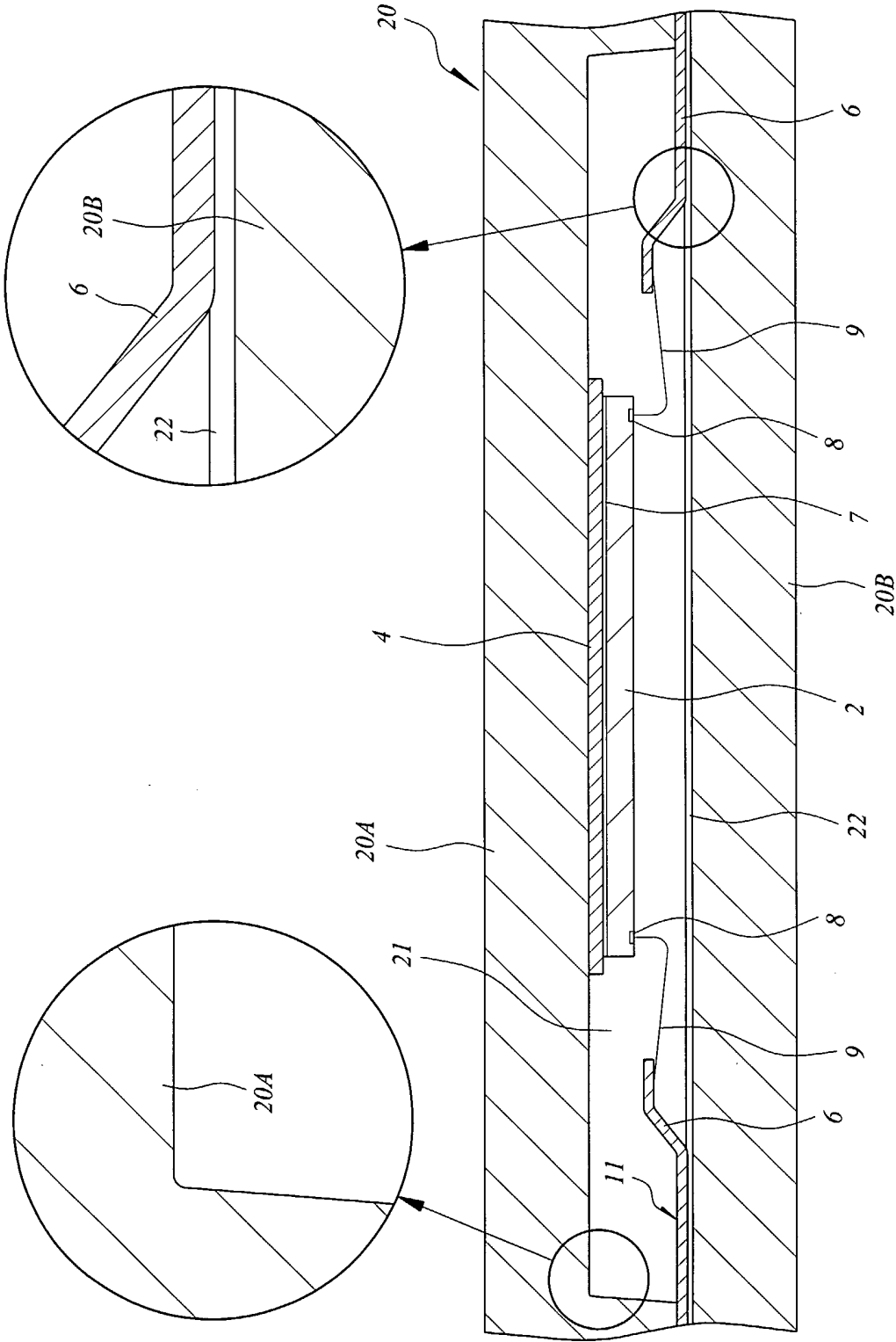


図 11

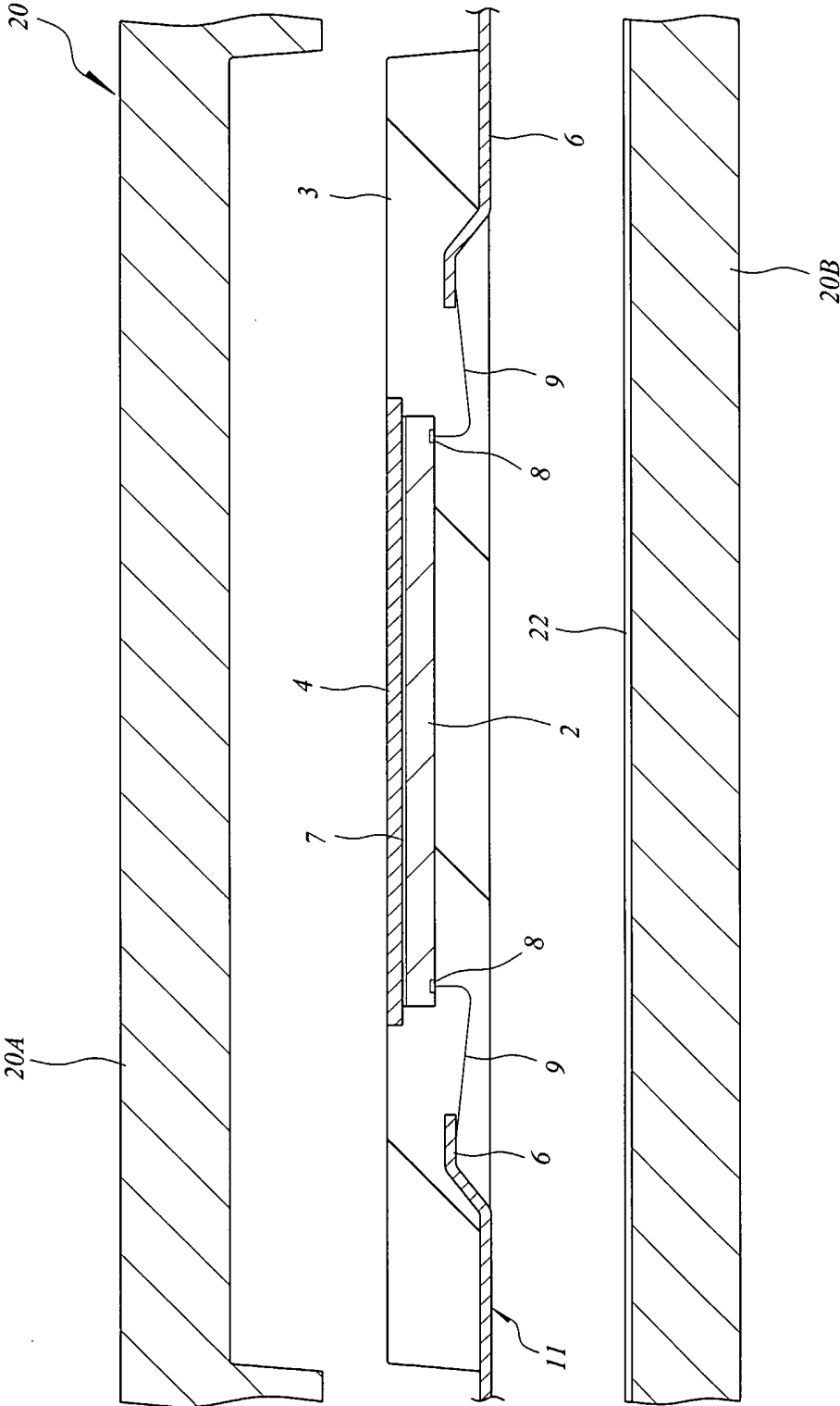


図 12

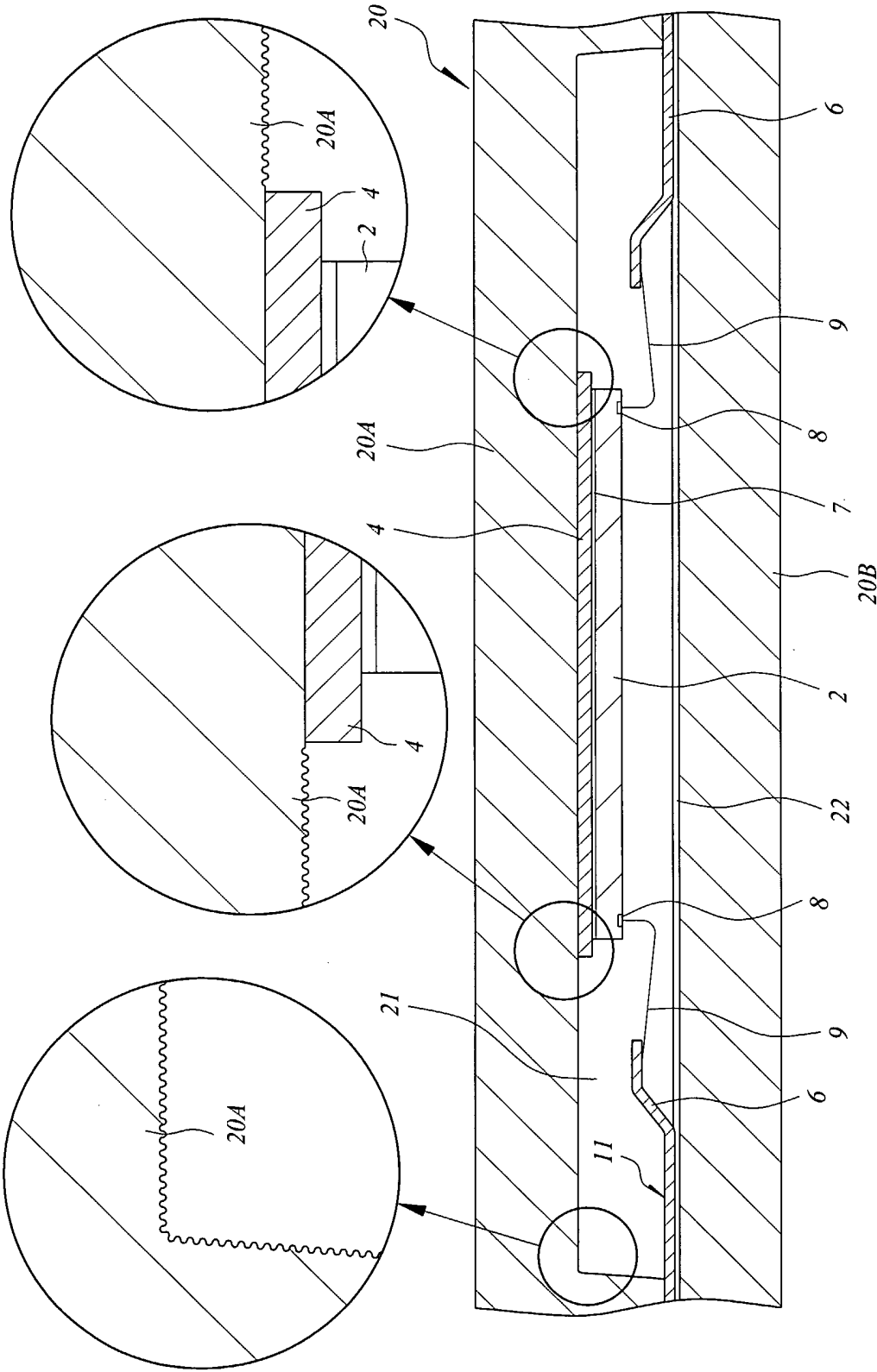


図 13

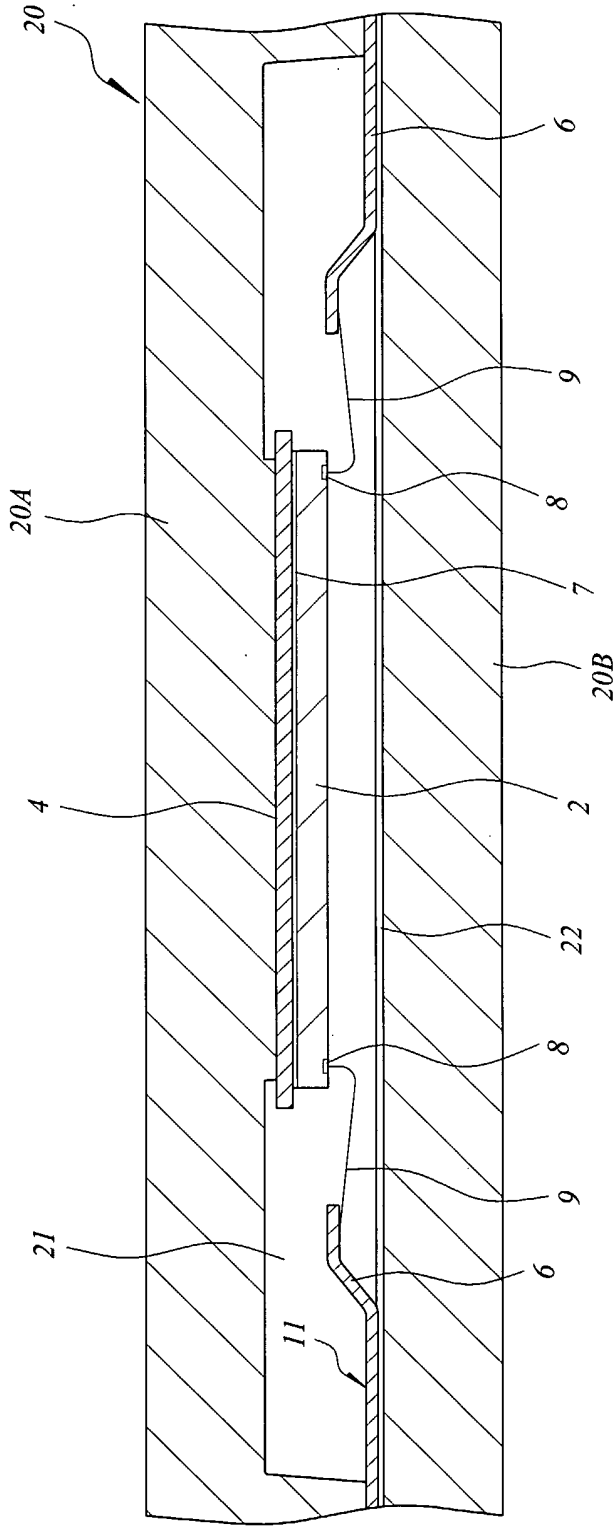
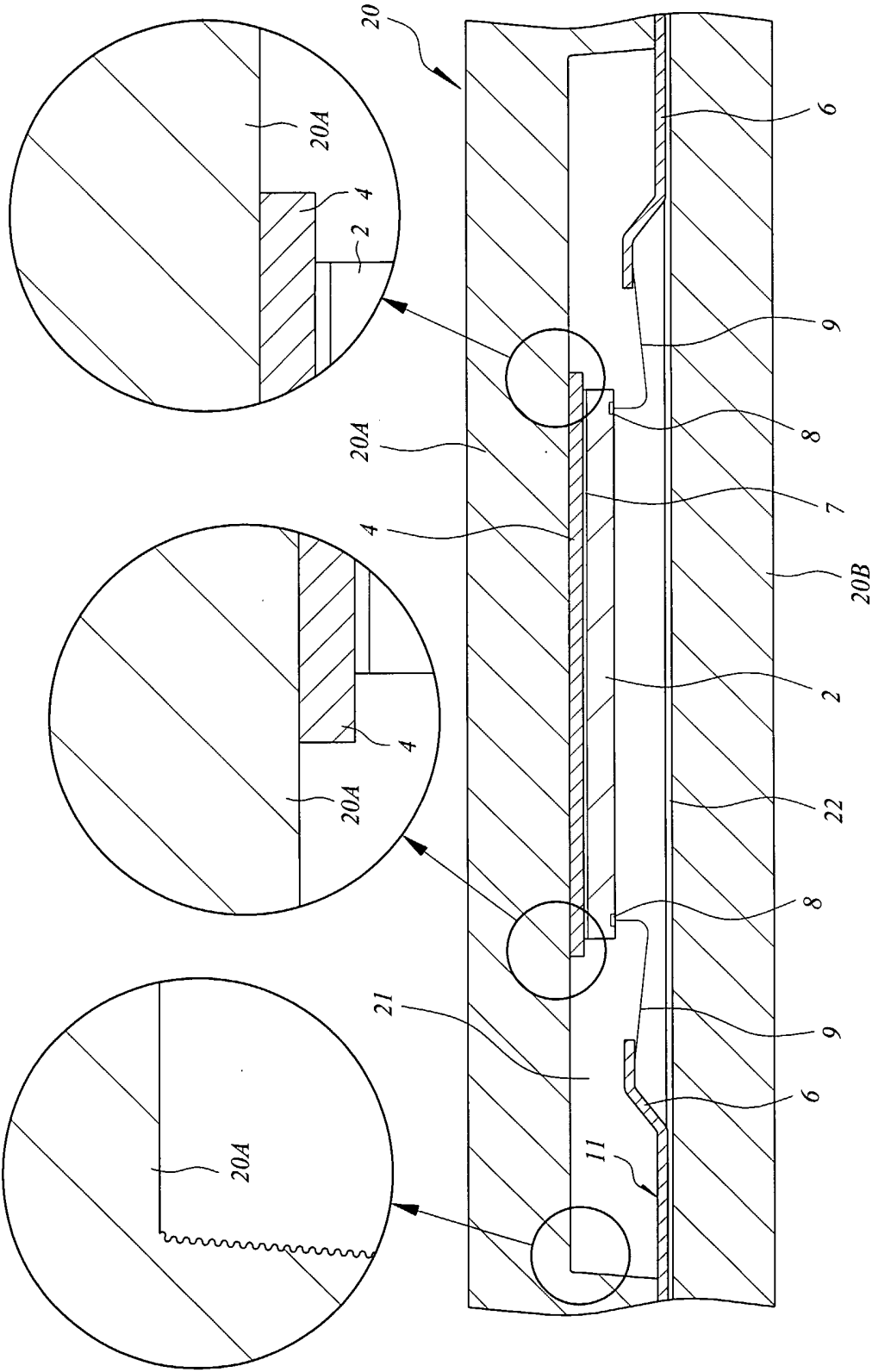
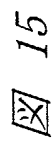
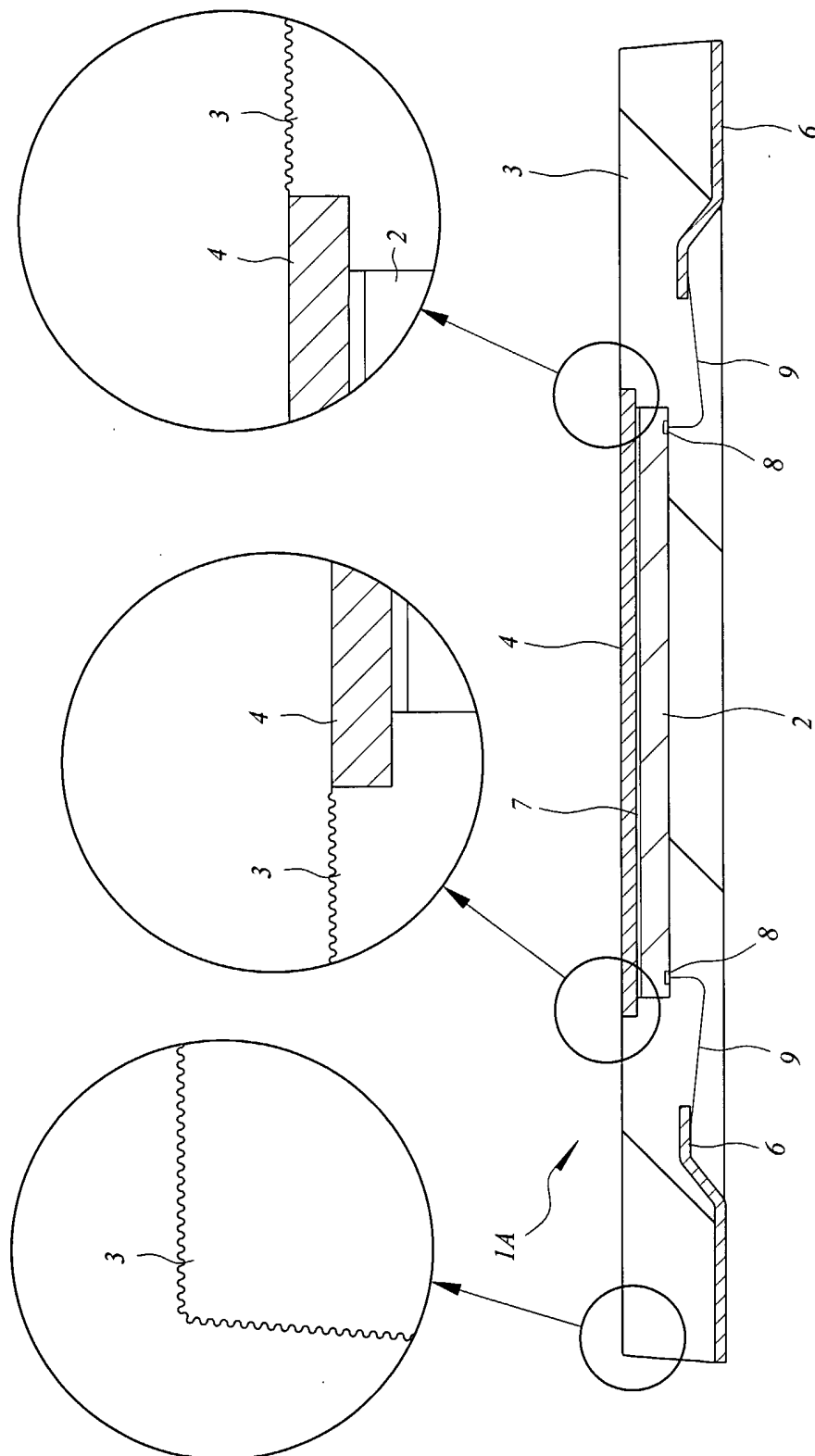


図 14





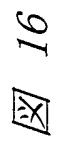
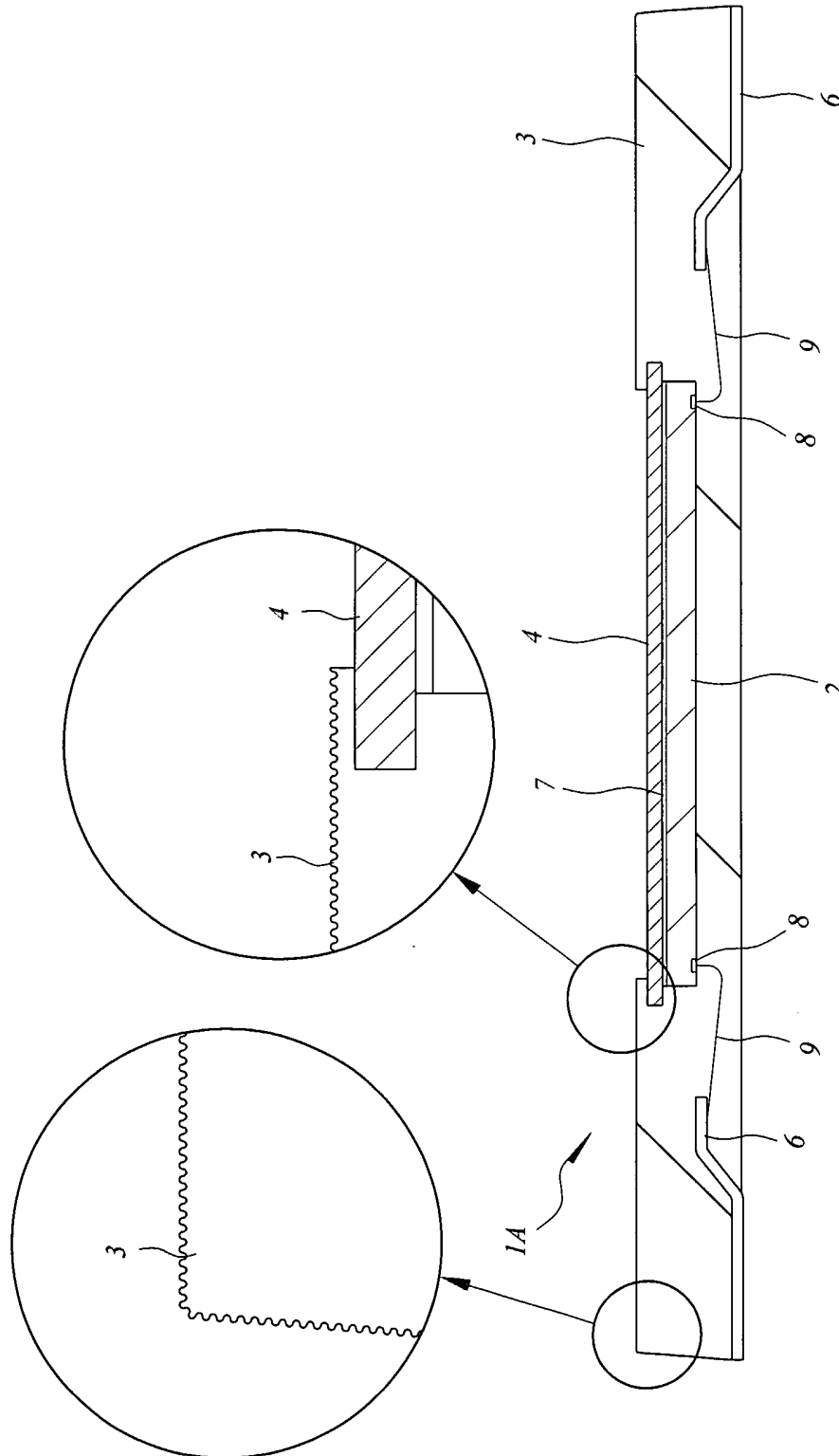


図 17

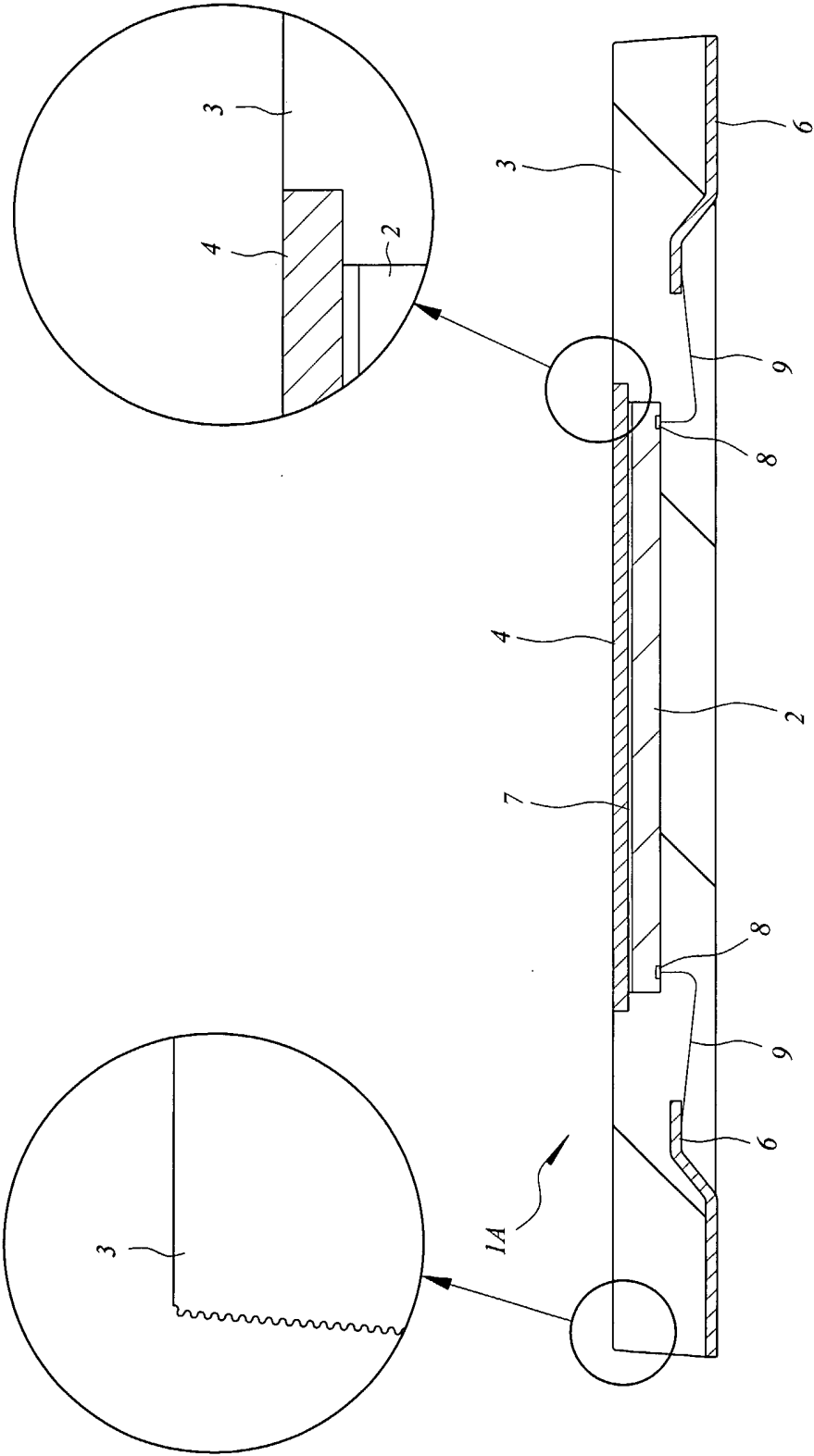
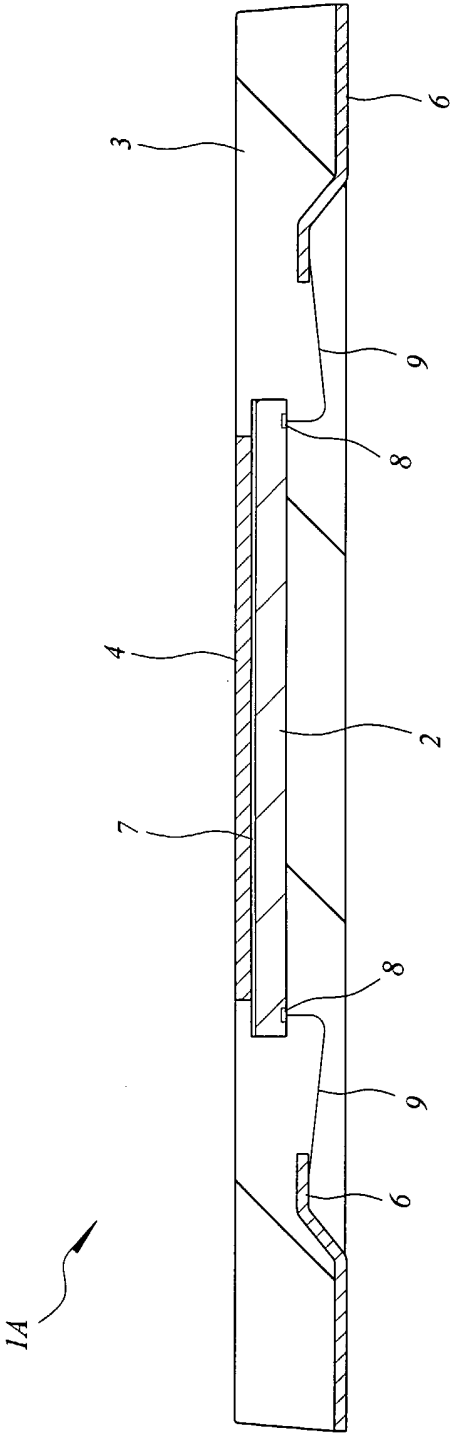
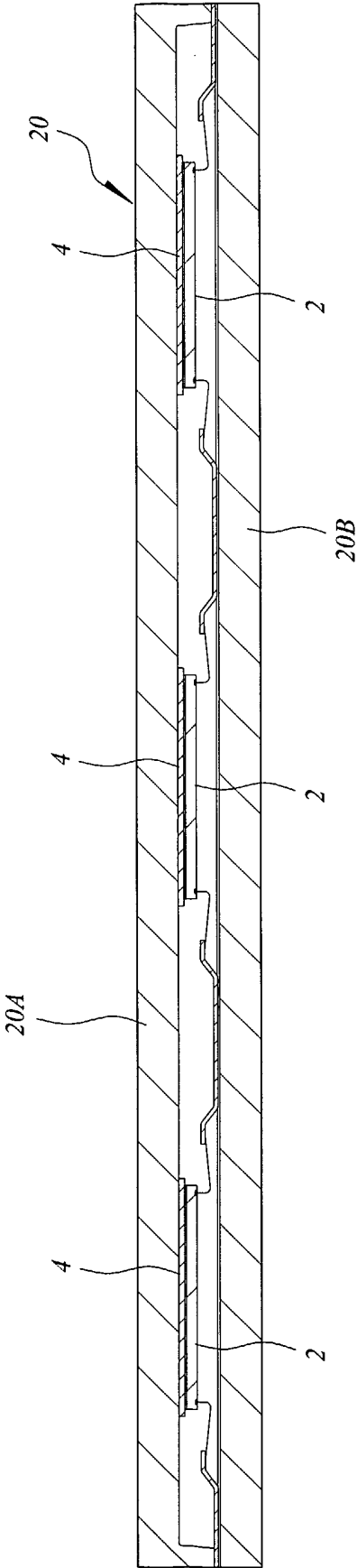


図 18



 19



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/012450

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H01L21/56		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H01L21/56		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-243600 A (Hitachi, Ltd.), 29 August, 2003 (29.08.03), Par. No. [0032]; Fig. 12 & US 2003/0111717 A1	1-22
Y	JP 2002-134676 A (Sansei Tekuwin Kabushiki Kaisha), 10 May, 2002 (10.05.02), Fig. 14 & US 2003/0030131 A1 & KR 2002021476 A	1-22
Y	JP 2000-236060 A (Matsushita Electronics Corp.), 29 August, 2000 (29.08.00), Par. No. [0050] (Family: none)	1-22
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 17 September, 2004 (17.09.04)		Date of mailing of the international search report 05 October, 2004 (05.10.04)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁷ H01L21/56

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ H01L21/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-243600 A(株式会社日立製作所)2003.08.29, [0032], 図12 & US 2003/0111717 A1	1-22
Y	JP 2002-134676 A(三星テクウィン株式会社)2002.05.10, 図14 & US 2003/0030131 A1 & KR 2002021476 A	1-22
Y	JP 2000-236060 A(松下電子工業株式会社)2000.08.29, [0050] (ファミリーなし)	1-22

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

17.09.2004

国際調査報告の発送日

05.10.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭

4 R

9265

電話番号 03-3581-1101 内線 6363