

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-200201
(P2004-200201A)

(43) 公開日 平成16年7月15日(2004.7.15)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H05K 3/46	H05K 3/46	5E346
H01L 23/12	H05K 3/46	
H01L 25/00	H01L 25/00	
	H01L 23/12	

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号	特願2002-363339 (P2002-363339)	(71) 出願人	000204284 太陽誘電株式会社 東京都台東区上野6丁目16番20号
(22) 出願日	平成14年12月16日 (2002.12.16)	(74) 代理人	100096699 弁理士 鹿嶋 英實
		(72) 発明者	猿渡 達郎 東京都台東区上野6丁目16番20号 太陽誘電株式会社内
		(72) 発明者	宮崎 政志 東京都台東区上野6丁目16番20号 太陽誘電株式会社内
		(72) 発明者	高山 光広 東京都台東区上野6丁目16番20号 太陽誘電株式会社内

最終頁に続く

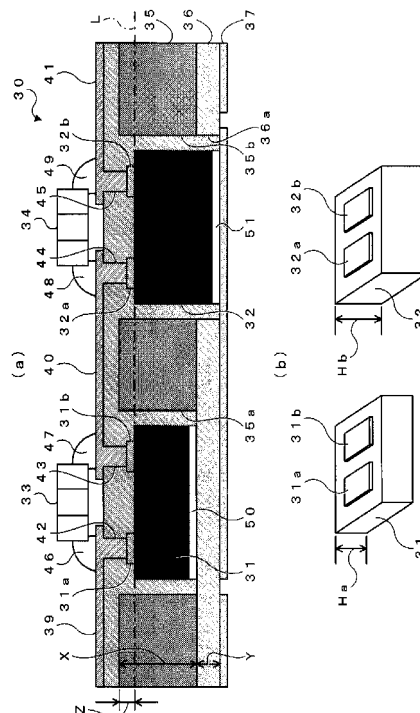
(54) 【発明の名称】 電子部品内蔵型多層基板

(57) 【要約】

【課題】 基板の表面レベルを揃えるためのトランジション層の作り込みと研磨を不要にし、工数の増加を回避してコストの削減を図る。

【解決手段】 厚さ寸法H aの第1の電子部品(31)と厚さ寸法H b(ただし、H a < H b)の第2の電子部品(32)とを内蔵する電子部品内蔵型多層基板(30)において、厚さ寸法X(ただし、X = H a + Z ; Z > 0)のコア部材(35)に寸法Xに相当する深さの開口(35 a)を形成してその開口(35 a)に前記第1の電子部品(31)を入れ、且つ、前記コア部材(35)とそのコア部材(35)に張り合わせた厚さ寸法Y(ただし、X + Y = H b + Z)の絶縁樹脂層(36)とに寸法X + Yに相当する深さの開口(35 b、36 a)を形成してその開口(35 b、36 a)に前記第2の電子部品(32)を入れる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

厚さ寸法 H_a の第 1 の電子部品と厚さ寸法 H_b (ただし、 $H_a < H_b$) の第 2 の電子部品とを内蔵する電子部品内蔵型多層基板において、
 厚さ寸法 X (ただし、 $X = H_a + Z$; $Z > 0$) のコア部材に寸法 X に相当する深さの開口を形成してその開口に前記第 1 の電子部品を入れ、
 且つ、前記コア部材とそのコア部材に張り合わせた厚さ寸法 Y (ただし、 $X + Y = H_b + Z$) の絶縁樹脂層とに寸法 $X + Y$ に相当する深さの開口を形成してその開口に前記第 2 の電子部品を入れる
 ことを特徴とする電子部品内蔵型多層基板。

10

【請求項 2】

前記コア部材は、熱伝導性と高剛性を有する素材からなることを特徴とする請求項 1 記載の電子部品内蔵型多層基板。

【請求項 3】

厚さ寸法 H_a の第 1 の電子部品と厚さ寸法 H_b (ただし、 $H_a < H_b$) の第 2 の電子部品とを内蔵する電子部品内蔵型多層基板において、
 厚さ寸法 $X + Y$ (ただし、 $X = H_a + Z$; $X + Y = H_b + Z$; $Z > 0$) のコア部材に寸法 X に相当する深さの開口を形成してその開口に前記第 1 の電子部品を入れ、
 且つ、前記コア部材に寸法 $X + Y$ に相当する深さの開口を形成してその開口に前記第 2 の電子部品を入れる
 ことを特徴とする電子部品内蔵型多層基板。

20

【請求項 4】

前記コア部材は、ガラス繊維又はアラミド繊維に樹脂を含浸させて硬化させたものであることを特徴とする請求項 3 記載の電子部品内蔵型多層基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子部品をモジュール基板、パッケージ基板、マザーボード等の基板内部に内蔵(「埋め込み」ともいう。)した電子部品内蔵型多層基板に関する。

【0002】

【従来の技術】

<第 1 の従来例>

図 7、図 8 は、従来の電子部品内蔵型多層基板の製造工程の一部を示すその構造図である(たとえば、特許文献 1 参照。)

図 7 (a) に示すように、絶縁材料からなる回路基板 1 は、いわゆる両面基板であり、上下面にそれぞれ配線パターン 2、3 が形成されていると共に、上面側の回路と下面側の回路とを接続するスルーホール 4 が形成されているものである。

【0003】

電子部品内蔵型多層基板を製造する場合は、まず、内蔵用の電子部品として、ベアチップ状態の半導体 IC (集積回路) (以下、単に「ベアチップ」という。) 5 を用意し、そのベアチップ 5 の下面に予め形成されている bumps 6 と、回路基板 1 の上面に形成されているランド (図では便宜的に配線パターン 2 とする。) との間を接続する。一般にこの接続は bumps 6 と配線パターン 2 との間に異方性導電フィルムを介在させて、あるいは、半田フリップチップ等により直接行われるが、図では当該フィルムの存在を省略している。

40

【0004】

次に、図 7 (b) に示すように、ベアチップ 5 を包囲して絶縁層 7 を形成し、その絶縁層 7 の上に銅メッキ層 8 を形成した後、銅メッキ層 8 の上にレジスト 9 を被着してレジスト 9 を所望の回路形状にパターニングし、パターニング後のレジスト 9 を介して銅メッキ層 8 を選択エッチング (レジスト 9 に覆われていない銅メッキ層 8 をエッチング) する。これにより、レジスト 9 を除去した後は、図 7 (c) に示すように、絶縁層 7 の表面に 2 層

50

目の配線パターン10が形成される。

【0005】

2層以上の多層構造にする場合は、次に、図8(a)に示すように、1層目の絶縁層7の上にさらに絶縁層11を積層する。この絶縁層11の積層厚さは、1層目の内蔵電子部品(ベアチップ5)が完全に覆われるように調節する。したがって、この2層目の絶縁層11の表面は、1層目の凹凸(ベアチップ5や配線パターン10等による凹凸)を吸収してフラットな状態になる。

【0006】

次に、2層目の絶縁層11の上に銅メッキ層を形成した後、銅メッキ層の上にレジストを被着してレジストを所望の回路形状にパターンニングし、パターンニング後のレジストを介して銅メッキ層を選択エッチングすることにより、レジストの除去後には、図8(b)に示すように、絶縁層11の表面に3層目の配線パターン12が形成される。したがって、ここで止めておけば、回路基板1を含めて3層構造の電子部品内蔵型多層基板が得られる。

10

【0007】

さらに多層化を行う場合は、図8(c)に示すように、2層目の絶縁層11の上に3層目の絶縁層13を積層し、絶縁層13の上に銅メッキ層を形成した後、銅メッキ層の上にレジストを被着してレジストを所望の回路形状にパターンニングし、パターンニング後のレジストを介して銅メッキ層を選択エッチングすることにより、レジストの除去後には、絶縁層13の表面に4層目の配線パターン14が形成される。したがって、たとえば、最上層(この場合、4層目)の配線パターン14に所望の電子部品15~17を表面実装することにより、この例の場合、全体として、1個の電子部品(ベアチップ5)を内蔵すると共に、3個の電子部品15~17を表面実装した多層基板が得られる。

20

【0008】

このような第1の従来例の不都合な点は、電子部品(ベアチップ5)の下面に予め形成されているパンプ6と回路基板1のランド(配線パターン2)とを接続する、いわゆる「フリップチップ接合」によって電子部品を内蔵する仕組みであるため、内蔵電子部品(ベアチップ5)と表面実装部品(電子部品15~17)との間の信号伝達距離が長くなり、高周波特性の劣化が懸念されることにある。すなわち、ベアチップ5と回路基板1との接続箇所はベアチップ5の下面側であり、一方、電子部品15~17などの表面実装部品の実装位置は回路基板1の最上面であるから、両者の最短距離をとって信号伝達を行うことができず、経路長の増大に伴って電気抵抗や分布容量が増加し、それにより、高周波特性の悪化(波形の歪み等)が懸念されるという不都合を内在している。

30

【0009】

<第2の従来例>

図9は、信号伝達経路の短縮を可能とする、従来の電子部品内蔵型多層基板の製造工程の一部を示すその構造図である(たとえば、特許文献2参照。)

【0010】

図9(a)において、銅等の金属素材からなるベース基板20の上には、複数(図では二つの)の半導体ICベアチップ(以下、単に「ベアチップ」という。)21A、21Bが熱伝導性接着剤22によって固定されている。二つのベアチップ21A、21Bは、いずれもシリコン等の共通基板23A、23Bの上面にダイパッド24A、24Bや配線(不図示)を有し、且つ、ダイパッド24A、24Bの上にトランジション層25A、25Bが設けられている。ここで、一方のベアチップ21Aの底面からそのダイパッド24Aの上面までの高さをHAとし、同様に、他方のベアチップ21Bの底面からそのダイパッド24Bの上面までの高さをHBとした場合、図示の例では $HA < HB$ である。つまり、 $HA < HB$ である。これは、二つのベアチップ21A、21Bの厚さ寸法(HA、HB)が異なっていることを意味する。

40

【0011】

また、二つのベアチップ21A、21Bのそれぞれのトランジション層25A、25Bの厚さ寸法(トランジション層25Aの底面から上面までの厚さ寸法HCとトランジション

50

層 2 5 B の底面から上面までの厚さ寸法 $H D$) は、上記の二つのベアチップ 2 1 A、2 1 B の厚さ寸法 ($H A$ 、 $H B$) の差を吸収するように設定されている。たとえば、式「 $H A + \quad = H B$ 」が成立する場合、一方のベアチップ 2 1 A のトランジション層 2 5 A の厚さ寸法 $H C$ が、他方のベアチップ 2 1 B のトランジション層 2 5 B の厚さ寸法 $H D$ よりも「 \quad 」だけ大きくなるように設定 ($H C + \quad = H D$) されている。このことは、要するに、「厚さ寸法の異なる二つのベアチップ 2 1 A、2 1 B の各々のトランジション層 2 5 A、2 5 B の上面レベルを、ほぼ同一の高さに揃える」ことを意味し、かかる高さ調整の目的は、次の工程によって理解される。

【0012】

まず、ベース基板 2 0 の上に、二つのベアチップ 2 1 A、2 1 B を包囲する側壁部として機能する半硬化状態のコア基板 2 6 を載置する。 10

次いで、図 9 (b) に示すように、コア基板 2 6 の内側の開口 2 7 内に硬化性樹脂 2 8 を減圧下で充填し、所定時間所定温度で加熱して硬化性樹脂 2 8 を半硬化させる。

【0013】

その後、図 9 (c) に示すように、半硬化状態のコア基板 2 6 と硬化性樹脂 2 8 の上面を研磨していくと、前記のとおり、「厚さ寸法の異なる二つのベアチップ 2 1 A、2 1 B の各々のトランジション層 2 5 A、2 5 B の上面レベルを、ほぼ同一の高さに揃えている」ため、二つのベアチップ 2 1 A、2 1 B の各々のトランジション層 2 5 A、2 5 B の頂部 (上面) がほぼ同時に露出するので、それらの露出面を若干研磨 (露出面の凹凸がなくなる程度) したところで研磨をストップし、その後、さらに加熱して硬化性樹脂 2 8 とコア基板 2 6 を本硬化させる。 20

【0014】

このように、以上説明した第 2 の従来例における部品内蔵多層基板は、厚さ寸法の異なる複数 (図では二つ) のベアチップ 2 1 A、2 1 B を内蔵できると共に、それらの内蔵部品 (ベアチップ 2 1 A、2 1 B) のトランジション層 2 5 A、2 5 B を基板表面に露出させることができる。したがって、内蔵電子部品と基板表面との間の信号伝達経路を最短長とすることができ、前記の第 1 の従来例の不都合 (高周波特性劣化の懸念) を解消することができる。

【0015】

【特許文献 1】

特開平 1 1 - 2 7 4 7 3 4 号公報 ([0 0 1 6] ~ [0 0 2 3] 、 図 2 ~ 図 1 3)

【特許文献 2】

特開 2 0 0 2 - 1 8 5 1 4 5 号公報 ([0 0 4 5] ~ [0 0 5 2] 、 図 7)

【0016】

【発明が解決しようとする課題】

しかしながら、上記の第 2 の従来例にあっては、内蔵電子部品 (図ではベアチップ 2 1 A、2 1 B) のダイパッド 2 4 A、2 4 B の上に、基板の表面レベルを揃えるためのトランジション層 2 5 A、2 5 B を作り込む必要があるうえ、硬化性樹脂 2 8 やトランジション層 2 5 A、2 5 B を研磨する必要があり、工数が増加してコストアップにつながるという問題点がある。 40

【0017】

したがって、本発明の目的は、厚さ寸法の異なる複数の電子部品を内蔵する電子部品内蔵型多層基板において、基板の表面レベルを揃えるためのトランジション層の作り込みと研磨を不要にし、工数の増加を回避してコストの削減を図ることを目的とする。

【0018】

【課題を解決するための手段】

本発明は、上記目的を達成するために、厚さ寸法 $H a$ の第 1 の電子部品と厚さ寸法 $H b$ (ただし、 $H a < H b$) の第 2 の電子部品とを内蔵する電子部品内蔵型多層基板において、厚さ寸法 X (ただし、 $X = H a + Z$; $Z > 0$) のコア部材に寸法 X に相当する深さの開口を形成してその開口に前記第 1 の電子部品を入れ、且つ、前記コア部材とそのコア部材に 50

張り合わせた厚さ寸法 Y (ただし、 $X + Y = H b + Z$) の絶縁樹脂層とに寸法 $X + Y$ に相当する深さの開口を形成してその開口に前記第 2 の電子部品を入れることを特徴とするものである。

この発明では、厚さ寸法の異なる二つの電子部品の実装時上面レベルが同一のレベル (図 1 の符号 L 参照) に揃えられる。したがって、冒頭で説明した第 2 の従来例のように、基板の表面レベルを揃えるためのトランジション層 (図 9 の符号 25A、25B 参照) を作り込む必要がなく、当然ながら、トランジション層の研磨も必要ないので、工数の増加を回避してコストの削減を図ることができる。

ここで、コア部材としては、熱伝導性と高剛性とを共に有する、たとえば、銅板などを用いることができる。この場合、コア部材の下面に厚さ寸法 Y (ただし、 $X + Y = H b + Z$) の絶縁樹脂層を張り合わせる必要があるが、内蔵電子部品の発熱が少ない場合は、熱伝導性を考慮せず、もっぱら高剛性を有する素材でコア部材を構成可能である。そのような素材としては、たとえば、ガラス繊維又はアラミド繊維に樹脂を含浸させて硬化させたものが存在し、かかる繊維素材を用いた場合、コア部材に絶縁樹脂層を張り合わせる必要はない。

10

【0019】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

図 1 (a) は、本発明の思想を適用し、モジュール基板として製造された電子部品内蔵型多層基板の構造図である。図示の電子部品内蔵型多層基板 30 は、厚さ寸法の異なる複数 (図では二つ) の電子部品 31、32 を内蔵 (又は「埋め込み」ともいう。) すると共に、必要により、一つないしは複数 (図では二つ) の電子部品 33、34 を表面実装したものである。以下、基板内部に埋め込まれた電子部品 31、32 のことを「第 1 及び第 2 の電子部品 31、32」と称し、且つ、表面実装された電子部品 33、34 のことを「表面実装部品 33、34」と称して両者を区別することにする。

20

【0020】

表面実装部品 33、34 は、たとえば、LRC 等のチップ部品又はその他の電子回路部品とすることができる。また、第 1 及び第 2 の電子部品 31、32 は、たとえば、LRC 等のチップ部品又はその他の電子回路部品とすることができるが、この第 1 及び第 2 の電子部品 31、32 は、少なくとも、図 1 (b) に示すように、その部品上面 (“上下” は図面に正対したときの上下をいう。) に電極 31a、31b、32a、32b を有しているものである。

30

【0021】

第 1 及び第 2 の電子部品 31、32 の厚さ寸法は既述のとおり異なっている。すなわち、第 1 の電子部品 31 の厚さ寸法を “ $H a$ ”、第 2 の電子部品 32 の厚さ寸法を “ $H b$ ” としたとき、図示の例では、 $H a < H b$ となっており、 $H a < H b$ であるから、これら第 1 及び第 2 の電子部品 31、32 の厚さ寸法 ($H a$ 、 $H b$) は異なっている。

【0022】

電子部品内蔵型多層基板 30 のコア部材 (芯材) 35 は、熱伝導性がよく且つ高剛性で所定の厚さ寸法 (X) を有する素材 (たとえば、銅板など) であり、コア部材 35 の下面には、所定の厚さ寸法 (Y) を有する絶縁樹脂層 36 と導電性金属箔 (以下「銅箔 37」) とが張り合わされている。また、コア部材 35 と絶縁樹脂層 36 には、第 1 及び第 2 の電子部品 31、32 を埋め込むための開口 35a、35b、36a が形成されており、それらの開口 35a、35b、36a に所望の電子部品 (第 1 及び第 2 の電子部品 31、32) を入れて載置固定し、その上を樹脂層 38 で封止し、当該樹脂層 38 に配線パターン 39 ~ 41 やビア 42 ~ 45 を形成した後、所定の配線パターン 39 ~ 41 上に所望の表面実装部品 33、34 をマウントする。なお、図において、46 ~ 49 は表面実装部品 33、34 をマウントするための半田、50、51 は第 1 及び第 2 の電子部品 31、32 を固定するための接着剤 (発熱性の電子部品には熱伝導性接着剤を用いることが好ましい) である。

40

50

【0023】

ここで、接着剤50、51の塗布厚を無視(0)したとき、次式1、2が共に成立するように、コア部材35の厚さ寸法(X)と絶縁樹脂層36の厚さ寸法(Y)を設定する。

$$X = H a + Z \quad \dots \quad 1$$

$$X + Y = H b + Z \quad \dots \quad 2$$

ただし、Zは、第1及び第2の電子部品31、32の上面レベルとコア部材35の上面レベルとの差であり、 $Z > 0$ である。

【0024】

このようにすると、(A)第1及び第2の電子部品31、32の上面レベルを同一のレベルLに揃えることができると共に、(B)レベルLをコア部材35の上面レベルよりも所定量Zだけ下げることができる。したがって、(A)により、第1及び第2の電子部品31、32の上面から樹脂層38の上面までの距離を均一にすることができ、たとえば、ビア42~45の深さを揃えるなどして信頼性を向上することができる。また、(B)により、樹脂層38を形成する際のプレス応力のほとんどをコア部材35で受け止めることができ、第1及び第2の電子部品31、32への応力印加を緩和して当該部品の破損等を防止することができる。

10

【0025】

次に、電子部品内蔵型多層基板30の製造工程について説明する。

<第1の工程：図2(a)>

まず、コア部材35として厚さ寸法Xの銅板を用意する。ここで、Xの値は、前式1、2に従い、第1及び第2の電子部品31、32の厚さ寸法(図1(b)のHa、Hb参照)を考慮したものである。次に、コア部材35の片面に厚さ寸法Yの絶縁樹脂層36と任意厚の銅箔37とを張り合わせる。なお、絶縁樹脂層36及び銅箔37は、あらかじめ片面に銅箔を張り合わせた、いわゆる「樹脂付銅箔」であってもよい。樹脂の厚さ寸法がYであればよい。ここで、Yの値は、前式2に従い、第2の電子部品32の厚さ寸法(図1(b)のHb参照)を考慮したものである。

20

【0026】

<第2の工程：図2(b)>

次に、コア部材35に開口35a、35bを、たとえば、エッチングにより形成する。開口35a、35bの深さはコア部材35の厚さ寸法Xに相当する。この開口35a、35bは、第1及び第2の電子部品31、32の実装穴(いわゆるキャビティ)として用いられるものであり、コア部材35を上から俯瞰したときの開口35a、35bの形状は、第1及び第2の電子部品31、32を余裕をもって入れることができる適切な形に設定する。また、このとき、図2(c)に示すように、コア部材35の任意位置に、コア部材35の厚み方向に貫通する所望数の環状エッチング部35cを形成してもよい。コア部材35が導電材料である場合、環状エッチング部35cの内側残存部35d(コア部材35の残存部分)が、コア部材35を挟んで上層と下層とを電氣的に接続するポストの役目を果たす。

30

【0027】

<第3の工程：図2(d)>

次に、厚さ寸法の大きい方の電子部品(第2の電子部品32)を実装するための開口35bについては、その底面部分の絶縁樹脂層36をさらに同形状で掘り下げる。この掘り下げ部分についても“開口”ということにすると、この開口36aの深さは絶縁樹脂層36の厚さ寸法Yに相当する。したがって、厚さ寸法の大きい方の電子部品(第2の電子部品32)の実装穴の深さは、開口35bの深さ(X)と開口36aの深さ(Y)を足し合わせたもの(X+Y)になる。なお、絶縁樹脂層36の掘り下げは、CO₂やYAG等のレーザ加工を用いることができる。

40

【0028】

<第4の工程：図3(a)>

50

次に、厚さ寸法の小さい方の電子部品（第1の電子部品31）を左側の開口35aに入れ、厚さ寸法の大きい方の電子部品（第2の電子部品32）を右側の開口35b、36aに入れ、第1及び第2の電子部品31、32の下面に接着剤50、51を塗布して固定する。先に説明したように、左側の開口35aの深さは「X」であり、右側の開口35b、36aの深さは「X+Y」である。そして、第1の電子部品31の厚さ寸法は「Ha」であり、第2の電子部品32の厚さ寸法は「Hb」であり、これらのX、Y、Ha、Hbの間には前式1、2の関係が成立するから、結局、厚さ寸法の異なる第1及び第2の電子部品31、32を実装後の時点では、それらの第1及び第2の電子部品31、32の上面レベルが同一のレベルLに揃い、且つ、レベルLは、コア部材35の上面レベルよりも所定量Zだけ低い位置になる。

10

【0029】

<第5の工程：図3(b)>

次に、樹脂層38を形成して第1及び第2の電子部品31、32を封止するが、前記の工程において、「第1及び第2の電子部品31、32の上面レベルが同一のレベルLに揃っている」ため、第1及び第2の電子部品31、32の直上における樹脂層38の形成厚（膜厚ともいう。）を均一化することができる。樹脂層38の形成は、たとえば、樹脂フィルムのラミネートや真空プレス圧着によって行うことができる。この場合、圧着等に伴う応力が発生して第1及び第2の電子部品31、32への悪影響（破損等）が心配されるが、前記の工程において、「第1及び第2の電子部品31、32の上面レベルがコア部材35の上面レベルよりも所定量Zだけ低い位置になっている」ため、ほとんどの応力はコア部材35で受け止められ、第1及び第2の電子部品31、32に悪影響を与えることはない。したがって、樹脂層38の形成時において、第1及び第2の電子部品31、32の破損等を確実に回避することができる。

20

【0030】

<第6の工程：図3(c)>

次に、樹脂層38にビアホール52～55を形成（たとえば、レーザ加工により）し、第1及び第2の電子部品31、32の電極31a、31b、32a、32bを露出させる。このとき、前記の工程で、「第1及び第2の電子部品31、32の直上における樹脂層38の形成厚が均一化されている」ため、すべてのビアホール52～55の深さを同一にすることができる。したがって、ビアホール52～55の加工条件を統一することができ、加工バラツキを回避して良好なビアホール52～55を形成することができる。また、このとき、コア部材35に電氣的接続のためのポスト（図2(c)参照）を形成してある場合は、ポストを露出するビアホールを併せて形成することができる。

30

【0031】

<第7の工程：図4(a)>

次に、ビアホール52～55の内部にフィールドメッキを施してビア42～45を形成すると共に、樹脂層38の表面に所望形状の回路パターン39～41を形成（たとえば、セミアディティブ法により）する。かかるビア42～45の形成も、上記のビアホール52～55の形成と同様に、すべてのビアホール52～55の深さが同一であるため、ビア42～45の加工条件を統一し、加工バラツキを回避して均一なメッキが施された良好なビア42～45を形成することができる。

40

【0032】

<第8の工程：図4(b)>

次に、基板下面の銅箔37をパターンニング（たとえば、サブトラクティブ法により）して所望形状の回路パターン（LGAパターン）37a～37cを形成する。

<第9の工程：図4(c)>

最後に、所望の表面実装部品33、34を回路パターン39～41の上にマウントして、図1(a)の電子部品内蔵型多層基板30を完成する。

なお、上記実施の形態では、コア部材35を挟んで上下に各一層の回路パターンを設けたが、これに限定するものではなく、たとえば、同様にして、上下にそれぞれ多層の回路パ

50

ターンを形成してもよい。

【0033】

以上のとおりであるから、本実施の形態では、次の効果を得ることができる。

(1) 厚さ寸法 H_a の第1の電子部品31と厚さ寸法 H_b (ただし、 $H_a < H_b$) の第2の電子部品32とを埋め込む際に、厚さ寸法 X (ただし、 $X = H_a + Z$; 前式 1 参照) のコア部材35に寸法 X に相当する深さの開口35aを形成して、その開口35aに第1の電子部品31を入れ、さらに、コア部材35と、そのコア部材35に張り合わせた厚さ寸法 Y (ただし、 $X + Y = H_b + Z$; 前式 2 参照) の絶縁樹脂層36とに寸法 $X + Y$ に相当する深さの開口35b、36aを形成して、その開口35b、36aに第2の電子部品32を入れるようにしたから、厚さ寸法の異なる第1及び第2の電子部品31、32の実装時上面レベルを同一のレベル(図1の符号L参照)に揃えることができる。したがって、冒頭で説明した第2の従来例のように、基板の表面レベルを揃えるためのトランジション層(図9の符号25A、25B参照)を作り込む必要がなく、当然ながら、トランジション層の研磨も必要ないので、工数の増加を回避してコストの削減を図ることができる。

10

【0034】

(2) また、厚さ寸法の異なる第1及び第2の電子部品31、32の実装時上面レベルを同一のレベル(図1の符号L参照)に揃えることができるため、それらの第1及び第2の電子部品31、32を封止するための樹脂層38の膜厚を、当該電子部品の直上において均一化することができる。これにより、樹脂層38に形成するビア42~45の深さを揃え、ビア形成の加工条件を統一してバラツキのない良好なビア42~45を形成し、信頼性の向上を図ることができる。

20

【0035】

(3) 加えて、第1及び第2の電子部品31、32の上面レベル(L)を、コア部材35の上面レベルよりも所定量Zだけ低い位置にすることができるため、樹脂層38の形成時に発生する応力(たとえば、樹脂フィルムのラミネートや真空プレス圧着に伴って発生する応力)のほとんどをコア部材35によって受け止めることができ、第1及び第2の電子部品31、32に対して悪影響を与えることがない。したがって、樹脂層38の形成時において、第1及び第2の電子部品31、32の破損等を確実に回避することができ、この点においても、信頼性の向上を図ることができる。

30

【0036】

なお、以上の実施の形態では、基板の芯材として、熱伝導性がよく且つ高剛性で所定の厚さ寸法(X)を有する素材、たとえば、銅板などを用いたが、本発明の思想はこれに限定されない。第1及び第2の電子部品31、32の発熱が少ない場合は、熱伝導性を考慮しなくてもよい。

【0037】

図5は、本発明の思想を適用して製造された他の電子部品内蔵型多層基板30の構造図である。なお、前記の実施の形態(図1)と同じ構成要素については同一の符号を付してその説明を省略する。図1との相違は、コア部材35及び絶縁樹脂層36を使用せず、その代わりに、ガラス繊維やアラミド繊維などの繊維体に樹脂を含浸させて硬化させたコア部材60を用いている点にある。

40

【0038】

コア部材60の厚さ寸法は、前記の実施の形態におけるコア部材35の厚さ寸法(X)と絶縁樹脂層36の厚さ寸法(Y)を加えた値($X + Y$)に等しい。コア部材60には、第1及び第2の電子部品31、32を埋め込むための開口60a、60bが形成されており、一方の開口60aの深さは「X」、他方の開口60Bの深さは「 $X + Y$ 」である。

【0039】

ここで、「X」や「Y」は、前式 1、2 を満たす値である。したがって、前記の実施の形態と同様に、厚さ寸法の異なる第1及び第2の電子部品31、32の実装時上面レベルを同一のレベル(図1の符号L参照)に揃えることができ、冒頭で説明した第2の

50

従来例のように、基板の表面レベルを揃えるためのトランジション層（図9の符号25A、25B参照）を作り込む必要がなく、当然ながら、トランジション層の研磨も必要ないので、工数の増加を回避してコストの削減を図ることができ、本発明の課題を達成することができる。

【0040】

また、厚さ寸法の異なる第1及び第2の電子部品31、32の実装時上面レベルを同一のレベル（図1の符号L参照）に揃えることができるため、それらの第1及び第2の電子部品31、32を封止するための樹脂層38の膜厚を、当該電子部品の直上において均一化することができる。これにより、樹脂層38に形成するビア42～45の深さを揃え、ビア形成の加工条件を統一してバラツキのない良好なビア42～45を形成し、信頼性の向上を図ることができる。

10

【0041】

加えて、第1及び第2の電子部品31、32の上面レベル（L）を、コア部材60の上面レベルよりも所定量Zだけ低い位置にすることができるため、樹脂層38の形成時に発生する応力（たとえば、樹脂フィルムのラミネートや真空プレス圧着に伴って発生する応力）のほとんどをコア部材60によって受け止めることができ、第1及び第2の電子部品31、32に対して悪影響を与えない。したがって、樹脂層38の形成時において、第1及び第2の電子部品31、32の破損等を確実に回避することができ、この点においても、信頼性の向上を図ることができる。

【0042】

また、以上の各実施の形態においては、電子部品を埋設後の基板の上下面を平坦にできるため、たとえば、図6に示すように、電子部品を埋設後の基板71の上面や下面に、複数層にわたって積み重ねられたスタックドビア74～81を有する配線層72、73を積層した電子部品内蔵型多層基板70を構成することができる。この電子部品内蔵型多層基板70によれば、内蔵された各電子部品とビアを介して接続される回路パターンの高さが均一であるため、層間接続する際に各部にかかる圧力が均一となり、各配線層72、73の一括積層による任意層間接続（“一括積層”とは、多層基板を製造する際に、あらかじめ回路パターンを形成した各層の接着及び電気的接続を1回のプレスで行うことをいう。）をバラツキなく確実に可能とすることができる。一括積層による任意層間接続の手法としては、層間接続部に金属パンプ、金属ペーストパンプ、及び接着層（プリプレグ等にレーザ・ドリル等で任意の位置の穴を開け、導電性樹脂を充填したもの）等を利用した手法が挙げられる。また、電子部品を埋設後の基板71の上面や下面が平坦であるため、各配線層72、73の膜厚を均一化することができ、積層不良や層間接続不良を防止することができる。さらに、あらかじめ所定の厚さ寸法に揃えられた“特注”の電子部品を準備できない場合、言い換えれば、異なる厚さ寸法を持つ複数の電子部品しか準備できない場合でも、各部品と回路パターンとを接続するビアの深さを均一にすることができるため、多層基板の内部に異なる厚さ寸法の汎用部品（たとえば、積層コンデンサやインダクタ、汎用IC等）を同時に使用可とすることができる。

20

30

【0043】**【発明の効果】**

本発明によれば、厚さ寸法Haの第1の電子部品と厚さ寸法Hb（ただし、 $H_a < H_b$ ）の第2の電子部品とを内蔵する電子部品内蔵型多層基板において、厚さ寸法X（ただし、 $X = H_a + Z$ ； $Z > 0$ ）のコア部材に寸法Xに相当する深さの開口を形成してその開口に前記第1の電子部品を入れ、且つ、前記コア部材とそのコア部材に張り合わせた厚さ寸法Y（ただし、 $X + Y = H_b + Z$ ）の絶縁樹脂層とに寸法X+Yに相当する深さの開口を形成してその開口に前記第2の電子部品を入れることを特徴としたので、厚さ寸法の異なる二つの電子部品の実装時上面レベルを同一のレベル（図1の符号L参照）に揃えることができる。したがって、冒頭で説明した第2の従来例のように、基板の表面レベルを揃えるためのトランジション層（図9の符号25A、25B参照）を作り込む必要がなく、当然ながら、トランジション層の研磨も必要ないので、工数の増加を回避してコストの削減を

40

50

図ることができる。

【図面の簡単な説明】

【図 1】本発明の思想を適用して製造された電子部品内蔵型多層基板の構造図及び内蔵電子部品の外観図である。

【図 2】本実施の形態の工程図（第 1 の工程～第 3 の工程）である。

【図 3】本実施の形態の工程図（第 4 の工程～第 6 の工程）である。

【図 4】本実施の形態の工程図（第 7 の工程～第 9 の工程）である。

【図 5】本発明の思想を適用して製造された他の電子部品内蔵型多層基板 3 0 の構造図である。

【図 6】複数層にわたって積み重ねられたスタックドビア 7 4 ~ 8 1 を有する配線層 7 2、7 3 を積層した電子部品内蔵型多層基板 7 0 の構造図である。

【図 7】第 1 の従来例の工程図（その 1）である。

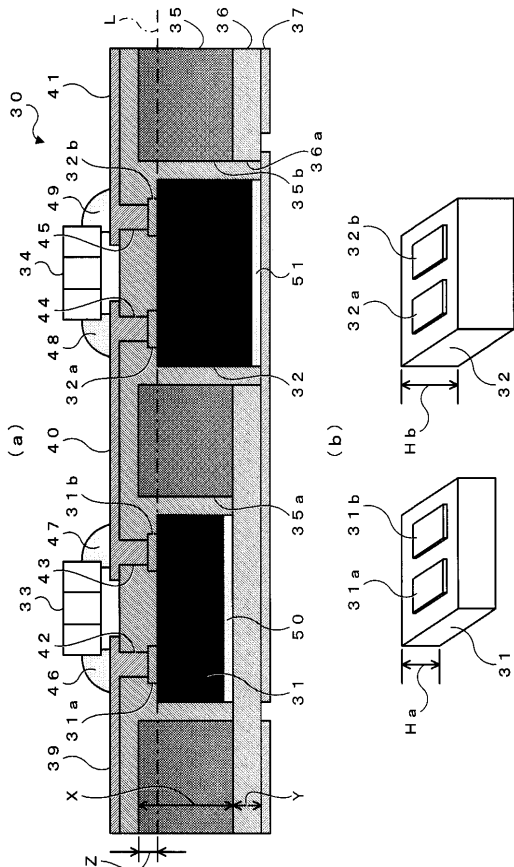
【図 8】第 1 の従来例の工程図（その 2）である。

【図 9】第 2 の従来例の工程図である。

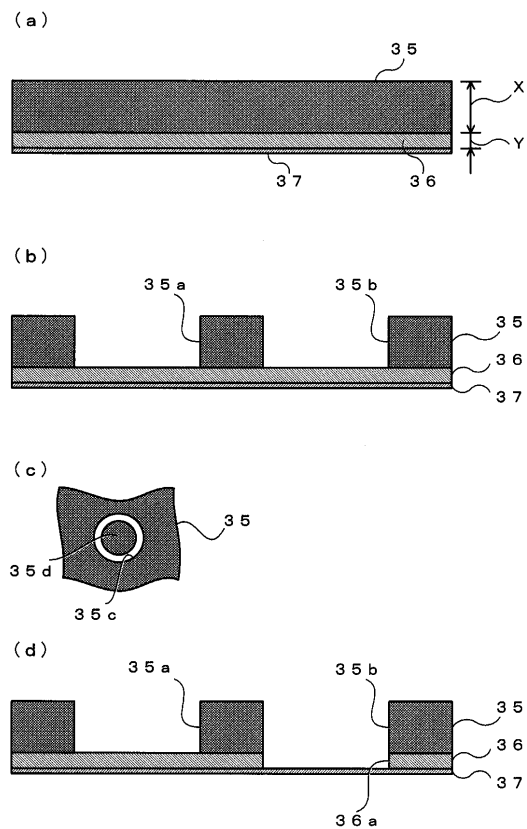
【符号の説明】

- 3 0 電子部品内蔵型多層基板
- 3 1 内蔵電子部品（第 1 の電子部品）
- 3 2 内蔵電子部品（第 2 の電子部品）
- 3 5 コア部材
- 3 5 a 開口
- 3 5 b 開口
- 3 6 絶縁樹脂層
- 3 6 a 開口
- 6 0 コア部材

【図 1】

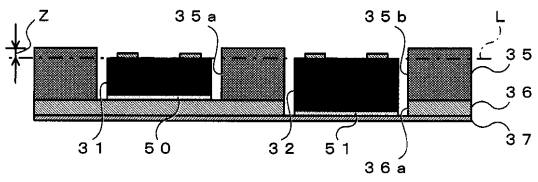


【図 2】

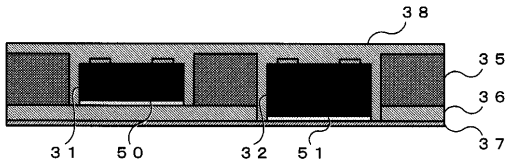


【 図 3 】

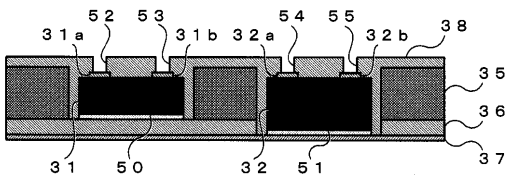
(a)



(b)

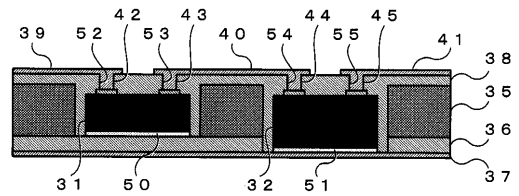


(c)

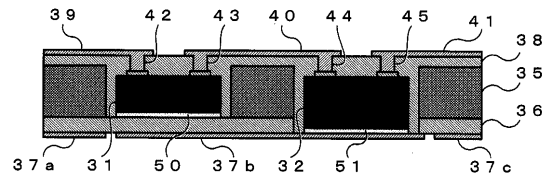


【 図 4 】

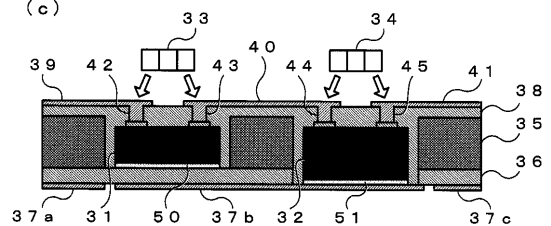
(a)



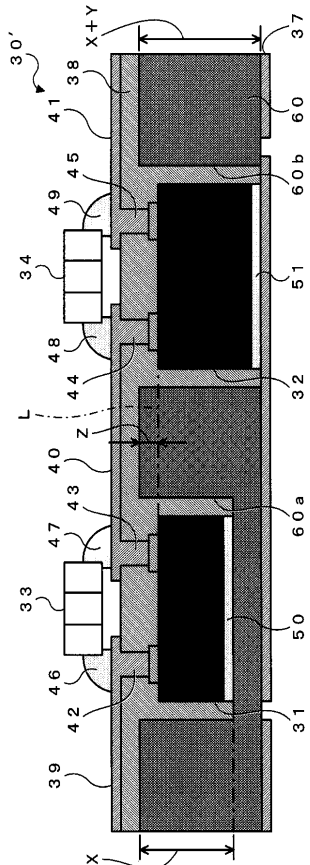
(b)



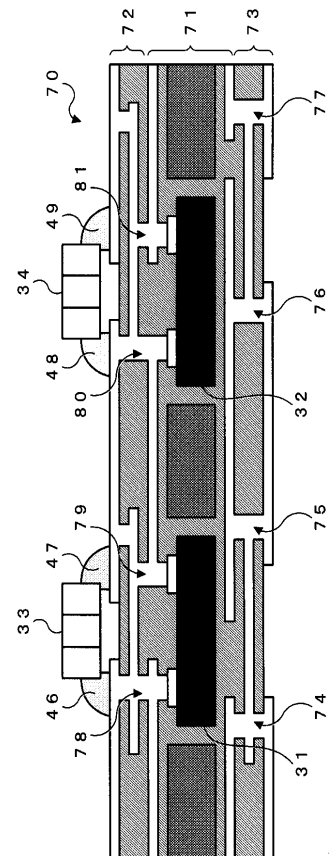
(c)



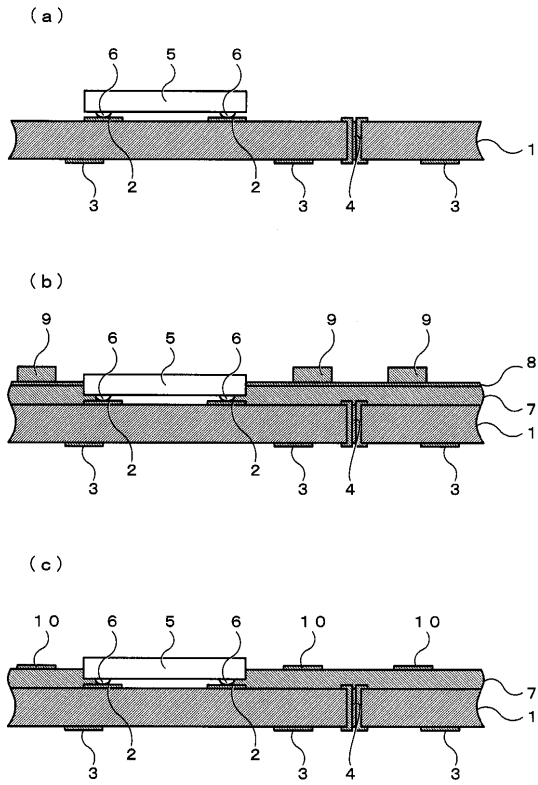
【 図 5 】



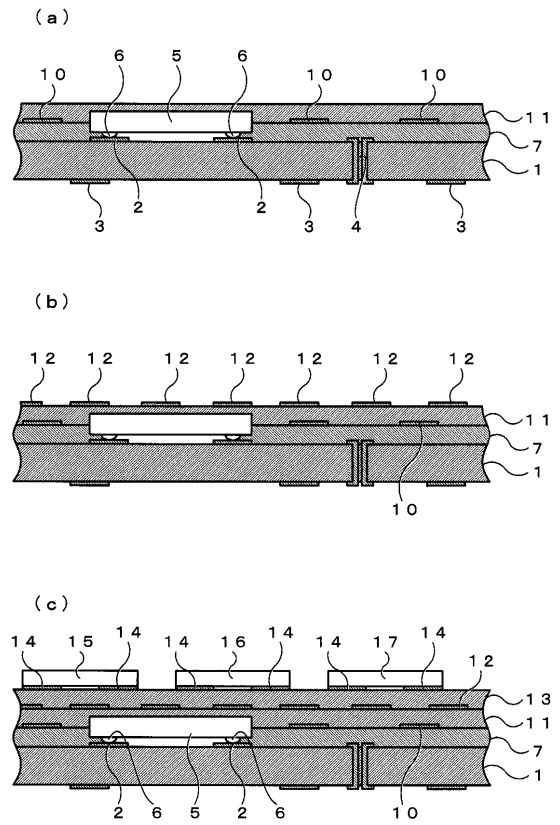
【 図 6 】



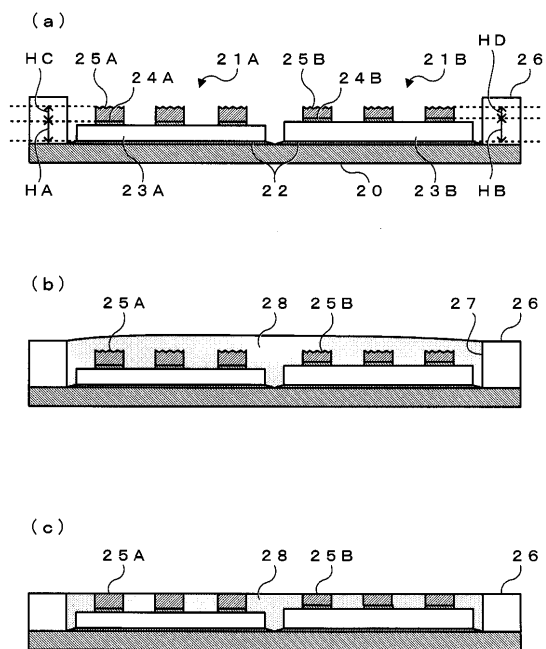
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 室田 考俊

東京都台東区上野6丁目16番20号

太陽誘電株式会社内

Fターム(参考) 5E346 AA02 AA06 AA12 AA15 AA22 AA32 AA43 AA51 BB11 CC01
DD12 DD22 DD32 DD33 EE06 EE07 EE09 EE13 FF01 FF45
GG15 GG17 GG22 GG28 HH32