



(19) 中華民國智慧財產局

(12) 發明說明書公開本 (11) 公開編號：TW 201501226 A

(43) 公開日：中華民國 104 (2015) 年 01 月 01 日

(21) 申請案號：103109177 (22) 申請日：中華民國 103 (2014) 年 03 月 13 日

(51) Int. Cl. : H01L21/60 (2006.01) H01L23/48 (2006.01)

(30) 優先權：2013/03/14 美國 13/802,769
2013/12/02 美國 14/094,763(71) 申請人：聯合科技（股份有限公司）(新加坡) UNITED TEST AND ASSEMBLY CENTER LTD. (SG)
新加坡

(72) 發明人：楊永波 YANG, YONG BO (SG) ; 胡振鴻 WO, CHUN HONG (SG)

(74) 代理人：陳長文

申請實體審查：無 申請專利範圍項數：26 項 圖式數：18 共 78 頁

(54) 名稱

半導體封裝及封裝半導體裝置之方法

SEMICONDUCTOR PACKAGES AND METHODS OF PACKAGING SEMICONDUCTOR DEVICES

(57) 摘要

本發明呈現半導體封裝及用於形成一半導體封裝之方法。該方法包含提供具有第一主要表面及第二主要表面之一封裝基板。該封裝基板包含具有至少一個腔之至少一個基板層。形成互連結結構。至少一個導電螺柱形成於該腔內且一導電跡線及一連接墊形成於該封裝基板之該第一主要表面上方且耦合至該導電螺柱之頂部表面。一封裝墊經形成且直接耦合至該導電螺柱。提供在其第一表面或第二表面上具有導電觸點之一晶粒。該晶粒之該等導電觸點電耦合至該互連結結構。一帽蓋形成於該封裝基板上方以囊封該晶粒。

Semiconductor packages and methods for forming a semiconductor package are presented. The method includes providing a package substrate having first and second major surfaces. The package substrate includes at least one substrate layer having at least one cavity. Interconnect structure is formed. At least one conductive stud is formed within the cavity and a conductive trace and a connection pad are formed over the first major surface of the package substrate and are coupled to top surface of the conductive stud. A package pad is formed and is directly coupled to the conductive stud. A die having conductive contacts on its first or second surface is provided. The conductive contacts of the die are electrically coupled to the interconnect structure. A cap is formed over the package substrate to encapsulate the die.

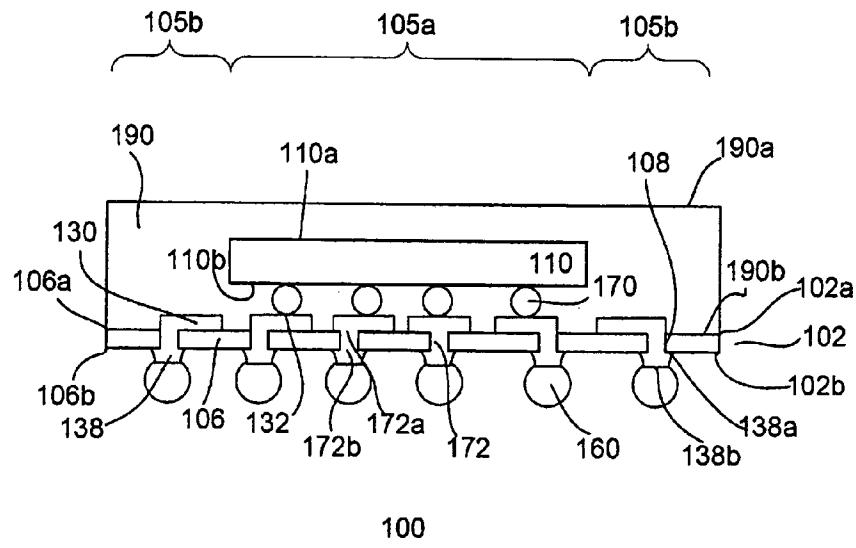


圖 1

- 100 . . . 半導體封裝
- 102 . . . 封裝基板
- 102a . . . 第一主要表面/第一表面
- 102b . . . 第二主要表面/第二表面/經曝露底部主要表面
- 105a . . . 第一區域/晶粒區域
- 105b . . . 第二區域/非晶粒區域
- 106 . . . 基板層/第二基板層
- 106a . . . 第一主要表面/第一表面/頂部表面
- 106b . . . 第二主要表面/第二表面
- 108 . . . 腔/第一類型腔/開口
- 110 . . . 晶粒/覆晶
- 110a . . . 非作用表面
- 110b . . . 作用表面
- 130 . . . 導電跡線
- 132 . . . 連接墊
- 138 . . . 封裝墊
- 138a . . . 第一表面
- 138b . . . 第二表面/底部表面
- 160 . . . 封裝觸點
- 170 . . . 晶粒觸點
- 172 . . . 導電螺柱
- 172a . . . 第一表面/頂部表面
- 172b . . . 第二表面
- 190 . . . 帽蓋
- 190a . . . 第一表面
- 190b . . . 第二表面

201501226

發明摘要 201501226

※ 申請案號：103109177

※ 申請日：103.3.13

※IPC 分類：H01L 21/60 (2006.01)

H01L 23/48 (2006.01)

【發明名稱】

半導體封裝及封裝半導體裝置之方法

SEMICONDUCTOR PACKAGES AND METHODS OF
PACKAGING SEMICONDUCTOR DEVICES

【中文】

本發明呈現半導體封裝及用於形成一半導體封裝之方法。該方法包含提供具有第一主要表面及第二主要表面之一封裝基板。該封裝基板包含具有至少一個腔之至少一個基板層。形成互連結構。至少一個導電螺柱形成於該腔內且一導電跡線及一連接墊形成於該封裝基板之該第一主要表面上方且耦合至該導電螺柱之頂部表面。一封裝墊經形成且直接耦合至該導電螺柱。提供在其第一表面或第二表面上具有導電觸點之一晶粒。該晶粒之該等導電觸點電耦合至該互連結構。一帽蓋形成於該封裝基板上方以囊封該晶粒。

【英文】

Semiconductor packages and methods for forming a semiconductor package are presented. The method includes providing a package substrate having first and second major surfaces. The package substrate includes at least one substrate layer having at least one cavity. Interconnect structure is formed. At least one conductive stud is formed within the cavity and a conductive trace and a connection pad are formed over the first major surface of the package substrate and are coupled to top surface of the conductive stud. A package pad is formed and is directly coupled to the conductive stud. A die having conductive contacts on its first or second surface is provided. The conductive contacts of the die are electrically coupled to the interconnect structure. A cap is formed over the package substrate to encapsulate the die.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

- 100 半導體封裝
- 102 封裝基板
- 102a 第一主要表面/第一表面
- 102b 第二主要表面/第二表面/經曝露底部主要表面
- 105a 第一區域/晶粒區域
- 105b 第二區域/非晶粒區域
- 106 基板層/第二基板層
- 106a 第一主要表面/第一表面/頂部表面
- 106b 第二主要表面/第二表面
- 108 腔/第一類型腔/開口
- 110 晶粒/覆晶
- 110a 非作用表面
- 110b 作用表面
- 130 導電跡線
- 132 連接墊
- 138 封裝墊
- 138a 第一表面
- 138b 第二表面/底部表面
- 160 封裝觸點
- 170 晶粒觸點
- 172 導電螺柱
- 172a 第一表面/頂部表面
- 172b 第二表面

190 帽蓋

190a 第一表面

190b 第二表面

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體封裝及封裝半導體裝置之方法

SEMICONDUCTOR PACKAGES AND METHODS OF
PACKAGING SEMICONDUCTOR DEVICES

相關申請案之交叉參考

此係2013年3月14日提出申請之標題為「Semiconductor Packages and Methods of Packaging Semiconductor Devices」之同在申請中之第13/802,769號美國專利申請案之一部分接續申請案，該美國專利申請案以其全文引用方式併入本文中。

【先前技術】

晶圓級晶片尺度封裝(WLCSP)、熱無引線陣列(TLA)封裝及基於引線框之封裝(諸如高密度引線框陣列(HLA)封裝)係工業中之高I/O裝置之受歡迎之封裝解決方案。然而，現有WLCSP、TLA及基於引線框之封裝具有數個缺點。舉例而言，WLCSP之大小由於板層級可靠性而受限制，尤其針對面對翹曲問題之較大小晶粒。晶粒翹曲使凸塊與印刷電路板(PCB)墊之間的連接結構變弱。精細間距凸塊技術亦期望用於此等封裝。然而，當前PCB模組技術不準備容納更小間距大小。因此，晶粒之大小不可減小過多以用於翹曲控制。另一方面，需要增加TLA及HLA封裝之穩健性。

依據前述論述，期望提供具有較高I/O計數、精細間距及撓性扇出佈線(routing)且具有增強之封裝級及PCB層級可靠性的一經改良封裝。期望提供產生具有較佳處理能力且能夠克服縮小凸塊間距與PCB大間距問題之間的衝突之一可靠封裝的簡化方法。亦期望具有用於形

成係相對低成本且根據設計要求而提供定製靈活性之半導體封裝之方法。

【發明內容】

實施例一般而言係關於半導體封裝。在一項實施例中，呈現一種用於形成一半導體封裝之方法。該方法包含提供具有第一主要表面及第二主要表面之一封裝基板。該封裝基板包含具有至少一個腔之至少一個基板層。形成互連結構。至少一個導電螺柱形成於該腔內且一導電跡線及一連接墊形成於該封裝基板之該第一主要表面上方且耦合至該導電螺柱之頂部表面。一封裝墊經形成且直接耦合至該導電螺柱。提供在其第一表面或第二表面上具有導電觸點之一晶粒。該晶粒之該等導電觸點電耦合至該互連結構。一帽蓋形成於該封裝基板上方以囊封該晶粒。

在另一實施例中，揭示一種半導體封裝。該半導體封裝包含具有第一主要表面及第二主要表面之一封裝基板。該封裝基板包含具有至少一個腔之至少一個基板層。該封裝包含互連結構。該互連結構包含安置於該腔內之至少一個導電螺柱、安置於該封裝基板之該第一主要表面上方且耦合至該導電螺柱之頂部表面之一導電跡線及一連接墊。該互連結構亦包含直接耦合至該導電螺柱之一封裝墊。該封裝包含在其第一表面或第二表面上具有導電觸點之一晶粒。該晶粒之該等導電觸點電耦合至該互連結構。一帽蓋安置於該封裝基板上方以囊封該晶粒。

透過參考以下說明及附圖將明瞭此等實施例連同本文中所揭示之其他優點及特徵。另外，應理解，本文中所闡述之各種實施例之特徵不互相排斥且可以各種組合及排列存在。

【圖式簡單說明】

在圖式中，相似參考字符一般係指所有不同視圖中之相同部

件。此外，圖式未必符合比例，而重點一般在於圖解說明本發明之原理。在以下說明中，參考以下圖式闡述本發明之各種實施例，其中：

圖1至圖5展示一半導體封裝之各種實施例；

圖6至圖8展示一半導體封裝之各種其他實施例；

圖9至圖11展示一半導體封裝之各種其他實施例；

圖12a至圖12h展示用於形成一半導體封裝之一方法之一實施例，其中圖12c₁展示基板層之剖面圖而圖12c₂展示俯視圖，且圖12e₁展示安裝在封裝基板上之覆晶之剖面圖而圖12e₂展示俯視圖；

圖13a至圖13c、圖14a至圖14l、圖15a至圖15l、圖16a至圖16d及圖17a至圖17n展示用於形成一半導體封裝之一方法之各種其他實施例；及

圖18展示圖解說明導電螺柱及跡線之一配置之一實施例的封裝基板之一第一表面之俯視圖。

【實施方式】

實施例係關於半導體封裝及用於形成一半導體封裝之方法。該等封裝用於封裝一或多個半導體晶粒或晶片。針對一個以上晶粒之情形，該等晶粒可配置成一平面配置、垂直配置或其一組合。舉例而言，該等晶粒可包含記憶體裝置、邏輯裝置(諸如混合信號邏輯裝置)、通信裝置、RF裝置、光電裝置、數位信號處理器(DSP)、微控制器、系統單晶片(SOC)以及其他類型之裝置或其一組合。此等封裝可併入至諸如電話、電腦以及行動產品及行動智慧型產品之電子產品或設備中。將該等封裝併入至其他類型之產品中亦可係有用的。

圖1展示一半導體封裝100之一實施例之簡化剖面圖。如圖1中所展示之該半導體封裝包含一封裝基板102。該封裝基板包含第一主要表面及第二主要表面。第一主要表面102a (舉例而言)可稱為頂部表面且第二主要表面102b (舉例而言)可稱為底部表面。表面之其他名稱亦

可係有用的。在一項實施例中，封裝基板之第一主要表面包含第一區域及第二區域。第一區域105a (舉例而言)係一晶粒安裝於其上之一晶粒或晶片區域且第二區域105b (舉例而言)係一非晶粒區域。在一項實施例中，非晶粒區域環繞晶粒區域。舉例而言，晶粒區域可安置於晶粒所安裝之一中心部分及在晶粒區域外側之一非晶粒區域中。舉例而言，晶粒區域可同心地安置於封裝基板之周邊內。晶粒區域及非晶粒區域之其他組態亦可係有用的。

舉例而言，封裝基板102係一相接或整合式佈線基板。在一項實施例中，封裝基板包含一單層基板。在另一實施例中，封裝基板包含多層基板。在一項實施例中，封裝基板包含至少一個基板層。參考圖1，封裝基板包含一基板層106。在一項實施例中，基板層包含一介電材料。舉例而言，介電材料可包含光可成像材料(諸如但不限於焊料遮罩)或絕緣膜(諸如但不限於聚醯亞胺、環氧樹脂模製化合物或其他無機材料)。基板層可由其他適合類型之基板材料形成。舉例而言，封裝基板可係足夠薄或可包含任何適合厚度，此取決於製造能力。基板層包含第一主要表面106a及第二主要表面106b，從而界定封裝基板之第一主要表面102a及第二主要表面102b。在一項實施例中，基板層係具有容納封裝基板之互連結構之部分(諸如導電螺柱)之複數個腔108的一經圖案化或經預界定基板，如稍後將闡述。

封裝基板102包含複數個互連結構。如所闡述，互連結構之部分(諸如導電螺柱172)安置於基板層106之腔108內。在一項實施例中，導電螺柱包含一單個導電材料。舉例而言，導電螺柱可由銅、鋁、金或其一合金形成。其他適合類型之導電材料亦可係有用的。在另一實施例中，導電螺柱可由兩種或兩種以上導電材料形成，從而形成一多層堆疊。舉例而言，多層堆疊可包含銅、鎳、金、銀、合金或其一組合。其他適合類型之導電材料亦可係有用的。導電螺柱可取決於基板

層之腔之形狀而具有各種輪廓。如圖1中所展示，導電螺柱包含筆直輪廓。應理解，導電螺柱亦可包含非筆直、錐形或其他類型之輪廓。

導電螺柱包含第一表面及第二表面。在一項實施例中，導電螺柱之第二表面172b與封裝基板之第二表面實質上共面。關於導電螺柱之第一表面172a，其可與封裝基板之第一表面實質上共面或不共面。舉例而言，導電螺柱之第一表面可在封裝基板之第一表面上面或下面。舉例而言，導電螺柱之寬度或直徑係大約40 μm。導電螺柱可包含小於如稍後將闡述之封裝墊之一寬度之任何適合尺寸。

在一項實施例中，導電跡線130及連接墊132安置於封裝基板之第一表面102a及導電螺柱之第一表面172a上方。導電跡線及連接墊耦合至導電螺柱之第一表面172a，從而形成封裝基板之互連件。在一項實施例中，導電跡線及連接墊由與導電螺柱相同之導電材料(諸如銅)形成。在另一實施例中，導電跡線及連接墊可由不同於導電螺柱之一材料形成。其他適合類型之導電材料亦可係有用的。舉例而言，直接耦合至導電螺柱之頂部表面之導電跡線之部分包含稍微大於導電螺柱之直徑之適合尺寸。此防止可在處理期間因不對準造成之導電跡線與導電螺柱之間的切斷連接。

在一項實施例中，用於容納封裝觸點160之具有第一表面138a及第二表面138b之封裝墊138 (封裝觸點附接至其)安置於封裝基板之第二表面102b及導電螺柱之第二表面172b上方。如所圖1中所展示，在一項實施例中，封裝墊138安置於第二表面102b上方且在封裝基板之外側突出。封裝墊直接耦合至導電螺柱之第二表面，從而形成封裝基板之互連件之部分。在一項實施例中，封裝墊由與導電螺柱相同之導電材料(諸如銅)形成。在另一實施例中，封裝墊可由不同於導電螺柱之一材料形成。舉例而言，封裝墊具有相對於導電螺柱為較大之一尺寸以用於對準要求。舉例而言，導電螺柱可經設計以自封裝墊之中心

偏移以便允許更多導電跡線通過兩個毗鄰導電螺柱中之任何者之間的空間。其他適合類型之導電材料及其他適合尺寸亦可用於封裝墊。舉例而言，封裝墊包含垂直或錐形輪廓。封裝墊亦可包含其他適合形狀輪廓。

在一項實施例中，一晶粒110安置於封裝基板上方。晶粒可係一半導體晶粒或晶片。在一項實施例中，晶粒包含一覆晶。如所展示之覆晶安裝在封裝基板之晶粒區域上。舉例而言，覆晶包含非作用表面110a及作用表面110b。晶粒觸點170安置於晶粒之作用表面110b上。舉例而言，晶粒觸點170包含焊料凸塊。晶粒觸點亦可包含其他適合類型之導電材料。在一項實施例中，連接墊132安置於封裝基板之晶粒區域中。如所展示之連接墊132經組態以匹配覆晶之晶粒觸點之圖案。舉例而言，連接墊包含任何適合寬度或尺寸，此取決於晶粒觸點之尺寸。導電跡線及連接墊因此將覆晶之晶粒觸點耦合至導電螺柱且耦合至封裝基板之封裝墊。導電跡線130、連接墊132、導電螺柱172及封裝墊138形成封裝基板之互連結構。諸如一基於環氧樹脂之聚合材料之一底填充物(未展示)可提供於晶粒與封裝基板之間的空間中。另一選擇係，無底填充物提供於晶粒與封裝基板之間。

在一項實施例中，具有第一表面190a及第二表面190b之一帽蓋190安置於封裝基板之頂部上，從而囊封覆晶。帽蓋用於保護覆晶免受環境影響。舉例而言，帽蓋由一囊封材料形成。舉例而言，囊封材料可包含模製環氧樹脂材料。其他類型之囊封材料亦可係有用的。

在一項實施例中，帽蓋覆蓋且環繞覆晶及晶粒觸點。在一項實施例中，帽蓋之第二表面190b接觸封裝基板之第一表面及導電跡線，如圖1中所展示。在另一實施例中，帽蓋190環繞覆晶之側，從而使覆晶之非作用表面110a曝露，如圖2中所展示。照此，如圖2中所展示之帽蓋之第一表面190a與覆晶之非作用表面110a實質上共面。藉由提供

不覆蓋晶粒之非作用表面之一帽蓋幫助改良來自晶粒之熱耗散。外部散熱座(未展示)亦可附接至晶粒之非作用表面以進一步改良熱耗散。

封裝觸點160安置於安置在封裝基板102之外側之封裝墊之第二表面138b上，如圖1及圖2中所展示。舉例而言，封裝觸點係球形結構或球。提供其他類型之封裝觸點(諸如鋸盤)亦可係有用的。封裝觸點由一導電材料形成。舉例而言，封裝觸點可由焊料形成。可使用各種類型之焊料來形成封裝觸點。舉例而言，焊料可係一基於鉛或非基於鉛之焊料。亦可使用其他類型之導電材料來形成封裝觸點。

封裝觸點160經由封裝墊、導電螺柱、導電跡線及晶粒墊提供對晶粒110之外部接達。封裝可藉由封裝觸點電耦合至一外部裝置(未展示)，諸如一電路板。

如圖1至圖2之實施例中所闡述，封裝墊直接耦合至導電螺柱。如所闡述之導電螺柱之寬度小於封裝墊之寬度且(舉例而言)可自封裝墊之中心偏移之導電螺柱之配置允許更多跡線通過兩個毗鄰導電螺柱中之任何者之間的空間，從而導致跡線之更靈活且高效可佈線性，如圖18中所圖解說明。此外，由其在包含導電跡線、螺柱及封裝墊的封裝基板之互連結構由一單個低電阻材料(諸如銅)形成之情況下電阻降低。此進一步增強半導體封裝之效能。此外，封裝墊在封裝基板之底部表面之外側安置或突出。此允許形成直立類型之封裝墊。直立類型之封裝墊使得焊料能夠在回流期間爬升，從而產生封裝與PCB之間的牢固連接結構。稍微直立亦在回流程序期間形成一自定中心效應，從而產生較佳板層級可靠性。

圖3至圖5展示半導體封裝之其他實施例之剖面圖。如圖3、圖4及圖5中所展示之半導體封裝類似於圖1及圖2中所闡述之半導體封裝。可不闡述或詳細闡述類似元件。在一或多個態樣中，半導體封裝300、400及500中之每一者不同於半導體封裝100及200。為了簡潔，

下文對半導體封裝300、400及500之說明主要集中於半導體封裝300、400及500與半導體封裝100及200中之每一者之間的差異。

參考圖3，具有第一表面340a及第二表面340b之一保護層340可視情況安置於基板層106上方。如圖3中所展示，保護層340安置於基板層之第一表面106a (包含導電跡線130之一部分)上方且部分地覆蓋其。在一項實施例中，保護層包含一介電材料。在一項實施例中，保護層可包含與基板層相同之材料。舉例而言，保護層包含一光可成像材料，諸如但不限於焊料遮罩或聚醯亞胺。另一選擇係，保護層可包含不同於封裝基板之基板層之介電材料。保護層可包含任何其他適合介電材料及適合厚度尺寸。

在一項實施例中，保護層340包含安置於晶粒區域內且界定晶粒110之晶粒觸點170安置於其中之位置的開口343。在一項實施例中，開口343自第一表面340a延伸且曝露連接墊132之至少部分。舉例而言，開口之尺寸可大於安置於其中之晶粒觸點170之尺寸。在一項實施例中，保護層與在周邊區處之連接墊重疊以使得連接墊自保護層部分地曝露。在另一實施例中，沒有重疊存在於保護層與連接墊之間以使得全部連接墊自保護層曝露。

如圖1至圖3中所展示，封裝墊138在封裝基板之第二表面102b之外側安置或突出。參考圖4，一絕緣層480可視情況安置於封裝基板102之基板層106下面。如圖4中所展示，絕緣層安置於基板層106之第二表面106b上方。在一項實施例中，絕緣層480安置於經曝露且突出封裝墊138中間。舉例而言，絕緣層隔離封裝墊。舉例而言，絕緣層包含一介電材料，諸如但不限於一模製化合物及聚醯亞胺。亦可使用可用作一應力減輕層之其他適合類型之介電材料。在一項實施例中，絕緣層之厚度可與封裝墊之厚度實質上相同。絕緣層之底部表面480b可與封裝墊之底部表面138b實質上共面。在另一實施例中，絕緣層之

厚度可比封裝墊之厚度薄或厚。因此，絕緣層完全地或部分地覆蓋封裝墊之側。絕緣層可包含任何適合厚度尺寸。

圖5更詳細地展示具有一部分A'之一半導體封裝500之一不同實施例之簡化剖面圖。在一項實施例中，封裝基板包含具有第一表面506a及第二表面506b之一基板層506。如圖5中所展示，封裝墊538包含第一主要表面538a及第二主要表面538b。在一項實施例中，封裝墊包含第一部分538c及第二部分538d。在一項實施例中，封裝墊之第一部分538c安置於基板層506內。在一項實施例中，封裝墊之第一部分538c固持在一起且被基板層506之下部部分環繞。在一項實施例中，封裝墊之第二部分538d在基板層506之外側安置且突出。如所展示之封裝墊之第二部分538d延伸超過封裝基板之第二表面102b。如圖5中所展示，封裝墊538由基板層506之部分部分地嚙合或固持且自封裝基板之底部或第二主要表面部分地突出。

關於圖3至圖5所闡述之實施例包含如關於圖1至圖2所闡述之某些或所有優點。照此，將不闡述或詳細闡述此等優點。如圖3至圖5之實施例中所闡述之封裝基板包含在封裝基板上方之一保護層。如所闡述之保護層包含晶粒之晶粒觸點所安置之開口。照此，保護層可用作焊料凸塊之一焊料壩，從而減少焊料材料在回流程序期間之不受控制之流動(此可導致短路)。舉例而言，如圖4之實施例中所闡述之絕緣層可用作在回流程序或板層級可靠性測試(TCoB)期間減少封裝墊與封裝觸點之間的接頭(諸如焊料接頭)上之應力位準之一應力減輕層。因此，此導致一更可靠封裝。此外，如圖5之實施例中所闡述之封裝墊由封裝基板之基板層之下部部分部分地嚙合或固持。照此，封裝墊將不容易地被拆卸。此允許經改良穩健性及封裝可靠性。

圖6至圖8展示一半導體封裝之各種實施例之剖面圖。如圖6至圖8中所展示之半導體封裝600、700及800類似於圖1至圖5中所闡述之彼

等半導體封裝。可不闡述或詳細闡述類似元件。在一或多個態樣中，半導體封裝600至800不同於半導體封裝100至500。為了簡潔，下文對半導體封裝之說明主要集中於半導體封裝600至800與半導體封裝100至500之間的差異。

在一項實施例中，封裝基板包含一多層基板，如圖6中所展示。參考圖6，在一項實施例中，封裝基板包含具有第一表面616a及第二表面616b之一第一基板層616。在一項實施例中，第一基板層616包含一第一介電材料。舉例而言，第一介電材料包含光可成像材料(諸如但不限於焊料遮罩)或絕緣層(諸如但不限於聚醯亞胺、環氧樹脂模製化合物或無機絕緣材料)。第一基板層616之厚度界定稍後將闡述之互連結構之一部分(諸如封裝墊638)之厚度。在一項實施例中，第一基板層616包含界定將形成封裝墊638之位置之第二類型腔618。如圖6中所展示之腔618自第一基板層之第一主要表面616a延伸至第二主要表面616b。舉例而言，腔之尺寸界定封裝墊之尺寸。封裝墊可包含任何適合尺寸。

參考圖6，封裝墊638安置於第一基板層616之第二類型腔618內。舉例而言，封裝墊可包含一單層或一多層堆疊。在一項實施例中，封裝墊包含第一導電層 638_1 及第二導電層 638_2 。其他數目個導電層亦可係有用的。

在一項實施例中，第一導電層 638_1 包含一金(Au)層。亦可採用其他適合類型之材料作為第一導電層，只要其將較佳黏合提供至封裝觸點160以形成一可靠接頭，諸如焊料接頭。具有第一主要表面 638_{1a} 及第二主要表面 638_{1b} 之第二導電層 638_2 安置於第一導電層之第一主要表面 638_{1a} 上方。在一項實施例中，第二導電層包含不同於第一導電層之一材料。在一項實施例中，第二導電層包含一鎳層。其他適合類型之材料亦可用作第二導電層，只要其可防止毗鄰金屬材料之間的金

屬遷移，諸如防止Au與Cu之間的遷移。第一導電層及第二導電層可包含任何適合厚度尺寸。

參考圖6，在一項實施例中，第一導電層之第二表面638_{1b}與第一基板層之第二表面616b實質上共面，而第二導電層之第一表面638_{2a}與第一基板層之第一表面616a實質上共面。另一選擇係，舉例而言，第二導電層之第一表面亦可與第一基板層之第一表面不共面。如圖6中所展示，舉例而言，封裝墊638之側完全地由第一基板層覆蓋或封圍。

在一項實施例中，一第二基板層106安置於第一基板層616上方，如圖6中所展示。在一項實施例中，具有第一主要表面106a及第二主要表面106b之第二基板層安置於第一基板層616之第一表面616a上方。在一項實施例中，第一基板層616及第二基板層106形成封裝基板102。在一項實施例中，第二基板層106包含一第二介電材料。在一項實施例中，第二介電材料包含與如圖1至圖5中所闡述之基板層106相同之材料。因此，第二基板層106之材料及厚度與如圖1至圖5中所闡述之基板層106相同。在一項實施例中，如圖6中所展示之第二基板層106可包含與第一基板層616相同之材料。舉例而言，第一基板層及第二基板層可包含聚醯亞胺。在另一實施例中，第二基板層包含不同於第一基板層之材料。舉例而言，第二基板層係預浸體而第一基板層係焊料遮罩。其他適合類型之材料亦可係有用的。

第二基板層106之厚度可界定互連結構之一部分(諸如導電螺柱172)之厚度。在一項實施例中，第二基板層106包含界定將安置封裝基板之導電螺柱之位置之第一類型腔108，與圖1至圖5中所闡述之基板層相同。參考圖6，導電螺柱172安置於第一類型腔108中而導電跡線130及連接墊132安置於第二基板層106之頂部表面上方且耦合至導電螺柱。導電螺柱、導電跡線及連接墊與圖1至圖5中所闡述之彼等導

電螺柱、導電跡線及連接墊相同。因此，將不詳細闡述此等共同特徵。

如圖6中所展示，封裝觸點160耦合至封裝墊之經曝露底部表面638b。在一項實施例中，封裝觸點安置且耦合至封裝墊之第一導電層之經曝露表面638₁b。

圖7更詳細地展示具有一部分B'之一半導體封裝700之另一實施例之剖面圖。如圖7中所展示之半導體封裝700類似於圖6中所闡述之半導體封裝。可不闡述或詳細闡述類似元件。在一項實施例中，一絕緣層780安置於封裝基板102之第二主要表面102b上方。舉例而言，絕緣層780安置於第一基板層616之第二主要表面616b上方。在一項實施例中，絕緣層包含如圖4中所闡述之焊料遮罩、模製化合物或應力減輕層。絕緣層之其他適合類型之絕緣材料及任何適合厚度尺寸亦可係有用的。

在一項實施例中，絕緣層包含複數個第三類型腔718。在一項實施例中，第三類型腔自絕緣層780之第一表面780a延伸至第二表面780b。在一項實施例中，第三類型腔安置於封裝墊上方。在一項實施例中，第三類型腔718之寬度可包含小於封裝墊之寬度之任何適合尺寸，從而曝露封裝墊之底部表面638b之部分。

參考圖7，封裝觸點160耦合至封裝墊之經曝露部分。舉例而言，封裝觸點耦合至封裝墊之第一導電層638₁之底部表面638₁b之經曝露部分。在一項實施例中，封裝觸點之頂部部分亦安置於絕緣層之第三類型腔內。

圖8更詳細地展示具有一部分C'之一半導體封裝800之另一實施例之剖面圖。如圖8中所展示之半導體封裝類似於圖6中所闡述之半導體封裝。可不闡述或詳細闡述類似元件。在一項實施例中，封裝基板102包含一第一基板層816。舉例而言，圖8之第一基板層816之厚度包

含任何適合厚度尺寸。

如圖8中所展示之第一基板層816包含第四類型腔或開口818。在一項實施例中，開口818包含與封裝墊638實質上相同之寬度。在一項實施例中，封裝墊638安置於第一基板層之開口818內。舉例而言，封裝墊可包含與圖6中所闡述之材料及厚度相同之材料及厚度。另一選擇係，如圖8中所展示之封裝墊可包含相對於圖6中所展示之封裝墊不同之厚度尺寸。在一項實施例中，封裝墊之第二表面638b與第一基板層之第二表面816b不共面，而封裝墊之第一表面638a與第一基板層之第一表面816a實質上共面，如圖8中所展示。在一項實施例中，封裝墊之第二表面638b安置於封裝基板之第一基板層之第二表面816b上面。舉例而言，封裝墊之第一導電層之第二表面638₁b安置於第一基板層之第二主要表面816b上面。一梯級形成於第一基板層與封裝墊之間。如所展示之封裝墊之側完全地被第一基板層環繞及嚙合。舉例而言，第一基板層816與封裝墊部分地重疊。

參考圖8，封裝觸點160耦合至封裝墊之經曝露部分。舉例而言，封裝觸點耦合至封裝墊之第一導電層638₁之經曝露底部表面638b。在一項實施例中，封裝觸點之頂部部分亦安置於絕緣層之開口818內。

關於圖6至圖8所闡述之實施例包含如關於圖1至圖5所闡述之某些或所有優點。照此，將不闡述或詳細闡述此等優點。如圖6至圖8之實施例中所闡述之封裝基板包含具有一個以上導電層之封裝墊。導電層之不同組合對於封裝墊係可能的。舉例而言，封裝墊之側至少部分地或完全地由第一基板層覆蓋，如圖6中所闡述。因此封裝墊至少部分地由第一基板層嚙合或固持。此外，如圖7之實施例中所闡述之封裝墊由安置於第一基板層下面之一絕緣層部分地嚙合或固持。絕緣層包含僅曝露封裝墊之底部表面之部分之開口，而封裝墊之底部表面之

剩餘部分由絕緣層覆蓋。因此，絕緣層防止封裝墊被拆卸，此進一步改良封裝可靠性。類似地，如圖8之實施例中所闡述之第一基板層與封裝墊部分地重疊。此實施例亦避免封裝墊被拆卸。

圖9至圖11展示一半導體封裝之各種實施例之剖面圖。如圖9至圖11中所展示之半導體封裝類似於圖1至圖8中所闡述之彼等半導體封裝。可不闡述或詳細闡述類似元件。在一或多個態樣中，半導體封裝900、1000及1100不同於半導體封裝100至800。為了簡潔，下文對半導體封裝之說明主要集中於半導體封裝900至1100與半導體封裝100至800中之每一者之間的差異。

如圖1至圖8中所展示之半導體封裝包含一覆晶110。應理解，可對半導體封裝100至800中之任一者做出修改以在封裝基板上方提供非覆晶類型之半導體晶片或晶粒。參考圖9，半導體封裝900可包含一線接合之晶粒910。如圖9中所展示之晶粒包含第一主要表面910a及第二主要表面910b。舉例而言，第一表面910a係晶粒之一作用表面且第二表面910b係晶粒之一非作用表面。晶粒之表面之其他名稱亦可係有用的。舉例而言，作用表面包含在一最後鈍化層中之開口(未展示)以曝露導電晶粒墊/觸點(未展示)。舉例而言，晶粒墊之表面與晶粒之第一主要表面實質上共面。提供不與晶粒之第一主要表面共面的導電墊之表面亦可係有用的。晶粒墊提供至晶粒之電路之連接。舉例而言，晶粒墊由諸如銅、鋁、金、鎳或其合金之一導電材料形成。其他類型之導電材料亦可用於晶粒墊。晶粒墊之圖案可係安置於作用表面之周邊處之一或多列。其他墊圖案亦可係有用的。

晶粒之非作用表面藉助黏合層950之使用安裝至封裝基板之晶粒區域。舉例而言，黏合層可包含一黏合膏或晶粒附接膜，諸如膠帶。其他類型之黏合劑(諸如環氧樹脂)亦可係有用的。在一項實施例中，一保護層或一絕緣層940可視情況安置於基板層106上方。選用絕緣層

940用於電隔離導電跡線及連接墊且為跡線提供機械保護。選用絕緣層940包含在封裝基板之非晶粒區域中之開口943。在一項實施例中，開口在封裝基板之非晶粒區域105b中至少部分地曝露導電跡線130及連接墊132。在一項實施例中，提供線接合912以將晶粒上之晶粒墊耦合至連接墊132及導電跡線。在一項實施例中，線接合耦合至在封裝基板之周邊附近安置於非晶粒區域中之連接墊。舉例而言，連接墊包含任何適合尺寸，此取決於線接合之一針腳式接合之尺寸。線接合形成封裝基板之連接墊、導電跡線與晶粒上之晶粒墊之間的電連接。

如圖1至圖9中所闡述之實施例展示具有一覆晶類型之晶粒或一線接合類型之晶粒的一半導體封裝。應理解，如圖1至圖9中所闡述之半導體封裝中之任何者可經修改以包含其他適合類型之晶粒，諸如TSV類型之晶粒或微機電系統晶片。其他適合類型之晶粒亦可係有用的。如圖1至圖9中所圖解說明之半導體封裝包含一單個晶粒。應理解，半導體封裝亦可包含一晶粒堆疊。在一項實施例中，半導體封裝1000包含一晶粒堆疊，如圖10中所展示。晶粒堆疊包含 x 數目個晶粒，其中 $x \geq 2$ 。另外，應理解，晶粒堆疊中之晶粒可係相同大小或類型。提供具有係不同類型及/或大小之晶片的一晶粒堆疊亦係有用的。

參考圖10，晶粒堆疊包含一第一類型晶粒1010及一或多個第二類型之晶粒或裝置1020。在一項實施例中，第一類型晶粒包含自第一類型晶粒之第一主要表面1010a延伸至第二主要表面1010b之複數個穿矽導通體1007。舉例而言，第一類型晶粒係一TSV類型之晶粒。在一項實施例中，TSV類型之晶粒係一非作用類型之晶粒。在另一實施例中，TSV類型之晶粒可包含作用類型之晶粒。在一項實施例中，第一類型晶粒包含一矽晶粒。第一類型晶粒亦可包含其他適合類型之材料。TSV類型之晶粒進一步包含頂部重新分佈層及底部重新分佈層

(未展示)及複數個晶粒觸點1070。在一項實施例中，TSV晶粒觸點包含球形焊料球。TSV晶粒之其他適合類型之晶粒觸點(諸如但不限於導電柱)亦可係有用的。

如圖10中所展示，一或多個第二類型之晶粒或裝置1020可垂直堆疊於第一類型晶粒1010上方。在一項實施例中，兩個覆晶1020₁及1020₂堆疊於第一類型晶粒上方。舉例而言，覆晶1020₁及1020₂係相同之類型覆晶110(如圖1至圖8中所闡述之覆晶)。在另一實施例中，可存在堆疊於第一類型晶粒上方之一種以上類型之裝置。參考圖10，兩個覆晶之晶粒觸點170耦合至連接墊(未展示)且耦合至第一類型晶粒之頂部重新分佈層。在其中第一類型晶粒係一非作用類型之晶粒之情形中，第一類型晶粒用作一中介層，從而提供堆疊於其上之裝置與在其下面之封裝基板之間的電連接。舉例而言，第二類型晶粒之晶粒觸點170透過第一類型晶粒電耦合至安置於封裝基板之頂部上之連接墊。其他適合垂直堆疊配置亦可係有用的。

如上文圖10中所圖解說明之半導體封裝包含垂直堆疊以形成一經堆疊封裝之一或多個晶粒或裝置。應理解，半導體封裝100至900中之任何者可經修改以使得可不垂直堆疊一或多個晶粒或裝置。在一項實施例中，半導體封裝1100包含配置成一平面配置之一或多個晶粒或裝置，如圖11中所展示。半導體封裝包含y數目個晶粒，其中 $y \geq 2$ 。另外，應理解，晶粒或裝置可係相同大小或類型。提供具有不同類型及/或大小之晶粒或裝置亦可係有用的。

在一項實施例中，第一類型及第二類型之裝置安裝於封裝基板之頂部表面上方。在一項實施例中，第一類型裝置1110包含一覆晶110且第二類型裝置1120包含一表面安裝裝置(SMD)或組件。舉例而言，覆晶與圖1至圖8中所闡述之覆晶相同。舉例而言，SMD包含電阻器、電容器及感應器。其他類型之SMD亦可係有用的。第一類型裝置

及第二類型裝置可包含其他適合類型之裝置。舉例而言，覆晶及SMD毗鄰於彼此安置。如圖11中所展示，覆晶之晶粒觸點170電耦合至封裝基板102之連接墊132，而SMD之端子1130透過(舉例而言)焊料膏之使用電耦合至根據SMD端子之大小定尺寸之連接墊。

關於圖9至圖11所闡述之實施例包含如關於圖1至圖8所闡述之某些或所有優點。照此，將不闡述或詳細闡述此等優點。另外，如圖11中所展示之保護層340提供複數個開口以用於曝露連接墊且接收SMD之端子。舉例而言，如所闡述，在此等開口內且在連接墊上施加焊料膏以將SMD端子結合至連接墊。在不具有保護層之情況下，焊料膏可能趨於朝向毗鄰連接墊流動且與焊料膏短路。因此保護層進一步用作一壩以侷限焊料膏之流動，從而最小化SMD上之焊料橋接。

圖12a至圖12h展示用於形成一半導體封裝1200之一方法之一實施例。參考圖12a，提供一基底載體1238。在一項實施例中，基底載體包含具有第一主要表面1238a及第二主要表面1238b之一導電載體。第一主要表面1238a(舉例而言)可稱為頂部表面且第二主要表面1238b(舉例而言)可稱為底部表面。表面之其他名稱亦可係有用的。舉例而言，第一主要表面及第二主要表面包含平坦表面。將主要表面中之任一者提供為非平坦的亦可係有用的。舉例而言，導電載體包含Cu或Cu合金。舉例而言，導電載體包含適合厚度尺寸且可用作如稍後將闡述之一封裝基板之互連結構之部分(諸如用於容納複數個外部封裝觸點之封裝墊或導電墊)。

程序繼續以形成一封裝基板102及封裝基板之互連結構。參考圖12b，程序繼續以形成一相接或整合式佈線基板。在一項實施例中，封裝基板102包含一單層基板。在另一實施例中，封裝基板包含一多層基板。在一項實施例中，在基底載體之第一表面1238a上方提供具有第一主要表面106a及第二主要表面106b之一基板層106。如所展

示，基板層之第二主要表面 106b 接觸基底載體之第一主要表面 1238a。在一項實施例中，基板層包含一介電材料。舉例而言，基板層 106 包含光可成像材料(諸如但不限於焊料遮罩)或絕緣膜(諸如但不限於聚醯亞胺、環氧樹脂模製化合物或其他無機材料)。舉例而言，藉由旋塗、層壓、真空沈積等在基底載體上方形成基板層。用於形成基板層之其他適合類型之介電材料及技術亦可係有用的。

程序繼續以移除基板層之部分。圖 12c₁ 展示基板層之剖面圖而圖 12c₂ 展示俯視圖。在一項實施例中，圖案化基板層以形成界定將形成封裝基板之導電螺柱之位置之第一類型腔 108。如所展示，腔 108 自基板層之第一主要表面 106a 延伸至第二主要表面 106b。舉例而言，腔之尺寸界定待稍後形成之導電螺柱之尺寸。舉例而言，腔之寬度小於如稍後將闡述之封裝墊之一寬度。

可藉助一圖案化遮蔽層(未展示)之使用執行基板層之圖案化。可藉由任何適合遮罩及蝕刻技術達成基板層之圖案化。舉例而言，在基板層上方提供諸如光阻劑之一圖案化蝕刻遮罩(未展示)。可使用蝕刻遮罩來執行一蝕刻以移除基板層之未受蝕刻遮罩保護之部分，從而曝露導電載體之頂部表面 1238a 之部分。舉例而言，該蝕刻可係一各向同性蝕刻，諸如一濕式蝕刻。可使用一各向異性蝕刻，諸如反應離子蝕刻(RIE)。另一選擇係，若基板層包含一光可成像材料，亦可使用藉助遮罩之幫助之曝光及藉由有機溶劑之顯影來形成基板層中之圖案。用於形成腔之其他技術(諸如但不限於雷射鑽孔)亦可係有用的。

程序繼續以形成封裝基板之互連結構。參考圖 12d，程序繼續以在開口 108 中且在基底載體之頂部表面 1238a 之經曝露部分上方形成導電螺柱 172。在一項實施例中，導電螺柱 172 可由一單個導電材料形成。在一項實施例中，導電螺柱包含與基底載體相同之材料。在另一實施例中，導電螺柱可由兩種或兩種以上導電材料形成，從而形成一

多層堆疊。其他適合類型之導電材料亦可係有用的。

在一項實施例中，藉由電鍍形成導電螺柱172。舉例而言，可採用電化學或無電電鍍來形成導電螺柱。因此，可電鍍一或多個層以形成導電螺柱。基底載體之第一表面1238a因此亦用作用於電鍍程序之一基底或基板。在一項實施例中，可藉由電化學電鍍形成導電螺柱172，其中基底載體用作該程序中之一電鍍電流傳導路徑。亦可使用用於形成導電螺柱之其他適合方法。舉例而言，導電螺柱之厚度可與基板層之厚度大約相同或低於基板層之厚度。舉例而言，導電螺柱之頂部表面172a可與基板層之頂部表面106a實質上共面。

程序繼續以形成封裝基板之導電跡線130及連接墊132，如圖12d中所展示。在一項實施例中，導電跡線及連接墊由與導電螺柱相同之材料形成。諸如不同於導電螺柱之其他類型之導電材料亦可係有用的。在一項實施例中，藉由電鍍形成導電跡線及連接墊。舉例而言，可採用電化學或無電電鍍來形成導電跡線及連接墊。導電螺柱之第一表面172a因此亦用作用於電鍍程序之一基底或基板。亦可使用用於形成導電跡線及連接墊之其他適合方法。舉例而言，亦可藉由層壓、真空沈積等後續接著一蝕刻程序形成導電跡線。舉例而言，導電跡線或連接墊之厚度可低至約 $5\mu\text{m}$ 。其他適合尺寸亦可係有用的。

用作封裝基板之基板層106包含一晶粒110將附接於其上之所界定之一晶粒區域105a。在一項實施例中，在晶粒區域內安置連接墊132。在晶粒區域之周邊(諸如非晶粒區域)上提供連接墊亦可係有用的。連接墊之其他組態亦可係有用的。如所展示，導電跡線及連接墊在封裝基板之晶粒區域及非晶粒區域中形成於基板層及導電螺柱之頂部表面上方且電耦合至導電螺柱。

將在晶粒之一作用表面110b上具有晶粒觸點170之一覆晶110安裝至封裝基板之晶粒區域上。圖12e₁展示安裝至封裝基板上之覆晶之剖

面圖而圖12e₂展示俯視圖。在一覆晶應用之情形中，將連接墊安置於封裝基板之晶粒區域中。如所展示之連接墊經組態以匹配覆晶之晶粒觸點之圖案。諸如一基於環氧樹脂之聚合材料之一底填充物(未展示)可提供於覆晶與封裝基板之間的空間中。另一選擇係，無底填充物提供於覆晶與封裝基板之間。

在封裝基板上形成一帽蓋190，如圖12f中所展示。舉例而言，施配一囊封材料以囊封覆晶。舉例而言，施配一囊封材料以填充晶粒觸點之間的空間且覆蓋覆晶之非作用表面110a。在一項實施例中，囊封物係一模製化合物，諸如模製環氧樹脂材料。提供其他類型之囊封材料亦可係有用的。

在一項實施例中，藉由轉移模製技術形成帽蓋。將諸如一模製化合物之囊封材料施配至模製總成中，從而環繞覆晶之側且覆蓋非作用表面以形成帽蓋，如圖12f中所展示。在模製之後，將經模製晶粒與模具分開。用於形成帽蓋之其他適合類型之技術亦可係有用的。舉例而言，亦可藉由印刷或壓縮模製形成帽蓋。

在另一實施例中，藉由一膜輔助之轉移模製技術形成帽蓋。舉例而言，倚靠一模具(未展示)之外形放置一膜。在一項實施例中，當倚靠模具放置封裝基板及晶粒時，該膜接觸覆晶之非作用表面。帽蓋環繞覆晶之側，從而使覆晶之非作用表面曝露以形成類似於圖2中所展示之半導體封裝之一半導體封裝。照此，帽蓋之第一表面190a與覆晶之非作用表面110a實質上共面。藉由提供不覆蓋晶粒之非作用表面之一帽蓋幫助改良來自晶粒之熱耗散。外部散熱座亦可附接至晶粒之非作用表面以進一步改良熱耗散。

程序繼續以形成封裝基板之封裝墊138，如圖12g中所展示。在一項實施例中，藉由圖案化導電載體1238形成封裝基板之封裝墊138。經囊封結構因此在導電載體之圖案化期間提供機械支撐。可藉

助一圖案化遮蔽層(未展示)之使用執行導電載體之圖案化。可藉由任何適合蝕刻技術達成導電載體之圖案化。舉例而言，在導電載體之第二表面上方提供諸如光阻劑之一圖案化蝕刻遮罩(未展示)。可使用蝕刻遮罩來執行一蝕刻以移除導電載體之未受蝕刻遮罩保護之部分。舉例而言，該蝕刻可係一各向同性蝕刻，諸如一濕式蝕刻。用於圖案化導電載體之其他技術亦可係有用的。舉例而言，如所形成之封裝墊138之厚度與導電載體之厚度實質上相同。舉例而言，封裝墊亦可包含其他適合厚度。封裝墊138經由導電螺柱172耦合至導電跡線130，如圖12g中所展示。在一項實施例中，如所形成之封裝墊在基板層106之外側安置或突出。如所展示，在基板層之第二表面106b上方安置如所形成之封裝墊。如所展示之封裝墊自封裝基板之底部或第二表面突出。

在圖案化導電載體之後，移除遮罩。舉例而言，可藉由灰化移除遮罩。用於移除遮罩之其他技術亦可係有用的。

程序藉由形成耦合至封裝墊之封裝觸點160而繼續，如圖12h中所展示。舉例而言，封裝觸點形成且耦合至封裝墊。舉例而言，封裝觸點可包含配置成柵格圖案之球形結構或球以形成一BGA類型封裝。照此，形成諸如圖1中所展示之半導體封裝之一半導體封裝。封裝觸點由一導電材料形成。舉例而言，封裝觸點可由焊料形成。可使用各種類型之焊料來形成封裝觸點。舉例而言，焊料可係一基於鉛或非基於鉛之焊料。在某些實施例中，其他類型之封裝觸點(諸如但不限於鋸盤)耦合至封裝墊。封裝觸點可由除焊料以外之材料形成或使用其他技術形成。

圖13a至圖13c展示用於形成一半導體封裝1300之一程序之另一實施例。該程序包含類似於圖12a至圖12h中所闡述之程序之程序。照此，可不闡述或詳細闡述共同程序。參考圖12a，提供一部分地經處

理之封裝基板。該部分地經處理之封裝基板類似於圖12d中所闡述之部分地經處理之封裝基板。用於形成部分地經處理之封裝基板之材料、厚度及程序與圖12d中所闡述之材料、厚度及程序相同。照此，可不闡述或詳細闡述共同元件。

在一項實施例中，可視情況在封裝基板102上方提供一保護層340。參考圖13a，保護層形成於基板層106之第一主要表面106a(包含導電跡線130)上方且覆蓋其。在一項實施例中，保護層包含一介電材料。舉例而言，保護層可包含與基板層相同之介電材料。舉例而言，保護層包含一光可成像材料，諸如但不限於焊料遮罩或聚醯亞胺。另一選擇係，保護層可包含不同於封裝基板之基板層之介電材料。保護層可包含任何適合厚度尺寸。舉例而言，可藉由旋塗技術形成保護層。其他類型之介電材料及沈積技術對於形成保護層亦可係有用的。

程序繼續以移除保護層之部分，如圖13b中所展示。在一項實施例中，圖案化保護層以形成界定將安置一晶粒之晶粒觸點170之位置之開口343。如所展示，開口343自保護層之第一主要表面340a延伸至第二主要表面340b。舉例而言，開口之尺寸包含可大於待稍後安置之晶粒觸點170之尺寸之任何適合尺寸。

可藉助一圖案化遮蔽層(未展示)之使用執行絕緣層之圖案化。可藉由任何適合蝕刻技術達成保護層之圖案化。舉例而言，在保護層上方提供諸如光阻劑之一圖案化蝕刻遮罩(未展示)。可使用蝕刻遮罩來執行一蝕刻以移除保護層之未受蝕刻遮罩保護之部分，從而曝露稍後將耦合至晶粒觸點170之連接墊132之至少部分。舉例而言，該蝕刻可係一各向同性蝕刻，諸如一濕式蝕刻。可使用一各向異性蝕刻，諸如反應離子蝕刻(RIE)。另一選擇係，若保護層包含一光可成像材料，則亦可採用藉助遮罩之幫助之曝光及藉由有機溶劑之顯影來形成保護層中之圖案。用於形成保護層中之腔之其他技術(諸如但不限於雷射

鑽孔)亦可係有用的。

參考圖13c，將在晶粒之一作用表面110b上具有晶粒觸點170之一覆晶110安裝至封裝基板之晶粒區域上。在一項實施例中，晶粒觸點170安置於保護層之開口343內且耦合至經曝露連接墊。因此，舉例而言，具有開口之保護層用作用於容納覆晶之晶粒觸點之一壩。

程序如圖12f中類似地闡述且向前繼續。照此，將不闡述或詳細闡述此等程序步驟。程序繼續直至形成類似於圖3中所展示之封裝之一封裝。

圖14a至圖14k展示用於形成一半導體封裝1400之一程序之另一實施例。該程序包含類似於圖12a至圖12h中所闡述之程序之程序。照此，可不闡述或詳細闡述共同程序。參考圖14a，提供一基底或導電載體1438。導電載體與圖12a中所闡述之導電載體相同。導電載體之材料及特徵與圖12a中所闡述之材料及特徵相同。照此，可不闡述或詳細闡述共同元件。

參考圖14b，在一項實施例中，處理導電載體之第一主要表面1438a以形成界定封裝墊區域以及非封裝墊區域之一形貌。舉例而言，封裝基板之封裝墊區域(舉例而言)可稱為其中形成封裝墊之區，而非封裝墊區域可稱為其中不形成封裝墊之區。在一項實施例中，處理第一主要表面1438a以使得其包含具有突出部分1438c及複數個凹部1440之一非平坦表面。突出部分界定在其下方形成封裝墊之位置，而凹部界定在其下方將不形成封裝墊之位置。在一項實施例中，突出部分1438c界定封裝墊之第一或頂部部分538c。舉例而言，凹部之深度界定封裝墊之第一部分之深度。

可使用(舉例而言)遮罩及蝕刻技術達成第一主要表面之圖案化。舉例而言，該蝕刻包含一濕式蝕刻。用於圖案化第一主要表面之其他適合技術亦可係有用的。

程序繼續以形成一封裝基板及封裝基板之互連結構。參考圖14c，程序繼續以形成一相接或整合式佈線基板。在一項實施例中，封裝基板包含一單層基板。在另一實施例中，封裝基板包含一多層基板。在一項實施例中，在導電載體之第一表面1438a上方提供一基板層506。如所展示，基板層506覆蓋導電載體之第一主要表面(包含凹部1440)。舉例而言，用於形成基板層之材料及程序與圖12b中所闡述之材料及程序相同。用於形成基板層之其他適合類型之介電材料及技術亦可係有用的。舉例而言，基板層506之厚度包含任何適合尺寸。

參考圖14d，程序繼續以移除基板層506之部分。在一項實施例中，圖案化基板層以形成界定將形成封裝基板之導電螺柱之位置之腔108。在一項實施例中，在突出部分1438c上方形成腔108。如所展示，腔自第一表面506a延伸且曝露突出部分之頂部表面之部分。舉例而言，腔之尺寸界定待稍後形成之導電螺柱之尺寸。舉例而言，腔之特徵及用於形成腔108之技術與圖12c中所闡述之腔之特徵及用於形成腔之技術相同。亦可使用腔之其他適合尺寸及技術來形成腔。

程序繼續以形成封裝基板之互連結構。參考圖14e，程序繼續以在開口108中且在基底載體之頂部表面之經曝露突出部分1438c上方形成導電螺柱172。在一項實施例中，藉由電鍍形成導電螺柱。基底載體之第一表面之經曝露突出部分因此亦用作用於電鍍程序之一基底或基板。亦可使用用於形成導電螺柱之其他適合方法。

程序繼續以形成封裝基板之導電跡線130及連接墊132，如圖14e中所展示。舉例而言，導電螺柱、導電跡線及連接墊之特徵及形成技術類似於圖12d中所闡述之特徵及形成技術。照此，將不闡述或詳細闡述此等特徵。

可視情況在封裝基板102上方提供一保護層340，如圖14f中所展示。如所展示之保護層形成於基板層之第一主要表面506a (包含導電

跡線及連接墊)上方且覆蓋其。程序繼續以移除保護層340之部分，如圖14g中所展示。在一項實施例中，圖案化保護層以形成界定將安置一晶粒之晶粒觸點之位置之開口343。舉例而言，用於形成保護層及其開口之材料、特徵及技術與圖13a至圖13b中所闡述之材料、特徵及技術相同。照此，可不闡述共同元件。

參考圖14h，將在晶粒之一作用表面110b上具有晶粒觸點170之一覆晶110安裝至封裝基板102之晶粒區域上。晶粒觸點170安置於保護層之開口343內且耦合至經曝露連接墊132。因此，具有開口343之保護層用作用於容納覆晶之晶粒觸點之一壩。參考圖14i，程序繼續以形成一帽蓋190以覆蓋在封裝基板上方，與圖12f中所闡述相同。

程序繼續以藉由移除導電載體之部分而形成封裝基板之封裝墊。在一項實施例中，藉由圖案化導電載體之第二表面1438b而達成移除，如圖14j中所展示。經囊封結構因此在導電載體之圖案化期間提供機械支撐。可藉助一圖案化遮蔽層(未展示)之使用執行導電載體之圖案化。可藉由任何適合蝕刻技術達成導電載體之圖案化。舉例而言，在導電載體之第二表面1438b上方提供諸如光阻劑之一圖案化蝕刻遮罩(未展示)。在一項實施例中，圖案化蝕刻遮罩(未展示)包含曝露在凹部1440下面之導電載體之部分之開口(未展示)。可使用蝕刻遮罩來執行一蝕刻以移除導電載體之未受蝕刻遮罩保護之部分。舉例而言，該蝕刻可係一各向同性蝕刻，諸如一濕式蝕刻。用於圖案化導電載體之其他技術亦可係有用的。舉例而言，蝕刻移除導電載體之經曝露部分且停止在凹部1440中之基板層之部分處。因此，基板層在凹部下面之導電載體之經曝露部分之移除期間用作一蝕刻停止或障壁層。導電載體之剩餘部分用作封裝墊之底部部分538d。

舉例而言，如所形成之封裝墊538之厚度與導電載體之厚度實質上相同。舉例而言，封裝墊亦可包含其他適合厚度。封裝墊538經由

導電螺柱172耦合至導電跡線，如圖14j中所展示。在一項實施例中，在基板層506內形成封裝墊之一第一或頂部部分538c。在一項實施例中，封裝墊之第一部分538c固持在一起且被基板層之下部部分環繞。在一項實施例中，封裝墊之第二或底部部分538d在基板層之外側安置或突出。如所展示，封裝墊由基板層之部分部分地嚙合且自封裝基板之底部或第二表面506b部分地突出。

在圖案化導電載體之後，移除遮罩。舉例而言，可藉由灰化移除遮罩。用於移除遮罩之其他技術亦可係有用的。

程序藉由形成耦合至部分地突出之封裝墊538之封裝觸點160而繼續，如圖14k中所展示。舉例而言，封裝觸點形成且耦合至封裝墊，與圖12h中所闡述相同。

如前文圖14b中所闡述，在一項實施例中，處理第一主要表面1438a以使得其包含具有界定在其下方形成封裝墊之位置之突出部分1438c及界定在其下方將不形成封裝墊之位置之複數個凹部1440的一非平坦表面。在另一實施例中，圖14b可經修改以使得可在突出部分1438c及凹部1440兩者下方形成封裝墊，如圖14l中所展示。參考圖14l，封裝包含兩個類型之封裝墊。可藉由與上文在圖14a至圖14k中所闡述類似之程序步驟形成如圖14l中所展示之封裝。照此，下文將僅闡述對該等步驟中之某些步驟之修改。

在此替代實施例中，可對如圖14d中所展示之基板層做出修改。舉例而言，使用如前文所闡述之技術在突出部分及凹部兩者上方形成腔108。程序然後自圖14e繼續至圖14i，如上文所闡述。舉例而言，程序繼續以形成在形成於突出部分及凹部上方之腔108中之導電螺柱、導電跡線、連接墊、選用保護層、晶粒附接及囊封。在此替代實施例中，如關於圖14j所闡述之程序步驟可經修改以使得圖案化導電載體之第二表面1438b以形成在突出部分下面之封裝墊之底部部分

538d以及在凹部下面之封裝墊138。程序繼續以將封裝觸點耦合至封裝墊(如圖14k中所闡述)直至形成圖14l中所展示之一封裝。

如關於圖12a至圖12h、圖13a至圖13c及圖14a至圖14l所闡述之該等程序產生優點。舉例而言，如所闡述之程序使得封裝墊能夠經形成且直接耦合至導電螺柱。在此等程序中未形成存在於習用封裝基板中之導通體觸點，從而簡化製造程序。在一項實施例中，藉由電鍍形成導電螺柱。就控制導電螺柱相對於封裝基板之表面之高度而言，電鍍技術之使用提供靈活性。此外，如所闡述之導電螺柱之寬度相對於封裝墊之寬度為較小且導電螺柱之配置(舉例而言，其可自封裝墊之中心偏移)允許更多跡線通過兩個毗鄰導電螺柱中之任何者之間的空間，從而導致跡線之更靈活且高效可佈線性，如圖18中所圖解說明。另外，由其在包含導電跡線、螺柱及封裝墊的封裝基板之互連結構由一單個低電阻材料(諸如銅)形成之情況下電阻降低。此進一步增強半導體封裝之效能。

此外，該等程序使得封裝墊能夠在封裝基板之底部表面之外側形成或突出。此允許形成直立類型之封裝墊。直立類型之封裝墊使得焊料能夠在回流期間爬升，從而產生封裝與PCB之間的牢固連接結構。稍微直立亦在回流程序期間形成一自定中心效應。

在封裝基板上方之選用保護層包含晶粒之晶粒觸點所安置之開口。照此，保護層可用作焊料凸塊之一焊料壩，從而減少(舉例而言)焊料材料在回流程序期間之不受控制之流動(此可導致短路)。此外，如圖14a至圖14l之實施例中所闡述之程序步驟允許封裝墊之部分由封裝基板之基板層之下部部分部分地嚙合或固持。照此，封裝墊將不容易地被拆卸。此允許經改良穩健性及封裝可靠性。

圖15a至圖15l展示用於形成一半導體封裝1500之一程序之另一實施例。該程序包含類似於圖12a至圖12h中所闡述之程序之程序。照

此，可不闡述或詳細闡述共同程序。參考圖15a，在具有第一表面1538a及第二表面1538b之基底或導電載體1538上方提供一第一基板層616，類似於圖12b中所闡述。舉例而言，導電載體1538包含Cu、Cu合金、不銹鋼、矽等。在一項實施例中，第一基板層616包含一第一介電材料。舉例而言，第一介電材料包含光可成像材料(諸如但不限於焊料遮罩)或絕緣層(諸如但不限於聚醯亞胺、環氧樹脂模製化合物或無機絕緣材料)。第一基板層616之厚度界定稍後將闡述之互連結構之一部分(諸如封裝墊638)之厚度。舉例而言，可藉由旋塗、層壓、真空沈積等形成第一基板層616。其他適合類型之介電材料及沈積技術對於形成第一基板層亦可係有用的。

參考圖15b，程序繼續以移除第一基板層616之部分。在一項實施例中，圖案化第一基板層以形成界定將形成封裝基板之封裝墊之位置之第二類型腔618。如所展示，腔618自第一基板層之第一主要表面616a延伸至第二主要表面616b。舉例而言，腔之尺寸界定待稍後形成之封裝墊之尺寸。舉例而言，腔之寬度可包含任何適合尺寸，此取決於將耦合至封裝墊之封裝觸點之類型及尺寸。

可藉助一圖案化遮蔽層(未展示)之使用執行第一基板層616之圖案化。可藉由任何適合遮罩及蝕刻技術達成第一基板層之圖案化。舉例而言，在第一基板層上方提供諸如光阻劑之一圖案化蝕刻遮罩(未展示)。可使用蝕刻遮罩來執行一蝕刻以移除第一基板層之未受蝕刻遮罩保護之部分，從而曝露導電載體之頂部表面1538a之部分。舉例而言，該蝕刻可係一各向同性蝕刻，諸如一濕式蝕刻。可使用一各向異性蝕刻，諸如反應離子蝕刻(RIE)。另一選擇係，若第一基板層包含一光可成像材料，則藉助遮罩之幫助之曝光及藉由有機溶劑之顯影亦可形成第一基板層中之圖案。用於圖案化第一基板層之其他技術亦可係有用的。

程序繼續以形成封裝基板102之封裝墊638。舉例而言，封裝墊可係一單層或一多層堆疊。參考圖15c，在一項實施例中，封裝墊包含一多層堆疊。在一項實施例中，封裝墊包含第一導電層638₁及第二導電層638₂。提供其他數目個導電層以形成多層堆疊亦可係有用的。

在一項實施例中，第一導電層638₁包含一金(Au)層。亦可採用其他適合類型之材料作為第一導電層，只要其提供至封裝觸點之較佳黏合以形成一可靠接頭，諸如焊料接頭。第一導電層638₁包含第一主要表面638_{1a}及第二主要表面638_{1b}。在導電載體之頂部表面1538a之經曝露部分上方形成如所展示之第一導電層之第二主要表面638_{1b}。在第一導電層之第一主要表面638_{1a}上方形成具有第一主要表面638_{2a}及第二主要表面638_{2b}之第二導電層638₂。在一項實施例中，第二導電層638₂包含不同於第一導電層638₁之一材料。在一項實施例中，第二導電層包含一鎳層。其他適合類型之材料亦可用作第二導電層，只要其可防止毗鄰金屬材料之間的金屬遷移，諸如防止Au與Cu之間的遷移。

在一項實施例中，藉由電鍍形成第一導電層及第二導電層。舉例而言，可採用電化學或無電電鍍來形成第一導電層及第二導電層。導電載體之頂部表面1538a之經曝露部分因此用作用於形成第一導電層638₁之電鍍程序之一基底或基板，而第一導電層之頂部表面638_{1a}用作用於形成第二導電層638₂之電鍍程序之一基底或基板。在一項實施例中，導電載體用作用於形成封裝墊之一支撐載體。亦可採用其他適合類型之技術來形成第一導電層及第二導電層。第一導電層及第二導電層可包含任何適合厚度尺寸。參考圖15c，第二導電層之第一表面638_{2a}與第一基板層之一第一主要表面616a大約共面。應理解，第二導電層之第一表面可關於第一基板層之第一主要表面突出或凹入下面。

程序繼續以在第一基板層616上方形成一第二基板層106。在一項實施例中，具有第一主要表面106a及第二主要表面106b之第二基板層形成於第一基板層之第一表面616a上方且覆蓋封裝墊638，如圖15d中所展示。在一項實施例中，如圖15d中所展示之第二基板層106與如圖12b中所闡述之基板層106相同。因此，用於形成第二基板層之材料、厚度及程序與如圖12b中所闡述之基板層之基板層相同。舉例而言，第一基板層及第二基板層可包含聚醯亞胺。照此，可不闡述或詳細闡述共同元件。在另一實施例中，第二基板層106包含不同於第一基板層616之材料。舉例而言，第二基板層包含預浸體，而第一基板層係一焊料遮罩。其他適合類型之材料亦可係有用的。第二基板層之厚度可界定待稍後形成之互連結構之一部分(諸如導電螺柱)之厚度。

程序繼續以移除第二基板層106之部分，如圖15e中所展示。在一項實施例中，圖案化第二基板層以形成界定將形成封裝基板之導電螺柱之位置之第一類型腔108。舉例而言，腔108之尺寸及用於形成第一類型腔之技術與如圖12c中所闡述之腔108之尺寸相同。參考圖15e，可使用蝕刻遮罩來執行蝕刻以移除第二基板層106之未受蝕刻遮罩(未展示)保護之部分，從而曝露第二導電層之頂部表面638_{2a}之部分。舉例而言，可在封裝墊內之任一位置處形成腔108。

程序繼續以形成封裝基板之互連結構。參考圖15f，程序繼續以在第一類型腔108中且在第二導電層之頂部表面638_{2a}之經曝露部分上方形成導電螺柱172。在一項實施例中，藉由電鍍形成導電螺柱。第二導電層之頂部表面之經曝露部分因此亦用作用於電鍍程序之一基底或基板。亦可使用用於形成導電螺柱之其他適合方法。

程序繼續以形成封裝基板之導電跡線130及連接墊132，如圖15f中所展示。舉例而言，導電螺柱、導電跡線及連接墊之特徵及形成技術與圖12d中所闡述相同。

可視情況在封裝基板102上方提供一保護層340，如圖15g中所展示。如所展示，保護層形成於第二基板層106之第一主要表面106a(包含導電跡線及連接墊)上方且覆蓋其。程序繼續以移除保護層之部分，如圖15h中所展示。在一項實施例中，圖案化保護層以形成界定將安置一晶粒之晶粒觸點之位置之開口343。舉例而言，用於形成保護層340及開口343之特徵及技術與如圖13a至圖13b中所闡述之選用保護層相同。

參考圖15i，將在晶粒之一作用表面110b上具有晶粒觸點170之一覆晶110安裝至封裝基板之晶粒區域上。如所展示，晶粒觸點安置於選用保護層之開口343內且耦合至經曝露連接墊。參考圖15j，程序繼續以形成一帽蓋190以覆蓋在封裝基板上方，與圖12f中所闡述相同。

程序繼續以移除導電載體1538，如圖15k中所展示。在一項實施例中，自封裝基板完全地移除導電載體1538。照此，在一項實施例中，導電載體不形成封裝基板之互連結結構之部分，諸如封裝墊之部分。在一項實施例中，藉由一蝕刻程序移除導電載體。舉例而言，蝕刻程序移除基底載體，從而曝露第一基板層之第二表面616b及封裝墊之第一導電層之第二表面638₁b。由於第一基板層以及第一導電層638₁包含不同於基底載體之材料之材料，因此第一基板層及第一導電層在導電載體之移除期間用作一蝕刻停止或障壁層。可修整該蝕刻程序(諸如化學及其他參數)以相對於其他材料選擇性地移除所要材料。亦可採用其他適合類型之技術(諸如研磨或剝離技術)來移除導電載體。在一項實施例中，經囊封結構用於在導電載體之移除期間提供機械支撐。

程序藉由形成耦合至封裝墊之經曝露底部表面638b之封裝觸點160而繼續，如圖15l中所展示。舉例而言，封裝觸點經形成且耦合至第一導電層之經曝露表面638₁b。用於形成封裝觸點之材料及技術類

似於圖12h中所闡述之材料及技術。

圖16a至圖16d展示用於形成一半導體封裝1600之一程序之另一實施例。該程序包含類似於圖15a至圖15l中所闡述之程序之程序。照此，可不闡述或詳細闡述共同程序。參考圖16a，提供一部分地經處理之封裝基板。該部分地經處理之封裝基板與圖15k中所闡述之部分地經封裝基板相同。舉例而言，移除導電載體1538，從而曝露第一基板層之底部表面616b及封裝墊之底部表面638₁b。照此，可不闡述或詳細闡述共同元件。

在一項實施例中，可視情況在封裝基板之經曝露底部主要表面102b上方形成一絕緣層780。參考圖16b，選用絕緣層形成於第一基板層之底部主要表面及封裝墊之經曝露底部表面(諸如第一導電層之底部表面638₁b)上方且覆蓋其。在一項實施例中，絕緣層780包含如圖4中所闡述之焊料遮罩、模製化合物或應力減輕層。其他適合類型之介電材料及適合厚度尺寸可用於絕緣層780。舉例而言，可藉由模製或層壓技術形成絕緣層。其他類型之介電材料及沈積技術對於形成絕緣層亦可係有用的。

程序繼續以移除絕緣層780之部分，如圖16c中所展示。在一項實施例中，圖案化絕緣層以形成曝露封裝墊之底部表面638b之部分之第三類型腔或開口718。如所展示，開口718自絕緣層之第一主要表面780a延伸至第二主要表面780b。舉例而言，開口718之尺寸包含任何適合尺寸且可小於封裝墊638之寬度。其他適合寬度尺寸亦可係有用的，此取決於稍後形成之封裝觸點之類型及尺寸。

可藉助一圖案化遮蔽層(未展示)之使用執行絕緣層之圖案化。可藉由任何適合遮罩及蝕刻技術達成絕緣層之圖案化。舉例而言，在絕緣層上方提供諸如光阻劑之一圖案化蝕刻遮罩(未展示)。可使用蝕刻遮罩來執行一蝕刻以移除絕緣層之未受蝕刻遮罩保護之部分，從而曝

露封裝墊之第一導電層之底部表面638_{1b}之至少部分。舉例而言，該蝕刻可係一各向同性蝕刻，諸如一濕式蝕刻。可使用一各向異性蝕刻，諸如反應離子蝕刻(RIE)。用於圖案化絕緣層之其他技術亦可係有用的。

在圖案化絕緣層之後，程序藉由形成耦合至封裝墊之經曝露底部表面638b (諸如第一導電層之經曝露表面)之封裝觸點160而繼續，如圖16d中所展示。在一項實施例中，封裝觸點之頂部部分之部分形成於開口718內且耦合至封裝墊。用於形成封裝觸點之特徵及技術類似於圖15l中所闡述之特徵及技術。

圖17a至圖17n展示用於形成一半導體封裝1700之一程序之另一實施例。該程序包含類似於圖12a至圖12h及圖15a至圖15l中所闡述之程序之程序。照此，可不闡述或詳細闡述共同程序。參考圖17a，提供具有第一表面1738a及第二表面1738b之一基底或導電載體1738。導電載體1738與如圖15a中所闡述之導電載體相同。導電載體之材料及特徵與圖15a中所闡述之材料及特徵相同。照此，可不闡述或詳細闡述共同元件。

參考圖17b，在一項實施例中，處理導電載體之第一主要表面1738a以形成界定封裝墊區域以及非封裝墊區域之一形貌。舉例而言，封裝基板之封裝墊區域(舉例而言)可稱為其中形成封裝墊之區，而非封裝墊區域可稱為其中不形成封裝墊之區。在一項實施例中，處理第一主要表面1738a以使得其包含具有突出部分1738c及複數個凹部1740之一非平坦表面。突出部分1738c界定封裝墊形成於其上方之位置，而凹部界定封裝墊將不形成於其上方之位置。

舉例而言，可使用遮罩及蝕刻技術達成第一主要表面1738a之圖案化。舉例而言，該蝕刻包含一濕式蝕刻。用於圖案化第一主要表面之其他適合技術亦可係有用的。

程序繼續以形成一封裝基板及封裝基板之互連結構。參考圖17c，程序繼續以形成一相接或整合式佈線基板。在一項實施例中，封裝基板包含一多層基板。在一項實施例中，在導電載體之第一表面1738a上方提供一第一基板層816。如所展示，第一基板層816覆蓋導電載體之第一主要表面1738a (包含凹部1740)。舉例而言，用於形成第一基板層816之材料及程序與如圖15b中所闡述之第一基板層616相同。舉例而言，第一基板層816之厚度包含任何適合厚度尺寸。用於形成第一基板層816之其他適合類型之介電材料及技術亦可係有用的。

參考圖17d，程序繼續以移除第一基板層816之部分。在一項實施例中，圖案化第一基板層816以形成界定將形成封裝基板之封裝墊之位置之第二類型腔818。在一項實施例中，在導電載體之第一主要表面之突出部分(在其下方將形成封裝墊)上方形成腔818。如所展示，腔自第一基板層816之第一主要表面朝向第二主要表面部分地延伸。舉例而言，腔818之寬度與導電載體之突出部分1738c之寬度相同。舉例而言，腔之尺寸可與如圖15b中所闡述之腔618相同。舉例而言，用於形成腔之技術類似於圖15b中所闡述之技術。亦可使用腔之其他適合尺寸及技術來形成腔818。在一項實施例中，蝕刻停止在導電載體之突出部分之頂部表面上。如所展示，曝露導電載體之突出部分之頂部表面。

程序繼續以形成封裝基板之封裝墊638。舉例而言，封裝墊可包含一單層或一多層堆疊。參考圖17e，在一項實施例中，封裝墊包含一多層堆疊。在一項實施例中，封裝墊包含第一導電層 638_1 及第二導電層 638_2 。提供其他數目個層以形成多層堆疊亦可係有用的。

在一項實施例中，第一導電層 638_1 及第二導電層 638_2 包含相同材料且藉由與圖15c中所闡述之技術相同之技術形成。在一項實施例

中，在導電載體之經曝露突出部分上方安置如所展示之第一導電層之第二主要表面638_{1b}且在第一導電層之第一主要表面638_{1a}上方提供具有第一主要表面638_{2a}及第二主要表面638_{2b}之第二導電層638₂。

在一項實施例中，藉由電鍍形成第一導電層及第二導電層。在一項實施例中，導電載體之頂部表面之經曝露突出部分因此用作用於形成第一導電層之電鍍程序之一基底或基板，而第一導電層之頂部表面用作用於形成第二導電層之電鍍程序之一基底或基板。在一項實施例中，經圖案化導電載體亦用作用於形成封裝墊之一支撐載體。亦可採用其他適合類型之技術來形成第一導電層及第二導電層。參考圖17e，第二導電層之第一表面638_{2a}與第一基板層之一第一主要表面816a大約共面。應理解，第二導電層之第一表面可關於第一基板層之第一主要表面突出或凹入下面。

參考圖17f，程序繼續以在第一基板層816上方形成一第二基板層106。在一項實施例中，具有第一主要表面106a及第二主要表面106b之第二基板層提供於第一基板層之第一表面816a上方且覆蓋封裝墊638，如圖17f中所展示。在一項實施例中，第二基板層106藉由相同技術形成且包含與圖15d中所闡述相同的第二基板層之介電材料及厚度。在一項實施例中，第二基板層之厚度可界定待稍後形成之互連結構之一部分(諸如導電螺柱)之厚度。

如圖17g中所展示，程序繼續以移除第二基板層106之部分。在一項實施例中，圖案化第二基板層106以形成界定將形成封裝基板之導電螺柱172之位置之第一類型腔108。舉例而言，腔之尺寸及用於形成第一類型腔之技術與如圖12c及圖15e中所闡述之腔之尺寸相同。程序繼續以形成封裝基板之互連結構。參考圖17h，程序繼續以藉由一電鍍程序在第一類型腔108中且在第二導電層之頂部表面638_{2a}之經曝露部分上方形成導電螺柱172。如圖17h中所展示，形成封裝基板之導

電跡線130及連接墊132。舉例而言，用於形成導電螺柱、導電跡線及連接墊之特徵及技術與圖12d中所闡述之特徵及技術相同。

可視情況在封裝基板102上方形成一保護層340，如圖17i中所展示。如所展示，保護層形成於第二基板層之第一主要表面106a (包含導電跡線及連接墊)上方且覆蓋其。程序繼續以移除保護層之部分(如圖17j中所展示)，從而形成界定將安置一晶粒之晶粒觸點之位置之開口343，與圖13b及圖15h中所闡述相同。照此，可不闡述共同元件。

參考圖17k，將在晶粒之一作用表面110b上具有晶粒觸點170之一覆晶110安裝至封裝基板之晶粒區域上，與關於圖15i所闡述相同。如圖17l中所展示，程序繼續以形成一帽蓋190以覆蓋在封裝基板上方，類似於圖12f及圖15j中所闡述。

程序繼續以移除經圖案化導電載體，如圖17m中所展示。在一項實施例中，自封裝基板完全地移除經圖案化導電載體。照此，在一項實施例中，導電載體不形成封裝基板之互連結構之部分，諸如封裝墊之部分。在一項實施例中，藉由一蝕刻程序移除導電載體。舉例而言，蝕刻程序移除基底載體，從而曝露第一基板層之底部表面816b及封裝墊之第一導電層之底部表面638₁b。由於第一導電層638₁及第一基板層816包含不同於基底載體1738之材料，因此第一導電層及第一基板層在導電載體之移除期間用作一蝕刻停止或障壁層。可修整該蝕刻程序(諸如化學及其他參數)以相對於其他材料選擇性地移除所要材料。亦可採用其他適合類型之技術來移除導電載體。如圖17m中所展示，第一導電層之底部表面638₁b與基板層之底部表面816b彼此不共面。在一項實施例中，第一基板層之底部表面816b低於封裝墊之底部表面638b。照此，導電載體之移除形成具有與第一基板層816內之封裝墊(其自第一基板層之第二主要表面816b延伸)相同之寬度之腔1718。如所展示，一梯級形成於第一基板層816與封裝墊638之間。如

所展示之封裝墊之側完全地被第一基板層環繞及嚙合。在一項實施例中，經囊封結構用於在導電載體之移除期間提供機械支撐。

程序藉由在封裝墊之經曝露底部表面638b上形成封裝觸點160而繼續，如圖17n中所展示。在一項實施例中，封裝觸點經形成且耦合至第一導電層之經曝露底部表面638₁b。用於形成封裝墊之材料及技術類似於圖12h中所闡述之材料及技術。在一項實施例中，封裝觸點160部分地安置於第一基板層之腔1718內。舉例而言，封裝墊之頂部部分安置於腔中。

關於圖15a至圖15l、圖16a至圖16d及圖17a至17n所闡述之實施例包含如關於圖12a至圖12h及圖13a至圖13c以及圖14a至圖14l所闡述之某些或所有優點。照此，將不闡述或詳細闡述此等優點。如關於圖15a至圖15l、圖16a至圖16d及圖17a至圖17n所闡述之實施例產生額外優點。如所闡述之封裝墊使用電鍍技術形成且允許形成具有多個導電層之封裝墊。因此，此為設計者選擇導電材料之不同組合以形成具有所要性質之封裝墊提供靈活性。此外，此等程序亦使得封裝墊之側(舉例而言)至少部分地或完全地由第一基板層覆蓋。封裝墊因此至少部分地或完全地由第一基板層嚙合或固持。此外，安置於包含開口之一基板層下面之一絕緣層之形成為封裝墊提供優越鎖定機構，該等開口僅曝露封裝墊之底部表面之部分而封裝墊之底部表面之剩餘部分由絕緣層覆蓋，如圖16a至圖16d中所闡述。因此，絕緣層防止封裝墊被拆卸，此進一步改良封裝可靠性。類似地，如圖17a至圖17n之實施例中所闡述之程序允許第一基板層與封裝墊部分地重疊。此實施例亦避免封裝墊被拆卸。

如關於圖12a至圖12h、圖13a至圖13c、圖14a至圖14l、圖15a至圖15l、圖16a至圖16d及圖17a至圖17n所闡述之程序適合於覆晶類型之晶粒或晶片封裝。應理解，此等程序亦可用於或經修改用於其他類

型之晶粒(包含線接合之晶片、TSV晶片或者堆疊式或平面晶片配置)以形成如圖9至圖11中所闡述之半導體封裝900至1100。

可以其他具體形式來體現本發明，而不背離其精神或基本特性。因此，應在所有態樣中將前述實施例視為說明性而非限制本文中所闡述之本發明。

【符號說明】

100	半導體封裝
102	封裝基板
102a	第一主要表面/第一表面
102b	第二主要表面/第二表面/經曝露底部主要表面
105a	第一區域/晶粒區域
105b	第二區域/非晶粒區域
106	基板層/第二基板層
106a	第一主要表面/第一表面/頂部表面
106b	第二主要表面/第二表面
108	腔/第一類型腔/開口
110	晶粒/覆晶
110a	非作用表面
110b	作用表面
130	導電跡線
132	連接墊
138	封裝墊
138a	第一表面
138b	第二表面/底部表面
160	封裝觸點
170	晶粒觸點

172	導電螺柱
172a	第一表面/頂部表面
172b	第二表面
190	帽蓋
190a	第一表面
190b	第二表面
200	半導體封裝
300	半導體封裝
340	保護層
340a	第一表面/第一主要表面
340b	第二表面/第二主要表面
343	開口
400	半導體封裝
480	絕緣層
480b	底部表面
500	半導體封裝
506	基板層
506a	第一表面/第一主要表面
506b	第二表面
538	封裝墊
538a	第一主要表面
538b	第二主要表面
538c	第一部分
538d	第二部分
600	半導體封裝
616	第一基板層

616a	第一表面/第一主要表面
616b	第二表面/第二主要表面
618	腔/第二類型腔
638	封裝墊
638 ₁	第一導電層
638 ₂	第二導電層
638a	第一表面
638b	底部表面/第二表面/經曝露底部表面
638 ₁ a	第一主要表面
638 ₁ b	第二表面/底部表面/第二主要表面/經曝露表面/經曝露底部表面
638 ₂ a	第一主要表面/第一表面/頂部表面
638 ₂ b	第二主要表面
700	半導體封裝
718	第三類型腔/開口
780	絕緣層
780a	第一表面/第一主要表面
780b	第二表面/第二主要表面
800	半導體封裝
816	第一半導體層/第一基板層
816a	第一表面/第一主要表面
816b	第二表面/第二主要表面/底部表面
818	第四類型腔/第四類型開口/開口/腔
900	半導體封裝
910	晶粒
910a	第一主要表面/第一表面

910b	第二主要表面/第二表面
912	線接合
940	絕緣層
943	開口
950	黏合層
1000	半導體封裝
1007	穿矽導通體
1010	第一類型晶粒
1010a	第一主要表面
1010b	第二主要表面
1020 ₁	覆晶
1020 ₂	覆晶
1070	晶粒觸點
1100	半導體封裝
1110	第一類型裝置
1120	第二類型裝置
1130	端子
1200	半導體封裝
1238	基底載體
1238a	第一主要表面/第一表面/頂部表面
1238b	第二主要表面
1300	半導體封裝
1400	半導體封裝
1438	基底載體/導電載體
1438a	第一主要表面/第一表面
1438b	第二表面

- 1438c 突出部分/經曝露突出部分
- 1440 凹部
- 1500 半導體封裝
- 1538 導電載體
- 1538a 第一表面/頂部表面
- 1538b 第二表面
- 1600 半導體封裝
- 1700 半導體封裝
- 1738 導電載體/基底載體
- 1738a 第一表面/第一主要表面
- 1738b 第二表面
- 1738c 突出部分
- 1740 凹部
- A' 部分
- B' 部分
- C' 部分

申請專利範圍

1. 一種用於形成一半導體封裝之方法，其包括：

提供具有第一主要表面及第二主要表面之一封裝基板，其中該封裝基板包括具有至少一個腔之至少一個基板層；
形成互連結構，其中形成該互連結構包含
在該至少一個腔內形成至少一個導電螺柱，
形成在該封裝基板之該第一主要表面上方且耦合至該導電螺柱之頂部表面的一導電跡線及一連接墊，及
形成一封裝墊，其中該封裝墊直接耦合至該導電螺柱；
提供在其第一表面或第二表面上具有導電觸點之一晶粒，其中該晶粒之該等導電觸點電耦合至該互連結構；及
在該封裝基板上方形成一帽蓋以囊封該晶粒。

2. 如請求項1之方法，其包括：

提供具有第一主要表面及第二主要表面之一導電載體；及
在該導電載體之該第一主要表面上方形成該基板層。

3. 如請求項2之方法，其中藉由一電鍍程序形成該導電螺柱、該導電跡線及該連接墊。

4. 如請求項3之方法，其中藉由以下方式形成該封裝墊：

在該導電載體之該第二表面上方提供具有至少一個開口之一遮罩；及

移除由該蝕刻遮罩之該開口曝露之該導電載體之部分，其中直接在該導電螺柱下面之該導電載體之剩餘部分界定該封裝墊，且該封裝墊在該封裝基板之該第二表面之外側突出。

5. 如請求項4之方法，其包括形成至少一個封裝觸點，其中該封裝觸點耦合至該突出之封裝墊。

6. 如請求項4之方法，其包括在該封裝基板之該第一主要表面上方形成一保護層，其中該保護層包括界定安置該晶粒之晶粒觸點之位置之複數個開口。
7. 如請求項2之方法，其中：

該基板層係一第二基板層且該腔係界定形成該導電螺柱之位置之一第一類型腔；且該方法包括
在該第二基板層與該導電載體中間形成具有第一表面及第二表面之一第一基板層，其中該第一基板層包括界定形成該封裝墊之位置之至少一個第二類型腔。
8. 如請求項7之方法，其中：

該封裝墊包括至少第一導電層及第二導電層；且
藉由一電鍍程序在該第二類型腔中形成該第一導電層及該第二導電層。
9. 如請求項8之方法，其中在該封裝墊上方及該封裝墊內之任何位置處安置該第一類型腔。
10. 如請求項9之方法，其包括：

在形成該帽蓋之後移除該導電載體，其中該封裝墊之底部表面與該第一基板層之該第二表面實質上共面。
11. 如請求項10之方法，其包括形成至少一個封裝觸點，其中該封裝觸點耦合至該封裝墊之該第一導電層之一底部表面。
12. 如請求項10之方法，其包括在該第一基板層之該第二表面上方形成一絕緣層，其中該絕緣層包括具有小於該等封裝墊之一寬度之一寬度之至少一個第三類型腔，該第三類型腔曝露該封裝墊之一底部表面之一部分。
13. 如請求項12之方法，其包括形成至少一個封裝觸點，其中該封裝觸點之頂部部分之一部分形成於該第三類型腔內且耦合至該

封裝墊。

14. 如請求項1之方法，其包括：

提供具有第一主要表面及第二主要表面之一導電載體；

處理該導電載體之該第一主要表面以形成具有至少一個突出部分及至少一個凹部之一形貌；及

在該導電載體之該第一主要表面上方形成該基板層且填充該凹部。

15. 如請求項14之方法，其中在該導電載體之該突出部分上方安置該基板層之該腔。

16. 如請求項15之方法，其中藉由一電鍍程序形成該導電螺柱、該導電跡線及該連接墊。

17. 如請求項16之方法，其中藉由以下方式形成該封裝墊：

在該導電載體之該第二表面上方提供具有至少一個開口之一遮罩；及

移除由該遮罩之該開口曝露之該導電載體之部分，其中直接在該導電螺柱及該封裝墊之該頂部部分下面之該導電載體之該剩餘部分界定該封裝墊之一底部部分，其中該封裝墊之該底部部分在該封裝基板之該第二表面之外側突出而該封裝墊之該頂部部分由該基板層之下部部分嚙合。

18. 如請求項17之方法，其包括形成至少一個封裝觸點，其中該封裝觸點耦合至該封裝墊之該突出之底部部分。

19. 如請求項15之方法，其中該基板層包括安置於該凹部上方之一第二腔。

20. 如請求項1之方法，其包括：

提供具有第一主要表面及第二主要表面之一導電載體；及

處理該導電載體之該第一主要表面以形成具有至少一個突出

部分及至少一個凹部之一形貌，該突出部分界定該封裝墊形成於其上方之位置且該凹部界定無封裝墊形成於其上方之位置。

21. 如請求項20之方法，其中：

該基板層係一第二基板層且該腔係界定形成該等導電螺柱之位置之一第一類型腔；且該方法包括

在該第二基板層與該經處理導電載體中間形成具有第一表面及第二表面之一第一基板層，其中該第一基板層包括在其內形成該封裝墊之至少一個第四類型腔。

22. 如請求項21之方法，其中在該導電載體之該突出部分上方安置該第一基板層之該第四類型腔。

23. 如請求項22之方法，其中：

該封裝墊包括至少第一導電層及第二導電層；且
藉由一電鍍程序在該第四類型腔中形成該第一導電層及該第二導電層。

24. 如請求項23之方法，其中在該封裝墊上方及該封裝墊內之任何位置處安置該第一類型腔。

25. 如請求項24之方法，其包括：

在形成該帽蓋之後移除該經處理導電載體，其中該封裝墊之底部表面在該第一基板層之該第二表面上面且該封裝墊之側完全地被該第一基板層環繞。

26. 一種半導體封裝，其包括：

一封裝基板，其具有第一主要表面及第二主要表面，其中該封裝基板包括具有至少一個腔之至少一個基板層；

互連結構，其中該互連結構包含

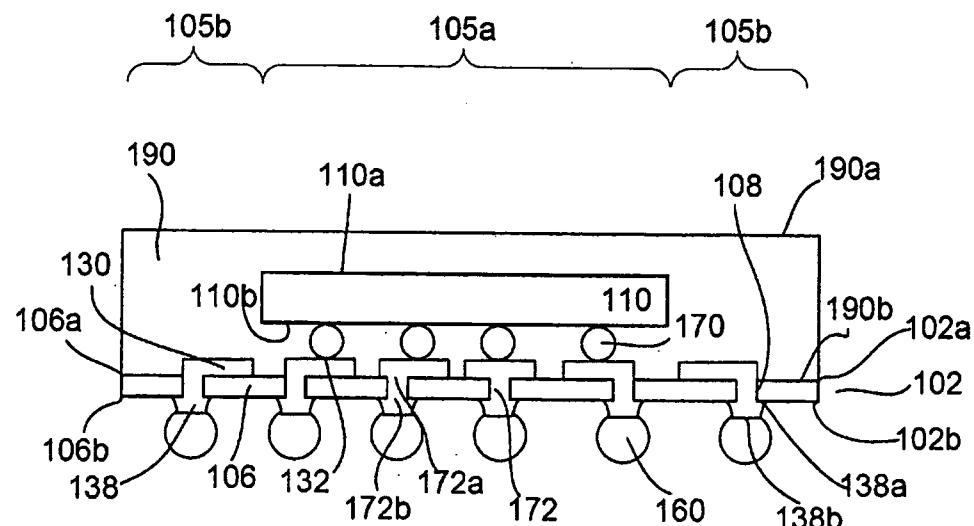
至少一個導電螺柱，其安置於該至少一個腔內，

一導電跡線及一連接墊，其安置於該封裝基板之該第一主

要表面上方且耦合至該導電螺柱之頂部表面，及
一封裝墊，其中該封裝墊直接耦合至該導電螺柱；
一晶粒，該晶粒在其第一表面或第二表面上具有導電觸點，
其中該晶粒之該等導電觸點電耦合至該互連結構；及
一帽蓋，其在該封裝基板上方以囊封該晶粒。

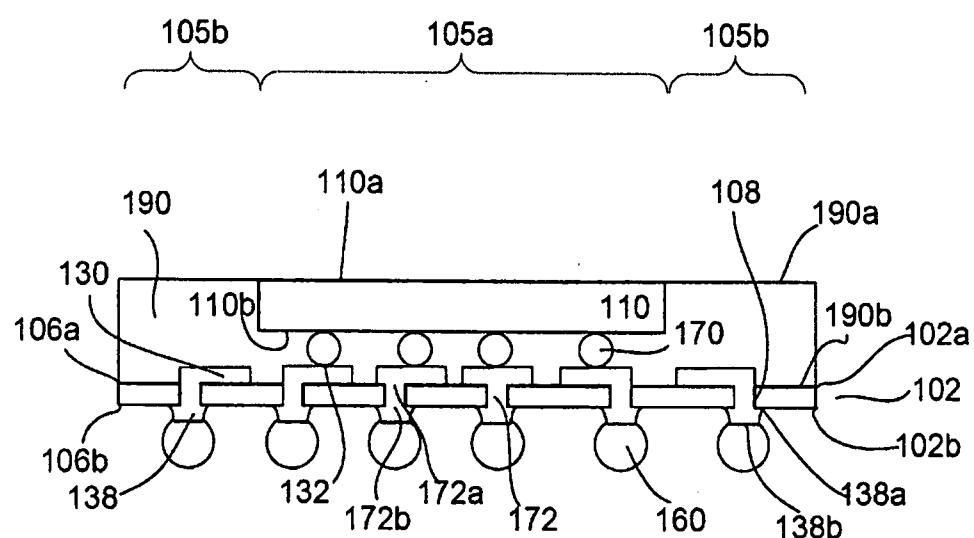
201501226

圖式



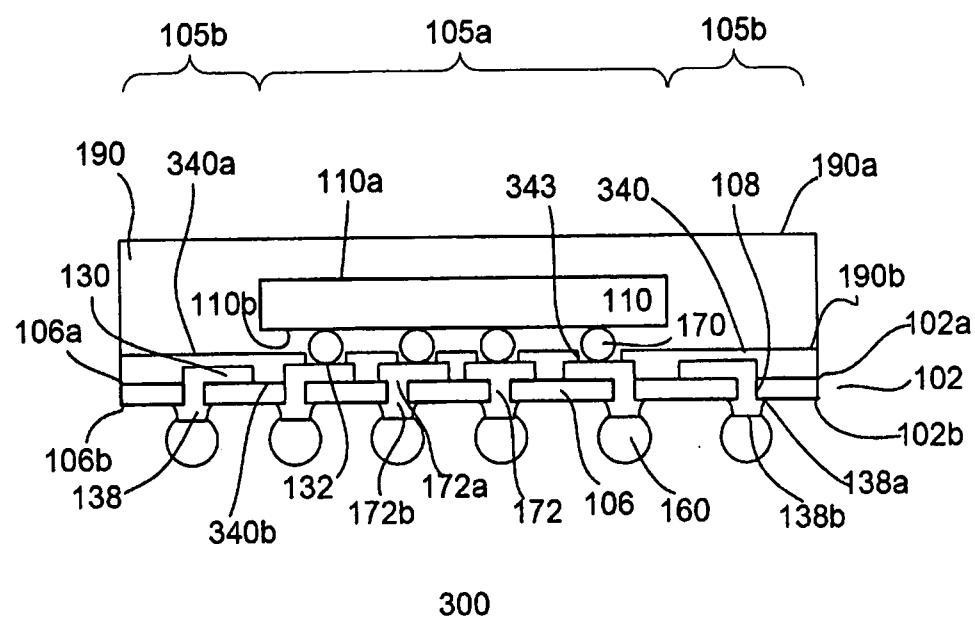
100

圖 1



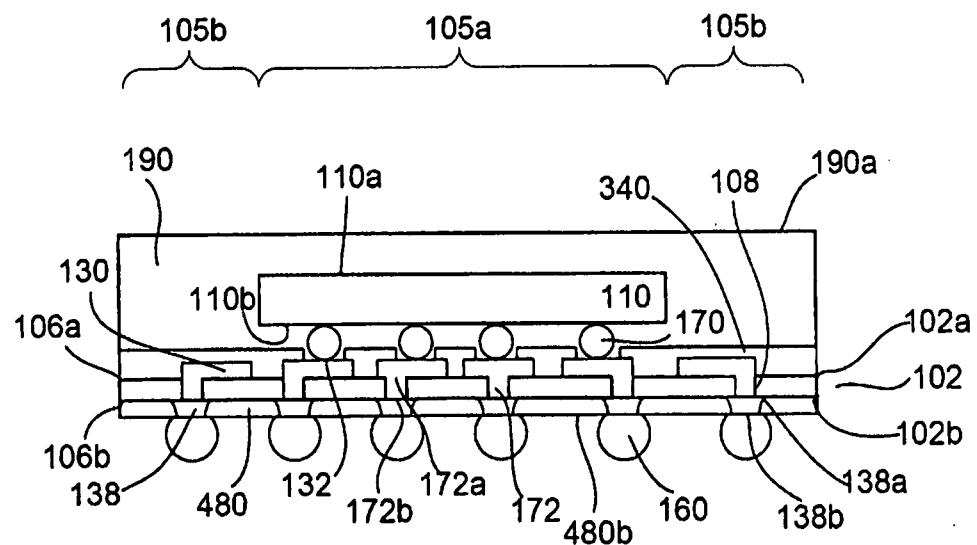
200

圖 2



300

圖 3



400

圖 4

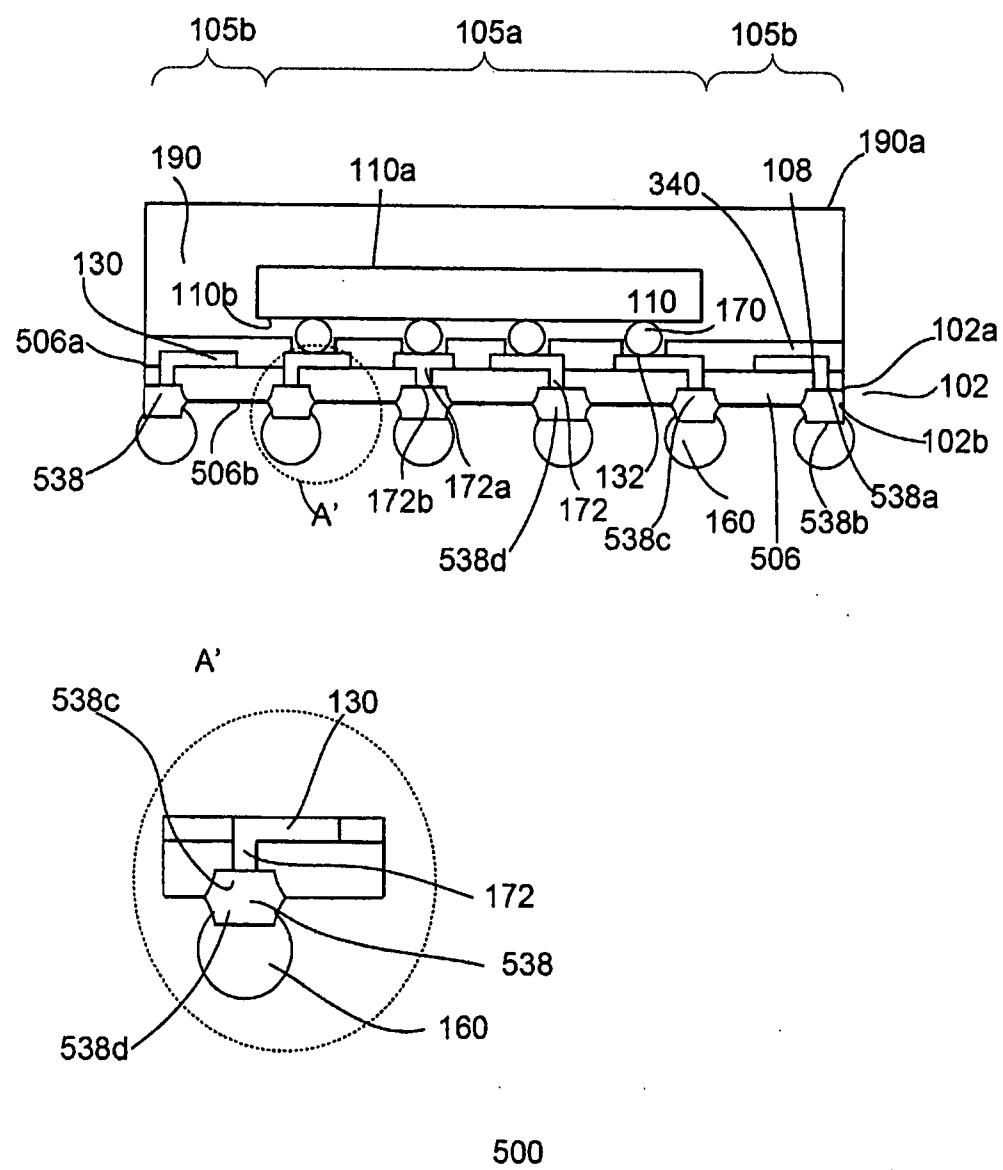


圖 5

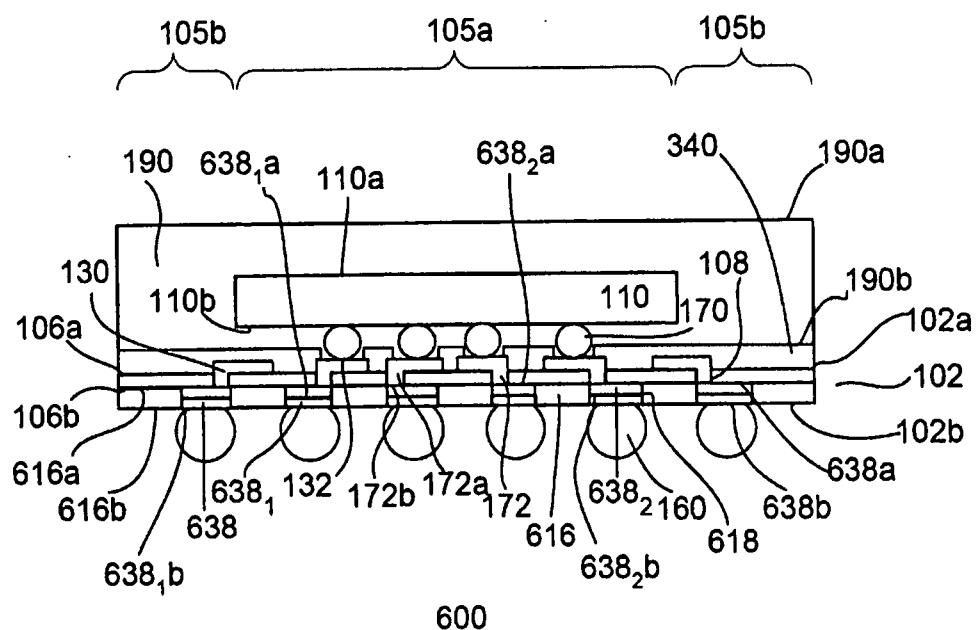


圖 6

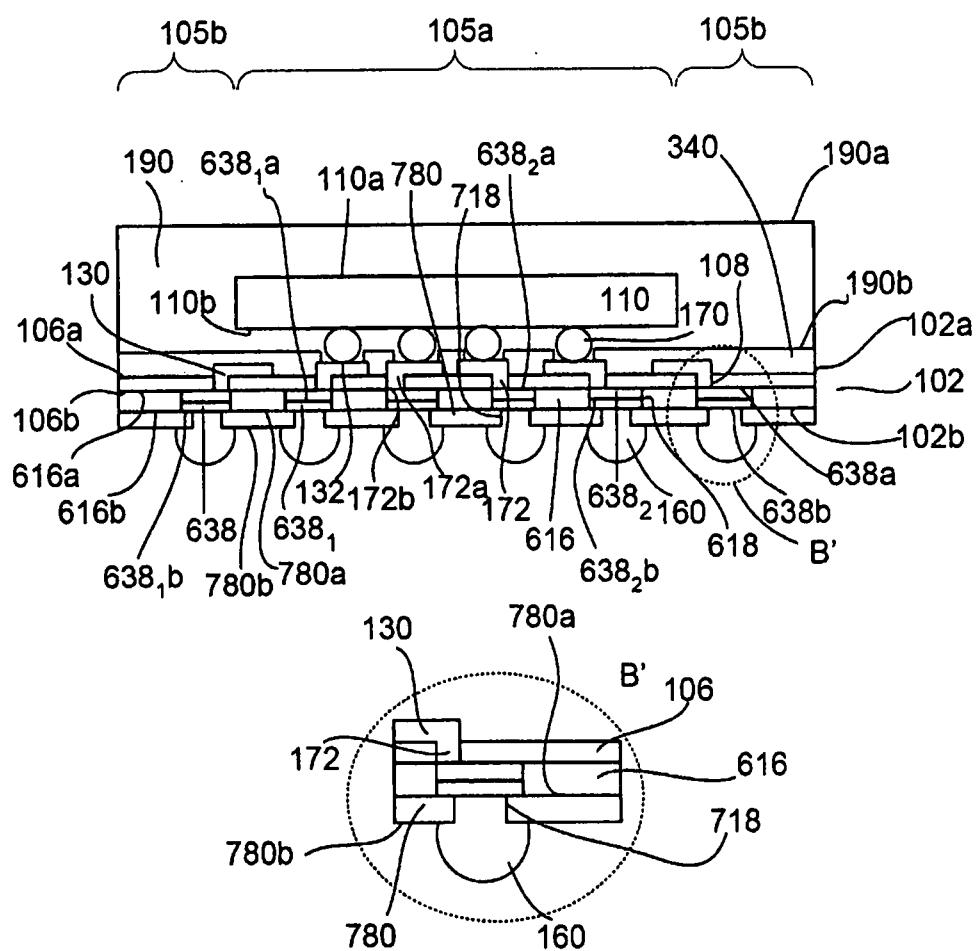
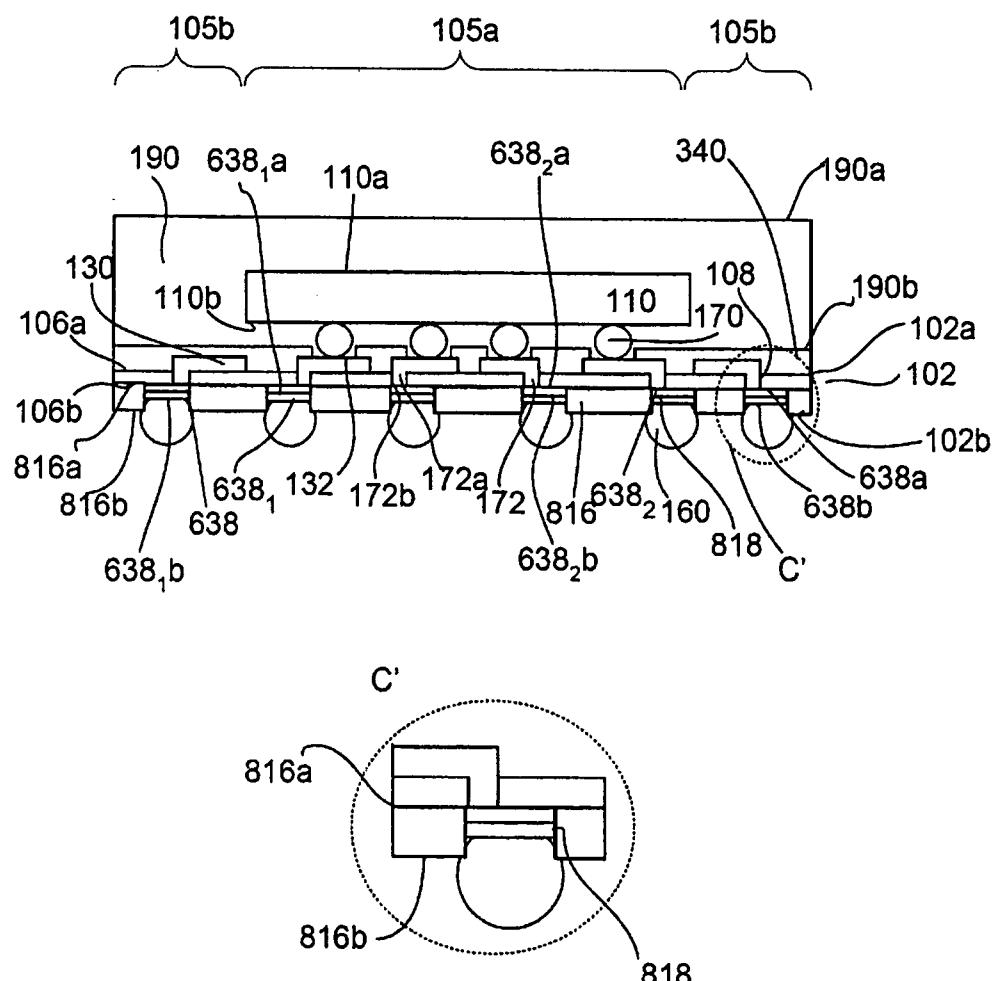
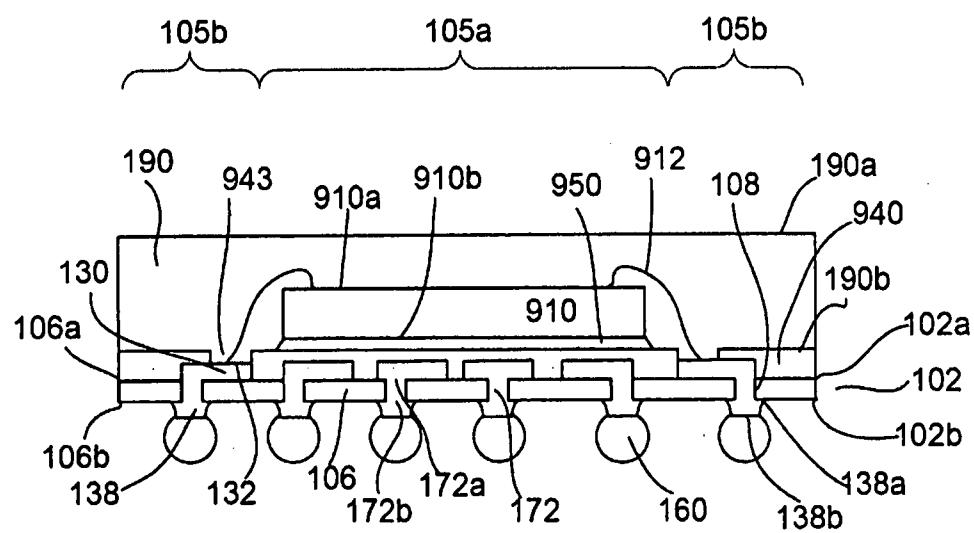


圖 7



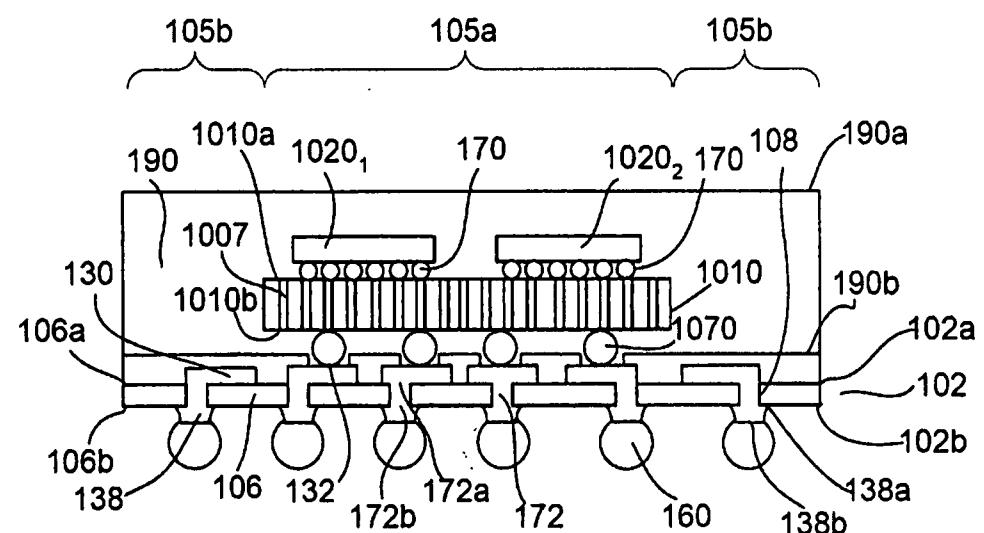
800

圖 8



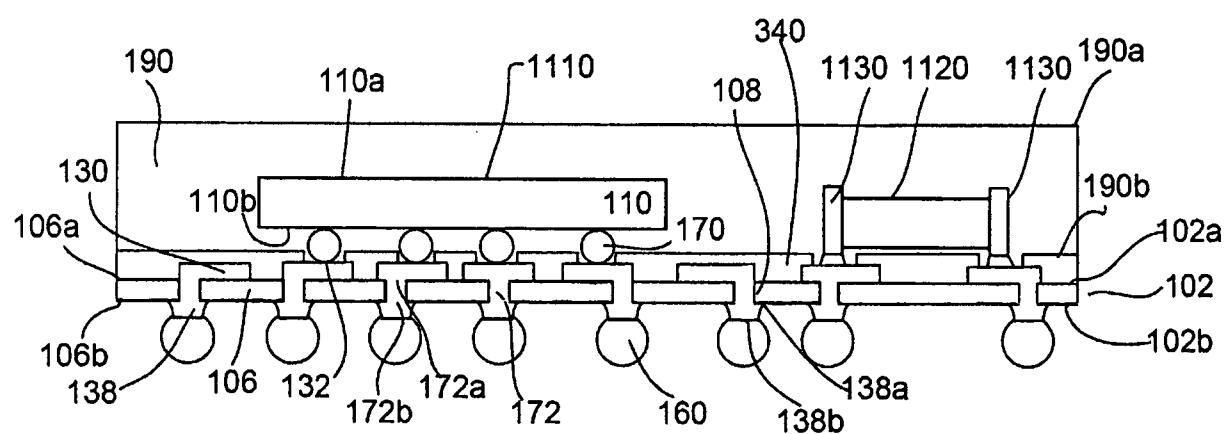
900

圖 9



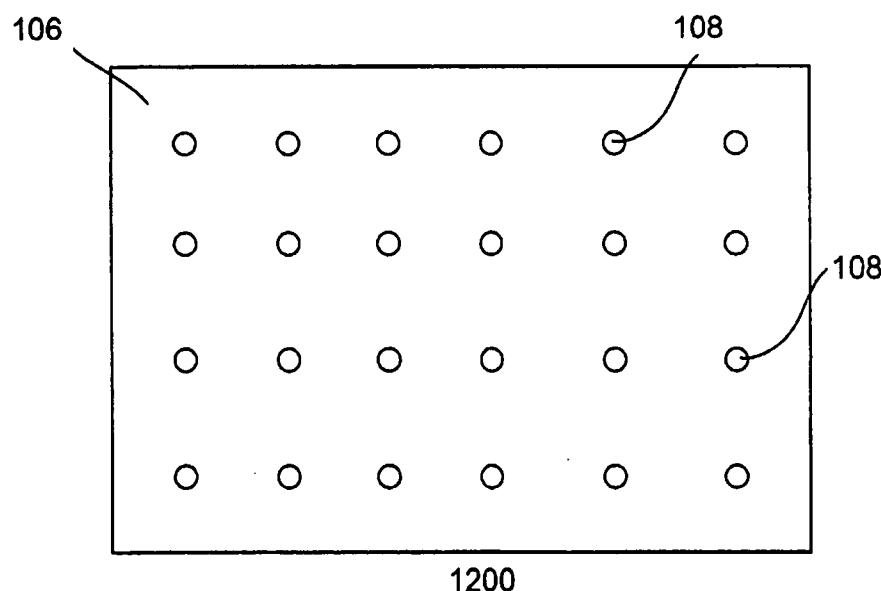
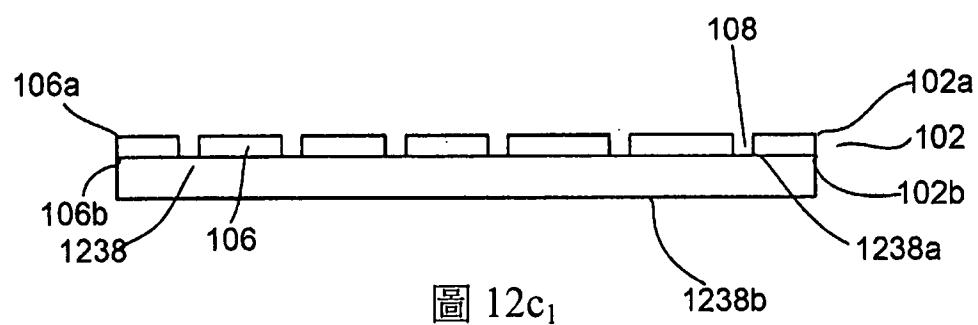
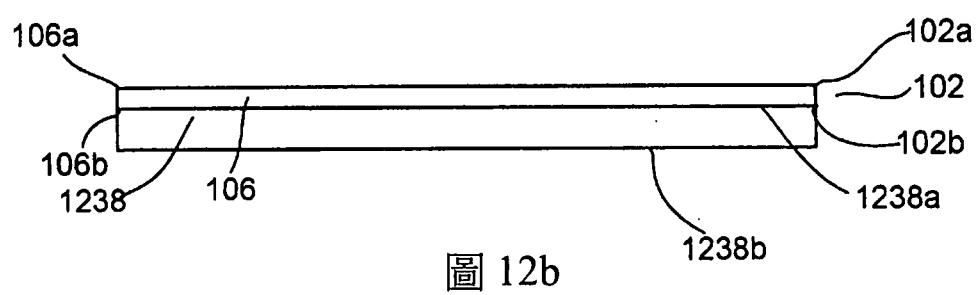
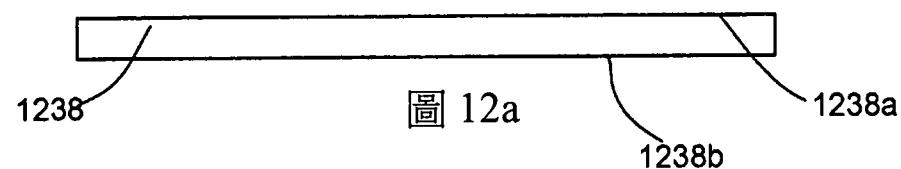
1000

圖 10



1100

圖 11

圖 12c₂

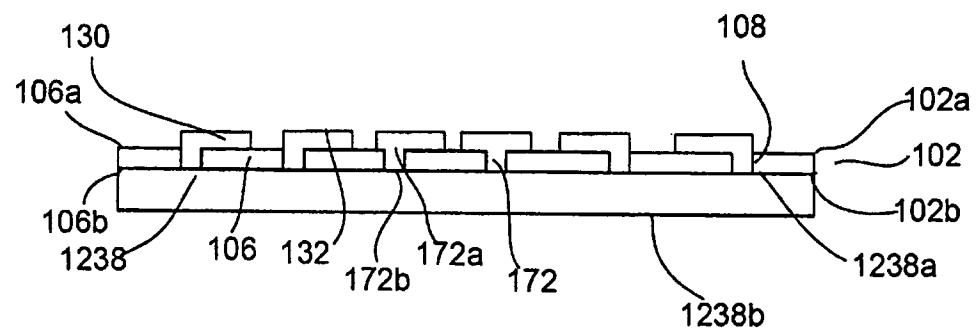
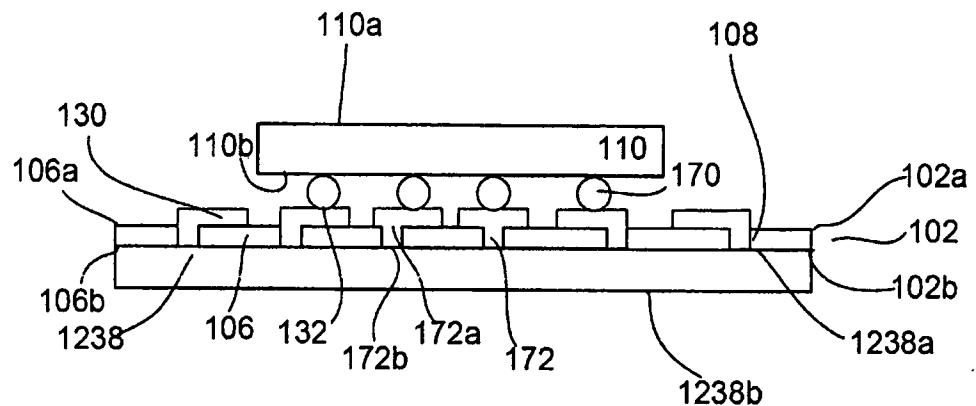
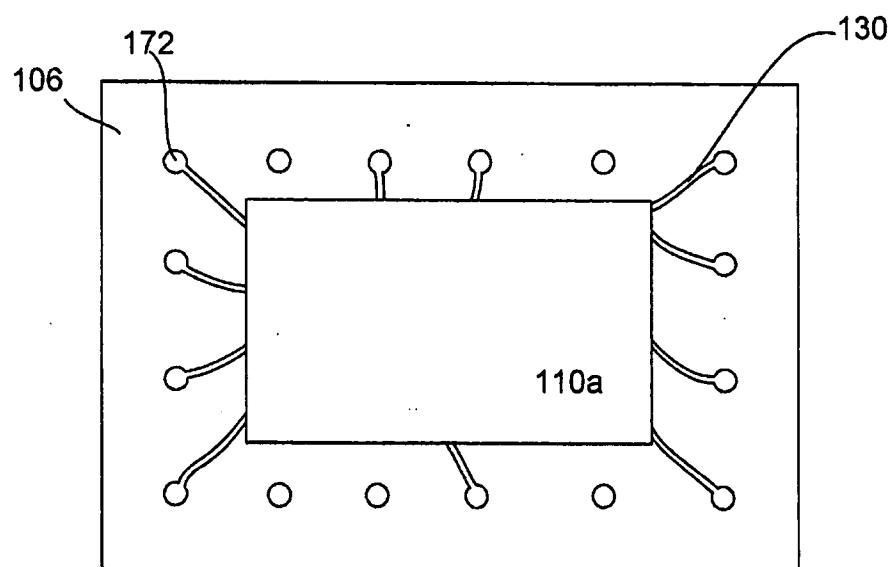


圖 12d

圖 12e₁圖 12e₂

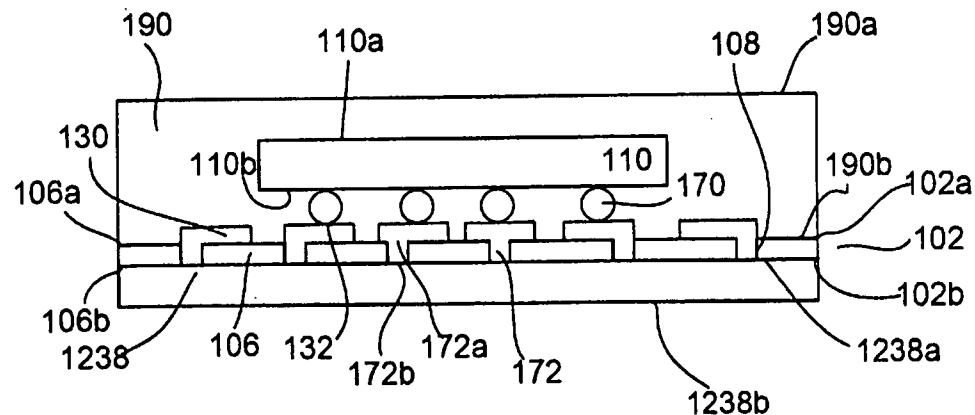


圖 12f

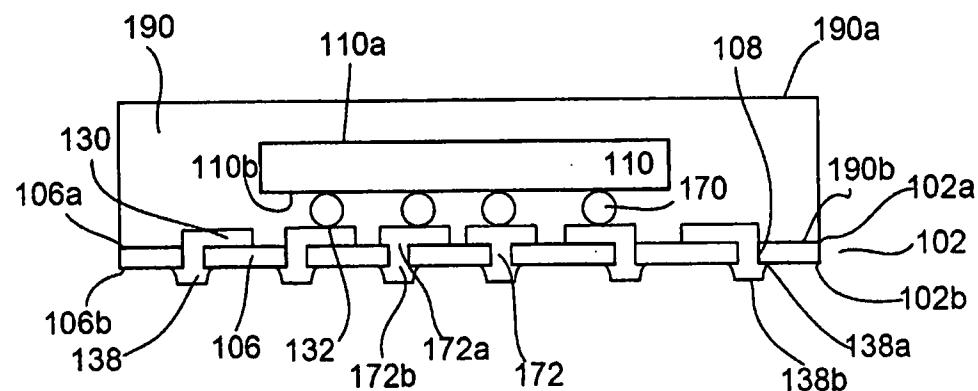
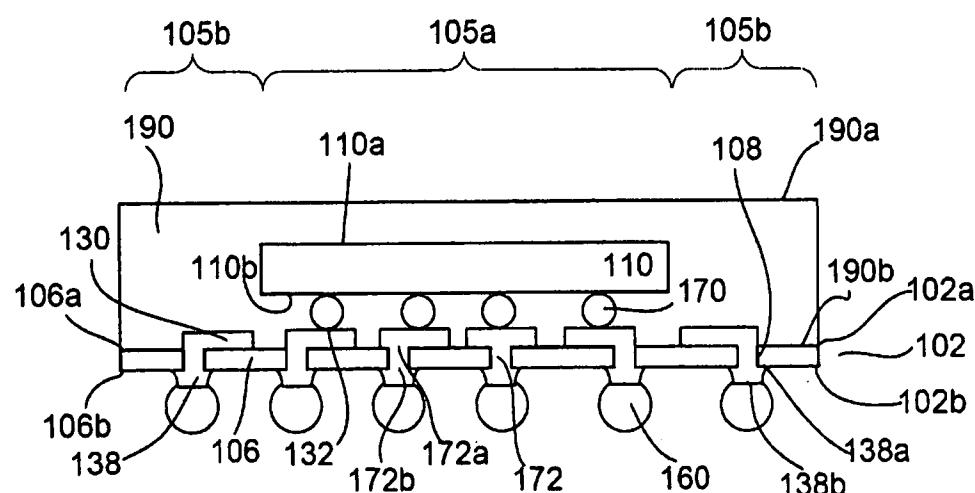


圖 12g



1200

圖 12h

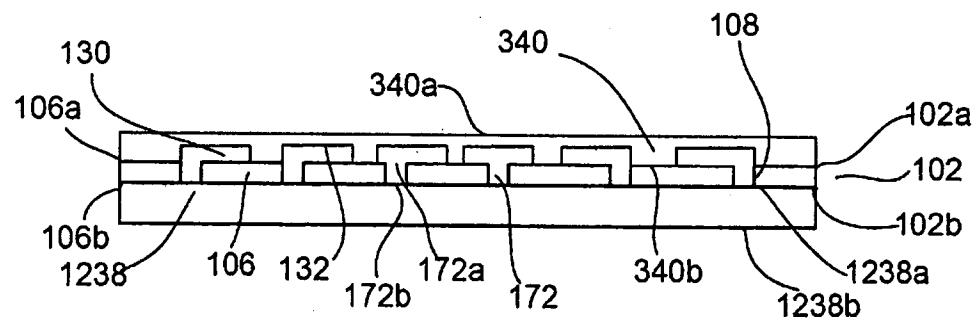


圖 13a

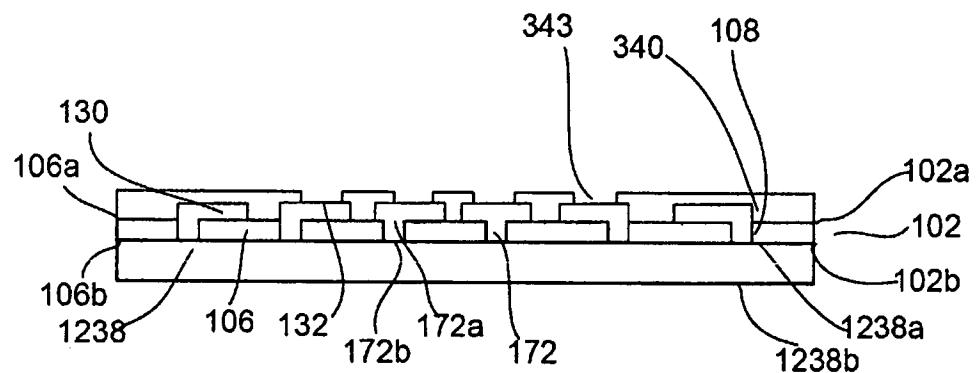
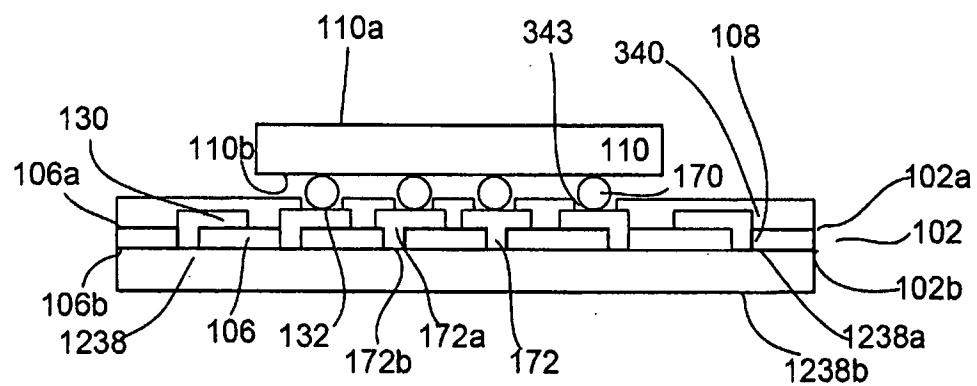


圖 13b



1300

圖 13c

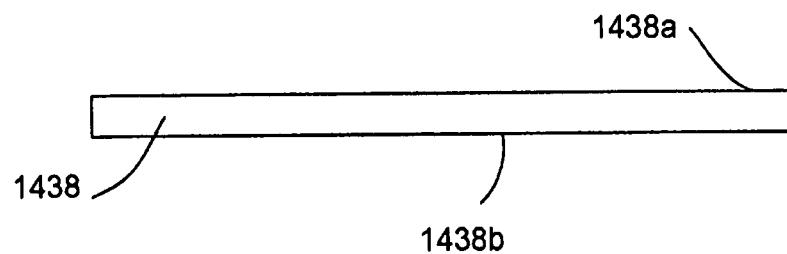


圖 14a

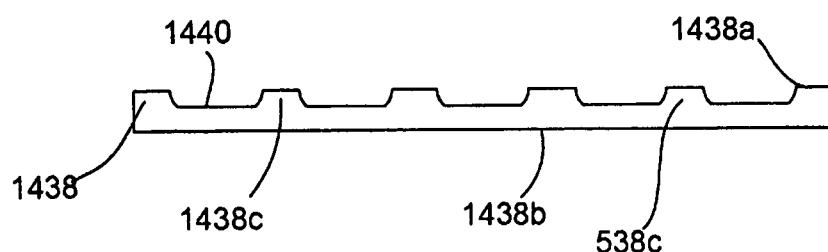


圖 14b

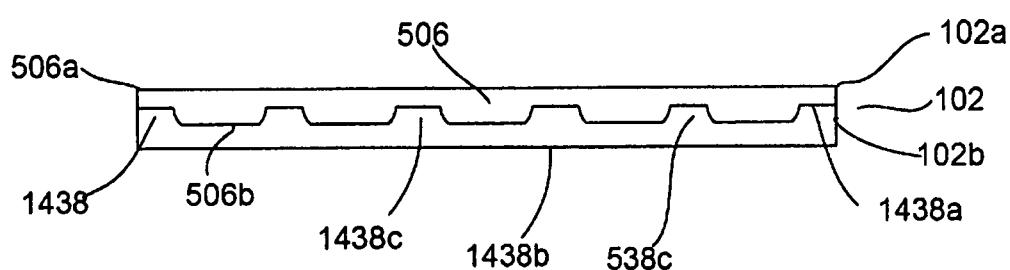
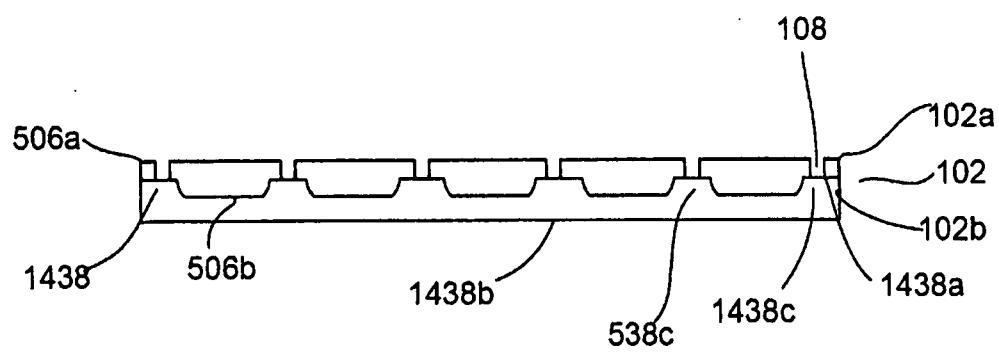


圖 14c



1400

圖 14d

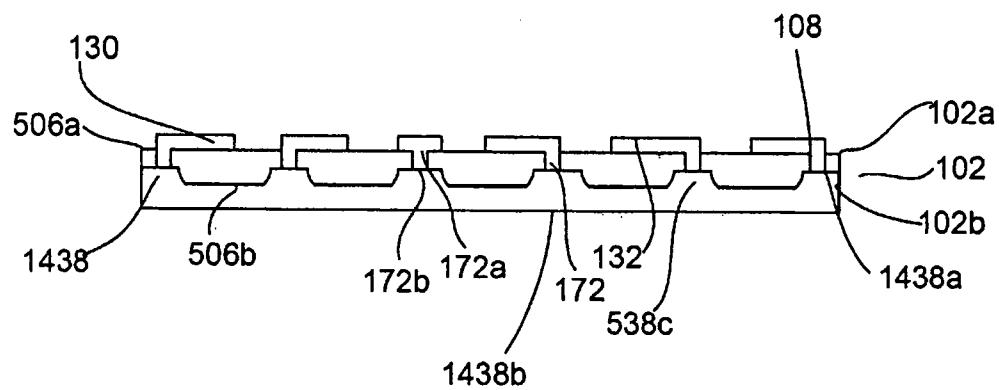


圖 14e

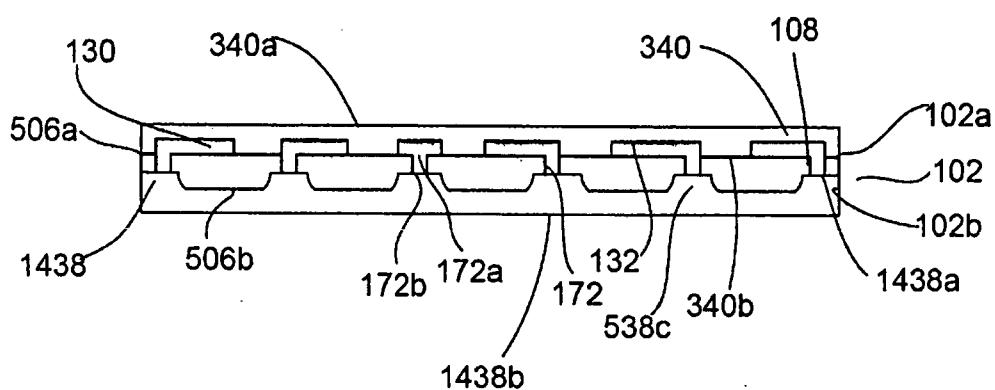
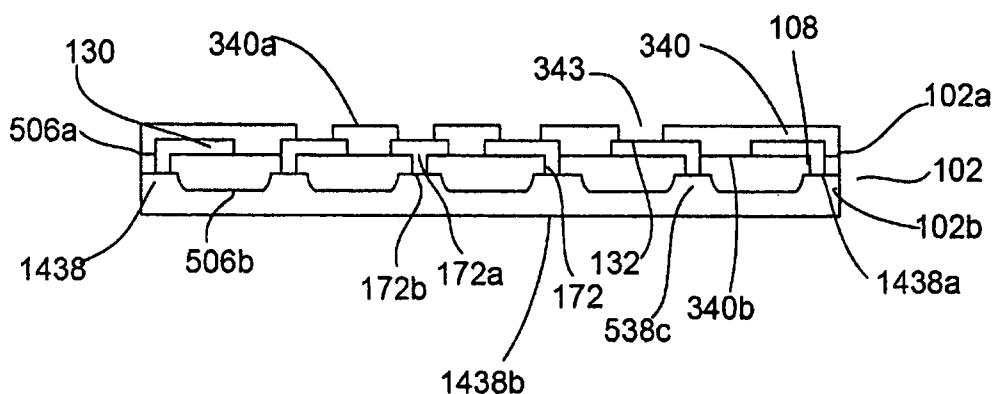


圖 14f



1400

圖 14g

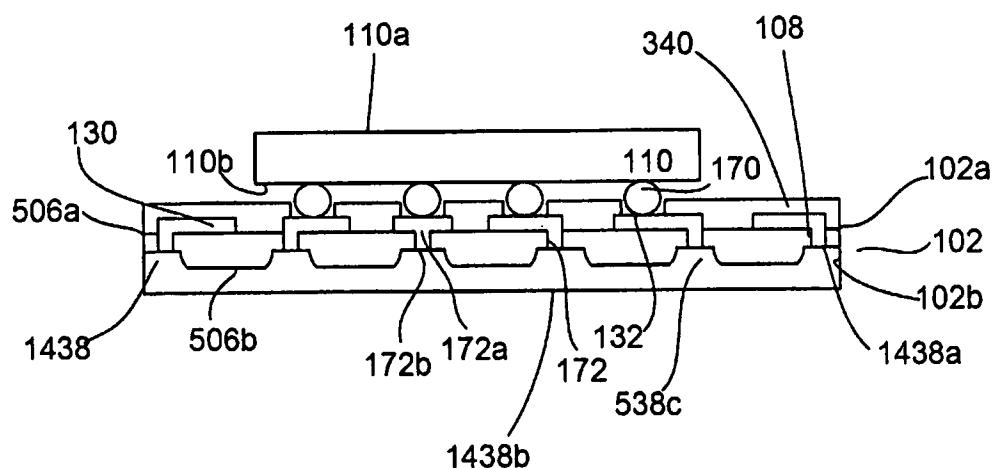
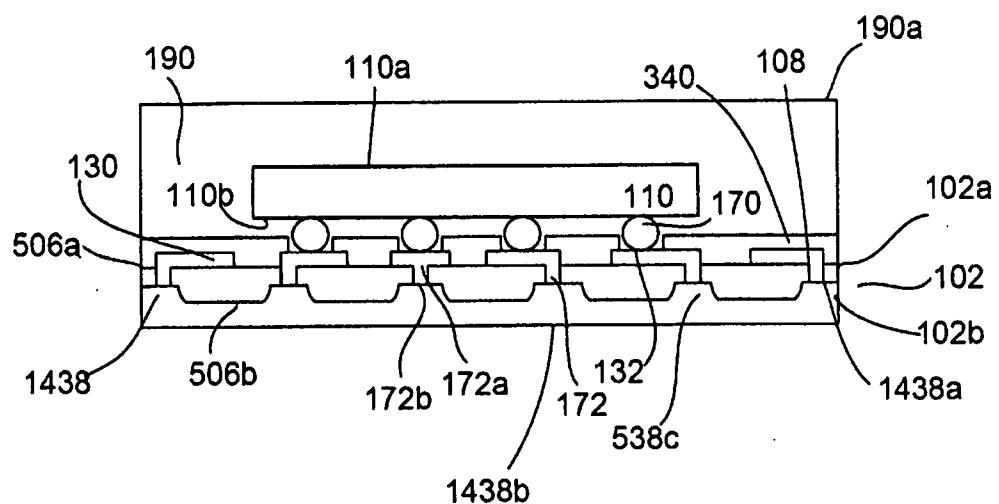


圖 14h



1400

圖 14i

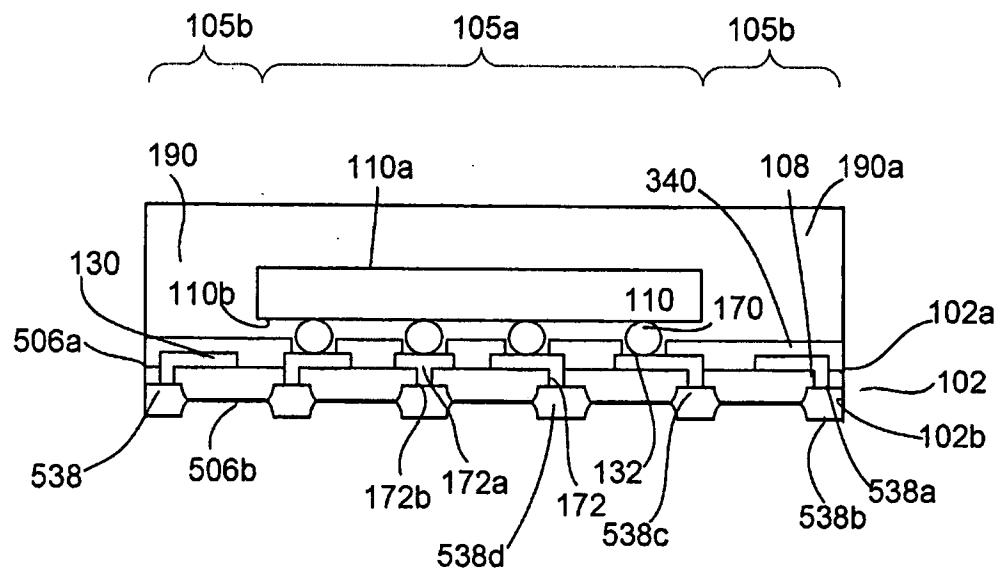
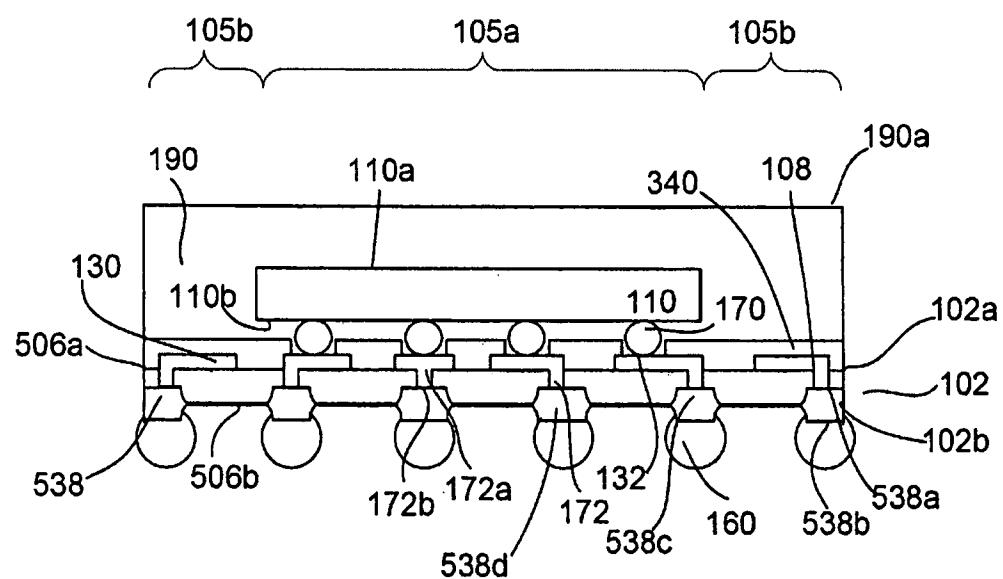
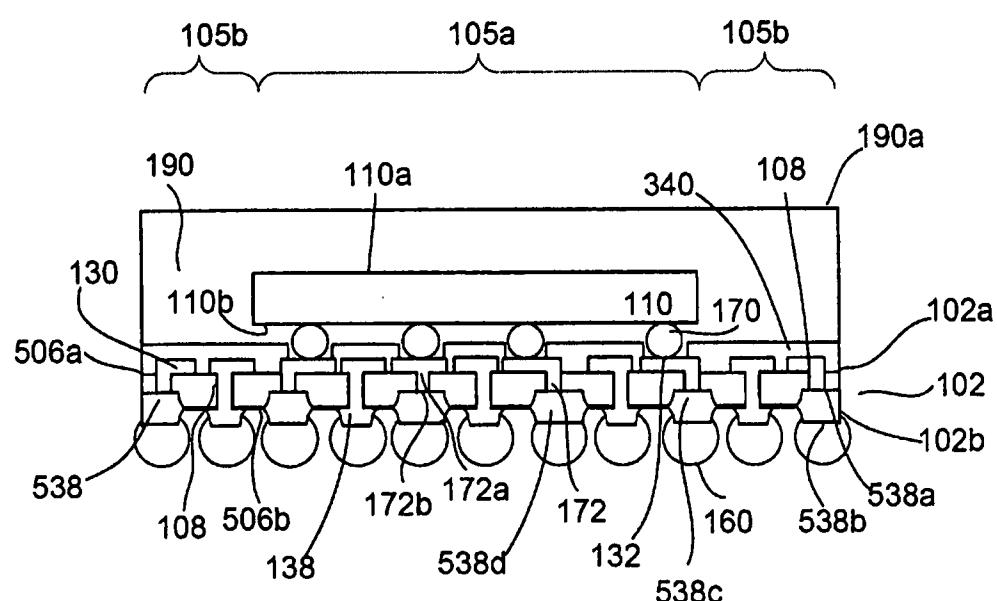


圖 14j



1400

圖 14k



1400

圖 141

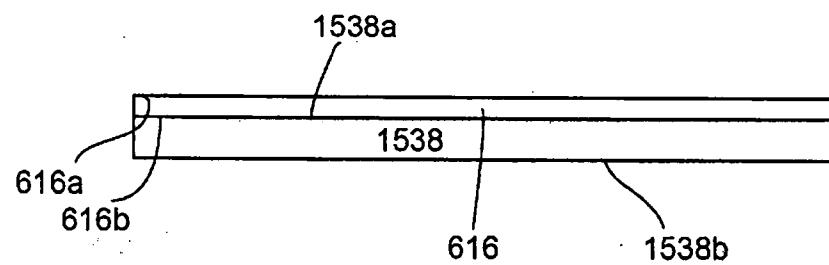


圖 15a

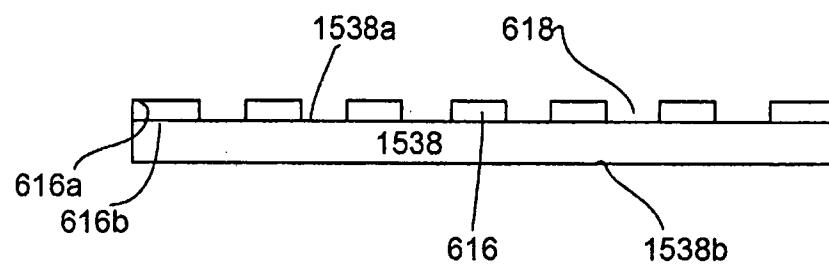


圖 15b

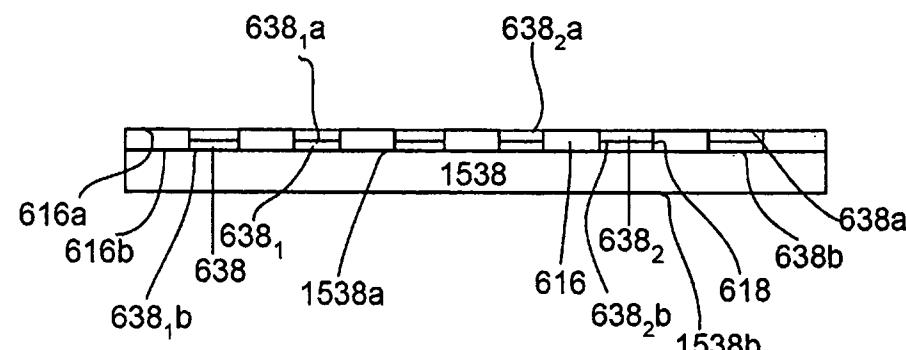


圖 15c

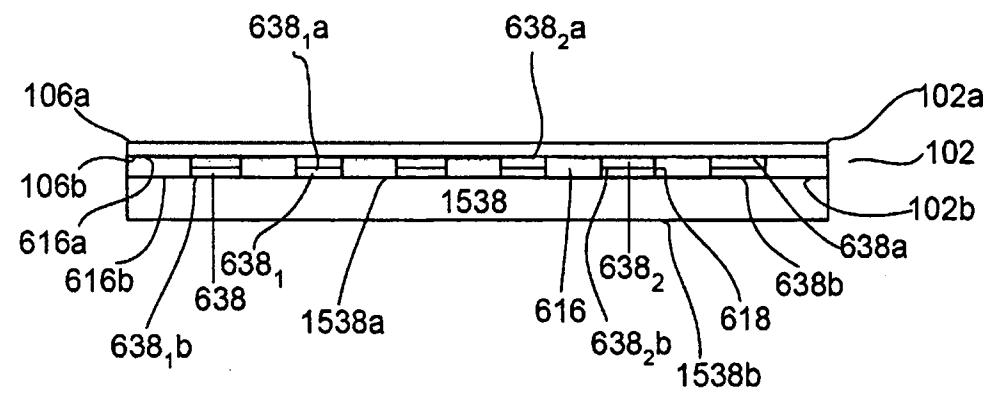


圖 15d

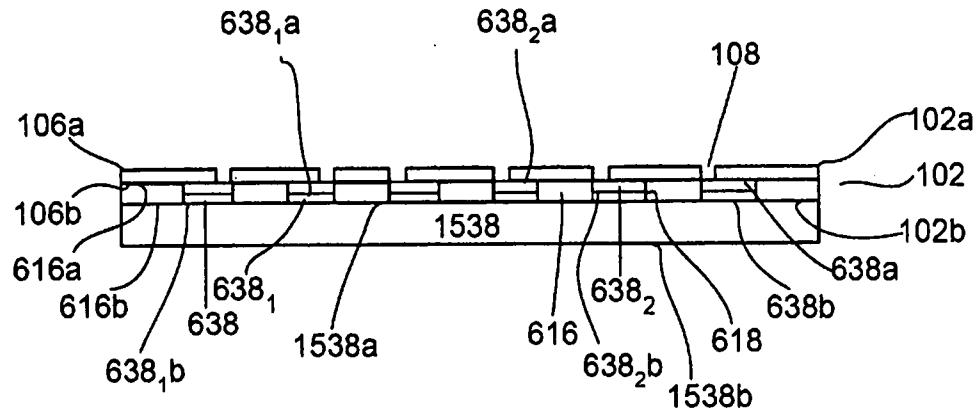


圖 15e

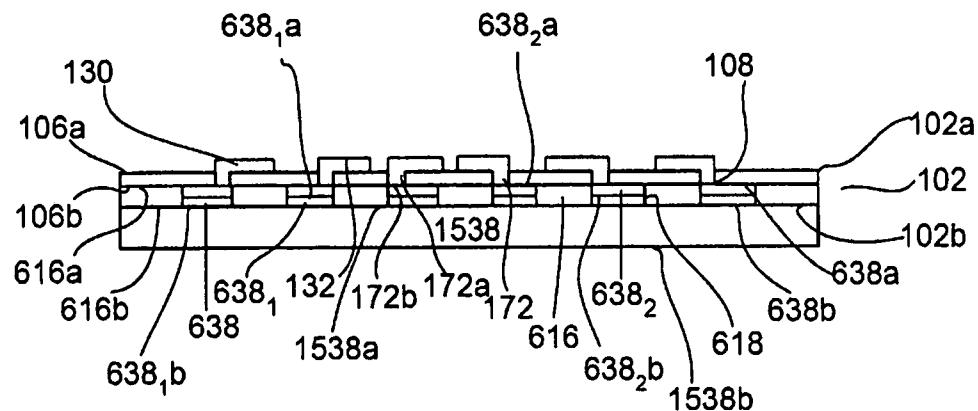
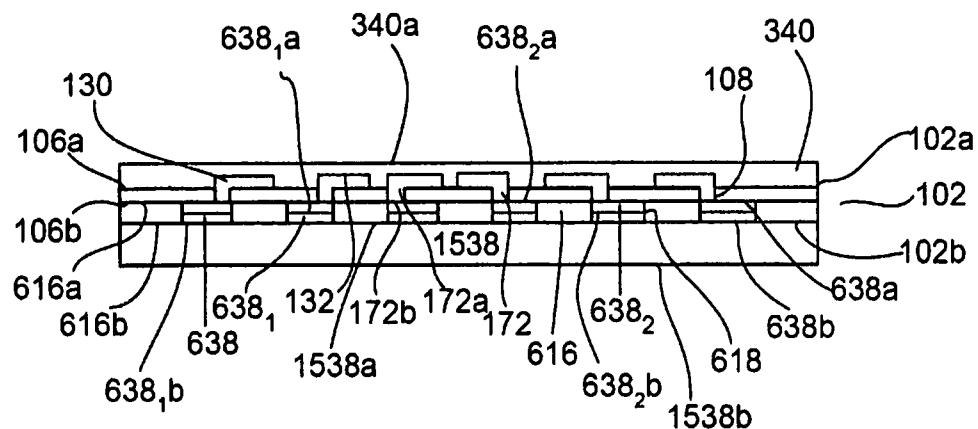


圖 15f



1500

圖 15g

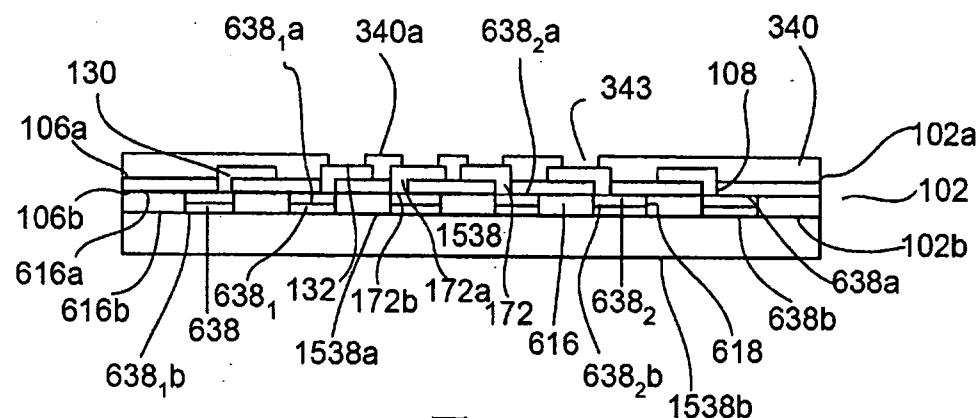


圖 15h

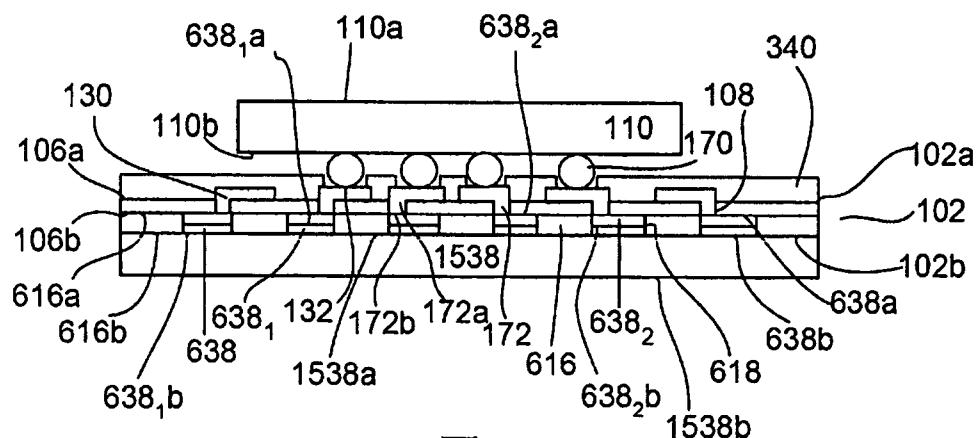
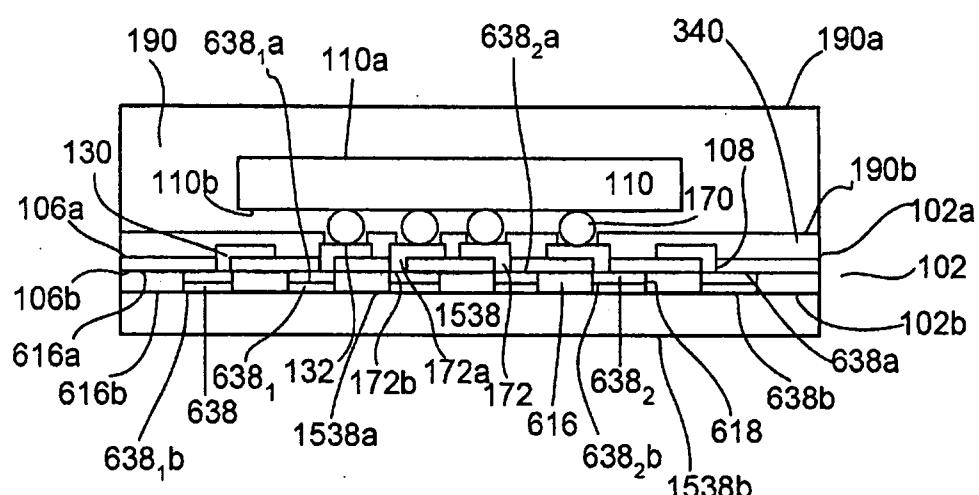


圖 15i



1500

圖 15j

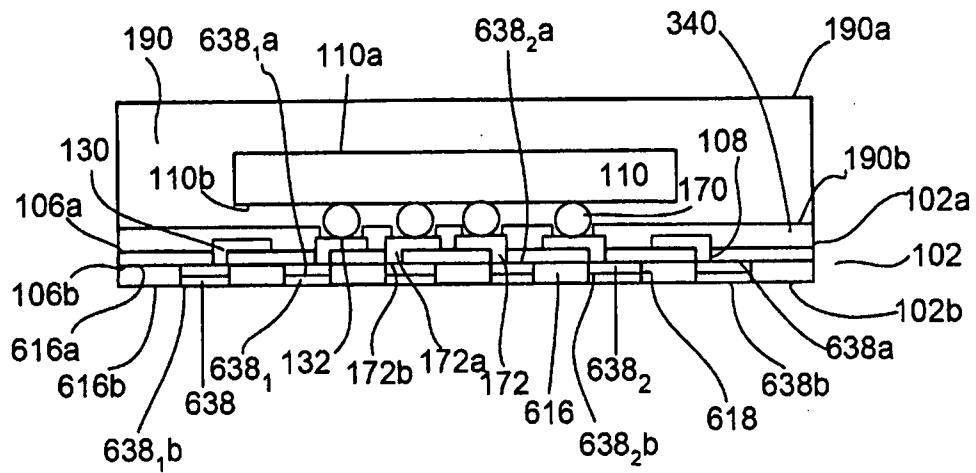
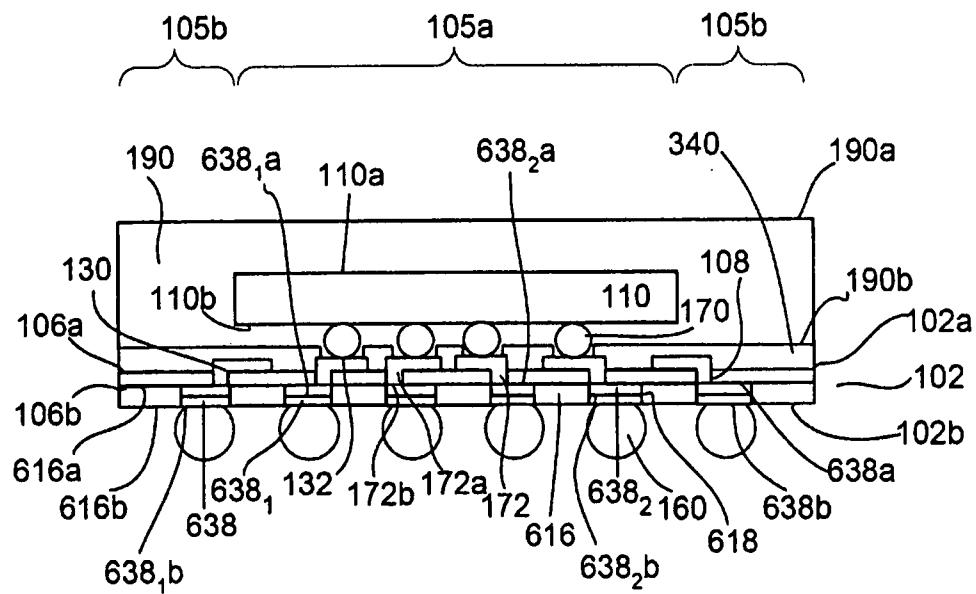


圖 15k



1500

圖 151

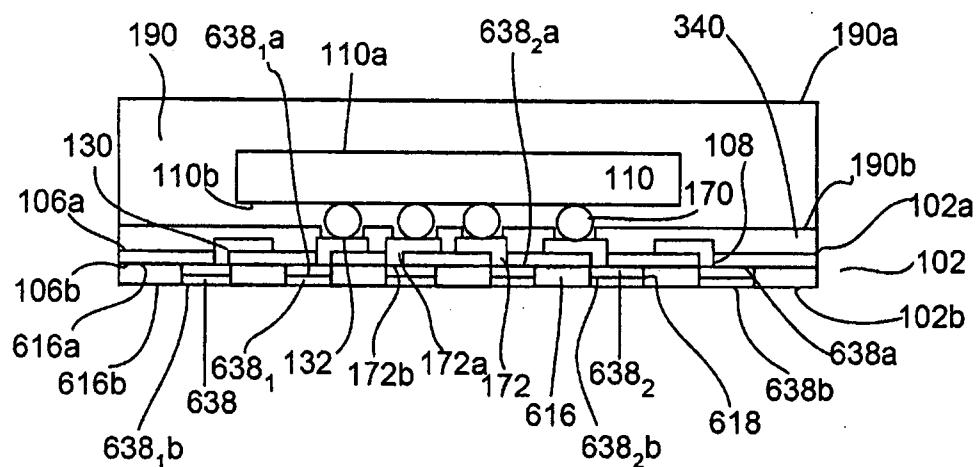
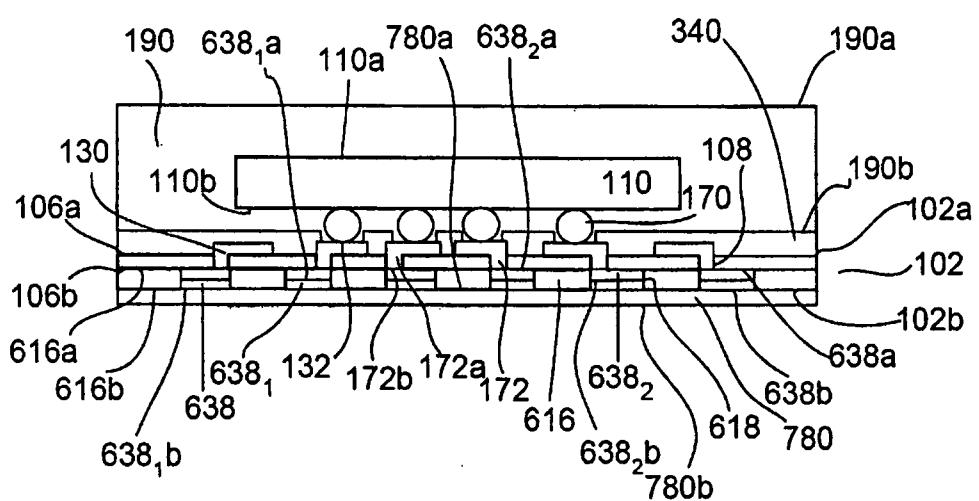


圖 16a



1600

圖 16b

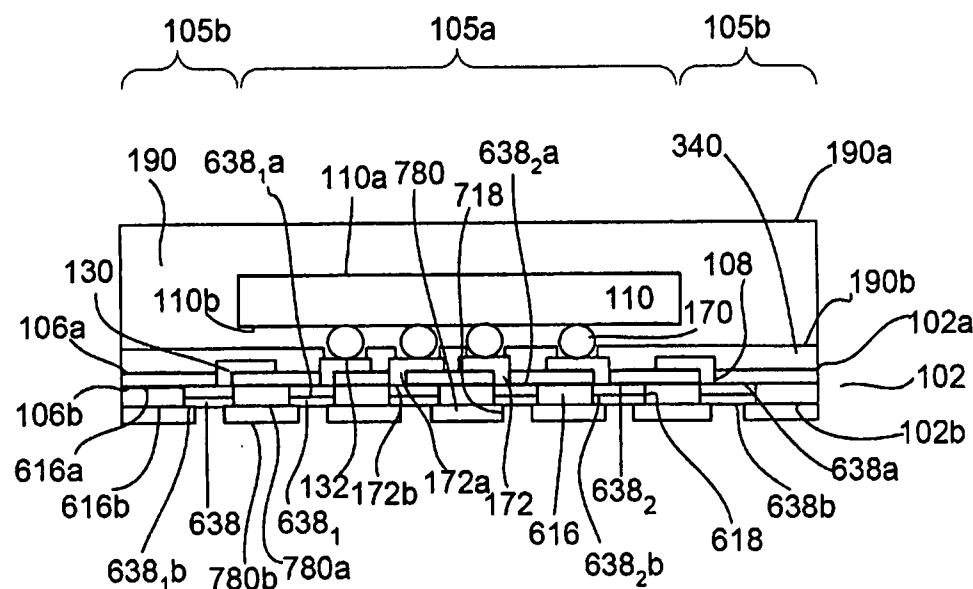
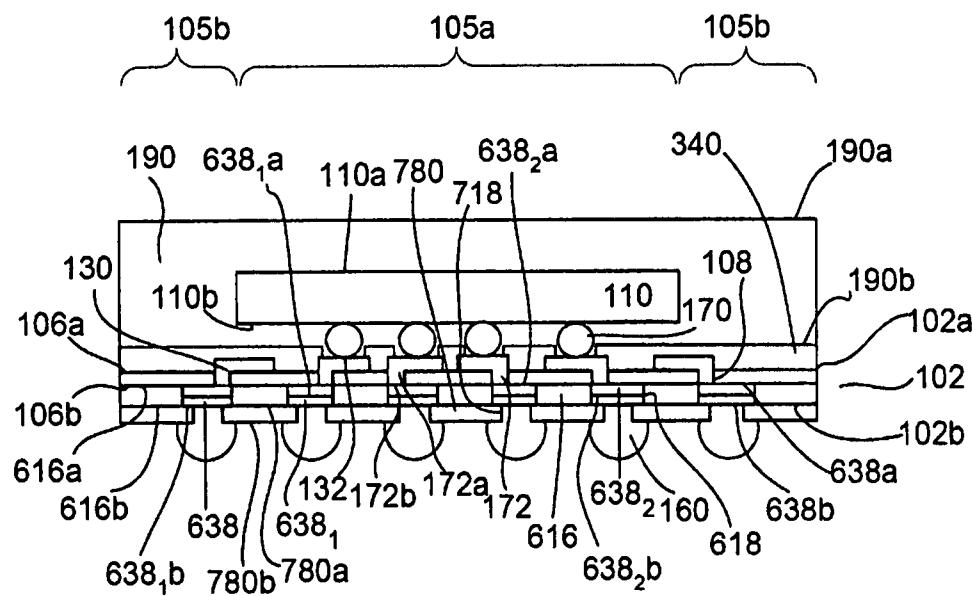


圖 16c



1600

圖 16d

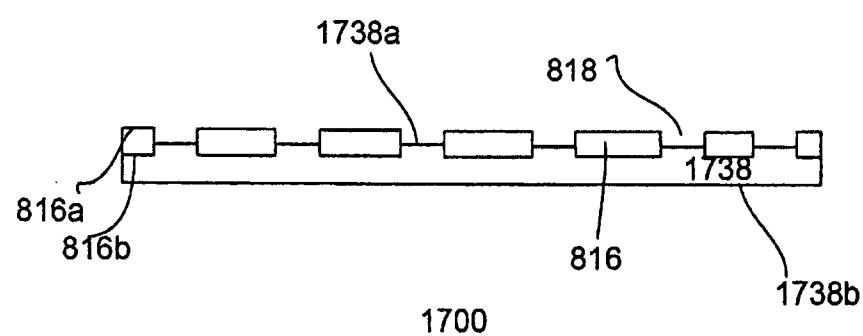
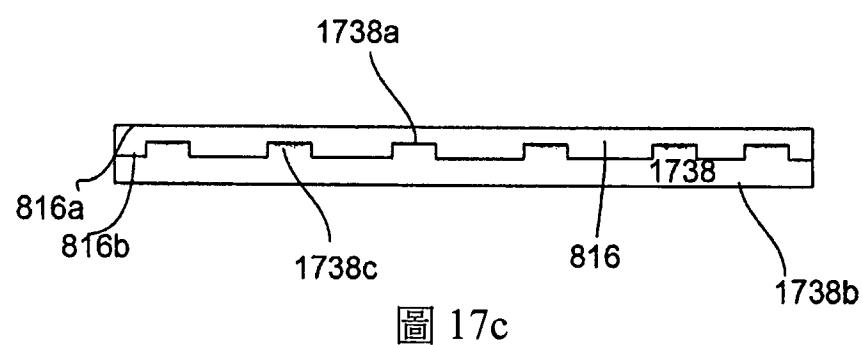
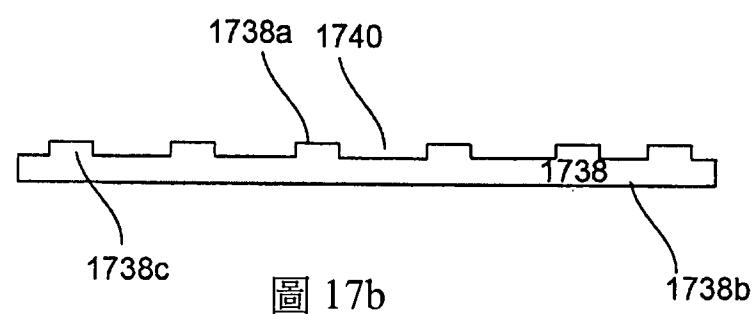
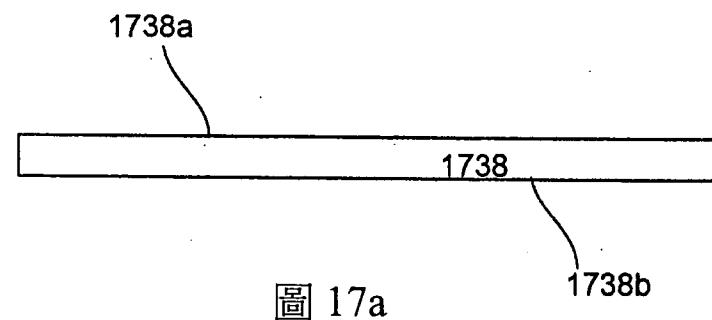


圖 17d

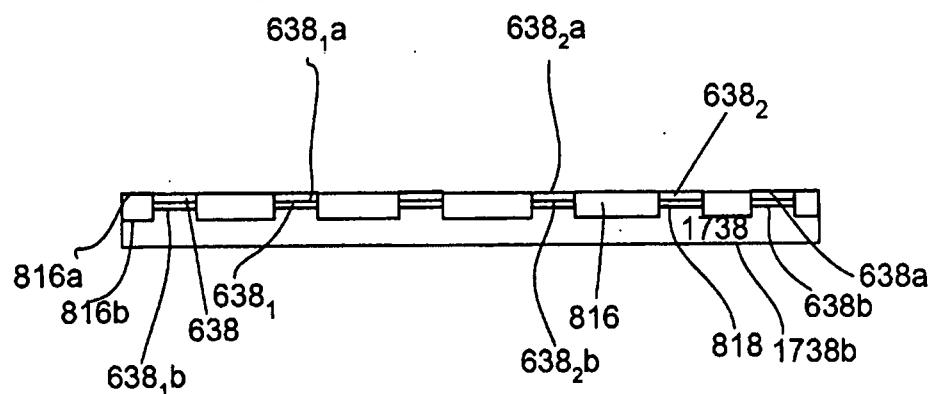


圖 17e

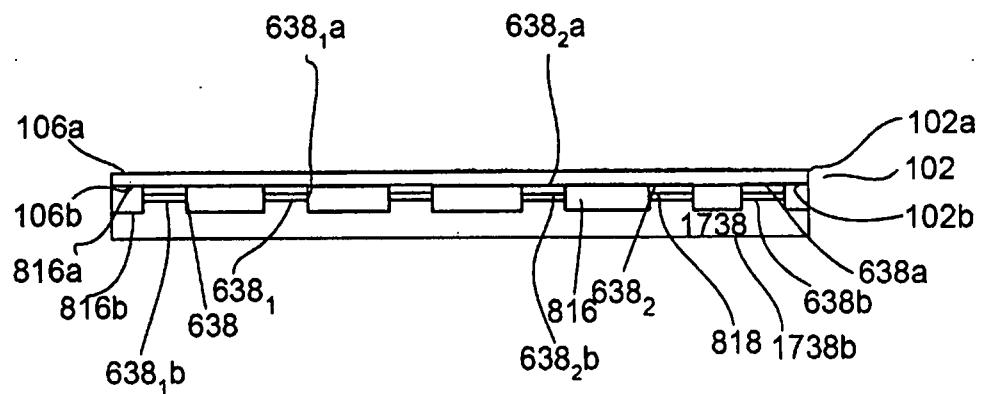
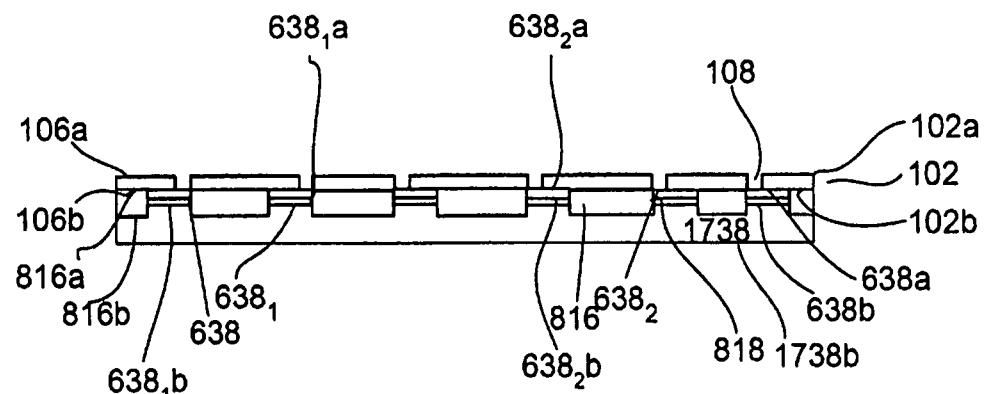


圖 17f



1700

圖 17g

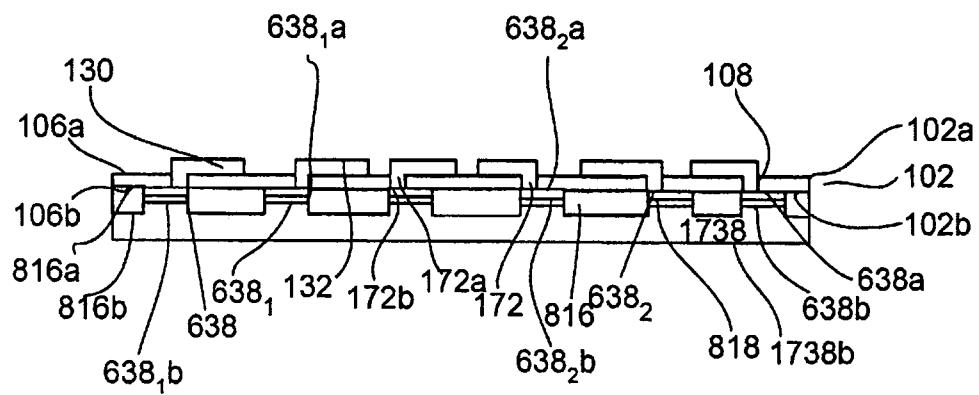


圖 17h

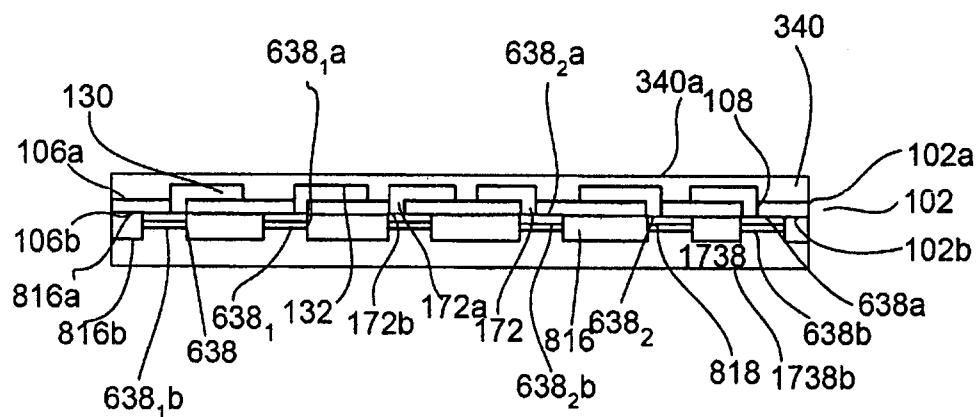
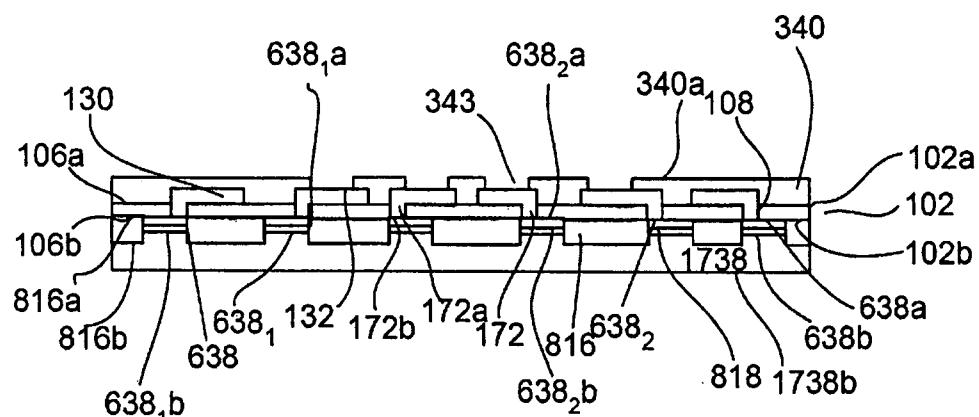


圖 17i



1700

圖 17j

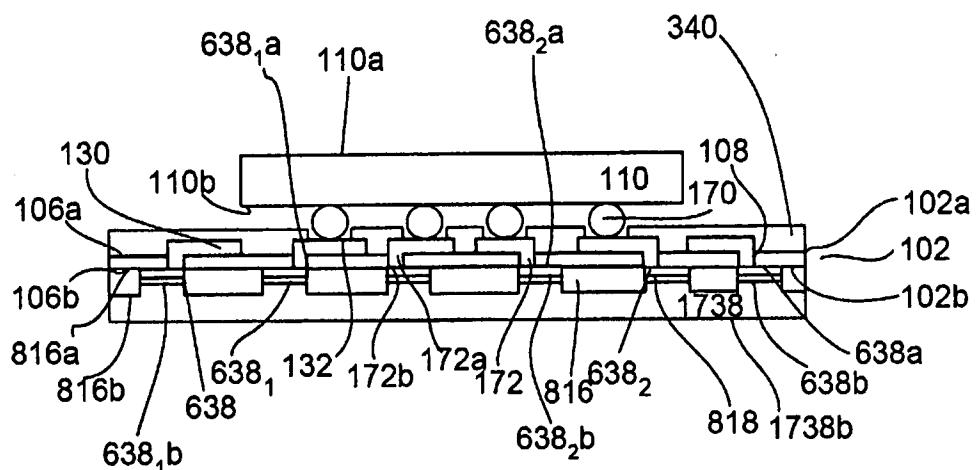


圖 17k

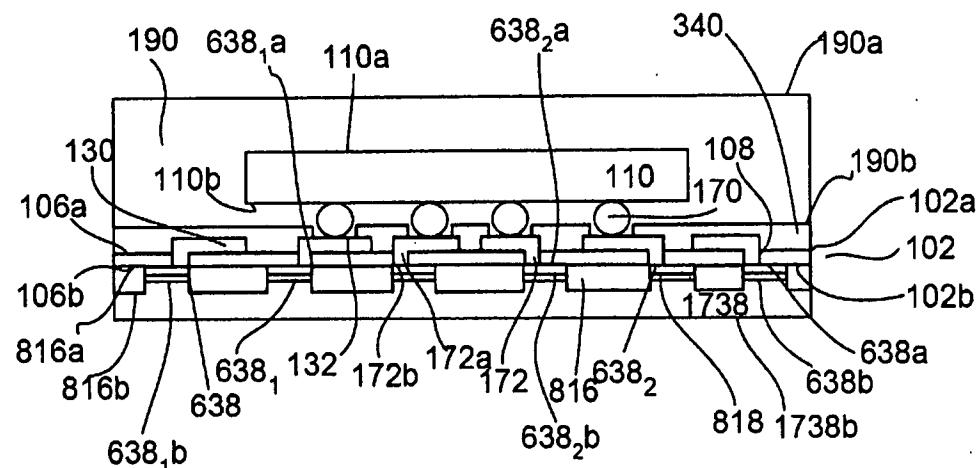


圖 17l

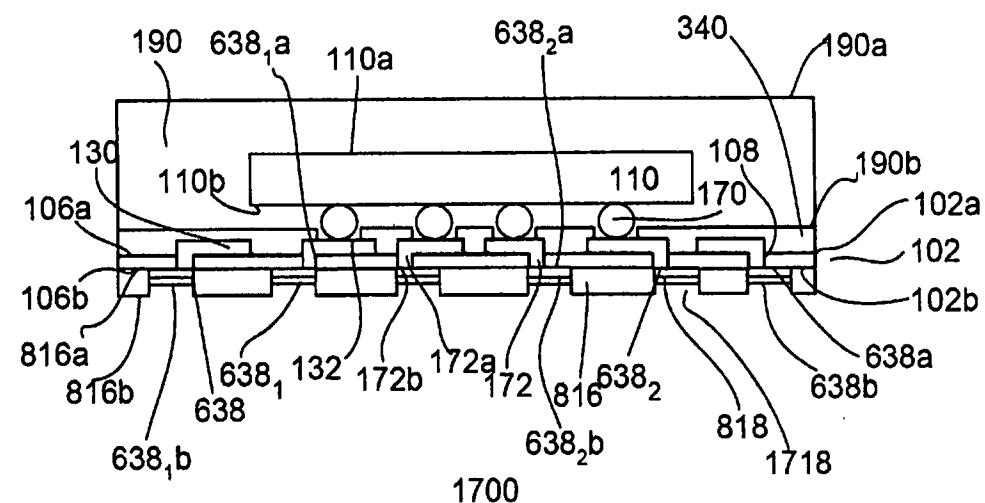


圖 17m

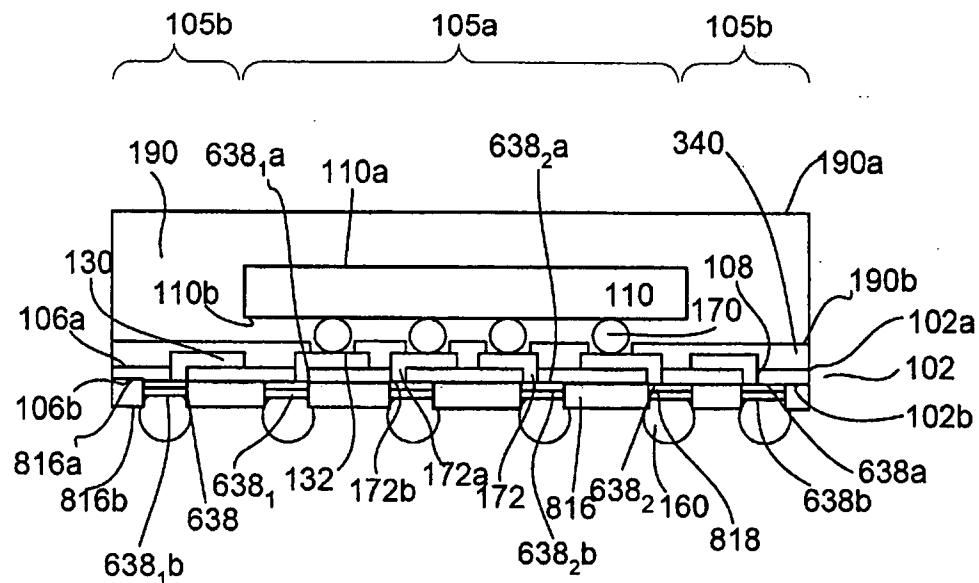


圖 17n

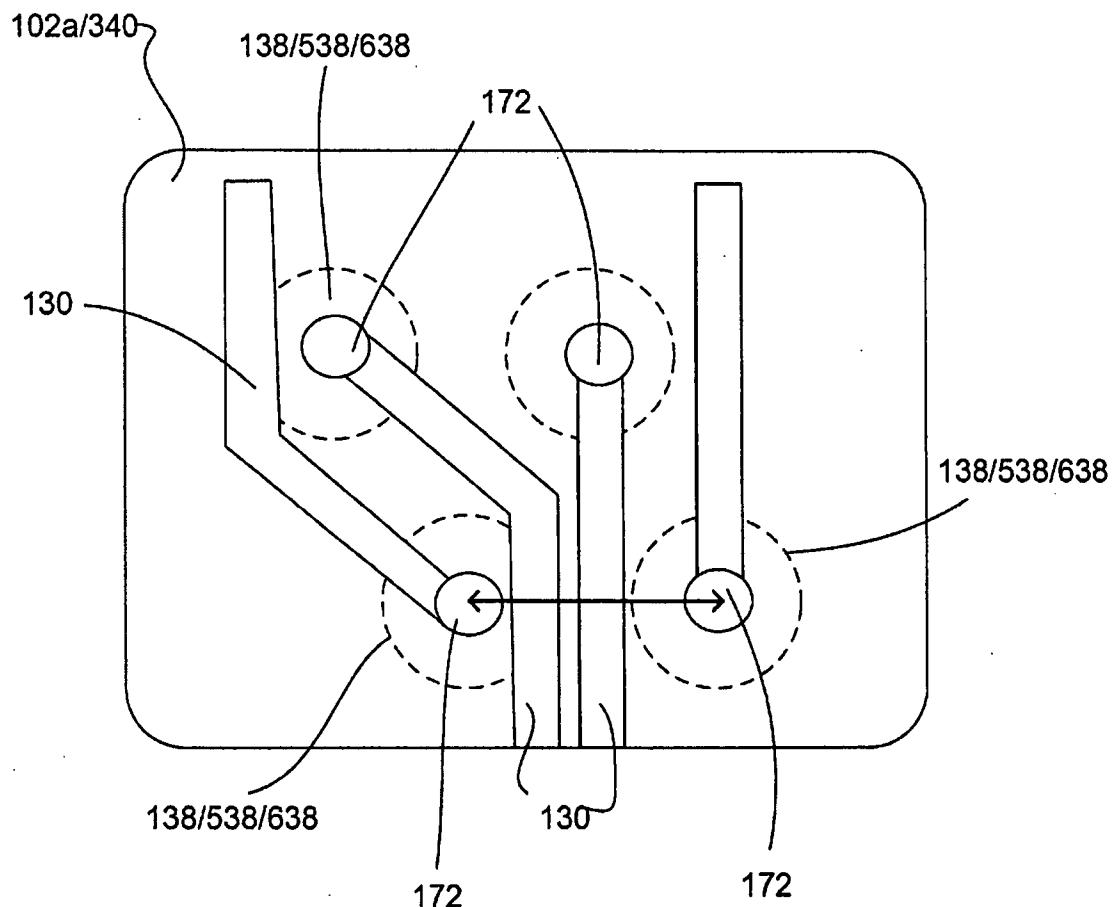


圖 18