

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 96138792

※申請日期： 96.10.17

※IPC分類： H01L 23/492 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/60 (2006.01)

電路板及其製法

PRINTED CIRCUIT BOARD AND FABRICATION METHOD THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

全懋精密科技股份有限公司

PHOENIX PRECISION TECHNOLOGY CORPORATION

代表人：(中文/英文)(簽章) 吳健漢 / WU, CHIEN HAN

住居所或營業所地址：(中文/英文)

新竹市科學園區力行路 6 號

No. 6, Li-Hsin Road, Science-Based Industrial Park, Hsin-Chu,
Taiwan, R.O.C.

國 籍：(中文/英文) 中華民國/R.O.C.

三、發明人：(共 1 人)

姓 名：(中文/英文)

史朝文 / SHIH, CHAO WEN

國 籍：(中文/英文) 中華民國/R.O.C.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實
發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種電路板及其製法，更詳而言之，係關於藉由電鍍導通孔作為線路層之間的電性連接之電路板及其製法。

【先前技術】

隨著半導體封裝技術的演進，半導體裝置 (Semiconductor device) 已開發出不同的封裝型態，傳統半導體裝置主要係在一封裝基板 (package substrate) 或導線架上先設置一例如積體電路之半導體元件，再將半導體元件電性連接在該封裝基板或導線架上，接著以膠體進行封裝。而球柵陣列式 (Ball grid array, BGA)，例如 PBGA、TEBGA、FCBGA 等，係為一種先進的半導體封裝技術，其特點在於採用一封裝基板來安置半導體元件，並於該封裝基板背面植置多數個成柵狀陣列排列之錫球 (Solder ball)，使相同單位面積之半導體元件承載件上可以容納更多輸入/輸出連接端 (I/O connection) 以符合高度集積化 (Integration) 之半導體晶片所需，藉由該些錫球以電性連接外部電子裝置。

另為因應微處理器、晶片組、繪圖晶片等高效能晶片之運算需要，佈有導線之電路板亦需提昇其傳遞晶片訊號、改善頻寬、控制阻抗等功能，以因應高 I/O 數封裝件的發展。然而，為符合半導體封裝件輕薄短小、多功能、高速度及高頻化的開發方向，半導體晶片封裝用之電路板

已朝向細線路及小孔徑發展。現有電路板製程從傳統 100 微米之線路尺寸：包括導線寬度(Line width)、線路間距(Space)及深寬比(Aspect ratio)等，縮減至 30 微米，並持續朝向更小的線路精度進行研發。

為提高半導體晶片封裝用之電路板之佈線密度，業界遂發展出一種增層技術(Build-up)，亦即在一核心電路板(Core circuit board)表面利用線路增層技術交互堆疊多層介電層及線路層，並於核心電路板中形成電鍍導通孔(plated through-hole, PTH)及於該介電層中開設導電盲孔(Conductive via)以供上下層線路之間電性連接。

請參閱第 1A 至 1K 圖，係為習知形成封裝用電路板之製法剖視圖；首先提供一有機絕緣層所構成之核心板 10，於該核心板 10 兩表面分別具有金屬薄層 101(如第 1A 圖所示)；接著以雷射或機械鑽孔的方式形成複數貫穿之通孔(through-hole) 102(如第 1B 圖所示)；然後，於該核心板 10 之兩表面以及通孔 102 中之表面形成一第一導電層 11a(如第 1C 圖所示)；於該第一導電層 11a 表面電鍍形成一第一金屬層 12a，並於該通孔 102 中形成一電鍍導通孔 121(如第 1D 圖所示)；之後以塞孔材料 120 填入該電鍍導通孔 121 中(如第 1E 圖所示)；該第一金屬層 12a 進行表面蝕刻製程(surface uniform etching process, SUEP)以形成一薄化金屬層 12a'，而該塞孔材料 120 並不受表面蝕刻製程影響，於進行表面蝕刻製程之後，該塞孔材料 120 之兩端凸出於該薄化金屬層 12a' 表

面(如第 1F 圖所示); 並藉由刷磨製程移除該塞孔材料 120 凸出之部位, 使該核心板 10 表面平整(如第 1G 圖所示); 接著, 於該薄化金屬層 12a' 表面及塞孔材料 120 之端面形成一第二導電層 11b, 且藉由該第二導電層 11b 以電鍍形成一電鍍金屬層 13 (如第 1H 圖所示); 於該電鍍金屬層 13 表面形成一阻層 14, 且該阻層 14 以曝光顯影製程形成有複數開口 140 以露出該電鍍金屬層 13 之部份表面(如第 1I 圖所示); 以蝕刻製程移除該阻層 14 之開口 140 中的電鍍金屬層 13、第二導電層 11b、薄化金屬層 12a'、第一導電層 11a 及金屬薄層 101 以形成圖案化之第一線路層 15a, 且於該電鍍導通孔 121 之兩端形成金屬墊 151 (如第 1J 圖所示); 之後, 移除該阻層 14, 然後於該核心板 10 及第一線路層 15a 表面形成線路增層結構 16, 該線路增層結構 16 係包括有至少一介電層 160、疊置於該介電層上之第二線路層 15b, 以及形成於該介電層中之並電性連接該第二線路層 15b 及第一線路層 15a 之導電盲孔(conductive via) 162, 且部份之導電盲孔 161 電性連接該第一線路層 15a 之金屬墊 151, 又於該線路增層結構 16 表面具有電性連接該第二線路層 15b 之電性連接墊(pad)162, 且於該線路增層結構 16 表面具有一絕緣保護層 17, 該絕緣保護層 17 表面具有複數個開口 170, 俾以露出該線路增層結構 16 之電性連接墊 162(如第 1K 圖所示)。

惟, 該塞孔材料 120 之端面係與該薄化金屬層 12a'

表面齊平並位於該第二導電層 11b 下方，而該薄化金屬層 12a' 之熱膨脹係數與塞孔材料 120 之熱膨脹係數不同，於後續熱循環製程中，使該第二導電層 11b 受該薄化金屬層 12a' 與塞孔材料 120 之不同熱應力的影響，且該塞孔材料 120 之端面係高於該核心板 10 表面，而易形成結構上應力集中之弱點，導致該第二導電層 11b 及該第一線路層 15a 容易產生脫層分離的情況。

因此，如何提出一種電路板及其製法，以避免習知電路板之電鍍導通孔內之塞孔材料與線路層之間因熱膨脹係數不同導致脫層分離的情況，實已成為目前業界亟待克服之難題。

【發明內容】

鑒於上述習知技術之缺點，本發明之一目的係在於提供一種電路板及其製法，係為該電路板中塞孔材料之端面不高於該核心板之表面，藉以避免於該電路板內部產生應力集中之情形。

本發明之一目的係在於提供一種電路板及其製法，係減少線路層之厚度以利於細線路製程。

為達上述及其他目的，本發明提供一種電路板，係包括具有至少一貫穿通孔之核心板；形成於該通孔中之電鍍導通孔；填充於該電鍍導通孔內之塞孔材料，且該塞孔材料之端面不高於該核心板之表面；以及設於該核心板之兩表面、電鍍導通孔、及塞孔材料之端面的第一線路層，並具有設於該電鍍導通孔端面之金屬墊以與該電鍍導通孔

電性連接。

依上述結構，該第一線路層係由第二金屬層及第二導電層組成，或該第一線路層係由第二金屬層、第二導電層、薄化金屬層、第一導電層及金屬薄層構成。

又依上述結構，復包括一線路增層結構，係形成於該核心板及第一線路層表面，該線路增層結構係包括有至少一介電層、疊置於該介電層上之第二線路層、以及形成於該介電層中並電性連接該第二線路層之導電盲孔，且部份之複數導電盲孔以電性連接該第一線路層及金屬墊，又於該線路增層結構表面具有複數電性連接該第二線路層之電性連接墊，並於該線路增層結構表面具有絕緣保護層，該絕緣保護層表面具有複數個開口以露出該電性連接墊。

本發明復提供一種電路板之製法，係包括：提供一具有兩表面之核心板，於該核心板中形成至少一貫穿其兩表面之通孔；於該通孔中形成電鍍導通孔；於該電鍍導通孔內填充塞孔材料，且該塞孔材料之端面不高於該核心板之表面；以及於該核心板之二相對表面、電鍍導通孔、及塞孔材料之端面形成第一線路層，且使該第一線路層與電鍍導通孔電性連接。

依上述製法，該核心板中形成該電鍍導通孔之製程係包括：該核心板之兩表面具有金屬薄層，於該金屬薄層表面及開孔中之表面形成一第一導電層；以及於該第一導電層表面電鍍形成一第一金屬層，並於該通孔中形成該電鍍導通孔。

又該電鍍導通孔內形成該塞孔材料之製程係包括：於該電鍍導通孔內填充該塞孔材料；移除該核心板二相對表面之第一金屬層的部份厚度以形成一薄化金屬層，並使該塞孔材料兩端凸出於該薄化金屬層表面；移除該塞孔材料凸出的部位，使該塞孔材料兩端表面與薄化金屬層之表面齊平；移除該塞孔材料兩端之部份材料，使該塞孔材料之端面不高於該核心板之表面；以及移除該核心板二相對表面之薄化金屬層、第一導電層及金屬薄層。

該第一線路層復包括有金屬墊，且該金屬墊設於該電鍍導通孔之端面，且該第一線路層及金屬墊之製程係包括：於該核心板二相對表面、電鍍導通孔、以及塞孔材料之端面形成一第二導電層；於該第二導電層表面形成一阻層，且該阻層中形成有複數開口以露出部份之第二導電層；於該阻層之開口中的第二導電層表面形成有一第二金屬層，使該第二金屬層及第二導電層構成該第一線路層，且使該第一線路層與該電鍍導通孔電性連接；以及移除該阻層及其所覆蓋之第二導電層。

本發明復提供該第一線路層及金屬墊之另一種實施製程，係包括：於該薄化金屬層表面形成一第二導電層；於該第二導電層上形成一阻層，且該阻層中形成有複數開口以露出該第二導電層之部份表面；於該阻層之開口中形成第二金屬層，使該第二金屬層、第二導電層、薄化金屬層、第一導電層及金屬薄層構成該第一線路層，且使該第一線路層與該電鍍導通孔電性連接；以及移除該阻層

及其所覆蓋之薄化金屬層、第一導電層及金屬薄層。

本發明復提供該第一線路層及金屬墊之又一實施製程，係包括：於該核心板二相對表面、電鍍導通孔、以及塞孔材料之端面形成一第二導電層；於該第二導電層表面形成有一第二金屬層；於該第二金屬層表面形成一阻層，且該阻層中形成有複數開口以露出部份之第二金屬層；蝕刻移除該阻層之開口中的第二金屬層及第二導電層；以及移除該阻層，使該未移除之第二金屬層及第二導電層構成該第一線路層，且使該第一線路層與該電鍍導通孔電性連接。

本發明復提供該第一線路層及金屬墊之再一實施製程，係包括：於該薄化金屬層表面與塞孔材料之兩端表面形成有第二導電層；於該第二導電層表面形成有第二金屬層；於該第二金屬層表面形成一阻層，且該阻層中形成有複數開口以露出該第二金屬層之部份表面；以及蝕刻移除該阻層之開口中之第二金屬層、第二導電層、薄化金屬層、第一導電層及金屬薄層，使該未移除之第二金屬層、第二導電層、薄化金屬層、第一導電層及金屬薄層構成該第一線路層，且使該第一線路層與該電鍍導通孔電性連接。

本發明又依前述之製程，於該核心板及第一線路層表面形成一線路增層結構，該線路增層結構係包括有至少一介電層、疊置於該介電層上之第二線路層、以及形成於該介電層中並電性連接該第二線路層之導電盲孔，且部份之

複數導電盲孔以電性連接該第一線路層及金屬墊，又於該線路增層結構表面具有複數電性連接該第二線路層之電性連接墊，並於該線路增層結構表面具有絕緣保護層，該絕緣保護層表面具有複數個開口以露出該電性連接墊。

相較於習知技術，本發明之電路板及其製法，係於核心板中形成有電鍍導通孔，之後於該導通孔中填入端面不高於該核心板之表面的塞孔材料，而於後續製程填入金屬層，可較習知技術形成更穩固之金屬墊結構，以及於該核心板之二表面、電鍍導通孔及塞孔材料之端面形成線路層，且該線路層係電性連接該電鍍導通孔，俾使該塞孔材料之端面不高於該核心板之表面，於該後續電路板之熱循環製程中，避免因該塞孔材料與其周圍之金屬材料熱膨脹係數不同所產生之熱應力及因結構上之弱點形成應力集中，而導致脫層分離之缺失，且部份之複數導電盲孔設置於該金屬墊上並對應於電鍍導通孔開口，而可增加導電盲孔之佈線空間。

【實施方式】

以下係藉由特定的具體實例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。

請參閱第 2A 至 2M 圖，係為詳細說明本發明之電路板之製法之第一實施例之剖面示意圖。

如第 2A 圖所示，首先，提供一係為有機絕緣層所構成之核心板 20，於該核心板 20 之表面具有金屬薄層 201，

其中該金屬薄層 201 一般係以導電性較佳之銅(Cu)為主，本實施例係以銅箔基板(CCL)為例作說明。

如第 2B 圖所示，復以機械鑽孔方式或雷射鑽孔方式於該核心板 20 中形成複數個貫穿該核心板 20 之通孔 202。

如第 2C 圖所示，接著，利用物理沈積例如濺鍍(Sputtering)或化學沈積例如無電鍍方式，以於該核心板 20 之金屬薄層 201 上及通孔 202 中之表面形成一第一導電層 21a，該第一導電層 21a 主要作為後述電鍍金屬材料所需之電流傳導路徑，其可由金屬、合金或沉積數層金屬層所構成，如選自銅、錫、鎳、鉻、鈦及銅-鉻合金等所組群組之其中一者，或該第一導電層 21a 係為聚乙炔、聚苯胺或有機硫聚合物等導電高分子材料。

如第 2D 圖所示，藉由該第一導電層 21a 作為電鍍之電流傳導路徑，以於該核心板 20 之二表面的第一導電層 21a 表面形成第一金屬層 22a，並於該通孔 202 中形成電鍍導通孔(Plated through hole, PTH)221；其中，該第一金屬層 22a 之材料可為諸如鉛、錫、銀、銅、金、鈹、銻、鋅、鎳、鋁、鎂、鈮、碲以及鎳等金屬之其中一者；惟，依實際操作之經驗，由於銅為成熟之電鍍材料且成本較低，因此，該第一金屬層 22a 以由電鍍銅所構成者為較佳，但非以此為限。

如第 2E 圖所示，之後復填充一導電或不導電之塞孔材料 23(如絕緣性油墨或含銅導電膏等)以填滿該電鍍導

通孔 221 殘留之空隙。

如第 2F 圖所示，該第一金屬層 22a 表面進行表面蝕刻製程(surface uniform etching process, SUEP)以形成一薄化金屬層 22a'，而該塞孔材料 23 並不受表面蝕刻製程(SUEP)之影響，於進行表面蝕刻製程之後，該塞孔材料 23 之兩端凸出於該薄化金屬層 22a' 表面。

如第 2G 圖所示，進行刷磨製程以移除凸出該薄化金屬層 22a' 表面之塞孔材料 23，以維持該核心板 20 表面之平整性。

如第 2H 圖所示，利用離子濺射、雷射、或蝕刻製程繼續移除部分之塞孔材料 23，使該塞孔材料 23 之端面不高於該核心板 20 之表面，而於後續製程填入金屬層，可較習知技術形成更穩固之金屬墊結構。

如第 2I 圖所示，藉由例如蝕刻製程移除該核心板 20 二相對表面之薄化金屬層 22a'、第一導電層 21a 及金屬薄層 201。

如第 2J 圖所示，於該核心板 20 表面、電鍍導通孔 221、以及塞孔材料 23 二端面形成一第二導電層 21b，該第二導電層 21b 主要作為後述電鍍金屬材料所需之電流傳導路徑，其可由金屬、合金或沉積數層金屬層所構成，或該第二導電層 21b 係為聚乙炔、聚苯胺或有機硫聚合物等導電高分子材料；接著，於該第二導電層 21b 上形成阻層 24，該阻層 24 可為一例如乾膜或液態光阻等光阻層(Photoresist)，其係利用印刷、旋塗或貼合等方式形成

於該第二導電層 21b 表面，再藉由曝光、顯影等方式加以圖案化，以形成複數開口 240 以露出該第二導電層 21b 之部分表面，其中部份開口 240 係相對應形成於該電鍍導通孔 221 之位置。

如第 2K 圖所示，藉由該第二導電層 21b 作為電鍍之電流傳導路徑，以於該等開口 240 中電鍍形成一第二金屬層 22b，其中該第二金屬層 22b 之材料可為諸如鉛、錫、銀、銅、金、鈹、銻、鋅、鎳、鋅、鎂、鈮、碲以及鎳等金屬之其中之一者；惟，依實際操作之經驗，由於銅為成熟之電鍍材料且成本較低，因此，該第二金屬層 22b 以由電鍍銅所構成者為較佳，但非以此為限；該第二金屬層 22b 及第二導電層 21b 構成該第一線路層 25a，且藉由該電鍍導通孔 221 電性連接該核心板 20 上表面及下表面之第一線路層 25a，該第一線路層 25a 中具有位於該電鍍導通孔 221 開孔上之金屬墊 251。

如第 2L 圖所示，藉由例如脫膜及蝕刻製程移除該阻層 24 及其所覆蓋之第二導電層 21b 以露出該第一線路層 25a 及金屬墊 251。

如第 2M 圖所示，最後，於該核心板 20 及第一線路層 25a 表面形成一線路增層結構 26，該線路增層結構 26 係包括有至少一介電層 260、疊置於該介電層上之第二線路層 25b，以及形成於該介電層中並電性連接該第二線路層 25b 之導電盲孔 261，且部份之複數導電盲孔 261 電性連接該第一線路層 25a 及金屬墊 251，又於該線路增層結構

26 表面具有複數電性連接該第二線路層 25b 之電性連接墊 262，並於該線路增層結構 26 表面形成一絕緣保護層 27，該絕緣保護層 27 表面具有複數個開口 270 以對應露出該電性連接墊 262。

本發明復提供一種電路板，係包括：核心板 20，係具有兩表面，於該核心板 20 中形成至少一貫穿其兩表面之通孔 202；電鍍導通孔 221，係形成於該通孔 202 中之表面；塞孔材料 23，係填充於該電鍍導通孔 221 中，且該塞孔材料 23 之端面不高於該核心板 20 之表面；以及第一線路層 25a，係形成於該核心板 20 之兩表面、電鍍導通孔 221、及塞孔材料 23 之端面，該第一線路層 25a 係由第二金屬層 22b 及第二導電層 21b 組成，且該第一線路層 25a 具有金屬墊 251 位於該電鍍導通孔 221 開口以與該電鍍導通孔 221 電性連接。

依上述結構，復包括一線路增層結構 26，係形成於該核心板 20 及第一線路層 25a 表面，該線路增層結構 26 係包括有至少一介電層 260、疊置於該介電層上之第二線路層 25b、以及形成於該介電層中並電性連接該第二線路層 25b 之導電盲孔 261，且部份之複數導電盲孔 261 電性連接該第一線路層 25a 及金屬墊 251，又於該線路增層結構 26 表面具有複數電性連接該第二線路層 25b 之電性連接墊 262，並於該線路增層結構 26 表面具有絕緣保護層 27，該絕緣保護層 27 表面具有複數個開口 270 以露出該電性連接墊 262。

請參閱第 3A 至 3D 圖，係為詳細說明本發明之電路板之製法之第二實施例之剖面示意圖。

如 3A 圖所示，提供一係如第 2H 圖所示之結構，於該薄化金屬層 22a'、電鍍導通孔 221、以及塞孔材料 23 之核心板 20 表面形成一第二導電層 21b；接著，於該第二導電層 21b 上形成有一阻層 24，且該阻層 24 中形成有複數開口 240 以露出該第二導電層 21b 之部份表面。

如第 3B 圖所示，藉由該第二導電層 21b 作為電鍍之電流傳導路徑，以於該阻層 24 之各該開口 240 中電鍍形成一第二金屬層 22b，且於該電鍍導通孔 221 之開孔上形成有金屬墊 251，使該第二金屬層 22b、第二導電層 21b、薄化金屬層 22a'、第一導電層 21a 及金屬薄層 201 構成第一線路層 25a'，且藉由該電鍍導通孔 221 電性連接該核心板 20 上表面及下表面之第一線路層 25a'。

如第 3C 圖所示，移除該阻層 24 及其所覆蓋之薄化金屬層 22a'、第一導電層 21a 及金屬薄層 201。

如第 3D 圖所示，最後，於該核心板 20 及第一線路層 25a' 表面形成一線路增層結構 26，該線路增層結構 26 係包括有至少一介電層 260、疊置於該介電層上之第二線路層 25b，以及形成於該介電層中並電性連接該第二線路層 25b 之導電盲孔 261，且部份之複數導電盲孔 261 電性連接該第一線路層 25a 及金屬墊 251，又於該線路增層結構 26 表面具有複數電性連接該第二線路層 25b 之電性連接墊 262，並於該線路增層結構 26 表面形成一絕緣保護層

27，該絕緣保護層 27 表面具有複數個開口 270 以對應露出該電性連接墊 262。

本發明復提供一種電路板，係包括：核心板 20，係具有兩表面，於該核心板 20 中形成至少一貫穿其兩表面之通孔 202；電鍍導通孔 221，係形成於該通孔 202 中之表面；塞孔材料 23，係填充於該電鍍導通孔 221 中，且該塞孔材料 23 之端面不高於該核心板 20 之表面；以及第一線路層 25a，係形成於該核心板 20 之兩表面、電鍍導通孔 221、及塞孔材料 23 之端面，該第一線路層 25a 係由第二金屬層 22b 及第二導電層 21b 組成，該第一線路層 25a 係由薄化金屬層 22a'、第一導電層 21a、金屬薄層 201 及第二金屬層 22b 構成，且具有金屬墊 251 位於該電鍍導通孔 221 端面以與該電鍍導通孔 221 電性連接。

依上述結構，復包括一線路增層結構 26，係形成於該核心板 20 及第一線路層 25a 表面，該線路增層結構 26 係包括有至少一介電層 260、疊置於該介電層上之第二線路層 25b、以及形成於該介電層中並電性連接該第二線路層 25b 之導電盲孔 261，且部份之複數導電盲孔 261 電性連接該第一線路層 25a 及金屬墊 251，又於該線路增層結構 26 表面具有複數電性連接該第二線路層 25b 之電性連接墊 262，並於該線路增層結構 26 表面具有絕緣保護層 27，該絕緣保護層 27 表面具有複數個開口 270 以露出該電性連接墊 262。

請參閱第 4A 至 4E 圖，係為詳細說明本發明之電路板

之製法之第三實施例之剖面示意圖。

如第 4A 圖所示，首先，提供一係如第 2I 圖所示之結構，於該核心板 20 表面、電鍍導通孔 221、以及塞孔材料 23 二端面形成一第二導電層 21b，該第二導電層 21b 主要作為後述電鍍金屬材料所需之電流傳導路徑，其可由金屬、合金或沉積數層金屬層所構成，或該第二導電層 21b 係為聚乙炔、聚苯胺或有機硫聚合物等導電高分子材料。

如第 4B 圖所示，接著，藉由該第二導電層 21b 作為電鍍之電流傳導路徑，以於該第二導電層 21b 表面電鍍形成一第二金屬層 22b，其中該第二金屬層 22b 之材料可為諸如鉛、錫、銀、銅、金、鈹、銻、鋅、鎳、鋅、鎂、銻、碲以及鎳等金屬之其中一者；惟，依實際操作之經驗，由於銅為成熟之電鍍材料且成本較低，因此，該第二金屬層 22b 以由電鍍銅所構成者為較佳，但非以此為限。

如第 4C 圖所示，然後於該第二金屬層 22b 上形成阻層 24，該阻層 24 可為一例如乾膜或液態光阻等光阻層 (Photoresist)，其係利用印刷、旋塗或貼合等方式形成於該第二金屬層 22b 表面，再藉由曝光、顯影等方式加以圖案化，以形成複數開口 240 以露出該第二金屬層 22b 之部分表面。

如第 4D 圖所示，藉由例如蝕刻製程移除該阻層 24 之開口 240 中的第二金屬層 22b 及第二導電層 21b；接著並移除該阻層 24，使該第二金屬層 22b 及第二導電層 21b

構成該第一線路層 25a，且藉由該電鍍導通孔 221 電性連接該核心板 20 上表面及下表面之第一線路層 25a，該第一線路層 25a 中具有位於該電鍍導通孔 221 開孔上之金屬墊 251。

如第 4E 圖所示，最後，於該核心板 20 及第一線路層 25a 表面形成一線路增層結構 26，該線路增層結構 26 係包括有至少一介電層 260、疊置於該介電層上之第二線路層 25b，以及形成於該介電層中並電性連接該第二線路層 25b 之導電盲孔 261，且部份之複數導電盲孔 261 電性連接該第一線路層 25a 及金屬墊 251，又於該線路增層結構 26 表面具有複數電性連接該第二線路層 25b 之電性連接墊 262，並於該線路增層結構 26 表面形成一絕緣保護層 27，該絕緣保護層 27 表面具有複數個開口 270 以對應露出該電性連接墊 262。

本發明復提供一種電路板，係包括：核心板 20，係具有兩表面，於該核心板 20 中形成至少一貫穿其兩表面之通孔 202；電鍍導通孔 221，係形成於該通孔 202 中之表面；塞孔材料 23，係填充於該電鍍導通孔 221 中，且該塞孔材料 23 之端面不高於該核心板 20 之表面；以及第一線路層 25a，係形成於該核心板 20 之兩表面、電鍍導通孔 221、及塞孔材料 23 之端面，該第一線路層 25a 係由第二金屬層 22b 及第二導電層 21b 組成，且該第一線路層 25a 具有金屬墊 251 位於該電鍍導通孔 221 端面以與該電鍍導通孔 221 電性連接。

依上述結構，復包括一線路增層結構 26，係形成於該核心板 20 及第一線路層 25a 表面，該線路增層結構 26 係包括有至少一介電層 260、疊置於該介電層上之第二線路層 25b、以及形成於該介電層中並電性連接該第二線路層 25b 之導電盲孔 261，且部份之複數導電盲孔 261 電性連接該第一線路層 25a 及金屬墊 251，又於該線路增層結構 26 表面具有複數電性連接該第二線路層 25b 之電性連接墊 262，並於該線路增層結構 26 表面具有絕緣保護層 27，該絕緣保護層 27 表面具有複數個開口 270 以露出該電性連接墊 262。

請參閱第 5A 至 5D 圖，係為詳細說明本發明之電路板之製法之第四實施例之剖面示意圖。

如第 5A 圖所示，提供一係如第 2H 圖所示之結構，於該薄化金屬層 22a'、電鍍導通孔 221、以及塞孔材料 23 之核心板 20 表面形成一第二導電層 21b；接著，藉由該第一導電層 21a 作為電鍍之電流傳導路徑，以於該第二導電層 21b 表面電鍍形成一第二金屬層 22b。

如第 5B 圖所示，於該第二金屬層 22b 表面形成一阻層 24，且該阻層 24 中形成有複數開口 240 以露出該第二金屬層 22b 之部份表面。

如第 5C 圖所示，蝕刻移除該阻層 24 之開口 240 中的第二金屬層 22b、第二導電層 21b、薄化金屬層 22a'、第一導電層 21a 及金屬薄層 201，使該未移除之第二金屬層 22b、第二導電層 21b、薄化金屬層 22a'、第一導電層 21a

及金屬薄層 201 構成第一線路層 25a'，且於該電鍍導通孔 221 之開孔形成有金屬墊 251，且藉由該電鍍導通孔 221 電性連接該核心板 20 上表面及下表面之第一線路層 25a；最後並移除該阻層 24。

如第 5D 圖所示，最後，於該核心板 20 及第一線路層 25a 表面形成一線路增層結構 26，該線路增層結構 26 係包括有至少一介電層 260、疊置於該介電層上之第二線路層 25b，以及形成於該介電層中並電性連接該第二線路層 25b 之導電盲孔 261，且部份之複數導電盲孔 261 電性連接該第一線路層 25a 及金屬墊 251，又於該線路增層結構 26 表面具有複數電性連接該第二線路層 25b 之電性連接墊 262，並於該線路增層結構 26 表面形成一絕緣保護層 27，該絕緣保護層 27 表面具有複數個開口 270 以對應露出該電性連接墊 262。

本發明復提供一種電路板，係包括：核心板 20，係具有兩表面，於該核心板 20 中形成至少一貫穿其兩表面之通孔 202；電鍍導通孔 221，係形成於該通孔 202 中之表面；塞孔材料 23，係填充於該電鍍導通孔 221 中，且該塞孔材料 23 之端面不高於該核心板 20 之表面；以及第一線路層 25a，係形成於該核心板 20 之兩表面、電鍍導通孔 221、及塞孔材料 23 之端面，該第一線路層 25a 係由第二金屬層 22b、第二導電層 21b、薄化金屬層 22a'、第一導電層 21a 及金屬薄層 201 組成，且具有金屬墊 251 位於該電鍍導通孔 221 端面以與該電鍍導通孔 221 電性連

接。

依上述結構，復包括一線路增層結構 26，係形成於該核心板 20 及第一線路層 25a 表面，該線路增層結構 26 係包括有至少一介電層 260、疊置於該介電層上之第二線路層 25b、以及形成於該介電層中並電性連接該第二線路層 25b 之導電盲孔 261，且部份之複數導電盲孔 261 電性連接該第一線路層 25a 及金屬墊 251，又於該線路增層結構 26 表面具有複數電性連接該第二線路層 25b 之電性連接墊 262，並於該線路增層結構 26 表面具有絕緣保護層 27，該絕緣保護層 27 表面具有複數個開口 270 以露出該電性連接墊 262。

相較於習知技術，本發明之電路板及其製法，主要係先於核心板中形成電鍍導通孔，之後於該導通孔中填入塞孔材料，並使該塞孔材料之端面不高於該核心板之表面，以及於該核心板之二表面、電鍍導通孔及塞孔材料之端面形成線路層，且該線路層係電性連接該電鍍導通孔，由於該塞孔材料之端面係不高於該核心板之表面，於該後續電路板之熱循環製程中，避免因該塞孔材料與其周圍之金屬材料熱膨脹係數不同所產生之熱應力及因結構上之弱點形成應力集中，而導致脫層分離之缺失，且部份之複數導電盲孔設置於該金屬墊上並對應於電鍍導通孔開口，而可增加導電盲孔之佈線空間。

上述實施例僅例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違

背本發明之精神及範疇下，對上述實施例進行修飾與改變。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1A 至 1K 圖係為習知封裝用電路板之製法；

第 2A 至 2M 圖係為本發明之電路板之製法之第一實施例之剖面示意圖；以及

第 3A 至 3D 圖係為本發明電路板之製法之第二實施例之剖面示意圖；

第 4A 至 4E 圖係為本發明電路板之製法之第三實施例之剖面示意圖；以及

第 5A 至 5D 圖係為本發明電路板之製法之第四實施例之剖面示意圖。

【主要元件符號說明】

10、20	核心板
101、201	金屬薄層
102、202	通孔
11a、21a	第一導電層
11b、21b	第二導電層
120	塞孔材料
12a、22a	第一金屬層
121、221	電鍍導通孔
12a'、22a'	薄化金屬層
13	電鍍金屬層

14、24	阻層
140、240	開口
15a、25a、25a'	第一線路層
151、251	金屬墊
15b、25b	第二線路層
16、26	線路增層結構
160、260	介電層
161、261	導電盲孔
162、262	電性連接墊
17、27	絕緣保護層
170、270	開口
22b	第二金屬層
23	塞孔材料

五、中文發明摘要：

一種電路板，主要係於該核心板中具有至少一貫穿其表面之通孔；於該通孔中之表面形成電鍍導通孔；且以塞孔材料填充於該電鍍導通孔內，該塞孔材料之端面不高於該核心板之表面，俾可避免電路板之電鍍導通孔內之塞孔材料與線路層之間，因熱膨脹係數不同而於熱循環製程中產生脫層分離的情況。本發明復提供一種電路板之製法。

六、英文發明摘要：

A printed circuit board includes forming a vie opening on its core board penetrating the surface thereof, wherein an electroplating conductive vie is formed in the vie opening and a filling material is stuffed in the electroplating conductive vie, wherein the end surface of the filling material is not higher than the core board, thereby preventing detachment and delamination resulted in thermal cycling processes due to different in thermal expansion coefficient. The invention further provides a method of fabricating the PCB described above.

十、申請專利範圍：

1. 一種電路板，係包括：

核心板，係具有兩表面，於該核心板中形成至少一貫穿其兩表面之通孔；

電鍍導通孔，係形成於該通孔中之表面；

塞孔材料，係填充於該電鍍導通孔內，且該塞孔材料之端面不高於該核心板之表面；以及

第一線路層，係形成於該核心板之兩表面、電鍍導通孔、及塞孔材料之端面，且與該電鍍導通孔電性連接。

2. 申請專利範圍第 1 項之電路板，其中，該核心板係為一有機絕緣層。

3. 如申請專利範圍第 1 項之電路板，其中，該第一線路層係由第二金屬層及第二導電層組成。

4. 如申請專利範圍第 1 項之電路板，其中，該第一線路層係由第二金屬層、第二導電層、薄化金屬層、第一導電層及金屬薄層構成。

5. 如申請專利範圍第 1 項之電路板，其中，該第一線路層復包括有金屬墊，且該金屬墊設於該電鍍導通孔之端面。

6. 如申請專利範圍第 5 項之電路板，復包括一線路增層結構，係形成於該核心板及第一線路層表面，該線路增層結構中具有複數導電盲孔以電性連接該第一線路層及金屬墊。

7. 如申請專利範圍第 6 項之電路板，其中，該線路增層結構係包括有至少一介電層、疊置於該介電層上之第二線路層、以及形成於該介電層中並電性連接該第二線路層之導電盲孔，且於該線路增層結構表面具有複數電性連接該第二線路層之電性連接墊。

8. 如申請專利範圍第 7 項之電路板，其中，該線路增層結構表面復包括有一絕緣保護層，該絕緣保護層表面具有複數個開口以露出該電性連接墊。

9. 一種電路板之製法，係包括：

提供一具有兩表面之核心板，於該核心板中形成至少一貫穿其兩表面之通孔；

於該通孔中形成電鍍導通孔；

於該電鍍導通孔內填充塞孔材料，且該塞孔材料之端面不高於該核心板之表面；以及

於該核心板之二相對表面、電鍍導通孔、及塞孔材料之端面形成第一線路層，且使該第一線路層與電鍍導通孔電性連接。

10. 如申請專利範圍第 9 項之電路板之製法，其中，該核心板中形成該電鍍導通孔之製程係包括：

該核心板之兩表面具有金屬薄層，於該金屬薄層表面及開孔中之表面形成一第一導電層；以及

於該第一導電層表面電鍍形成一第一金屬層，並於該通孔中形成該電鍍導通孔。

11. 如申請專利範圍第 10 項之電路板之製法，其中，該

電鍍導通孔內形成該塞孔材料之製程係包括：

於該電鍍導通孔內填充該塞孔材料；

移除該核心板二相對表面之第一金屬層的部份厚度以形成一薄化金屬層，並使該塞孔材料兩端凸出於該薄化金屬層表面；

移除該塞孔材料凸出的部位，使該塞孔材料兩端表面與薄化金屬層之表面齊平；以及

移除該塞孔材料兩端之部份材料，使該塞孔材料之端面不高於該核心板之表面。

12. 如申請專利範圍第 11 項之電路板之製法，復包括移除該核心板二相對表面之薄化金屬層、第一導電層及金屬薄層。

13. 如申請專利範圍第 12 項之電路板之製法，其中，該第一線路層之製程係包括：

於該核心板二相對表面、電鍍導通孔、以及塞孔材料之端面形成一第二導電層；

於該第二導電層表面形成一阻層，且該阻層中形成有複數開口以露出部份之第二導電層；

於該阻層之開口中的第二導電層表面形成有一第二金屬層，使該第二金屬層及第二導電層構成該第一線路層，且使該第一線路層與該電鍍導通孔電性連接；以及

移除該阻層及其所覆蓋之第二導電層。

14. 如申請專利範圍第 13 項之電路板之製法，其中，該

第一線路層復包括有金屬墊，且該金屬墊形成於該電鍍導通孔之開孔上。

15. 如申請專利範圍第 11 項之電路板之製法，其中，該第一線路層之製程係包括：

於該薄化金屬層表面形成一第二導電層；

於該第二導電層上形成一阻層，且該阻層中形成有複數開口以露出該第二導電層之部份表面；以及

於該阻層之開口中形成第二金屬層，使該第二金屬層、第二導電層、薄化金屬層、第一導電層及金屬薄層構成該第一線路層，且使該第一線路層與該電鍍導通孔電性連接。

16. 如申請專利範圍第 15 項之電路板之製法，其中，該第一線路層復包括有金屬墊，且該金屬墊形成於該電鍍導通孔之開孔上。

17. 如申請專利範圍第 16 項之電路板之製法，復包括移除該阻層及其所覆蓋之薄化金屬層、第一導電層及金屬薄層。

18. 如申請專利範圍第 12 項之電路板之製法，其中，該第一線路層之製程係包括：

於該核心板二相對表面、電鍍導通孔、以及塞孔材料之端面形成一第二導電層；

於該第二導電層表面形成有一第二金屬層；

於該第二金屬層表面形成一阻層，且該阻層中形成有複數開口以露出部份之第二金屬層；

蝕刻移除該阻層之開口中的第二金屬層及第二導電層；以及

移除該阻層，使該未移除之第二金屬層及第二導電層構成該第一線路層，且使該第一線路層與該電鍍導通孔電性連接。

19. 如申請專利範圍第 18 項之電路板之製法，其中，該第一線路層復包括有金屬墊，且該金屬墊形成於該電鍍導通孔之開孔上。

20. 如申請專利範圍第 11 項之電路板之製法，其中，該第一線路層之製程係包括：

於該薄化金屬層表面與塞孔材料之兩端表面形成有第二導電層；

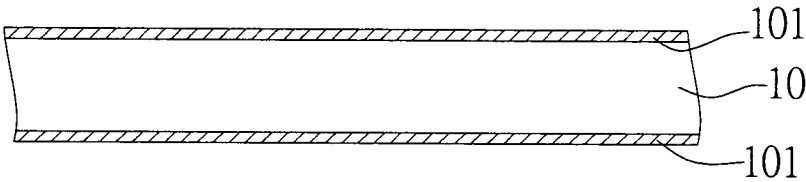
於該第二導電層表面形成有第二金屬層；

於該第二金屬層表面形成一阻層，且該阻層中形成有複數開口以露出該第二金屬層之部份表面；以及

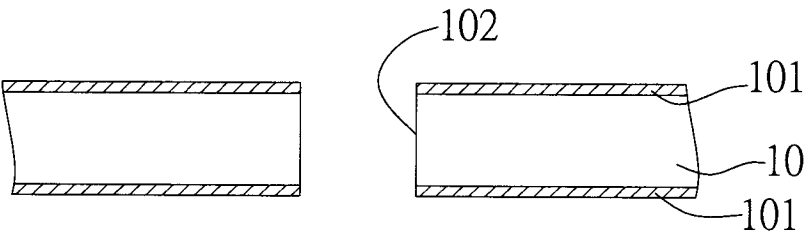
蝕刻移除該阻層之開口中之第二金屬層、第二導電層、薄化金屬層、第一導電層及金屬薄層，使該未移除之第二金屬層、第二導電層、薄化金屬層、第一導電層及金屬薄層構成該第一線路層，且使該第一線路層與該電鍍導通孔電性連接。

21. 如申請專利範圍第 20 項之電路板之製法，其中，該第一線路層復包括有金屬墊，且該金屬墊形成於該電鍍導通孔之開孔上。

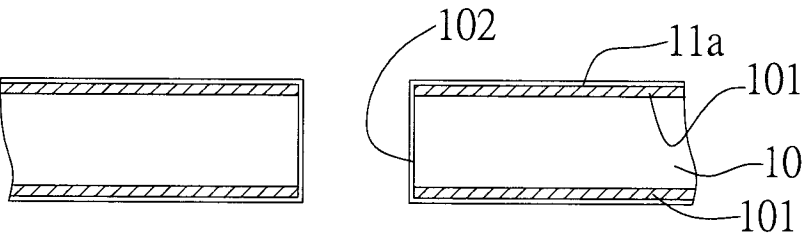
22. 如申請專利範圍第 21 項之電路板之製法，復包括移除該阻層。
23. 如申請專利範圍第 8 項之電路板之製法，復包括於該核心板及第一線路層表面形成一線路增層結構，且該線路增層結構中形成有複數導電盲孔以電性連接該第一線路層及金屬墊。
24. 如申請專利範圍第 23 項之電路板之製法，其中，該線路增層結構係包括有至少一介電層、疊置於該介電層上之第二線路層，以及形成於該介電層中並電性連接該第二線路層之導電盲孔，且於該線路增層結構表面具有複數電性連接該第二線路層之電性連接墊。
25. 如申請專利範圍第 24 項之電路板之製法，其中，該線路增層結構表面復包括有一絕緣保護層，該絕緣保護層表面形成有複數個開口以對應露出該電性連接墊。



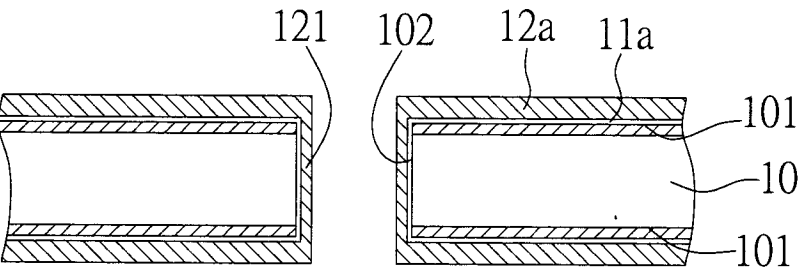
第 1A 圖



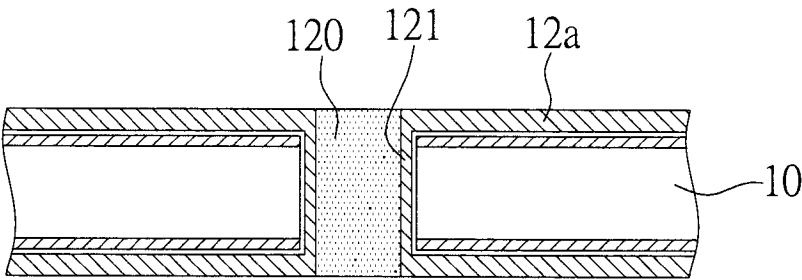
第 1B 圖



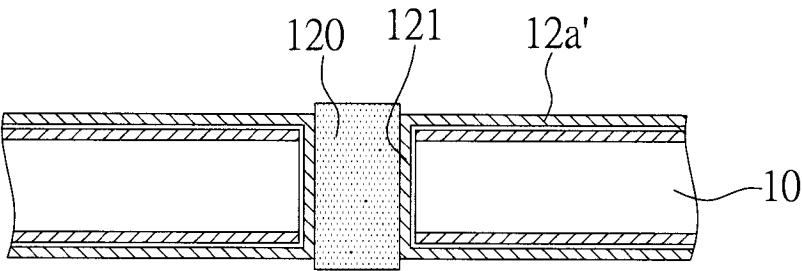
第 1C 圖



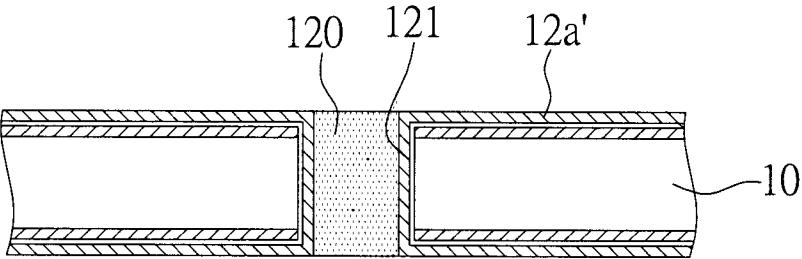
第 1D 圖



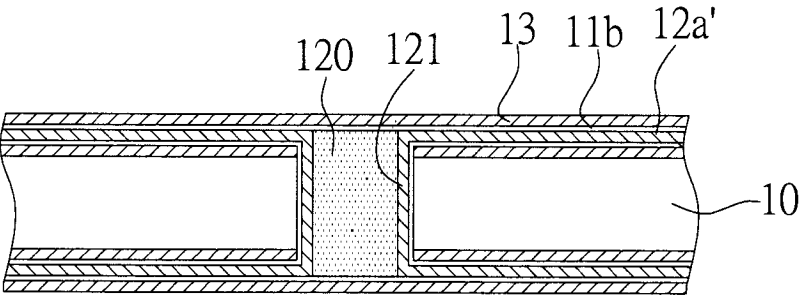
第 1E 圖



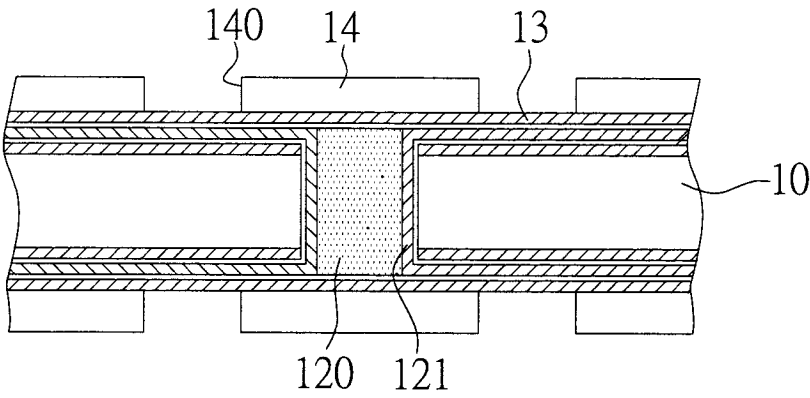
第 1F 圖



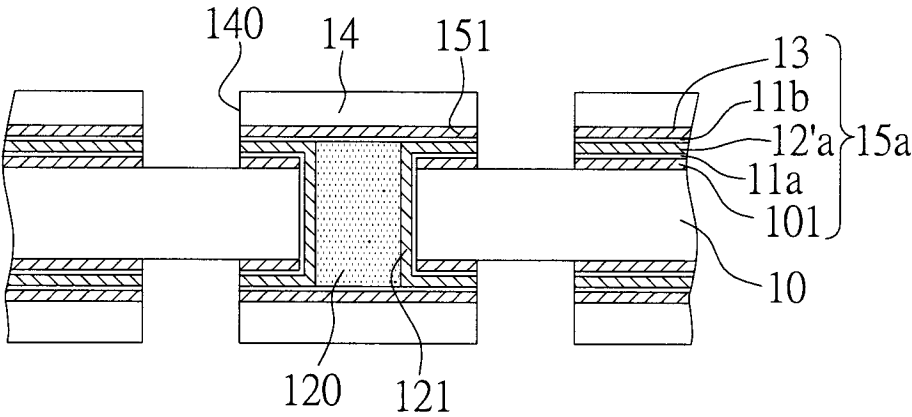
第 1G 圖



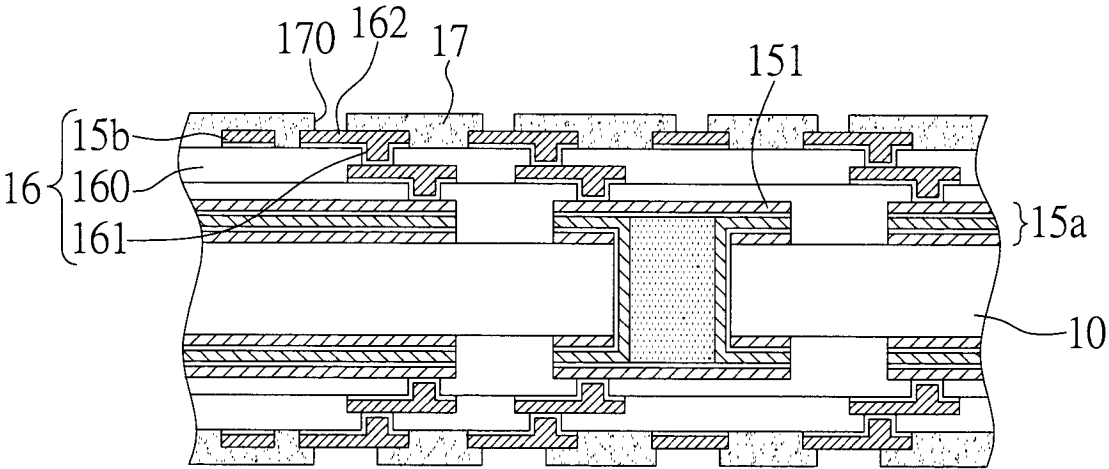
第 1H 圖



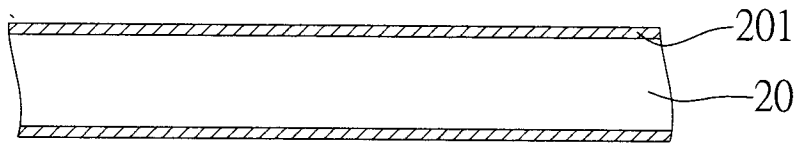
第 1I 圖



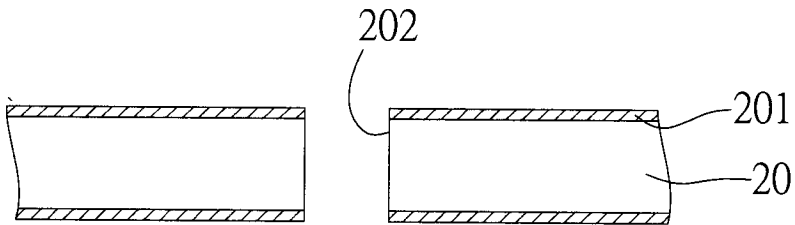
第 1J 圖



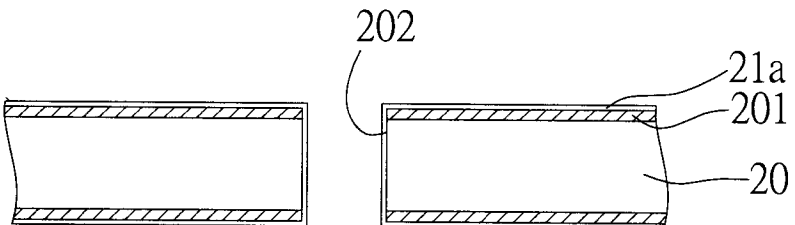
第 1K 圖



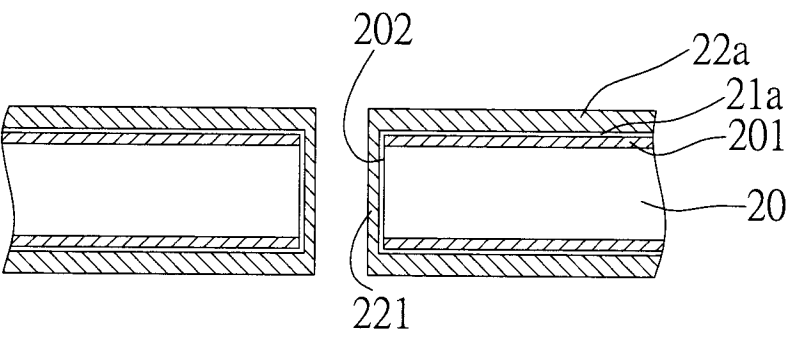
第 2A 圖



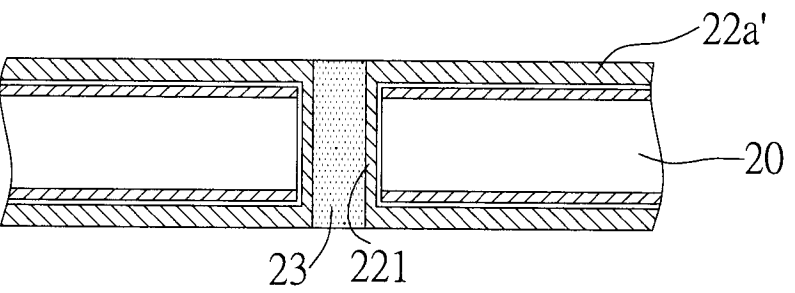
第 2B 圖



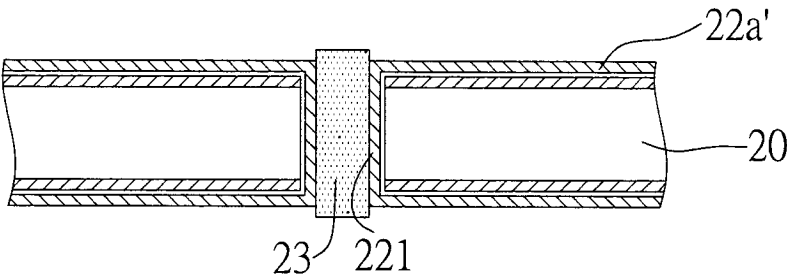
第 2C 圖



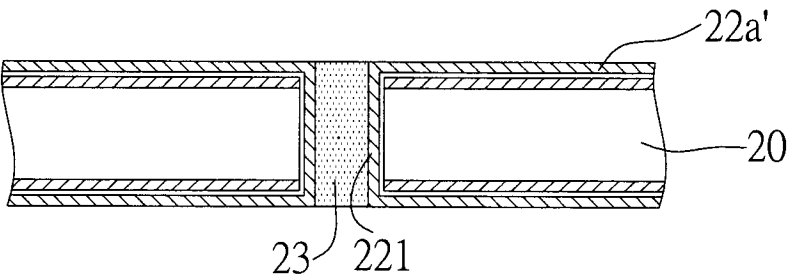
第 2D 圖



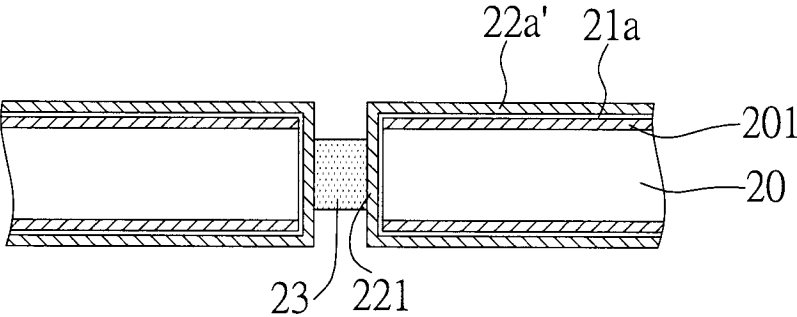
第 2E 圖



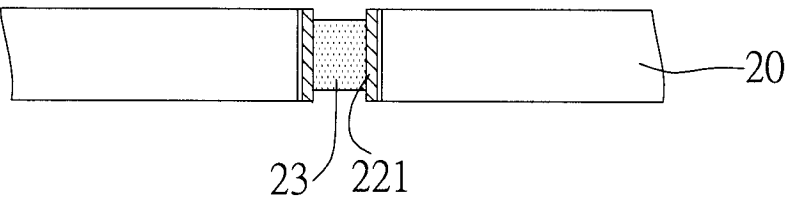
第 2F 圖



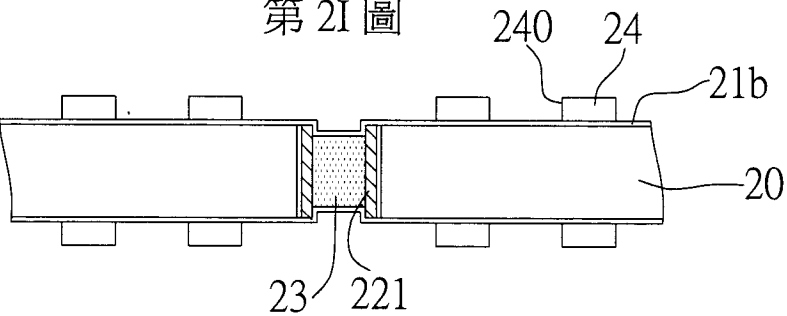
第 2G 圖



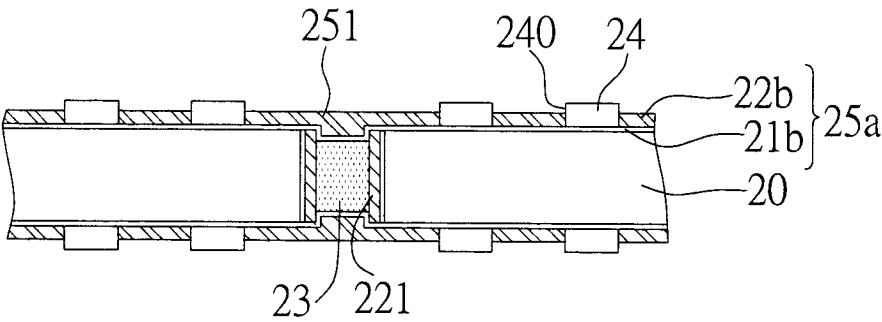
第 2H 圖



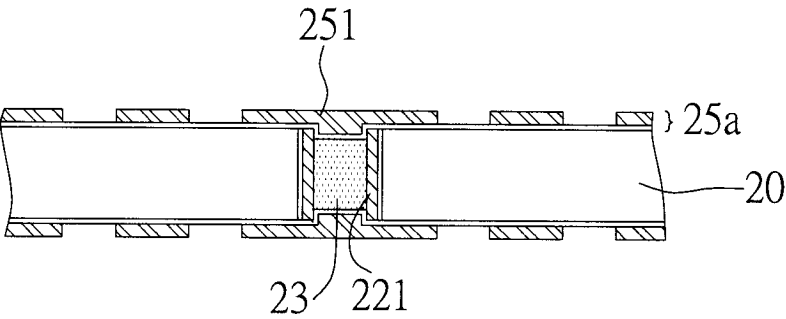
第 2I 圖



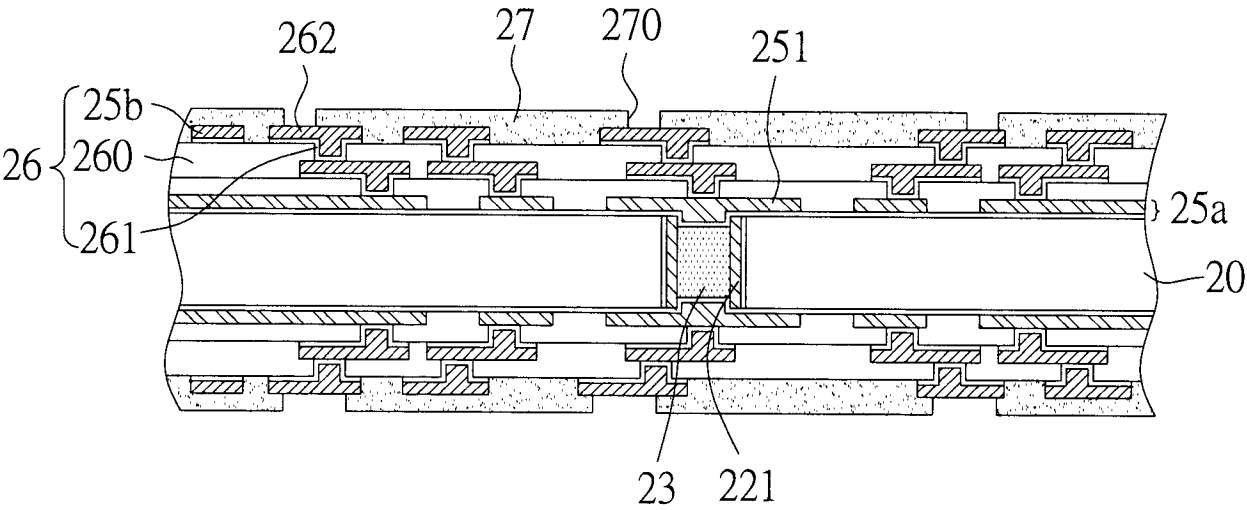
第 2J 圖



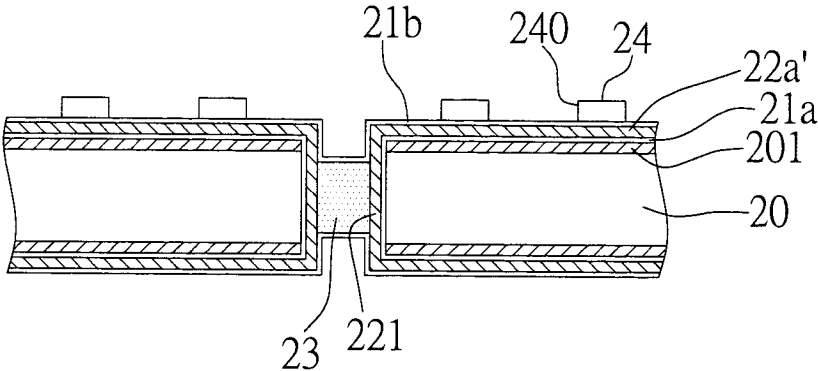
第 2K 圖



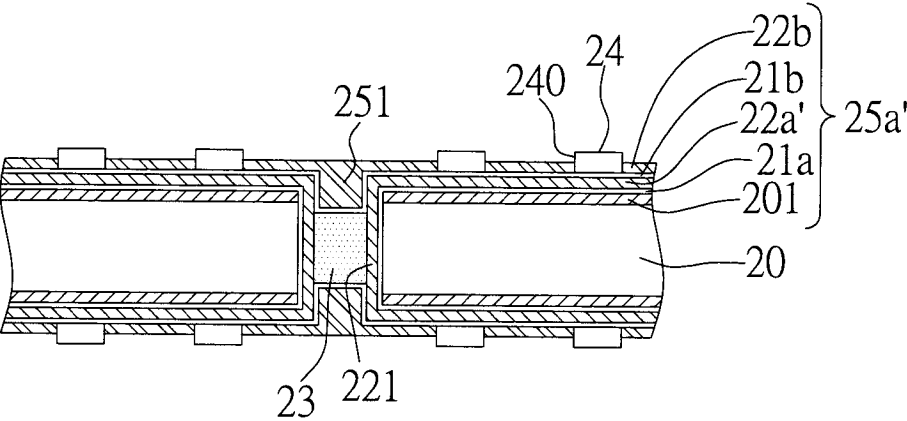
第 2L 圖



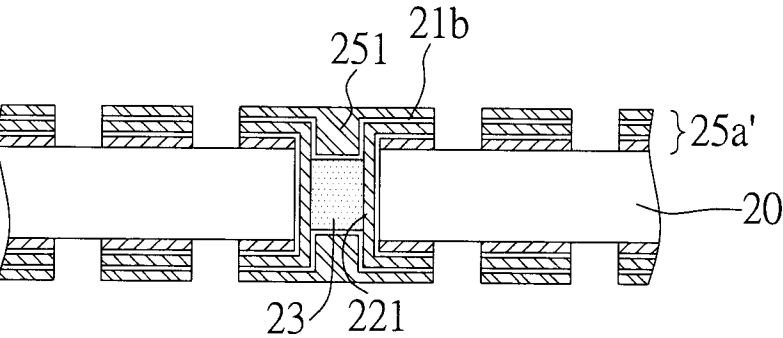
第 2M 圖



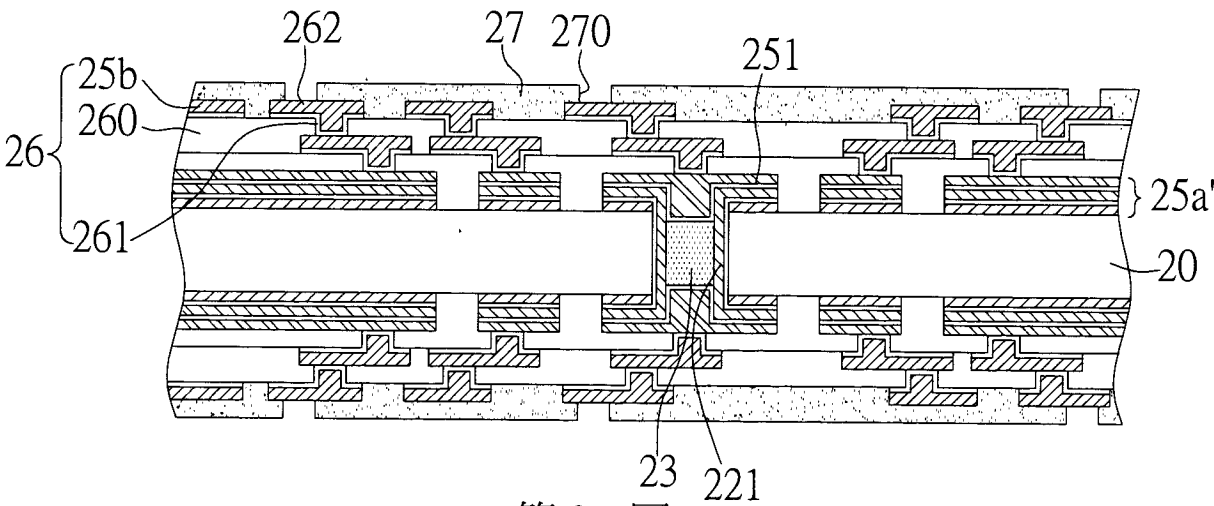
第 3A 圖



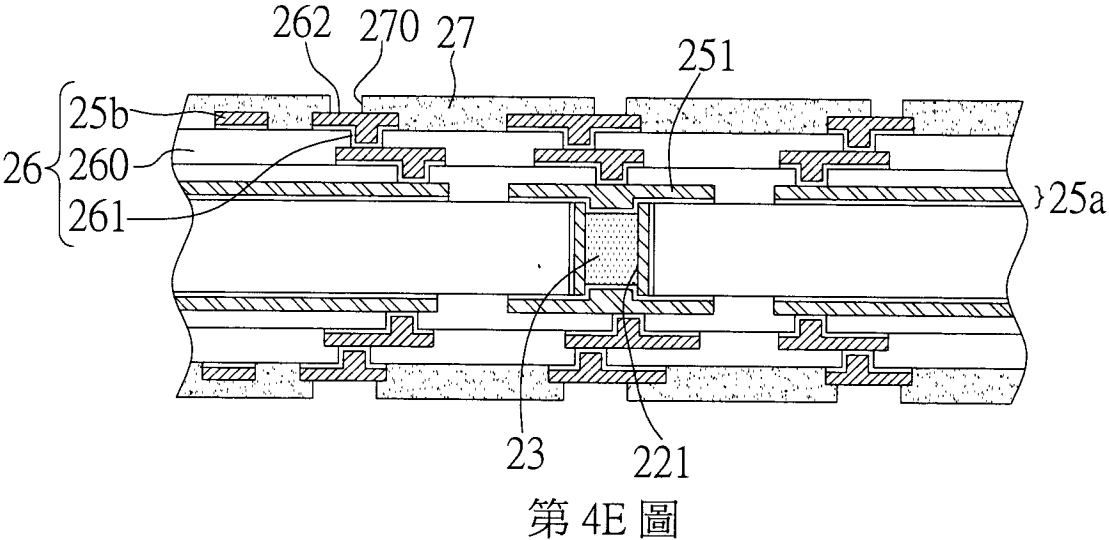
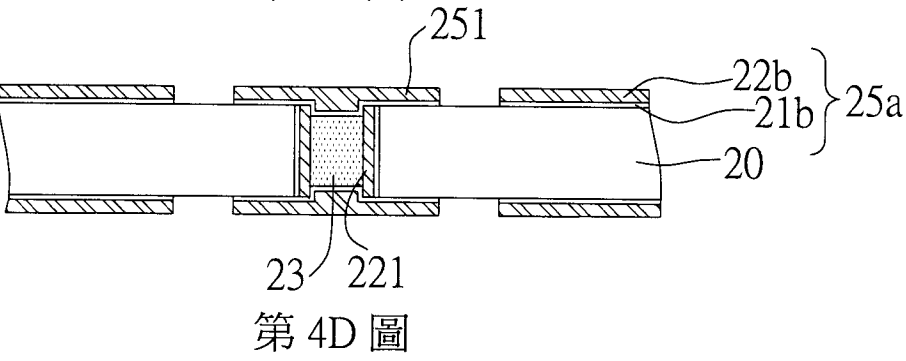
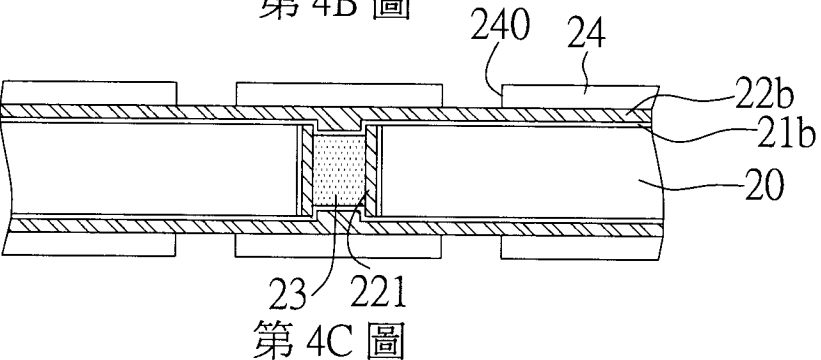
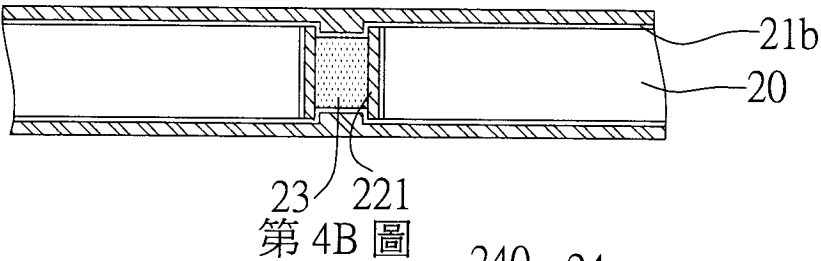
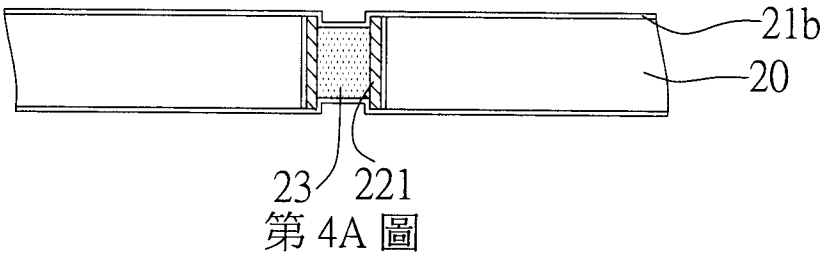
第 3B 圖

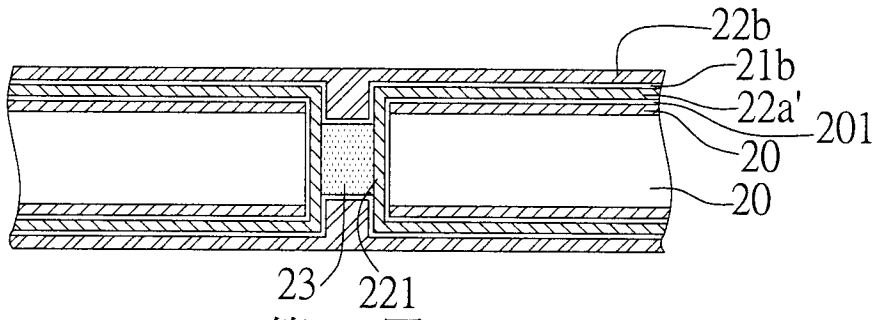


第 3C 圖

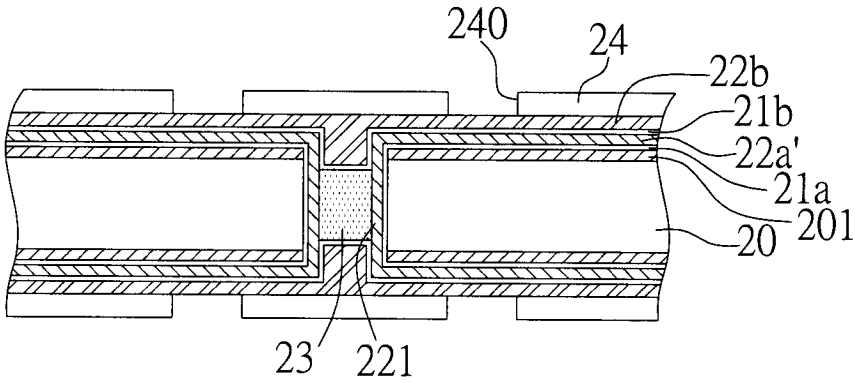


第 3D 圖

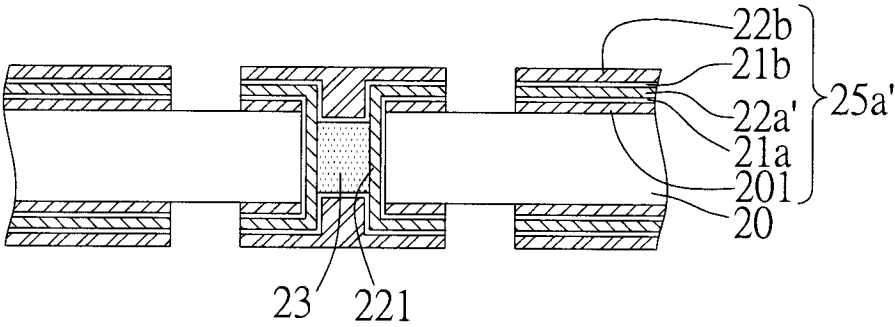




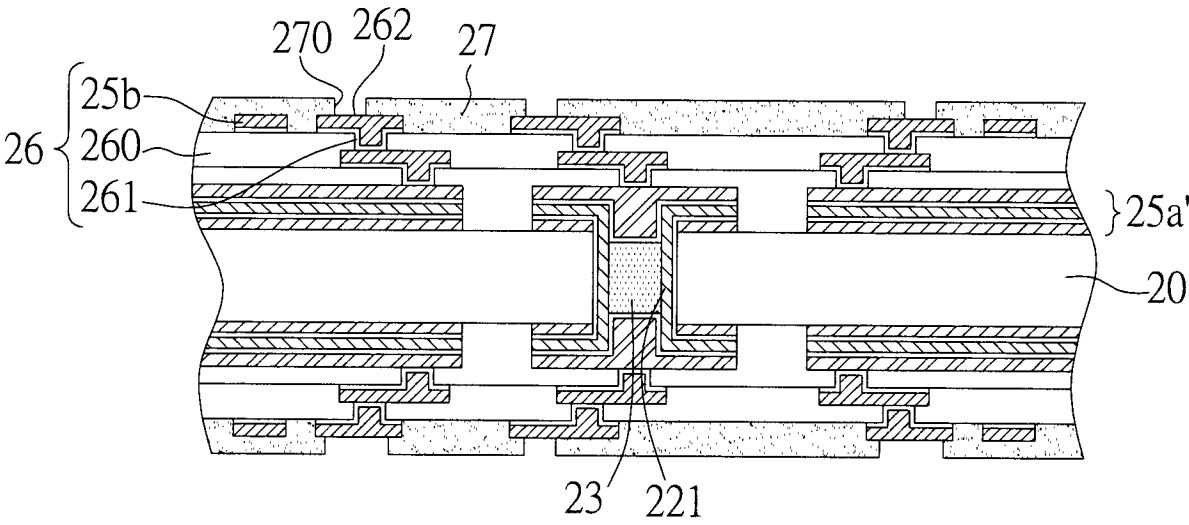
第 5A 圖



第 5B 圖



第 5C 圖



第 5D 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (2L) 圖。

(二)本代表圖之元件代表符號簡單說明：

20 核心板

221 電鍍導通孔

23 塞孔材料

25a 第一線路層

251 金屬墊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。