



Patent tymczasowy dodatkowy
do patentu nr

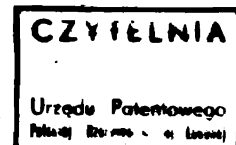
Int. Cl.³ G05B 11/06

Zgłoszono: 14.12.79 (P. 220449)

Pierwszeństwo:

Zgłoszenie ogłoszono: 20.10.80

Opis patentowy opublikowano: 31.12.1982



Twórca wynalazku: Ryszard Grobelny

Uprawniony z patentu tymczasowego: Politechnika Wrocławska,
Wrocław (Polska)

Układ regulatora cyfrowego

Przedmiotem wynalazku jest układ regulatora cyfrowego, stosowany w układach automatycznej regulacji wielkości elektrycznych oraz wielkości nieelektrycznych, przetworzonych na sygnał elektryczny.

Znany układ regulatora cyfrowego składa się z przetwornika analogowo-cyfrowego, wyposażonego w zespół czterech kluczy elektronicznych, przy czym wyjście przetwornika jest połączone z programowanym arytmometrem cyfrowym. Wyjście arytmometru jest połączone z przetwornikiem cyfrowo-analogowym. Na wejścia zespołu kluczy jest doprowadzany sygnał zadany oraz wejściowy i wyjściowy sygnał obiektu regulowanego. Zespół kluczy elektronicznych i przetwornik analogowo-cyfrowy są sterowane przez programowany arytmometr cyfrowy. Przetwornik analogowo-cyfrowy przetwarza kolejne sygnały wejściowe na sygnały cyfrowe, dostarczane następnie do arytmometru, który dokonuje obliczeń według ustalonego algorytmu. Wynik obliczeń dokonanych w arytmometrze jest poprawką, która przetworzona na sygnał analogowy i dodana do sygnału wejściowego obiektu regulowanego powoduje zrównanie sygnału wyjściowego obiektu z sygnałem zadany.

Zasadniczą niedogodnością znanego regulatora cyfrowego jest jego skomplikowana konstrukcja, powodowana obecnością programowanego arytmometru cyfrowego.

Układ regulatora cyfrowego według wynalazku jest zbudowany w oparciu o całkujący przetwornik analogowo-cyfrowy, wyposażony w cztery klucze elektroniczne. Regulator zawiera ponadto wyjściowy przetwornik cyfrowo-analogowy i człon sterujący. Istota wynalazku polega na tym, że człon sterujący regulatora jest wykonany w postaci dwóch układów dekodujących i układu rejestru, wymuszającego cztery fazy całkowania w analogowo-cyfrowym przetworniku całkującym, przy czym układy te współpracują z członem wykrywania znaku poprawki, a ponadto regulator jest wyposażony w sumator, zliczający impulsy w czwartej fazie całkowania, które są pamiętane przez pamięć sumatora i przetwarzane na sygnał analogowy. Wejście jednego układu dekodującego jest połączone z wyjściem licznika przetwornika całkującego, a wyjście drugiego układu dekodującego jest połączone z wyjściem komparatora przetwornika całkującego. Wyjścia układów dekodujących są połączone z układem rejestru, którego wyjścia są połączone ze sterującymi wejściami zespołu kluczy elektronicznych, z zerującymi wejściami przetwornika całkującego, z jednym z wejść sterujących sumatora oraz z przepisyującym wejściem pamięci. Drugie wejście sterujące sumatora jest połączone z zegarowym wyjściem przetwornika całkującego. Korzystne jest wykonanie układów dekodujących w postaci członów różniczkujących, współpracujących z dekoderm wyposażonym w element pamiętający.

Układ regulatora cyfrowego według wynalazku, w porównaniu ze znanym układem, ma bardzo prostą konstrukcję i charakteryzuje się większą szybkością działania. W układzie tym ilość impulsów zliczanych w

czwartej fazie całkowania jest odpowiednikiem poprawki, którą należy doprowadzić na wejście obiektu regulowanego, w związku z czym wyeliminowane są arytmetyczne obliczenia, dokonywane przez programowany arytmometr cyfrowy, stosowany w znanym regulatorze.

Wynalazek w przykładzie wykonania jest odtworzony na rysunku, który przedstawia schemat blokowy układu regulatora cyfrowego.

Przykładowy układ regulatora według wynalazku składa się z analogowo-cyfrowego, całkującego przetwornika 1, którego wejście jest połączone z zespołem 2 kluczy elektronicznych, sterowanych przez sterujący człon 3. Zegarowe wyjście przetwornika 1 jest połączone z jednym sterującym wejściem licznikowego sumatora 4, którego wyjście jest połączone z wejściem buforowej pamięci 5. Wyjście pamięci 5 jest połączone z wejściem wyjściowego, cyfrowo-analogowego przetwornika 6. Sterujący człon 3 jest ponadto połączony z drugim sterującym wejściem licznikowego sumatora 4 i z przepisującym wejściem buforowej pamięci 5 oraz z sterującymi wejściami analogowo-cyfrowego przetwornika 1. Analogowo-cyfrowy przetwornik 1 jest zbudowany z integratora 7, którego wyjście jest połączone z komparatorem 8, oraz z licznika 9, którego wejście jest połączone z wyjściem generatora impulsów 10. Sterujący człon 3 jest zbudowany z różniczkującego członu 11, którego wyjście jest połączone z wejściem dekodera 12 i z wejściem przerzutnika 13, współpracującego z dekodern 12. Wejście różniczkującego członu 11 jest połączone z wyjściem licznika 9 przetwornika 1. Różniczkujący człon 11, dekodern 12 i przerzutnik 13 stanowią układ dekodujący sygnały przepełnienia licznika 9 przetwornika 1. Sterujący człon 3 zawiera również układ dekodujący sygnały przejścia przez zero wyjściowego sygnału integratora 7 przetwornika 1. Układ ten jest zbudowany z dwóch różniczkujących członów 14 o wspólnym wyjściu, połączonym z wejściem dekodera 15 i wejściem przerzutnika 16, współpracującego z tym dekodern 15. Wyjście dekodern 12 i 15 są połączone z wejściami układu 17 czterobitowego rejestru z dekodern, a wyjście drugiego dekodera 15 jest ponadto połączone z układem 18 wykrywania znaku poprawki, który jest połączony z układem 17 czterobitowego rejestru z dekodern. Wyjście WY regulatora stanowi wyjście cyfrowo-analogowego przetwornika 6.

Działanie regulatora cyfrowego jest następujące. Na wejścia zespołu 2 kluczy elektronicznych doprowadza się wyjściowy sygnał U_{wy} obiektu regulowanego, wejściowy sygnał U_{we} obiektu regulowanego i zadany sygnał U_o o polaryzacji dodatniej i ujemnej. Sygnał z wyjścia WY regulatora jest doprowadzany na wejście obiektu regulowanego. Zasada działania regulatora jest oparta na czterokrotnym całkowaniu sygnałów doprowadzanych na wejścia zespołu 2 kluczy elektronicznych, przy czym kolejność całkowania jest wymuszana przez sterujący człon 3 w zależności od wzajemnych relacji między modułami i polaryzację tych sygnałów. Pierwsza faza całkowania trwa do momentu przepełnienia licznika 9 przetwornika 1, druga faza — do momentu przejścia przez zero sygnału scałkowanego, trzecia faza, — do momentu powtórnego przepełnienia licznika 9, a czwarta faza — do momentu powtórnego przejścia przez zero sygnału scałkowanego. Poniższa tabela przedstawia jakie sygnały są całkowane w poszczególnych fazach, w przypadku gdy moduł wyjściowego sygnału U_{wy} obiektu regulowanego jest mniejszy lub większy od modułu zadanego sygnału U_o .

Ilość impulsów, dostarczana z generatora 10 do licznika 9 i licznikowego sumatora 4, w czwartej fazie całkowania jest odpowiednikiem poprawki, która po dodaniu do wyjściowego sygnału U_{wy} obiektu regulowanego, powoduje zrównanie się wyjściowego sygnału U_{wy} obiektu regulowanego z zadanym sygnałem U_o . Dla przypadku, gdy moduł wyjściowego sygnału U_{wy} obiektu regulowanego jest mniejszy od modułu zadanego sygnału U_o , a polaryzacja wyjściowego sygnału U_{wy} jest dodatnia, regulator działa w następujący sposób. Pierwszy klucz zespołu 2 jest zwarty, integrator 7 całkuje wyjściowy sygnał $+U_{wy}$ do momentu przepełnienia licznika 9, po czym impuls z licznika 9 jest podawany poprzez różniczkujący człon 11 i dekodern 12 do układu 17 rejestru, który powoduje otwarcie pierwszego klucza zespołu 2 i zamknięcie czwartego klucza. Integrator 7 całkuje ujemny zadany sygnał U_o do momentu przejścia wyjściowego sygnału integratora 7 przez zero. Komparator 8 podaje wówczas impuls na różniczkujące człony 14 a następnie poprzez dekodern 15 i człon 18 wykrywania znaku poprawki do układu 17 rejestru. Wskutek tego następuje otwarcie czwartego klucza zespołu 2 i zamknięcie drugiego klucza. Integrator 7 rozpoczyna trzecią fazę całkowania. Całkowany jest wówczas wejściowy sygnał U_{we} obiektu regulowanego o polaryzacji ujemnej. Całkowanie odbywa się do momentu drugiego przepełnienia licznika 9. Licznik 9 podaje impuls do różniczkującego członu 11, a następnie poprzez dekodern 12 do układu 17 rejestru, który otwiera drugi klucz, uruchamia licznikowy sumator 4, do którego są podawane impulsy z generatora 10 i zamyka pierwszy klucz zespołu 2. Integrator 7 powtórnie całkuje wyjściowy sygnał $+U_{wy}$ obiektu regulowanego, do momentu przejścia przez zero wyjściowego sygnału integratora 7. W momencie przejścia przez zero, komparator 8 podaje impuls na różniczkujące człony 14, a następnie poprzez dekodern 15 do układu 17 rejestru. Następuje wyłączenie licznikowego sumatora 4 i przepisanie stanu sumatora 4 do pamięci 5. Wyjściowy sygnał pamięci 5, przetworzony na sygnał analogowy jest doprowadzany do wejścia obiektu regulowanego, wskutek czego następuje zrównanie wyjściowego sygnału tego obiektu z sygnałem zadanym.

$ U_{wy} $	Faza całkowania			
	I	II	III	IV
$\leq U_o $	$+U_{wy}$	$-U_o$	$+U_{we}$	$-U_{wy}$
			$-U_{we}$	$+U_{wy}$
	$-U_{wy}$	$+U_o$	$+U_{we}$	$-U_{wy}$
			$-U_{we}$	$+U_{wy}$
$\geq U_o $	$+U_o$	$-U_{wy}$	$+U_{we}$	$-U_o$
			$-U_{we}$	$+U_o$
	$-U_o$	$+U_{wy}$	$+U_{we}$	$-U_o$
			$-U_{we}$	$+U_o$

Zastrzeżenia patentowe

1. Układ regulatora cyfrowego, zbudowany w postaci analogowo-cyfrowego przetwornika całkującego, wyposażonego w zespół czterech kluczy elektronicznych i sterowanego przez człon sterujący, oraz zawierający wyjściowy przetwornik cyfrowo-analogowy, **znamienny tym**, że sterujący człon (3) składa się z dwóch układów dekodujących, których wyjścia są połączone z układem (17) rejestru, wymuszającego cztery fazy całkowania w całkującym przetworniku (1), przy czym wejście jednego układu dekodującego jest połączone z wyjściem licznika (9) przetwornika (1), a wyjście drugiego układu dekodującego jest połączone z wyjściem komparatora (8) przetwornika (1), zaś układy dekodujące i układ rejestru współpracują z członem (18) wykrywania znaku poprawki, natomiast sterujące wyjścia układu rejestru (17) są połączone z zerującymi wejściami przetwornika (1), ze sterującymi wejściami zespołu (2) kluczy elektronicznych, z jednym z wejść sterujących sumatora (4) oraz z przepisującym wejściem pamięci (5), dołączonej do wyjścia sumatora (4), przy czym drugie wejście sterujące sumatora (4) jest połączone z zegarowym wyjściem całkującego przetwornika (1), a wyjście pamięci (5) jest połączone z wyjściowym przetwornikiem cyfrowo-analogowym (6).

2. Układ według zastrz. 1, **znamienny tym**, że układ dekodujący, połączony z wyjściem licznika (9) całkującego przetwornika (1), jest wykonany w postaci różniczkującego członu (11) połączonego z dekoderm (12), wyposażonym w pamiętający element (13).

3. Układ według zastrz. 1, **znamienny tym**, że układ dekodujący, połączony z wyjściem komparatora (8) całkującego przetwornika (1), jest zbudowany z co najmniej jednego różniczkującego członu (14), połączonego z dekoderm (15), wyposażonym w pamiętający element (16).

