

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月1日(01.09.2022)



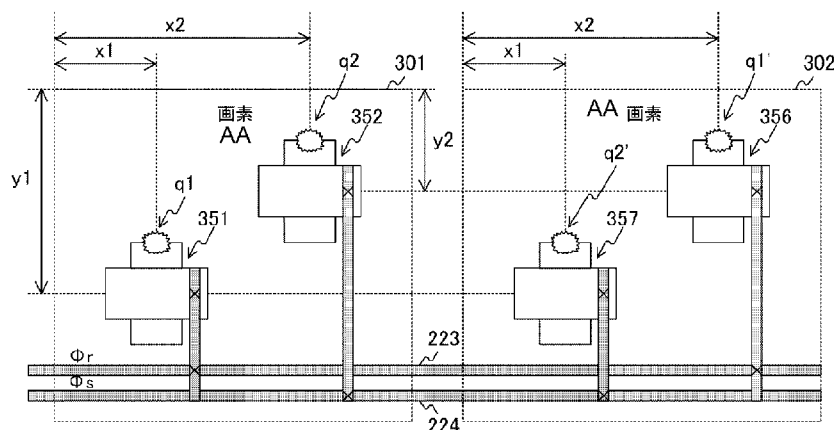
(10) 国際公開番号

WO 2022/181099 A1

- (51) 国際特許分類:
H04N 5/359 (2011.01) H04N 5/363 (2011.01)
H01L 27/146 (2006.01) H04N 5/3745 (2011.01)
- (21) 国際出願番号: PCT/JP2022/000861
- (22) 国際出願日: 2022年1月13日(13.01.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-028062 2021年2月25日(25.02.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014
- 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 朝倉 ルオンフォン (ASAKURA, Luonghung); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

(54) Title: SOLID-STATE IMAGING ELEMENT AND IMAGING DEVICE

(54) 発明の名称: 固体撮像素子、および、撮像装置



AA Pixel

(57) Abstract: The present invention improves image quality in a solid-state imaging element in which all pixels are to be simultaneously exposed. This solid-state imaging element comprises a first pixel and a second pixel. In the first pixel, a first selective transistor that opens and closes a path between a prescribed node and a first capacitive element which holds a prescribed reset level is disposed at a specific relative position, and a second selective transistor that opens and closes a path between a node and a second capacitive element which holds a signal level according to an exposure amount is disposed at a relative position different from the specific relative position. In the second pixel, a third selective transistor that opens and closes a path between a prescribed node and a third capacitive element which holds a prescribed reset level is disposed at a specific relative position, and a fourth selective transistor that opens and closes a path between a node and



WO 2022/181099 A1

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

a fourth capacitive element which holds a signal level according to an exposure amount is disposed at a relative position different from the specific relative position.

(57) 要約: 全画素で同時に露光を行う固体撮像素子において、画質を向上させる。個体撮像素子は、第1画素および第2画素を具備する。第1画素において、所定のリセットレベルを保持する第1の容量素子と所定のノードとの間の経路を開閉する第1の選択トランジスタが特定の相対位置に配置され、露光量に応じた信号レベルを保持する第2の容量素子とノードとの間の経路を開閉する第2の選択トランジスタが特定の相対位置と異なる相対位置に配置される。第2画素において、所定のリセットレベルを保持する第3の容量素子と所定のノードとの間の経路を開閉する第3の選択トランジスタが特定の相対位置に配置され、露光量に応じた信号レベルを保持する第4の容量素子とノードとの間の経路を開閉する第4の選択トランジスタが特定の相対位置と異なる相対位置に配置される。

明 細 書

発明の名称： 固体撮像素子、および、撮像装置

技術分野

[0001] 本技術は、固体撮像素子に関する。詳しくは、カラム毎にA D (Analog to Digital) 変換を行う固体撮像素子、および、撮像装置に関する。

背景技術

[0002] 従来より、固体撮像素子においては、画素を微細化する目的で、画素アレイ部の外部にカラムごとにA D Cを配置し、1行ずつ順に画素信号を読み出すカラムA D C (Analog to Digital Converter) 方式が用いられている。このカラムA D C方式において、1行ずつ順に露光を開始するローリングシャッター方式により露光を行うと、ローリングシャッター歪みが生じるおそれがある。そこで、全画素で同時に露光を開始するグローバルシャッター方式を実現するために、画素毎に一对の容量を設け、それらの容量にリセットレベルおよび信号レベルを保持させる固体撮像素子が提案されている（例えば、非特許文献1参照。）。これらの一对の容量と、前段の回路との間には、一对のトランジスタが配置され、それらのトランジスタを介してリセットレベルや信号レベルが容量に供給される。

先行技術文献

非特許文献

[0003] 非特許文献1：Geunsook Park, et al., A 2.2 μ m Stacked Back Side Illuminated Voltage Domain Global Shutter CMOS Image Sensor, IEDM19-379.

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、リセットレベルおよび信号レベルを画素ごとに一对の容量に保持させることにより、カラムA D C方式において、グローバルシャッター方式の実現を図っている。しかしながら、上述の従来技術では、一对の容量に接続された一对のトランジスタのそれぞれのp n接合で迷光によ

リノイズが生じることがある。画素ごとのノイズ量が一致するとは限らず、そのノイズ量の不一致に起因して、P L S (Parasitic Light Sensitivity) が悪化するおそれがある。このP L Sの悪化によって画像データの画質が低下してしまう。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、全画素で同時に露光を行う固体撮像素子において、画質を向上させることを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、所定のリセットレベルを保持する第1の容量素子と所定のノードとの間の経路を開閉する第1の選択トランジスタが特定の相対位置に配置され、露光量に応じた信号レベルを保持する第2の容量素子と上記ノードとの間の経路を開閉する第2の選択トランジスタが上記特定の相対位置と異なる相対位置に配置された第1画素と、所定のリセットレベルを保持する第3の容量素子と所定のノードとの間の経路を開閉する第3の選択トランジスタが上記特定の相対位置に配置され、露光量に応じた信号レベルを保持する第4の容量素子と上記ノードとの間の経路を開閉する第4の選択トランジスタが上記特定の相対位置と異なる相対位置に配置された第2画素とを具備する固体撮像素子である。これにより、画質が向上するという作用をもたらす。

[0007] また、この第1の側面において、上記第2画素は、上記第1画素に隣接してもよい。これにより、隣接する画素間のノイズが目立たなくなるという作用をもたらす。

[0008] また、この第1の側面において、上記第1画素および上記第2画素を含む画素アレイ部内の画素は、ベイヤー配列されてもよい。これにより、カラー画像の画質が向上するという作用をもたらす。

[0009] また、この第1の側面において、上記画素アレイ部は、4つの上記第1画素を2行×2列に配列した第1エリアと、上記第1エリアに隣接し、4つの上記第2画素を2行×2列に配列した第2エリアとを含んでもよい。これにより、カラー画像の画質が向上するという作用をもたらす。

- [0010] また、この第1の側面において、上記画素アレイ部は、上記第1画素と3つの上記第2画素とを2行×2列に配列した第1エリアと、上記第1エリアに隣接し、上記第2画素と3つの上記第1画素とを2行×2列に配列した第2エリアとを含んでもよい。これにより、カラー画像の画質が向上するという作用をもたらす。
- [0011] また、この第1の側面において、上記第1画素および上記第2画素を含む画素アレイ部内の画素は、クアドラベイヤ配列され、上記画素アレイ部は、上記第1画素と上記第1画素と同色の3つの上記第2画素とを2行×2列に配列した第1エリアと、上記第1エリアに隣接し、上記第2画素と上記第2画素と同色の3つの上記第1画素とを2行×2列に配列した第2エリアとを含んでもよい。これにより、カラー画像の画質が向上するという作用をもたらす。
- [0012] また、この第1の側面において、上記ノードは、後段ノードであり、上記第1画素および上記第2画素を配列した画素ブロックは、第1のリセットレベルと第1の信号レベルとを順に生成して上記第1および第2の容量素子に保持させる第1の前段回路と、第2のリセットレベルと第2の信号レベルとを順に生成して上記第3および第4の容量素子に保持させる第2の前段回路と、上記第1、第2、第3および第4の容量素子と、上記第1および第2の選択トランジスタを設けた第1の選択回路と、上記第3および第4の前段選択トランジスタを設けた第2の選択回路とを含む選択部と、上記後段ノードを介して上記第1および第2のリセットレベルと上記第1および第2の信号レベルとのそれぞれを順に読み出す後段回路とを備えてもよい。これにより、kTCノイズが低減するという作用をもたらす。
- [0013] また、この第1の側面において、上記第1の前段回路は、第1の光電変換素子と、上記第1の光電変換素子から第1の浮遊拡散層へ電荷を転送する第1の前段転送トランジスタと、上記第1の浮遊拡散層を初期化する第1のリセットトランジスタと、上記第1の浮遊拡散層の電圧を増幅する第1の前段増幅トランジスタとを備え、上記第2の前段回路は、第2の光電変換素子と

、上記第2の光電変換素子から第2の浮遊拡散層へ電荷を転送する第2の前段転送トランジスタと、上記第2の浮遊拡散層を初期化する第2のリセットトランジスタと、上記第2の浮遊拡散層の電圧を増幅する第2の前段増幅トランジスタとを備えてもよい。これにより、浮遊拡散層の電圧に応じたレベルが保持されるという作用をもたらす。

[0014] また、この第1の側面において、上記第1の前段回路は、第1の前段ノードに接続された第1の電流源トランジスタをさらに備え、上記第2の前段回路は、第2の前段ノードに接続された第2の電流源トランジスタをさらに備え、上記第1の前段増幅トランジスタは、上記第1の浮遊拡散層の電圧を増幅して上記第1の前段ノードへ出力し、上記第2の前段増幅トランジスタは、上記第2の浮遊拡散層の電圧を増幅して上記第2の前段ノードへ出力し、上記第1および第2の容量素子のそれぞれの一端は上記第1の前段ノードに共通に接続され、それぞれの他端は上記第1の選択回路に接続され、上記第3および第4の容量素子のそれぞれの一端は上記第2の前段ノードに共通に接続され、それぞれの他端は上記第2の選択回路に接続されてもよい。これにより、画素ごとに定電流が供給されるという作用をもたらす。

[0015] また、この第1の側面において、所定の露光開始タイミングにおいて上記第1および第2の前段転送トランジスタが上記第1および第2の浮遊拡散層へ上記電荷を転送するとともに上記第1および第2のリセットトランジスタが上記第1および第2の浮遊拡散層とともに上記第1および第2の光電変換素子を初期化し、所定の露光終了タイミングにおいて上記第1および第2の前段転送トランジスタが上記第1および第2の浮遊拡散層へ上記電荷を転送してもよい。これにより、全画素が同時に露光されるという作用をもたらす。

[0016] また、この第1の側面において、上記選択部は、上記第1および第2の容量素子の一方を上記後段ノードに接続する制御と上記第1および第2の容量素子の他方を上記後段ノードに接続する制御と上記第3および第4の容量素子の一方を上記後段ノードに接続する制御と上記第3および第4の容量素子

の他方を上記後段ノードに接続する制御とを順に行ってもよい。これにより、2画素のそれぞれのリセットレベルおよび信号レベルが順に読み出されるという作用をもたらす。

[0017] また、この第1の側面において、上記選択部は、所定の加算モードにおいて上記第1および第2の容量素子の一方と上記第3および第4の容量素子の一方との両方を上記後段ノードに接続する制御と、上記第1および第2の容量素子の他方と上記第3および第4の容量素子の他方との両方を上記後段ノードに接続する制御とを順に行ってもよい。これにより、画素加算された信号が読み出されるという作用をもたらす。

[0018] また、この第1の側面において、上記第1の前段回路は、所定の第1の選択信号に従って上記第1の前段増幅トランジスタにより増幅された電圧を所定の前段ノードに出力する第1の前段選択トランジスタをさらに備え、上記第2の前段回路は、所定の第2の選択信号に従って上記第2の前段増幅トランジスタにより増幅された電圧を上記前段ノードに出力する第2の前段選択トランジスタと、上記前段ノードに接続された電流源トランジスタとをさらに備え、上記第1および第2の容量素子のそれぞれの一端は上記前段ノードに共通に接続され、それぞれの他端は上記第1の選択回路に接続され、上記第3および第4の容量素子のそれぞれの一端は上記前段ノードに共通に接続され、それぞれの他端は上記第2の選択回路に接続されてもよい。これにより、電流源トランジスタが2画素で共有されるという作用をもたらす。

[0019] また、この第1の側面において、所定の露光終了のタイミングの直前と上記露光終了のタイミングの後とに上記第1および第2の前段選択トランジスタは、順に閉状態に移行し、上記第1のリセットトランジスタは、上記第1の前段選択トランジスタが上記閉状態のときに上記第1の浮遊拡散層を初期化し、上記第2のリセットトランジスタは、上記第2の前段選択トランジスタが上記閉状態のときに上記第2の浮遊拡散層を初期化し、上記露光終了のタイミングの直後に上記第1および第2の前段選択トランジスタは、順に閉状態に移行し、上記第1および第2の前段転送トランジスタは、所定の露光

終了のタイミングで上記電荷を転送してもよい。これにより、電流源トランジスタが2画素で共有された構成において、全画素が同時に露光されるという作用をもたらす。

[0020] また、この第1の側面において、上記ノードは、第1および第2の後段ノードを含み、上記第1画素および上記第2画素を含む4画素を配列した画素ブロックは、上記第1の後段ノードと上記第2の後段ノードとの間の経路を開閉する短絡トランジスタと、上記第1、第2、第3および第4の容量素子と、第3、第4、第5および第6の容量素子と、上記第1および第2の選択トランジスタを設けた第1の選択回路と、上記第3および第4の前段選択トランジスタを設けた第2の選択回路と、上記第5および第6の容量素子のいずれかを上記第2の後段ノードに接続する第3の選択回路と、上記第7および第8の容量素子のいずれかを上記第2の後段ノードに接続する第4の選択回路とを含む選択部とを備えてもよい。これにより、第1の後段ノードと第2の後段ノードとが短絡されるという作用をもたらす。

[0021] また、この第1の側面において、所定の非加算モードにおいて上記短絡トランジスタは、開状態であり、上記非加算モードにおいて上記選択部は、上記第1および第2の容量素子のそれぞれを順に上記第1の後段ノードに接続する制御と上記第3および第4の容量素子のそれぞれを順に上記第1の後段ノードに接続する制御と上記第5および第6の容量素子のそれぞれを順に上記第2の後段ノードに接続する制御と上記第7および第8の容量素子のそれぞれを順に上記第2の後段ノードに接続する制御とを所定の順序で行ってもよい。これにより、4画素のそれぞれのリセットレベルおよび信号レベルが順に読み出されるという作用をもたらす。

[0022] また、この第1の側面において、所定の加算モードにおいて上記短絡トランジスタは、閉状態であり、上記加算モードにおいて上記選択部は、上記第1および第2の容量素子の一方と上記第3および第4の容量素子の一方とを上記第1の後段ノードに接続しつつ上記第5および第6の容量素子の一方と上記7および第8の容量素子の一方とを上記第2の後段ノードに接続する制

御と、上記第1および第2の容量素子の他方と上記第3および第4の容量素子の他方とを上記第1の後段ノードに接続しつつ上記5および第6の容量素子の他方と上記第7および第8の容量素子の他方とを上記第2の後段ノードに接続する制御とを順に行ってもよい。これにより、画素加算モードにおいて、4画素が加算されるという作用をもたらす。

[0023] また、本技術の第2の側面は、所定のリセットレベルを保持する第1の容量素子と所定のノードとの間の経路を開閉する第1の選択トランジスタが特定の相対位置に配置され、露光量に応じた信号レベルを保持する第2の容量素子と上記ノードとの間の経路を開閉する第2の選択トランジスタが上記特定の相対位置と異なる相対位置に配置された第1画素と、所定のリセットレベルを保持する第3の容量素子と所定のノードとの間の経路を開閉する第3の選択トランジスタが上記特定の相対位置に配置され、露光量に応じた信号レベルを保持する第4の容量素子と上記ノードとの間の経路を開閉する第4の選択トランジスタが上記特定の相対位置と異なる相対位置に配置された第2画素と、上記リセットレベルと上記信号レベルとを順にデジタル信号に変換して処理する信号処理回路とを具備する撮像装置である。これにより、撮像装置により撮像された画像の画質が向上するという作用をもたらす。

図面の簡単な説明

[0024] [図1]本技術の第1の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]本技術の第1の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図3]本技術の第1の実施の形態における画素の一構成例を示す回路図である。

[図4]本技術の第1の実施の形態における図3の画素に隣接する画素の一構成例を示す回路図である。

[図5]本技術の第1の実施の形態における隣接する2画素のそれぞれの素子の接続例を示す回路図である。

[図6]本技術の第1の実施の形態における画素内の選択トランジスタのレイアウトの一例を示す図である。

[図7]本技術の第1の実施の形態における画素アレイ部の一例を示す図である。

[図8]本技術の第1の実施の形態におけるカラム信号処理回路の一構成例を示すブロック図である。

[図9]本技術の第1の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。

[図10]本技術の第1の実施の形態における画素の読出し動作の一例を示すタイミングチャートである。

[図11]比較例における画素の一構成例を示す回路図である。

[図12]本技術の第1の実施の形態におけるリセットレベルの読出しのときと、後段ノードの初期化のときとのそれぞれの画素の状態の一例を示す図である。

[図13]本技術の第1の実施の形態における信号レベルの読出しのときの画素の状態の一例を示す図である。

[図14]本技術の第1の実施の形態における画像データの一例を示す図である。

[図15]本技術の第1の実施の形態におけるエリア内の平均値および標準偏差の一例を示す図である。

[図16]本技術の第1の実施の形態におけるPLSの影響を説明するための図である。

[図17]本技術の第1の実施の形態の第1の変形例における画素アレイ部の一例を示す図である。

[図18]本技術の第1の実施の形態の第1の変形例における画素アレイ部の別の例を示す図である。

[図19]本技術の第1の実施の形態の第2の変形例における画素アレイ部の一例を示す図である。

[図20]本技術の第2の実施の形態における画素ブロックの一構成例を示す回路図である。

[図21]本技術の第2の実施の形態における前段回路と選択回路との一構成例を示す回路図である。

[図22]本技術の第2の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。

[図23]本技術の第2の実施の形態における画素ブロック内の最初の画素の読出し動作の一例を示すタイミングチャートである。

[図24]本技術の第2の実施の形態における画素ブロック内の2番目の画素の読出し動作の一例を示すタイミングチャートである。

[図25]本技術の第2の実施の形態における固体撮像素子の動作の一例を示すフローチャートである。

[図26]本技術の第2の実施の形態の第1の変形例におけるリセットレベルおよび信号レベルの読出し動作の一例を示すタイミングチャートである。

[図27]本技術の第2の実施の形態の第2の変形例における固体撮像素子の積層構造の一例を示す図である。

[図28]本技術の第2の実施の形態の第2の変形例における画素ブロックの一構成例を示す回路図である。

[図29]本技術の第2の実施の形態の第3の変形例における固体撮像素子の積層構造の一例を示す図である。

[図30]本技術の第3の実施の形態における画素アレイ部の一構成例を示す平面図である。

[図31]本技術の第3の実施の形態における画素ブロックの一構成例を示す回路図である。

[図32]本技術の第3の実施の形態における前段回路と選択回路との一構成例を示す回路図である。

[図33]本技術の第3の実施の形態における画素ブロック内の1番目および2番目の画素の読出し動作の一例を示すタイミングチャートである。

[図34]本技術の第3の実施の形態における画素ブロック内の3番目および4番目の画素の読出し動作の一例を示すタイミングチャートである。

[図35]本技術の第3の実施の形態における加算モードの読出し動作の一例を示すタイミングチャートである。

[図36]本技術の第4の実施の形態における画素ブロックの一構成例を示す回路図である。

[図37]本技術の第4の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。

[図38]本技術の第4の実施の形態における露光終了直後の制御の一例を示すタイミングチャートである。

[図39]車両制御システムの概略的な構成例を示すブロック図である。

[図40]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0025] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（隣接する2画素で選択トランジスタの位置を入れ替える例）

2. 第2の実施の形態（複数の容量にリセットレベルおよび信号レベルを保持させる例）

3. 第3の実施の形態（複数の容量にリセットレベルおよび信号レベルを保持させ、後段ノード間を短絡する例）

4. 第4の実施の形態（複数の容量にリセットレベルおよび信号レベルを保持させ、電流源を共有する例）

5. 移動体への応用例

[0026] <1. 第1の実施の形態>

[撮像装置の構成例]

図1は、本技術の第1の実施の形態における撮像装置100の一構成例を示すブロック図である。この撮像装置100は、画像データを撮像する装置

であり、撮像レンズ110、固体撮像素子200、記録部120および撮像制御部130を備える。撮像装置100としては、デジタルカメラや、撮像機能を持つ電子装置（スマートフォンやパーソナルコンピュータなど）が想定される。

[0027] 固体撮像素子200は、撮像制御部130の制御に従って、画像データを撮像するものである。この固体撮像素子200は、画像データを信号線209を介して記録部120に供給する。

[0028] 撮像レンズ110は、光を集光して固体撮像素子200に導くものである。撮像制御部130は、固体撮像素子200を制御して画像データを撮像させるものである。この撮像制御部130は、例えば、垂直同期信号VSYNCを含む撮像制御信号を固体撮像素子200に信号線139を介して供給する。記録部120は、画像データを記録するものである。

[0029] ここで、垂直同期信号VSYNCは、撮像のタイミングを示す信号であり、一定の周波数（60ヘルツなど）の周期信号が垂直同期信号VSYNCとして用いられる。

[0030] なお、撮像装置100は、画像データを記録しているが、その画像データを撮像装置100の外部に送信してもよい。この場合には、画像データを送信するための外部インターフェースがさらに設けられる。もしくは、撮像装置100は、さらに画像データを表示してもよい。この場合には表示部がさらに設けられる。

[0031] [固体撮像素子の構成例]

図2は、本技術の第1の実施の形態における固体撮像素子200の一構成例を示すブロック図である。この固体撮像素子200は、垂直走査回路211、画素アレイ部220、タイミング制御回路212、DAC (Digital to Analog Converter) 213、負荷MOS回路ブロック250、カラム信号処理回路260を備える。画素アレイ部220には、二次元格子状に、画素301および302などの複数の画素が配列される。また、固体撮像素子200内の各回路は、例えば、単一の半導体チップに設けられる。

- [0032] タイミング制御回路 212 は、撮像制御部 130 からの垂直同期信号 VSYNC に同期して垂直走査回路 211、DAC 213、カラム信号処理回路 260 のそれぞれの動作タイミングを制御するものである。
- [0033] DAC 213 は、DA (Digital to Analog) 変換により、のこぎり波状のランプ信号を生成するものである。DAC 213 は、生成したランプ信号をカラム信号処理回路 260 に供給する。
- [0034] 垂直走査回路 211 は、行を順に選択して駆動し、アナログの画素信号を出力させるものである。画素は、入射光を光電変換してアナログの画素信号を生成する。この画素は、負荷 MOS 回路ブロック 250 を介して、カラム信号処理回路 260 に画素信号を供給する。
- [0035] 負荷 MOS 回路ブロック 250 には、定電流を供給する MOS トランジスタが列ごとに設けられる。
- [0036] カラム信号処理回路 260 は、列ごとに、画素信号に対して AD 変換処理や CDS (Correlated Double Sampling) 処理などの信号処理を実行するものである。このカラム信号処理回路 260 は、処理後の信号からなる画像データを記録部 120 に供給する。なお、カラム信号処理回路 260 は、特許請求の範囲に記載の信号処理回路の一例である。
- [0037] [画素の構成例]
- 図 3 は、本技術の第 1 の実施の形態における画素 301 の一構成例を示す回路図である。この画素 301 には、前段回路 310 と、容量素子 331 および 332 と、選択回路 350 と、後段リセットトランジスタ 361 と、後段回路 370 とが配置される。容量素子 331 および 332 として、例えば、MIM (Metal-Insulator-Metal) 構造の容量が用いられる。なお、容量素子 331 および 332 は、特許請求の範囲に記載の第 1 および第 2 の容量素子の一例である。
- [0038] 前段回路 310 は、リセットレベルおよび信号レベルを順に生成して容量素子 331 および 332 に保持させるものである。この前段回路 310 は、光電変換素子 311、転送トランジスタ 312、FD (Floating Diffusion

) リセットトランジスタ313、FD314、前段増幅トランジスタ315
および電流源トランジスタ316を備える。

[0039] 光電変換素子311は、光電変換により電荷を生成するものである。転送トランジスタ312は、垂直走査回路211からの転送信号に従って、光電変換素子311からFD314へ電荷を転送するものである。

[0040] FDリセットトランジスタ313は、垂直走査回路211からのFDリセット信号rstに従って、FD314から電荷を引き抜いて初期化するものである。FD314は、電荷を蓄積し、電荷量に応じた電圧を生成するものである。

[0041] 前段増幅トランジスタ315は、FD314の電圧のレベルを増幅して前段ノード330に出力するものである。

[0042] FDリセットトランジスタ313と前段増幅トランジスタ315とのそれぞれのドレインは、電源電圧VDDに接続される。電流源トランジスタ316は、前段増幅トランジスタ315のソースに接続される。この電流源トランジスタ316は、垂直走査回路211の制御に従って、電流id1を供給する。

[0043] 容量素子331および332の一端は、前段ノード330に共通に接続され、他端は、選択回路350に接続される。

[0044] 選択回路350は、選択トランジスタ351および352を備える。選択トランジスタ351は、垂直走査回路211からの選択信号φrに従って、容量素子331と後段ノード360との間の経路を開閉するものである。選択トランジスタ352は、垂直走査回路211からの選択信号φsに従って、容量素子332と後段ノード360との間の経路を開閉するものである。

[0045] 後段リセットトランジスタ361は、垂直走査回路211からの後段リセット信号rstbに従って、後段ノード360のレベルを所定の電位Vregに初期化するものである。電位Vregには、電源電圧VDDと異なる電位（例えば、VDDより低い電位）が設定される。

[0046] 後段回路370は、後段増幅トランジスタ371および後段選択トランジ

スタ372を備える。後段増幅トランジスタ371は、後段ノード360のレベルを増幅するものである。後段選択トランジスタ372は、垂直走査回路211からの後段選択信号selbに従って、後段増幅トランジスタ371により増幅されたレベルの信号を画素信号として垂直信号線308に出力するものである。

[0047] なお、画素301内の各種のトランジスタ（転送トランジスタ312など）として、例えば、nMOS（n-channel Metal Oxide Semiconductor）トランジスタが用いられる。

[0048] 図4は、本技術の第1の実施の形態における図3の画素301に隣接する画素302の一構成例を示す回路図である。この画素302には、前段回路320と、容量素子336および337と、選択回路355と、後段リセットトランジスタ366と、後段回路380とが配置される。容量素子336および337として、例えば、MIM構造の容量が用いられる。なお、容量素子336および337は、特許請求の範囲に記載の第3および第4の容量素子の一例である。

[0049] 前段回路320は、リセットレベルおよび信号レベルを順に生成して容量素子336および337に保持させるものである。前段回路320は、光電変換素子321、転送トランジスタ322、FDリセットトランジスタ323、FD324、前段増幅トランジスタ325および電流源トランジスタ326を備える。前段回路320の回路構成は、前段回路310と同様である。

[0050] 容量素子336および337の一端は、前段ノード335に共通に接続され、他端は、選択回路355に接続される。

[0051] 選択回路355は、選択トランジスタ356および357を備える。選択回路350の回路構成は、選択回路350と同様である。

[0052] 後段リセットトランジスタ366は、垂直走査回路211からの後段リセット信号rstbに従って、後段ノード365のレベルを所定の電位Vregに初期化するものである。

- [0053] 後段回路380は、後段増幅トランジスタ381および後段選択トランジスタ382を備える。後段回路380の回路構成は、後段回路370と同様である。画素302の画素信号は、垂直信号線309へ出力される。
- [0054] 垂直走査回路211は、露光開始時に全行へハイレベルのFDリセット信号rstとハイレベルの転送信号trgとを供給する。これにより、光電変換素子(311や321)が初期化される。以下、この制御を「PDリセット」と称する。
- [0055] そして、垂直走査回路211は、露光終了の直前に、全行について後段リセット信号rstbと選択信号 Φr とをハイレベルにしつつ、パルス期間に亘ってハイレベルのFDリセット信号rstを供給する。これにより、FD314および324が初期化され、そのときのFD314および324のレベルに応じたレベルが容量素子331および336に保持される。この制御を以下、「FDリセット」と称する。
- [0056] FDリセットの際のFD314および324のレベルと、そのレベルに対応するレベル(容量素子331および336の保持レベルや、垂直信号線のレベル)とをまとめて、以下、「P相」または「リセットレベル」と称する。
- [0057] 垂直走査回路211は、露光終了時に、全行について後段リセット信号rstbと選択信号 Φs とをハイレベルにしつつ、パルス期間に亘ってハイレベルの転送信号trgを供給する。これにより、露光量に応じた信号電荷がFD314および324へ転送され、そのときのFD314および324のレベルに応じたレベルが容量素子332および337に保持される。
- [0058] 信号電荷の転送の際のFD314および324のレベルと、そのレベルに対応するレベル(容量素子332および337の保持レベルや、垂直信号線のレベル)とをまとめて、以下、「D相」または「信号レベル」と称する。
- [0059] このように全画素について同時に露光を開始し、終了する露光制御は、グローバルシャッター方式と呼ばれる。この露光制御により、全画素の前段回路310や320は、リセットレベルおよび信号レベルを順に生成する。リ

セットレベルは、容量素子331および336に保持され、信号レベルは、容量素子332および337に保持される。

[0060] 露光終了後に垂直走査回路211は、行を順に選択して、その行のリセットレベルおよび信号レベルを順に出力させる。リセットレベルを出力させる際に、垂直走査回路211は、選択した行のFDリセット信号rstと後段選択信号selbとをハイレベルにしつつ、ハイレベルの選択信号φrを所定期間に亘って供給する。これにより、容量素子331および336が後段ノード360および365に接続され、リセットレベルが読み出される。

[0061] リセットレベルの読出し後に垂直走査回路211は、選択した行のFDリセット信号rstと後段選択信号selbとをハイレベルにしたままで、ハイレベルの後段リセット信号rstbをパルス期間に亘って供給する。これにより、後段ノード360および365のレベルが初期化される。このとき、選択トランジスタ351、352、356および357は開状態であり、容量素子331、332、336および337は、後段ノード360や365から切り離される。

[0062] 後段ノード360および365の初期化後に、垂直走査回路211は、選択した行のFDリセット信号rstおよび後段選択信号selbをハイレベルにしたままで、ハイレベルの選択信号φsを所定期間に亘って供給する。これにより、容量素子332および337が後段ノード360および365に接続され、信号レベルが読み出される。

[0063] 上述の読出し制御により、選択された行の選択回路350は、容量素子331を後段ノード360に接続する制御と、容量素子331および332を後段ノード360から切り離す制御と、容量素子332を後段ノード360に接続する制御とを順に行う。

[0064] また、選択された行の選択回路355は、容量素子336を後段ノード365に接続する制御と、容量素子336および337を後段ノード365から切り離す制御と、容量素子337を後段ノード365に接続する制御とを順に行う。

- [0065] また、容量素子331、332、336および337が後段ノード360や365から切り離されたときに、選択された行の後段リセットトランジスタ361は後段ノード360および365のレベルを初期化する。また、選択された行の後段回路370や380は、後段ノード360や365を介してリセットレベルおよび信号レベルを容量素子331および332（または、容量素子336および337）から順に読み出して垂直信号線309へ出力する。
- [0066] なお、画素301および302のそれぞれの回路構成は、図3および図4に例示したものに限定されない。一对の容量素子と、それらとノードとの間の経路を開閉する一对の選択トランジスタとが設けられた画素であれば、図3や図4以外の画素を用いることもできる。例えば、非特許文献1に記載の画素を用いることができる。
- [0067] 図5は、本技術の第1の実施の形態における隣接する2画素のそれぞれの素子の接続例を示す回路図である。画素アレイ部220には、水平方向に沿って垂直走査回路211からの制御信号を伝送するための複数の信号線が配線される。転送信号 t_{rg} 、FDリセット信号 r_{st} 、選択信号 ϕ_r 、選択信号 ϕ_s 、後段リセット信号 r_{stb} 、後段選択信号 $selb$ の6つの制御信号が行ごとに伝送される。このため、行ごとに6本の信号線が水平方向に配線される。これらのうち選択信号 ϕ_r を伝送する信号線を選択線223とし、選択信号 ϕ_s を伝送する信号線を選択線224とする。
- [0068] 同図において、画素301内の上側、下側に配置される選択トランジスタのそれぞれの役割と、画素302内の上側、下側に配置される選択トランジスタのそれぞれの役割とは逆になっている。このような構成は、画素302内の上側、下側の選択トランジスタのそれぞれの接続先の選択線を画素301と逆にすることで容易に実現することができる。
- [0069] 例えば、画素301において、上側に配置される選択トランジスタ351は、リセット側の選択線223に接続され、下側に配置される選択トランジスタ352は、信号側の選択線224に接続される。一方、画素302にお

いては、上側に配置される選択トランジスタ357は、信号側の選択線224に接続され、下側に配置される選択トランジスタ356は、リセット側の選択線223に接続される。

[0070] ここで、グローバルシャッター方式で露光した後に、カラム信号処理回路260が1行ずつ読出しを行う場合、露光終了から読出しまでの期間に亘って行内の画素のそれぞれが電荷を保持する必要がある。この電荷を保持する期間が長いと、その間に入射された光である迷光の光電変換により、選択トランジスタ351や352のpn接合においてノイズ電荷が生じるおそれがある。同図において、扇状のマークは、ノイズ電荷が発生するpn接合を示す。

[0071] 画素301内の選択トランジスタ351および352で生じたノイズ電荷をp1およびp2とし、容量素子331および332のそれぞれの容量値をCとする。この場合、CDS処理後の画素301のノイズ量 Δ は、次の式により表される。

$$\Delta = (q1) / C - (q2) / C \quad \dots \text{式1}$$

[0072] また、画素302内の選択トランジスタ356および357で生じたノイズ電荷をp1'およびp2'とし、容量素子337および338のそれぞれの容量値をcとする。この場合、CDS処理後の画素302のノイズ量 Δ' は、次の式により表される。

$$\Delta' = (q1') / C - (q2') / C \quad \dots \text{式2}$$

[0073] 画素内での選択トランジスタ351および352の接合pnのレイアウト相違や、それぞれpn接合の迷光の光量の相違により、q1とq2が一致するとは限らない。その式1や式2に例示するように、CDS処理後であっても迷光による残差成分が残る。その残差成分がPLS悪化の原因となる。このPLSの悪化により、画像データの画質が低下するおそれがある。

[0074] そこで、前述したように、隣接する画素301および302で、リセット側の選択トランジスタ(351や356)と、信号側の選択トランジスタ(352や357)とのそれぞれの位置を逆にしている。このレイアウトによ

り、画素301および302のそれぞれのノイズ電荷について、次の式により表される相関関係が成立する。

$$q_1 \doteq q_2' \quad \dots \text{式3}$$

$$q_2 \doteq q_1' \quad \dots \text{式4}$$

[0075] 式3および式4を式2に代入すると、次の式が得られる。

$$\Delta' \doteq (q_2) / C - (q_1) / C = -\Delta \quad \dots \text{式5}$$

[0076] 式5に例示するように、隣接する画素301と画素302とのそれぞれの迷光によるノイズ量は、絶対値が略同一で、符号が逆になる。

[0077] 図6は、本技術の第1の実施の形態における画素内の選択トランジスタのレイアウトの一例を示す図である。画素のそれぞれにおいて、水平方向をx方向とし、垂直方向をy方向とする。また、画素内のトランジスタの位置を、その画素の所定の基準位置（例えば、左上の頂点）からの相対位置により表す。

[0078] また、同図において灰色の部分は、メタル配線（選択線223および224など）を示す。バツ印は、メタル配線を他のメタル配線やトランジスタに接続するビアの位置を示す。

[0079] 画素301において、リセット側の選択線223に接続される選択トランジスタ351は、水平方向において基準位置からx1、垂直方向において基準位置からy1の相対位置（x1, y1）に配置される。信号側の選択線224に接続される選択トランジスタ352は、相対位置（x2, y2）に配置される。

[0080] 一方、画素302において、リセット側の選択線223に接続される選択トランジスタ356は、相対位置（x2, y2）に配置される。信号側の選択線224に接続される選択トランジスタは、相対位置（x1, y1）に配置される。

[0081] 同図に例示するように、隣接する2画素で、リセット側の選択トランジスタ（351や356）と、信号側の選択トランジスタ（352や357）との配置は、逆である。このため、ノイズ電荷q1、q2、q1'、q2'につ

いて、式3および式4の相関関係が成立する。

[0082] なお、画素301および302は、特許請求の範囲に記載の第1画素および第2画素の一例である。選択トランジスタ351は、特許請求の範囲に記載の第1の選択トランジスタの一例であり、選択トランジスタ351は、特許請求の範囲に記載の第2の選択トランジスタの一例である。選択トランジスタ356は、特許請求の範囲に記載の第3の選択トランジスタの一例であり、選択トランジスタ357は、特許請求の範囲に記載の第4の選択トランジスタの一例である。

[0083] 図7は、本技術の第1の実施の形態における画素アレイ部220の一例を示す図である。同図において、白い四角は、リセット側の選択トランジスタ(351や356)の位置を示す。黒い四角は、信号側の選択トランジスタ(352や357)の位置を示す。また、画素のそれぞれにはカラーフィルタが設けられないものとする。このため、画像データは、モノクロ画像となる。

[0084] 同図に例示するように画素301と画素302とが行方向に隣接して配置される。また、行方向において、画素301と同様のレイアウトの画素と、画素302と同様のレイアウトの画素とが交互に配列される。列方向においても画素301と同様のレイアウトの画素と、画素302と同様のレイアウトの画素とが交互に配列される。この配列により、隣接する2画素のいずれにおいても、生じるノイズの符号を逆にすることができる。このため、これらの画素を配列した画像データ全体を観察した場合、隣接する2画素のノイズが互いに相殺されて、迷光によるノイズが目立たなくなる。これにより、PLSの悪化による画質の低下を抑制することができる。

[0085] [カラム信号処理回路の構成例]

図8は、本技術の第1の実施の形態におけるカラム信号処理回路260の一構成例を示すブロック図である。

[0086] 負荷MOS回路ブロック250には、列ごとに垂直信号線309が配線される。列数を l (l は、整数)とすると、 l 本の垂直信号線309が配線さ

れる。また、垂直信号線309のそれぞれには、一定の電流 i_{d2} を供給する負荷MOSトランジスタ251が接続される。

[0087] カラム信号処理回路260には、複数のADC261とデジタル信号処理部262とが配置される。ADC261は、列ごとに配置される。列数を l とすると、 l 個のADC261が配置される。

[0088] ADC261は、DAC213からのランプ信号 R_{mp} を用いて、対応する列からのアナログの画素信号をデジタル信号に変換するものである。このADC261は、デジタル信号をデジタル信号処理部262に供給する。例えば、ADC261として、コンパレータおよびカウンタを備えるシングルスロープ型のADCが配置される。

[0089] デジタル信号処理部262は、列ごとのデジタル信号のそれぞれに対して、CDS処理などの所定の信号処理を行うものである。デジタル信号処理部262は、処理後のデジタル信号からなる画像データを記録部120に供給する。

[0090] [固体撮像素子の動作例]

図9は、本技術の第1の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。垂直走査回路211は、露光開始の直前のタイミング T_0 から、パルス期間経過後のタイミング T_1 に亘って、全ての行（言い換えれば、全画素）にハイレベルのFDリセット信号 r_{st} と転送信号 t_{rg} とを供給する。これにより、全画素がPDリセットされ、全行で同時に露光が開始される。

[0091] ここで、同図の $r_{st_}[n]$ 、 $t_{rg_}[n]$ は、 N 行のうち n 行目の画素への信号を示す。 N は、画素ブロック300を配列した行の全行数を示す整数であり、 n は、1乃至 N の整数である。

[0092] 露光期間の終了直前のタイミング T_2 において、垂直走査回路211は、全行において後段リセット信号 r_{stb} と選択信号 ϕ_r とをハイレベルにしつつ、パルス期間に亘ってハイレベルのFDリセット信号 r_{st} を供給する。これにより、全画素がFDリセットされ、リセットレベルがサンプルホー

ルドされる。ここで、同図の $r s t b_ [n]$ 、 $\Phi r_ [n]$ は、 n 行目の画素への信号を示す。

- [0093] タイミングT2の後のタイミングT3において、垂直走査回路211は、選択信号 Φr をローレベルに戻す。
- [0094] 露光終了のタイミングT4において、垂直走査回路211は、全行において後段リセット信号 $r s t b$ と選択信号 Φs とをハイレベルにしつつ、パルス期間に亘ってハイレベルの転送信号 $t r g$ を供給する。これにより、信号レベルがサンプルホールドされる。また、同図の $\Phi s_ [n]$ は、 n 行目の画素への信号を示す。
- [0095] タイミングT4の後のタイミングT5において、垂直走査回路211は、選択信号 Φs をローレベルに戻す。
- [0096] 図10は、本技術の第1の実施の形態における画素の読出し動作の一例を示すタイミングチャートである。タイミングT10以降の第 n 行の読出し期間において、垂直走査回路211は、第 n 行のFDリセット信号 $r s t$ と後段選択信号 $s e l b$ とをハイレベルにする。また、タイミングT10において、全行の後段リセット信号 $r s t b$ は、ローレベルに制御される。ここで、同図の $s e l b_ [n]$ は、 n 行目の画素への信号を示す。
- [0097] タイミングT10の直後のタイミングT11からタイミングT12までの期間に亘って垂直走査回路211は、第 n 行にハイレベルの選択信号 Φr を供給する。後段ノード360や365の電位は、リセットレベル $V r s t$ となる。ADC261により、このリセットレベルがAD変換される。
- [0098] タイミングT12の直後のタイミングT13からパルス期間に亘って、垂直走査回路211は、第 n 行にハイレベルの後段リセット信号 $r s t b$ を供給する。これにより、後段ノード360等に寄生容量が存在する際に、その寄生容量に保持される前回の信号の履歴を消去することができる。
- [0099] 後段ノード360等の初期化直後のタイミングT14からタイミングT15までの期間に亘って垂直走査回路211は、第 n 行にハイレベルの選択信号 Φs を供給する。後段ノード360や365の電位は、信号レベル $V s i$

gとなる。ADC 261により、この信号レベルがAD変換される。リセットレベル V_{rst} と信号レベル V_{sig} との差分が、FDのリセットノイズやオフセットノイズを除去した正味の信号レベルに該当する。

[0100] なお、固体撮像素子200は、リセットレベルの後に、信号レベルを読み出しているが、この順番に限定されない。固体撮像素子200は、信号レベルの後に、リセットレベルを読み出すこともできる。この場合に垂直走査回路211は、ハイレベルの選択信号 Φ_s の後に、ハイレベルの選択信号 Φ_r を供給する。また、この場合、ランプ信号のスロープの傾きを逆にする必要がある。

[0101] 図11は、比較例における画素の一構成例を示す回路図である。この比較例では、選択回路350が設けられず、前段ノード330と前段回路との間に転送トランジスタが挿入される。また、容量素子331および332の代わりに、容量C1およびC2が挿入される。容量C1は、前段ノード330と接地端子との間に挿入され、容量C2は、前段ノード330と後段ノード360との間に挿入される。

[0102] この比較例の画素の露光制御および読出し制御は、例えば、「Jae-kyu Lee, et al., A 2.1e-Temporal Noise and -105dB Parasitic Light Sensitivity Backside-Illuminated 2.3 μm -Pixel Voltage-Domain Global Shutter CMOS Image Sensor Using High-Capacity DRAM Capacitor Technology, ISSCC 2020」のFigure 5.5.2に記載されている。この比較例において、容量C1およびC2のそれぞれの容量値をCと仮定すると、露光および読出しの際のkTCノイズのレベル V_n は、次の式により表される。

$$V_n = (3 * k T / C)^{1/2} \quad \dots \text{式6}$$

上式において、kは、ボルツマン定数であり、単位は、例えば、ジュール毎ケルビン(J/K)である。Tは絶対温度であり、単位は、例えば、ケルビン(K)である。また、 V_n の単位は、例えば、ボルト(V)であり、Cの単位は、例えば、ファラッド(F)である。

[0103] 図12は、本技術の第1の実施の形態におけるリセットレベルの読出しの

ときと、後段ノードの初期化のときとのそれぞれの画素301の状態の一例を示す図である。同図におけるaは、リセットレベルの読出しのときの画素301の状態を示し、同図におけるbは、後段ノード360の初期化のときの画素301の状態を示す。また、同図において、選択トランジスタ351、選択トランジスタ352および後段リセットトランジスタ361は、説明の便宜上、スイッチの図記号により表される。

[0104] 同図におけるaに例示するように、垂直走査回路211は、選択トランジスタ351を閉状態にし、選択トランジスタ352および後段リセットトランジスタ361を開状態にする。これにより、後段回路370を介して最初の画素のリセットレベルが読み出される。

[0105] リセットレベルの読出し後に同図におけるbに例示するように、垂直走査回路211は、選択トランジスタ351および選択トランジスタ352を開状態にし、後段リセットトランジスタ361を閉状態にする。これにより、容量素子331および332が後段ノード360から切り離され、後段ノード360のレベルが初期化される。

[0106] このように容量素子331および332から切り離した状態の後段ノード360の寄生容量 C_p の容量値は、容量素子331および332と比べて非常に小さいものとする。例えば、寄生容量 C_p を数フェムトファラッド(fF)とすると、容量素子331および332は、数十フェムトファラッドのオーダーである。

[0107] 図13は、本技術の第1の実施の形態における信号レベルの読出しのときの画素301の状態の一例を示す図である。

[0108] 後段ノード360の初期化後において、垂直走査回路211は、選択トランジスタ352を閉状態にし、選択トランジスタ351および後段リセットトランジスタ361を開状態にする。これにより、後段回路370を介して最初の画素の信号レベルが読み出される。

[0109] ここで、画素の露光時のkTCノイズについて考える。露光時において、露光終了の直前のリセットレベルのサンプリングと信号レベルのサンプリング

グとのそれぞれにおいてkTCノイズが発生する。容量素子331および332のそれぞれの容量値をCと仮定すると、露光時のkTCノイズのレベルVnは、次の式により表される。

$$V_n = (2 * k T / C)^{1/2} \quad \dots \text{式7}$$

[0110] また、図12および図13に例示したように、読出しの際に後段リセットトランジスタ361が駆動しているため、そのときにkTCノイズが発生する。しかし、後段リセットトランジスタ361の駆動時に容量素子331および332が切り離されており、そのときの寄生容量Cpが小さい。このため、読出しの際のkTCノイズは、露光時のkTCノイズと比べて無視することができる。したがって、露光および読出しの際のkTCノイズは、式7により表される。

[0111] 式6および式7より、読出しの際に容量を切り離す画素ブロック300では、読出しの際に容量を切り離すことができない比較例よりもkTCノイズが小さくなる。これにより、画像データの画質を向上させることができる。

[0112] 図14は、本技術の第1の実施の形態における画像データの一例を示す図である。同図にいて、画像データ501乃至506のそれぞれは、一点鎖線で囲ったエリアpls1と、点線で囲ったエリアpls2とを含む。また、画像データのうち、エリアpls1およびpls2以外をエリアrefとする。

[0113] エリアpls1内の画素のそれぞれにおいて、リセット側の選択トランジスタと、信号側の選択トランジスタとの配置は同一である。また、このエリアpls1にはノイズが生じているものとする。

[0114] エリアpls2において、隣接する2画素でリセット側の選択トランジスタと、信号側の選択トランジスタとの配置は、逆である。言い換えれば、レイアウトによるノイズ対策が施されている。また、このエリアpls2にもエリアpls1と同様のノイズが生じているものとする。

[0115] エリアref内の画素のそれぞれにおいて、リセット側の選択トランジスタと、信号側の選択トランジスタとの配置は同一である。また、このエリア

refにはノイズが生じていないものとする。

[0116] また、画像データ501乃至506において、PLSがゼロである場合のランダムノイズの量RNは、同一の値とする。一方、画像データ501乃至506はPLSが異なり、画像データ501のPLS/RNの値は、1/10である。残りの502乃至506のそれぞれのPLS/RNの値は、2/10、3/10、4/10、5/10、6/10である。

[0117] ここで、PLSの値として、例えば、飽和の50%の均一な光を当てた場合のエリア内における出力の標準偏差 σ と平均値AVEとの比率 σ/AVE が用いられる。

[0118] 同図に例示するように、PLSの比較的小さな画像データ501では、ノイズ対策の無いpls1と、ノイズ対策を行ったエリアpls2とで殆ど差異が生じず、いずれもノイズが目立たない。

[0119] しかし、画像データ502から506において、PLSが大きくなるほど、pls1のノイズが目立つようになり、画像データ506においては、pls2との差異が顕著になる。

[0120] 図15は、本技術の第1の実施の形態におけるエリア内の平均値および標準偏差の一例を示す図である。前述したように、エリアrefは、ノイズが発生しておらず、ノイズ対策は施されていない。エリアpls1は、ノイズが生じており、ノイズ対策は施されていない。エリアpls2は、ノイズが生じており、レイアウトによるノイズ対策が施されている。

[0121] エリアref内の画素信号の平均値をLSB換算でREFとし、標準偏差を30とする。このとき、エリアpls1内の画素信号の平均値は、REF+18となり、標準偏差は30となる。一方、エリアpls2内の画素信号の平均値は、REFとなり、標準偏差は35となる。

[0122] 図16は、本技術の第1の実施の形態におけるPLSの影響を説明するための図である。前述したように、画像データ501乃至505のそれぞれのPLSがゼロの場合のランダムノイズRNは、同一の値である。一方、画像データ501乃至505はPLSが異なり、RNに対するPLSの値は、「

「0.1」、「0.2」、「0.3」、「0.4」、および、「0.5」である。

[0123] ここで、PLSが発生した場合のランダムノイズRN'は、次の式により求められる。

$$RN' = (RN^2 + PLS^2)^{1/2} \quad \dots \text{式8}$$

[0124] 式8により画像データ501乃至505のそれぞれについて、「1.0005」、「1.020」、「1.044」、「1.077」、「1.118」が算出される。

[0125] PLSの悪化によるランダムノイズの悪化の程度は、次の式により表される。

$$r = (RN' - RN) \times 100 \quad \dots \text{式9}$$

[0126] 式9より、画像データ501乃至505のそれぞれについて、「0.5」、「2.0」、「4.4」、「7.7」、「11.8」パーセント(%)が算出される。

[0127] 上述のように、PLS/RNが0.2程度では、ランダムノイズの増大率は、わずか2パーセント(%)程度と無視できる。一方、PLS/RNが0.5程度では、ランダムノイズの増大率は、11.2パーセント(%)まで大きくなる。しかしながら、ノイズ対策を行ったエリアp1s2は、図14に例示したように、ランダムノイズが増大しているにも関わらず、ノイズがないエリアrefと目視では判別しにくい状態となる。

[0128] このように、本技術の第1の実施の形態によれば、隣接する画素301および302で、2つの選択トランジスタのそれぞれの配置を逆にしたため、それぞれの画素に生じるノイズの符号が逆になる。これにより、画像データのノイズを目立たなくして画質を向上させることができる。

[0129] [第1の変形例]

上述の第1の実施の形態では、画素にカラーフィルタを設けていなかったが、画素ごとにカラーフィルタを設け、カラー画像を撮像することもできる。この第1の実施の形態の第1の変形例の固体撮像素子200は、画素をベ

ィヤー配列した点において第1の実施の形態と異なる。

[0130] 図17は、本技術の第1の実施の形態の第1の変形例における画素アレイ部220の一例を示す図である。この第1の実施の形態の第1の変形例の画素アレイ部220において、画素ごとにカラーフィルタが設けられる。赤色のカラーフィルタの画素をR画素とし、緑色のカラーフィルタの画素をGr画素またはGb画素とし、青色のカラーフィルタの画素をB画素とする。これらの画素は、ベイヤー配列される。

[0131] 2行×2列の所定のエリア225に隣接する2行×2列をエリア226とする。エリア225には、画素301と同様のレイアウトの4画素が配列される。一方、エリア226には、画素302と同様のレイアウトの4画素が配列される。エリア225および226以外の隣接する2つのエリアについても同様である。

[0132] 同図に例示するように隣接する2つのエリアで、2つの選択トランジスタのそれぞれの配置を逆にするにより、カラー画像の画質を向上させることができる。

[0133] なお、図18に例示するように、エリア225内のいずれかの画素（例えば、Gr画素）を画素302と同様のレイアウトにし、残りの3画素を画素301と同様のレイアウトにすることもできる。この場合、隣接するエリア226においては、画素301と同様のレイアウトの画素がGr画素として配置され、残りの3画素として画素302と同様のレイアウトの画素が配置される。

[0134] このように、本技術の第1の実施の形態の第1の変形例によれば、画素301や302と同様のレイアウトの画素をベイヤー配列したため、カラー画像の画質を向上させることができる。

[0135] [第2の変形例]

上述の第1の実施の形態では、画素にカラーフィルタを設けていなかったが、画素ごとにカラーフィルタを設け、カラー画像を撮像することもできる。この第1の実施の形態の第2の変形例の固体撮像素子200は、画素をク

アドラベイヤ配列した点において第1の実施の形態と異なる。

[0136] 図19は、本技術の第1の実施の形態の第2の変形例における画素アレイ部220の一例を示す図である。この第1の実施の形態の第2の変形例の画素アレイ部220においてR画素、Gr画素、Gb画素およびB画素が、クアドラベイヤ配列される。クアドラベイヤ配列では、同色の4画素が2行×2列のエリアに配列される。

[0137] 赤色の2行×2列のエリア225に隣接する緑色の2行×2列をエリア226とする。エリア225内のいずれかの位置（例えば、右上）に画素302と同様のレイアウトの画素が配置され、残りに、画素301と同様のレイアウトの3画素が配置される。一方、隣接するエリア226において、右上に画素301と同様のレイアウトの画素が配置され、残りに、画素302と同様のレイアウトの3画素が配置される。エリア225および226以外の隣接する2つのエリアについても同様である。

[0138] このように、本技術の第1の実施の形態の第2の変形例によれば、画素301や302と同様のレイアウトの画素をクアドラベイヤ配列したため、カラー画像の画質を向上させることができる。

[0139] <2. 第2の実施の形態>

上述の第1の実施の形態では、画素ごとに後段リセットトランジスタおよび選択回路を配置していたが、この構成では、回路規模の削減が困難である。この第2の実施の形態の固体撮像素子200は、隣接する2画素で、後段リセットトランジスタおよび選択回路を共有する点において第1の実施の形態と異なる。

[0140] 図20は、本技術の第2の実施の形態における画素ブロック300の一構成例を示す回路図である。この第2の実施の形態の画素アレイ部220には、複数の画素ブロック300が配列される。画素ブロック300のそれぞれには、画素301および302が、配列される。

[0141] 画素ブロック300には、前段回路ブロック305と、容量素子331、332、336および337と、選択部340と、後段リセットトランジス

タ361と、後段回路370とが配置される。

[0142] また、前段回路ブロック305には、前段回路310および320が配置される。選択部340には、選択回路350および355が配置される。後段回路370は、後段増幅トランジスタ371および後段選択トランジスタ372を備える。

[0143] 選択回路350は、容量素子331および332のいずれかを後段ノード360に接続するものである。選択回路355は、容量素子336および337のいずれかを後段ノード360に接続するものである。なお、選択回路350は、特許請求の範囲に記載の第1の選択回路の一例であり、選択回路355は、特許請求の範囲に記載の第2の選択回路の一例である。

[0144] 図21は、本技術の第2の実施の形態における前段回路310および320と選択回路350および355との一構成例を示す回路図である。

[0145] 前段回路310は、光電変換素子311、転送トランジスタ312、FDリセットトランジスタ313、FD314、前段増幅トランジスタ315および電流源トランジスタ316を備える。

[0146] また、前段回路320は、光電変換素子321、転送トランジスタ322、FDリセットトランジスタ323、FD324、前段増幅トランジスタ325および電流源トランジスタ326を備える。

[0147] 光電変換素子311および321は、光電変換により電荷を生成するものである。転送トランジスタ312は、垂直走査回路211からの転送信号 t_{rg1} に従って、光電変換素子311からFD314へ電荷を転送するものである。転送トランジスタ322は、垂直走査回路211からの転送信号 t_{rg2} に従って、光電変換素子321からFD324へ電荷を転送するものである。

[0148] なお、光電変換素子311および321は、特許請求の範囲に記載の第1および第2の光電変換素子の一例である。転送トランジスタ312および322は、特許請求の範囲に記載の第1および第2の転送トランジスタの一例である。

- [0149] FDリセットトランジスタ313は、垂直走査回路211からのFDリセット信号rst1に従って、FD314から電荷を引き抜いて初期化するものである。FDリセットトランジスタ323は、垂直走査回路211からのFDリセット信号rst2に従って、FD324から電荷を引き抜いて初期化するものである。FD314および324は、電荷を蓄積し、電荷量に応じた電圧を生成するものである。
- [0150] なお、FDリセットトランジスタ313および323は、特許請求の範囲に記載の第1および第2のリセットトランジスタの一例である。FD314および324は、特許請求の範囲に記載の第1および第2の浮遊拡散層の一例である。
- [0151] 前段増幅トランジスタ315は、FD314の電圧のレベルを増幅して前段ノード330に出力するものである。前段増幅トランジスタ325は、FD324の電圧のレベルを増幅して前段ノード335に出力するものである。なお、前段増幅トランジスタ315および325は、特許請求の範囲に記載の第1および第2の前段増幅トランジスタの一例である。
- [0152] FDリセットトランジスタ313および323と前段増幅トランジスタ315および325とのそれぞれのドレインは、電源電圧VDDに接続される。電流源トランジスタ316は、前段増幅トランジスタ315のソースに接続される。この電流源トランジスタ316は、垂直走査回路211の制御に従って、電流id11を供給する。電流源トランジスタ326は、前段増幅トランジスタ325のソースに接続される。この電流源トランジスタ326は、垂直走査回路211の制御に従って、電流id12を供給する。
- [0153] なお、電流源トランジスタ316および326は、特許請求の範囲に記載の第1および第2の電流源トランジスタの一例である。
- [0154] 容量素子331および332のそれぞれの一端は、前段ノード330に共通に接続され、それぞれの他端は、選択回路350に接続される。容量素子336および337のそれぞれの一端は、前段ノード335に共通に接続され、それぞれの他端は、選択回路355に接続される。

- [0155] 選択回路350は、選択トランジスタ351および352を備える。選択トランジスタ351は、垂直走査回路211からの選択信号 $\Phi r1$ に従って、容量素子331と後段ノード360との間の経路を開閉するものである。選択トランジスタ352は、垂直走査回路211からの選択信号 $\Phi s1$ に従って、容量素子332と後段ノード360との間の経路を開閉するものである。
- [0156] 選択回路355は、選択トランジスタ356および357を備える。選択トランジスタ356は、垂直走査回路211からの選択信号 $\Phi r2$ に従って、容量素子336と後段ノード360との間の経路を開閉するものである。選択トランジスタ357は、垂直走査回路211からの選択信号 $\Phi s2$ に従って、容量素子337と後段ノード360との間の経路を開閉するものである。
- [0157] なお、画素ブロック300内の各種のトランジスタ（転送トランジスタ312など）として、例えば、nMOSトランジスタが用いられる。
- [0158] 上述の前段回路310と、容量素子331および332と、選択回路350と、後段リセットトランジスタ361と、後段回路370とからなる回路は、1つの画素として機能する。また、前段回路320と、容量素子336および337と、選択回路355と、後段リセットトランジスタ361と、後段回路370とからなる回路も1つの画素として機能する。これらの2画素により、後段リセットトランジスタ361および後段回路370が共有される。
- [0159] また、画素ブロック300内の2画素は、例えば、列方向に配列される。言い換えれば、これらの2画素は、奇数行および偶数行に配置される。なお、画素ブロック300内の2画素の位置関係は、奇数行および偶数行に限定されない。例えば、2画素を奇数列および偶数列に配置することもできる。あるいは、2画素の一方を他方の斜め上に配置することもできる。
- [0160] 図22は、本技術の第2の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。垂直走査回路211は、露光開始

の直前のタイミングT0から、パルス期間経過後のタイミングT1に亘って、全ての行（言い換えれば、全画素）にハイレベルのFDリセット信号rst1およびrst2と転送信号trg1およびtrg2とを供給する。これにより、全画素がPDリセットされ、全行で同時に露光が開始される。

[0161] ここで、同図のrst1__[n]、rst2__[n]、trg1__[n]およびtrg2__[n]は、N行のうちn行目の画素への信号を示す。Nは、画素ブロック300を配列した行の全行数を示す整数であり、nは、1乃至Nの整数である。画素ブロック300内の2画素が偶数行および奇数行の画素である場合、画素ブロック300の第n行は、奇数行および偶数行の2行を含む。

[0162] 露光期間の終了直前のタイミングT2において、垂直走査回路211は、全行において後段リセット信号rstbと選択信号φr1およびφr2とをハイレベルにしつつ、パルス期間に亘ってハイレベルのFDリセット信号rst1およびrst2を供給する。これにより、全画素がFDリセットされ、リセットレベルがサンプルホールドされる。ここで、同図のrstb__[n]、φr1__[n]およびφr2__[n]は、n行目の画素への信号を示す。

[0163] タイミングT2の後のタイミングT3において、垂直走査回路211は、選択信号φr1およびφr2をローレベルに戻す。

[0164] 露光終了のタイミングT4において、垂直走査回路211は、全行において後段リセット信号rstbと選択信号φs1およびφs2とをハイレベルにしつつ、パルス期間に亘ってハイレベルの転送信号trg1およびtrg2を供給する。これにより、信号レベルがサンプルホールドされる。また、同図のφs1__[n]およびφs2__[n]は、n行目の画素への信号を示す。

[0165] タイミングT4の後のタイミングT5において、垂直走査回路211は、選択信号φs1およびφs2をローレベルに戻す。

[0166] 図23は、本技術の第2の実施の形態における画素ブロック300内の最

初の画素の読出し動作の一例を示すタイミングチャートである。タイミングT10以降の第n行の読出し期間において、垂直走査回路211は、第n行のFDリセット信号rst1およびrst2と後段選択信号selbとをハイレベルにする。また、タイミングT10において、全行の後段リセット信号rstbは、ローレベルに制御される。ここで、同図のselb_[n]は、n行目の画素への信号を示す。

[0167] タイミングT10の直後のタイミングT11からタイミングT12までの期間に亘って垂直走査回路211は、第n行にハイレベルの選択信号Φr1を供給する。後段ノード360の電位は、リセットレベルVrst1となる。ADC261により、このリセットレベルがAD変換される。

[0168] タイミングT12の直後のタイミングT13からパルス期間に亘って、垂直走査回路211は、第n行にハイレベルの後段リセット信号rstbを供給する。これにより、後段ノード360に寄生容量が存在する際に、その寄生容量に保持される前回の信号の履歴を消去することができる。

[0169] 後段ノード360の初期化直後のタイミングT14からタイミングT15までの期間に亘って垂直走査回路211は、第n行にハイレベルの選択信号Φs1を供給する。後段ノード360の電位は、信号レベルVsig1となる。ADC261により、この信号レベルがAD変換される。リセットレベルVrst1と信号レベルVsig1との差分が、FDのリセットノイズやオフセットノイズを除去した正味の信号レベルに該当する。

[0170] 図24は、本技術の第2の実施の形態における画素ブロック300内の2番目の画素の読出し動作の一例を示すタイミングチャートである。

[0171] タイミングT15の直後のタイミングT16からパルス期間に亘って、垂直走査回路211は、第n行にハイレベルの後段リセット信号rstbを供給する。

[0172] 後段ノード360の初期化直後のタイミングT17からタイミングT18までの期間に亘って垂直走査回路211は、第n行にハイレベルの選択信号Φr2を供給する。後段ノード360の電位は、リセットレベルVrst2

となる。ADC 261により、このリセットレベルがAD変換される。

[0173] タイミングT18の直後のタイミングT19からパルス期間に亘って、垂直走査回路211は、第n行にハイレベルの後段リセット信号rstbを供給する。

[0174] 後段ノード360の初期化直後のタイミングT20からタイミングT21までの期間に亘って垂直走査回路211は、第n行にハイレベルの選択信号 $\phi s2$ を供給する。後段ノード360の電位は、信号レベルVsig2となる。ADC 261により、この信号レベルがAD変換される。

[0175] また、タイミングT21において、垂直走査回路211は、第n行のFDリセット信号rst1およびrst2と後段選択信号selbとをローレベルに戻す。

[0176] 図23および図24に例示したように、ハイレベルの選択信号 $\phi r1$ 、 $\phi s1$ 、 $\phi r2$ および $\phi s2$ が順に供給される。これらの選択信号に従って選択部340は、容量素子331、332、336および337を順に後段ノード360に接続する。そして、画素ブロック300内の最初の画素のリセットレベルVrst1および信号レベルVsig1と、2番目の画素のリセットレベルVrst2および信号レベルVsig2とが順に読み出される。

[0177] 図25は、本技術の第2の実施の形態における固体撮像素子200の動作の一例を示すフローチャートである。この動作は、例えば、画像データを撮像するための所定のアプリケーションが実行されたときに開始される。

[0178] 垂直走査回路211は、全画素の露光を行う（ステップS901）。そして、垂直走査回路211は、読出し対象の画素ブロック300の行を選択する（ステップS902）。カラム信号処理回路260は、その行の画素ブロック300内の最初の画素のリセットレベルの読出しを行い（ステップS903）、次に、その画素の信号レベルの読出しを行う（ステップS904）。続いてカラム信号処理回路260は、2番目の画素のリセットレベルの読出しを行い（ステップS905）、次に、その画素の信号レベルの読出しを行う（ステップS906）。

[0179] 固体撮像素子200は、全行の読出しが完了したか否かを判断する（ステップS907）。全行の読出しが完了していない場合に（ステップS907：No）、固体撮像素子200は、ステップS902以降を繰り返す。一方、全行の読出しが完了した場合に（ステップS907：Yes）、固体撮像素子200は、CDS処理などを実行し、撮像のための動作を終了する。複数枚の画像データを連続して撮像する場合には、垂直同期信号に同期して、ステップS901乃至S907が繰り返し実行される。

[0180] なお、第2の実施の形態に、第1の実施の形態の第1や第2の変形例を適用することもできる。

[0181] このように、本技術の第2の実施の形態によれば、2画素が後段リセットトランジスタ361および後段回路370を共有するため、共有しない場合と比較して、画素アレイ部220の回路規模を削減することができる。

[0182] [第1の変形例]

上述の第2の実施の形態では、固体撮像素子200は、画素ブロック300内の2画素のそれぞれの画素信号を順に読み出していたが、この構成では、読出し速度が不足するおそれがある。この第2の実施の形態の第1の変形例の固体撮像素子200は、画素加算を行う点において第2の実施の形態と異なる。

[0183] 図26は、本技術の第2の実施の形態の第1の変形例におけるリセットレベルおよび信号レベルの読出し動作の一例を示すタイミングチャートである。この第2の実施の形態の第1の変形例の固体撮像素子200には、画素加算を行わない非加算モードと、画素加算を行う加算モードとを含む複数のモードのいずれかが設定される。非加算モードのグローバルシャッター動作および読出し動作は、第2の実施の形態と同様である。加算モードのグローバルシャッター動作は、非加算モードと同様である。

[0184] 加算モードにおいて読出しを行う場合、同図に例示するように、第n行の読出し開始のタイミングT10において、垂直走査回路211は、ハイレベルのFDリセット信号rst1およびrst2をパルス期間に亘って供給す

る。また、タイミングT10からタイミングT15までの読出し期間内に垂直走査回路211は、後段選択信号selbをハイレベルにする。

[0185] タイミングT10の直後のタイミングT11からタイミングT12までの期間に亘って垂直走査回路211は、第n行にハイレベルの選択信号 $\phi r1$ および $\phi s2$ を供給する。これにより、後段ノード360の電位は、リセットレベル $Vrst$ となる。このリセットレベル $Vrst$ は、画素ブロック300内の2画素のそれぞれのリセットレベルを加算した値である。

[0186] タイミングT12の直後のタイミングT13からパルス期間に亘って、垂直走査回路211は、第n行にハイレベルの後段リセット信号rstbを供給する。

[0187] 後段ノード360の初期化直後のタイミングT14からタイミングT15までの期間に亘って垂直走査回路211は、第n行にハイレベルの選択信号 $\phi r2$ および $\phi s2$ を供給する。これにより、後段ノード360の電位は、信号レベル $Vsig$ となる。この信号レベル $Vsig$ は、画素ブロック300内の2画素のそれぞれの信号レベルを加算した値である。

[0188] 同図に例示したように、ハイレベルの選択信号 $\phi r1$ および $\phi s1$ 供給され、これらの選択信号に従って選択部340は、容量素子331および336を後段ノード360に接続する。言い換えれば、容量素子331と容量素子336とが短絡される。これにより、2画素のリセットレベルが加算される。また、ハイレベルの選択信号 $\phi r2$ および $\phi s2$ が供給され、これらの選択信号に従って選択部340は、容量素子332および337を後段ノード360に接続する。言い換えれば、容量素子332と容量素子337とが短絡される。これにより、2画素の信号レベルが加算される。これらの画素加算により、加算しない場合と比較して感度や読出し速度を向上させることができる。また、画素加算により読み出す行数が削減されるため、消費電力を低減することができる。

[0189] なお、固体撮像素子200は、リセットレベルの後に信号レベルを読み出しているが、この順番に限定されず、信号レベルの後に、リセットレベルを

読み出すこともできる。

[0190] なお、第2の実施の形態の第1の変形例に、第1の実施の形態の第1、第2の変形例を適用することもできる。

[0191] このように、本技術の第2の実施の形態の第1の変形例によれば、選択部340は、容量素子331および336を後段ノード360に接続し、容量素子332および337を後段ノード360に接続するため、2画素のそれぞれの画素信号を加算することができる。これにより、加算しない場合と比較して感度や読出し速度を向上させ、消費電力を低減することができる。

[0192] [第2の変形例]

上述の第2の実施の形態では、固体撮像素子200内の回路を単一の半導体チップに設けていたが、この構成では、画素を微細化した際に半導体チップ内に素子が収まらなくなるおそれがある。この第2の実施の形態の第2の変形例の固体撮像素子200は、固体撮像素子200内の回路を2つの半導体チップに分散して配置した点において第2の実施の形態と異なる。

[0193] 図27は、本技術の第2の実施の形態の第2の変形例における固体撮像素子200の積層構造の一例を示す図である。第2の実施の形態の第2の変形例の固体撮像素子200は、下側画素チップ202と、その下側画素チップ202に積層された上側画素チップ201とを備える。これらのチップは、例えば、Cu-Cu接合により電氣的に接続される。なお、Cu-Cu接合の他、ビアやバンプにより接続することもできる。

[0194] 上側画素チップ201には、上側画素アレイ部221が配置される。下側画素チップ202には、下側画素アレイ部222とカラム信号処理回路260とが配置される。画素アレイ部220内の画素ごとに、その一部が、上側画素アレイ部221に配置され、残りが下側画素アレイ部222に配置される。

[0195] また、下側画素チップ202には、垂直走査回路211、タイミング制御回路212、DAC213および負荷MOS回路ブロック250も配置される。これらの回路は、同図において省略されている。

[0196] また、上側画素チップ201は、例えば、画素専用のプロセスで製造され、下側画素チップ202は、例えば、CMOS (Complementary MOS) プロセスで製造される。なお、上側画素チップ201は、特許請求の範囲に記載の第1のチップの一例であり、下側画素チップ202は、特許請求の範囲に記載の第2のチップの一例である。

[0197] 図28は、本技術の第2の実施の形態の第2の変形例における画素ブロック300の一構成例を示す回路図である。画素ブロック300のうち、前段回路ブロック305は、上側画素チップ201に配置され、それ以外の回路や素子（容量素子331および332など）は、下側画素チップ202に配置される。なお、電流源トランジスタ316や326をさらに下側画素チップ202に配置することもできる。同図に例示するように、画素ブロック300内の素子を、積層した上側画素チップ201および下側画素チップ202に分散して配置することにより、画素の面積を小さくすることができ、画素の微細化が容易になる。

[0198] なお、第2の実施の形態の第2の変形例に、第1の実施の形態の第1、第2の変形例を適用することもできる。

[0199] このように、本技術の第2の実施の形態の第2の変形例によれば、画素ブロック300内の回路や素子を2つの半導体チップに分散して配置するため、画素の微細化が容易になる。

[0200] [第3の変形例]

上述の第2の実施の形態の第2の変形例では、画素ブロック300の一部と周辺回路（カラム信号処理回路260など）とを下側の下側画素チップ202に設けていた。しかし、この構成では、周辺回路の分、下側画素チップ202側の回路や素子の配置面積が上側画素チップ201より大きくなり、上側画素チップ201に、回路や素子の無い無駄なスペースが生じるおそれがある。この第2の実施の形態の第3の変形例の固体撮像素子200は、固体撮像素子200内の回路を3つの半導体チップに分散して配置した点において第2の実施の形態の第2の変形例と異なる。

- [0201] 図29は、本技術の第2の実施の形態の第3の変形例における固体撮像素子200の積層構造の一例を示す図である。第2の実施の形態の第3の変形例の固体撮像素子200は、上側画素チップ201、下側画素チップ202および回路チップ203を備える。これらのチップは積層され、例えば、Cu-Cu接合により電氣的に接続される。なお、Cu-Cu接合の他、ビアやバンプにより接続することもできる。
- [0202] 上側画素チップ201には、上側画素アレイ部221が配置される。下側画素チップ202には、下側画素アレイ部222が配置される。画素アレイ部220内の画素ごとに、その一部が、上側画素アレイ部221に配置され、残りが下側画素アレイ部222に配置される。
- [0203] また、回路チップ203には、カラム信号処理回路260、垂直走査回路211、タイミング制御回路212、DAC213および負荷MOS回路ブロック250が配置される。カラム信号処理回路260以外の回路は、同図において省略されている。
- [0204] なお、上側画素チップ201は、特許請求の範囲に記載の第1のチップの一例であり、下側画素チップ202は、特許請求の範囲に記載の第2のチップの一例である。回路チップ203は、特許請求の範囲に記載の第3のチップの一例である。
- [0205] 同図に例示したように3層構成にすることにより、2層構成と比較して無駄なスペースを削減し、さらに画素を微細化することができる。また、2層目の下側画素チップ204を、容量やスイッチのための専用のプロセスで製造することができる。
- [0206] なお、第2の実施の形態の第3の変形例に、第1の実施の形態の第1、第2の変形例を適用することもできる。
- [0207] このように、本技術の第2の実施の形態の第3の変形例では、固体撮像素子200内の回路を3つの半導体チップに分散して配置するため、2つの半導体チップに分散して配置する場合と比較してさらに画素を微細化することができる。

[0208] <3. 第3の実施の形態>

上述の第2の実施の形態では、固体撮像素子200は、画素ブロック300内の2画素のそれぞれの画素信号を順に読み出していたが、この構成では、読出し速度が不足するおそれがある。この第3の実施の形態の固体撮像素子200は、画素加算を行う点において第2の実施の形態と異なる。

[0209] 図30は、本技術の第3の実施の形態における画素アレイ部220の一構成例を示す平面図である。同図におけるaは、ベイヤー配列の画素アレイ部220の一例を示す平面図である。同図におけるbは、クアドラベイヤー配列の画素アレイ部220の一例を示す平面図である。同図の画素アレイ部220において、例えば、第1の実施の形態の第1、第2変形例のレイアウトが適用される。

[0210] 同図におけるaに例示するように第2の実施の形態の画素アレイ部220において、R (Red)、G (Green)およびB (Blue) の画素がベイヤー配列により配列される。固体撮像素子200は、これらの画素のうち、Rの画素301と、その近傍のRの画素302乃至304とのそれぞれの画素信号を加算することができる。Gの画素やBの画素についても、同様に、固体撮像素子200は、近傍の4画素の各画素信号を加算することができる。

[0211] なお、ベイヤー配列の代わりに、同図におけるbに例示するようにクアドラベイヤー配列により画素を配列することもできる。クアドラベイヤー配列では、同色の4画素が2行×2列で隣接して配列される。そして、Rの4画素に着目すると、それらの右下にBの4画素が配置され、右側と下側にGの4画素が配置される。固体撮像素子200は、これらの画素のうち、隣接する同色の4画素（画素301乃至304など）のそれぞれの画素信号を加算することができる。

[0212] なお、画素の配列は、ベイヤー配列やクアドラベイヤー配列に限定されない。例えば、R、G、BおよびW (White) の画素を配列することもできる。

[0213] 図31は、本技術の第3の実施の形態における画素ブロック300の一構成例を示す回路図である。第3の実施の形態の画素ブロック300には、画

素加算を行う際に加算対象となる4画素が配置される。例えば、図30における画素301乃至304が画素ブロック300内に配置される。

- [0214] 第3の実施の形態の画素ブロック300には、容量素子431、432、436および437と、短絡トランジスタ480と、後段リセットトランジスタ461と、後段回路470とがさらに設けられる。また、第3の実施の形態において、前段回路ブロック305には、前段回路410および420がさらに配置され、選択部340には、選択回路450および455がさらに配置される。垂直走査回路211は、後段リセットトランジスタ361に後段リセット信号rstb1を供給し、後段リセットトランジスタ461に後段リセット信号rstb2を供給する。
- [0215] 後段回路470には、後段増幅トランジスタ471および後段選択トランジスタ472が配置される。これらのトランジスタとして、例えば、nMOSトランジスタが用いられる。また、後段リセットトランジスタ461および後段回路470の回路構成は、後段リセットトランジスタ361および後段回路370と同様である。後段回路370および470は、同一の垂直信号線309に接続される。垂直走査回路211は、後段選択トランジスタ372に後段選択信号selb1を供給し、後段選択トランジスタ472に後段選択信号selb2を供給する。
- [0216] 前段回路410は、リセットレベルおよび信号レベルを順に生成して容量素子431および432に保持させる。前段回路420は、リセットレベルおよび信号レベルを順に生成して容量素子436および437に保持させる。なお、容量素子431および432は、特許請求の範囲に記載の第5および第6の容量素子の一例であり、容量素子436および437は、特許請求の範囲に記載の第7および第8の容量素子の一例である。
- [0217] また、選択回路450は、容量素子431および432のいずれかを後段ノード460に接続し、選択回路455は、容量素子436および437のいずれかを後段ノード460に接続する。なお、選択回路450は、特許請求の範囲に記載の第3の選択回路の一例であり、選択回路455は、特許請

求の範囲に記載の第4の選択回路の一例である。また、後段ノード360は、特許請求の範囲に記載の第1の後段ノードの一例であり、後段ノード460は、特許請求の範囲に記載の第2の後段ノードの一例である。

[0218] 短絡トランジスタ480は、垂直走査回路211からの短絡信号shtに従って、後段ノード360と後段ノード460との間の経路を開閉するものである。短絡トランジスタ480として、例えば、nMOSトランジスタが用いられる。

[0219] 図32は、本技術の第3の実施の形態における前段回路410および420と選択回路450および455との一構成例を示す回路図である。

[0220] 前段回路410は、光電変換素子411、転送トランジスタ412、FDリセットトランジスタ413、FD414、前段増幅トランジスタ415および電流源トランジスタ416を備える。垂直走査回路211は、転送トランジスタ412およびFDリセットトランジスタ413に転送信号trg3およびFDリセット信号rst3を供給する。

[0221] また、前段回路420は、光電変換素子421、転送トランジスタ422、FDリセットトランジスタ423、FD424、前段増幅トランジスタ425および電流源トランジスタ426を備える。垂直走査回路211は、転送トランジスタ422およびFDリセットトランジスタ423に転送信号trg4およびFDリセット信号rst4を供給する。

[0222] 選択回路450は、選択トランジスタ451および452を備え、選択回路455は、選択トランジスタ456および457を備える。垂直走査回路211は、選択トランジスタ451および452に選択信号φr3およびφs3を供給し、選択トランジスタ456および457に選択信号φr4およびφs4を供給する。

[0223] 前段回路410および420の回路構成は、前段回路310および320と同様である。また、選択回路450および455の回路構成は、選択回路350および355と同様である。

[0224] 図33は、本技術の第3の実施の形態における画素ブロック300内の1

番目および2番目の画素の読出し動作の一例を示すタイミングチャートである。この第3の実施の形態の固体撮像素子200には、画素加算を行わない非加算モードと、画素加算を行う加算モードとを含む複数のモードのいずれかが設定される。非加算モードのグローバルシャッター動作および読出し動作は、第2の実施の形態と同様である。加算モードのグローバルシャッター動作は、非加算モードと同様である。

- [0225] 非加算モードにおいて、垂直走査回路211は、短絡信号shtをローレベルにする。また、n番目の画素ブロック300の行の読出し開始のタイミングT10において、垂直走査回路211は、FDリセット信号rst1乃至rst4をハイレベルにする。また、タイミングT10乃至T18の期間内に垂直走査回路211は、後段選択信号selb1をハイレベルにし、後段選択信号selb2をローレベルにする。
- [0226] また、タイミングT10からT11までのパルス期間内に垂直走査回路211は、ハイレベルの後段リセット信号rstb1を供給し、タイミングT11乃至T12の期間内にハイレベルの選択信号φr1を供給する。この期間内に垂直信号線309を介して1番目の画素のリセットレベルVrst1が読み出される。
- [0227] タイミングT12からT13までのパルス期間内に垂直走査回路211は、ハイレベルの後段リセット信号rstb1を供給し、タイミングT13乃至T14の期間内にハイレベルの選択信号φs1を供給する。この期間内に垂直信号線309を介して1番目の画素の信号レベルVsig1が読み出される。
- [0228] 続いて、タイミングT14からT15までのパルス期間内に垂直走査回路211は、ハイレベルの後段リセット信号rstb1を供給し、タイミングT15乃至T16の期間内にハイレベルの選択信号φr2を供給する。この期間内に垂直信号線309を介して2番目の画素のリセットレベルVrst2が読み出される。
- [0229] タイミングT16からT17までのパルス期間内に垂直走査回路211は

、ハイレベルの後段リセット信号 $r s t b 1$ を供給し、タイミング $T 1 7$ 乃至 $T 1 8$ の期間内にハイレベルの選択信号 $\phi s 2$ を供給する。この期間内に垂直信号線 $3 0 9$ を介して2番目の画素の信号レベル $V s i g 2$ が読み出される。

[0230] 図34は、本技術の第3の実施の形態における画素ブロック内300の3番目および4番目の画素の読出し動作の一例を示すタイミングチャートである。

[0231] タイミング $T 1 8$ 乃至 $T 2 6$ の期間内に垂直走査回路 $2 1 1$ は、後段選択信号 $s e l b 1$ をローレベルにし、後段選択信号 $s e l b 2$ をハイレベルにする。

[0232] また、タイミング $T 1 8$ から $T 1 9$ までのパルス期間内に垂直走査回路 $2 1 1$ は、ハイレベルの後段リセット信号 $r s t b 2$ を供給し、タイミング $T 1 9$ 乃至 $T 2 0$ の期間内にハイレベルの選択信号 $\phi r 3$ を供給する。この期間内に垂直信号線 $3 0 9$ を介して3番目の画素のリセットレベル $V r s t 3$ が読み出される。

[0233] タイミング $T 2 0$ から $T 2 1$ までのパルス期間内に垂直走査回路 $2 1 1$ は、ハイレベルの後段リセット信号 $r s t b 2$ を供給し、タイミング $T 2 1$ 乃至 $T 2 2$ の期間内にハイレベルの選択信号 $\phi s 3$ を供給する。この期間内に垂直信号線 $3 0 9$ を介して3番目の画素の信号レベル $V s i g 3$ が読み出される。

[0234] 続いて、タイミング $T 2 2$ から $T 2 3$ までのパルス期間内に垂直走査回路 $2 1 1$ は、ハイレベルの後段リセット信号 $r s t b 2$ を供給し、タイミング $T 2 3$ 乃至 $T 2 4$ の期間内にハイレベルの選択信号 $\phi r 4$ を供給する。この期間内に垂直信号線 $3 0 9$ を介して4番目の画素のリセットレベル $V r s t 4$ が読み出される。

[0235] タイミング $T 2 4$ から $T 2 5$ までのパルス期間内に垂直走査回路 $2 1 1$ は、ハイレベルの後段リセット信号 $r s t b 2$ を供給し、タイミング $T 2 5$ 乃至 $T 2 6$ の期間内にハイレベルの選択信号 $\phi s 4$ を供給する。この期間内に

垂直信号線309を介して4番目の画素の信号レベル V_{sig4} が読み出される。

[0236] また、第 n 行の読出しの終了のタイミング T_{26} において、垂直走査回路211は、FDリセット信号 r_{st1} 乃至 r_{st4} をローレベルにする。

[0237] 図33および図34に例示したように、非加算モードにおいて、短絡トランジスタ480は開状態に制御される。また、容量素子331および332が順に後段ノード360に接続され、1番目の画素のリセットレベルおよび信号レベルが順に読み出される。容量素子336および337が順に後段ノード360に接続され、2番目の画素のリセットレベルおよび信号レベルが順に読み出される。続いて、容量素子431および432が順に後段ノード460に接続され、3番目の画素のリセットレベルおよび信号レベルが順に読み出される。容量素子436および437が順に後段ノード460に接続され、4番目の画素のリセットレベルおよび信号レベルが順に読み出される。このように画素ブロック300内の4画素のそれぞれのリセットレベルおよび信号レベルが順に読み出される。

[0238] 図35は、本技術の第3の実施の形態における加算モードの読出し動作の一例を示すタイミングチャートである。加算モードにおいて、垂直走査回路211は、短絡信号 s_{ht} をハイレベルにする。 n 番目の画素ブロック300の行の読出し期間であるタイミング T_{10} 乃至 T_{14} において、垂直走査回路211は、FDリセット信号 r_{st1} 乃至 r_{st4} と後段選択信号 $selb1$ および $selb2$ とをハイレベルにする。

[0239] また、タイミング T_{10} から T_{11} までのパルス期間内に垂直走査回路211は、ハイレベルの後段リセット信号 r_{stb1} および r_{stb2} を供給し、タイミング T_{11} 乃至 T_{12} の期間内にハイレベルの選択信号 ϕ_{r1} 乃至 ϕ_{r4} を供給する。この期間内に垂直信号線309を介してリセットレベル V_{rst} が読み出される。このリセットレベル V_{rst} は、画素ブロック300内の4画素のそれぞれのリセットレベルを加算した値である。

[0240] 続いて、タイミング T_{12} から T_{13} までのパルス期間内に垂直走査回路

211は、ハイレベルの後段リセット信号rstb1およびrstb2を供給し、タイミングT13乃至T14の期間内にハイレベルの選択信号Φs1乃至Φs4を供給する。この期間内に垂直信号線309を介して信号レベルVsigが読み出される。この信号レベルVsigは、画素ブロック300内の4画素のそれぞれの信号レベルを加算した値である。

[0241] ここで、第2の実施の形態の画素ブロック300において、後段回路370を共有する画素数を4つに増やすことによっても4画素を加算することができる。しかし、後段回路370を共有する画素数が増えると弊害が生じる。後段回路370を共有する画素数を4つにすると、後段ノード360の配線が4画素に跨り、その後段ノード360の寄生容量が増大する。この寄生容量の増大により、画素加算を行わない場合の信号のゲインが低下してしまう。これは、容量素子331や332に保持した電圧が、後段ノード360と接続する際に、寄生容量により低減されてしまうためである。このゲインの低下により、SN (Signal-Noise) 比が低下する。

[0242] これに対して、短絡トランジスタ480を設けた第3の実施の形態では、非加算モードにおいて短絡トランジスタ480を開状態にすることにより、後段回路370および470のそれぞれを共有する画素数を2画素にすることができる。これにより、4画素が後段回路370を共有する場合と比較して、後段ノードの寄生容量の増大を抑制することができる。このような構成により、2画素より多くの画素の加算を実現しつつ、非加算モードのSN比の低下を抑制することができる。

[0243] なお、図31に例示した画素ブロック300では、1本の垂直信号線309を後段回路370および470で共有していたが、この構成に限定されない。垂直信号線309-1および309-2を配線し、後段回路370を垂直信号線309-1に接続し、後段回路470を垂直信号線309-2に接続することもできる。この場合、垂直信号線の配線数とともに、後段の負荷MOSトランジスタ251の個数とADC261の個数とを2倍にする必要がある。その代わりに、非加算モードの際に、後段回路370を共有する2

画素の一方と後段回路470を共有する2画素の一方とを同時に読み出すことができるため、読出し速度を向上させることができる。また、加算モードの際には、垂直信号線309-1および309-2の一方のみが使用され、他方に対応する負荷MOSトランジスタ251はオフ状態に制御される。

[0244] なお、第3の実施の形態に、第2の実施の形態の第1乃至第3の変形例を適用することもできる。

[0245] このように、本技術の第3の実施の形態によれば、短絡トランジスタ480が後段ノード360と後段ノード460とを短絡するため、画素ブロック300は、4画素のそれぞれの画素信号を加算することができる。これにより、加算しない場合と比較して感度や読出し速度を向上させ、消費電力を低減することができる。

[0246] <4. 第4の実施の形態>

上述の第1の実施の形態では、画素ごとに電流源トランジスタ(316や326)を配置していたが、この構成では、画素の微細化が困難になるおそれがある。この第4の実施の形態の固体撮像素子200は、複数の画素で電流源トランジスタを共有する点において第1の実施の形態と異なる。

[0247] 図36は、本技術の第4の実施の形態における画素ブロック300の一構成例を示す回路図である。この第4の実施の形態の画素ブロック300は、前段選択トランジスタ317および327をさらに備え、電流源トランジスタ316が設けられない点において第2の実施の形態と異なる。

[0248] 前段選択トランジスタ317は、垂直走査回路211からの前段選択信号sel1に従って、前段増幅トランジスタ315により増幅された電圧を前段ノード338に出力するものである。前段選択トランジスタ327は、垂直走査回路211からの前段選択信号sel2に従って、前段増幅トランジスタ325により増幅された電圧を前段ノード338に出力するものである。また、電流源トランジスタ326は、前段ノード338に接続される。

[0249] また、容量素子331、332、336および337の一端は、前段ノード339に共通に接続され、他端は、選択回路350および355に接続さ

れる。前段ノード339は、前段ノード338に接続される。

[0250] また、固体撮像素子200内の回路や素子は、上側画素チップ201および下側画素チップ202に分散して配置される。例えば、前段回路310および320が上側画素チップ201に配置され、それらの後段の回路は回路チップ202に配置される。そして、前段ノード338と前段ノード339とが、Cu-Cu接続などにより接続される。

[0251] 画素ごとに電流源トランジスタを配置する第2の実施の形態では、積層構造とする際に、図28に例示したように、画素ごとにCu-Cu接続を行う必要がある。特に、回路チップ202にMIM構造の容量素子331などを配置する場合、チップの厚さが増え、上下のチップを接続する面の平坦化が難しくなり、Cu-Cu接続のピッチを制約することになる。例えば、モバイル用途のイメージセンサの微細画素のサイズがマイクロメートル(μm)以下であるのに対し、Cu-Cu接続のピッチは数マイクロメートル(μm)となってしまう。このため、画素ごとに電流源トランジスタを配置する構成では、微細化が困難となる。

[0252] これに対して、2画素で電流源トランジスタ326を共有する図36の構成では、Cu-Cu接続数を削減することができる。このため、画素の微細化が容易になる。また、グローバルシャッター動作の際の電流を削減することができる。また、電流源トランジスタ326は、トランジスタのチャンネル長変調効果による電流変動を抑制するために、カスケードの構成を取ることが一般的に行われている。比較的サイズが大きい電流源トランジスタ326を共有することにより、トランジスタの面積を削減することができる。

[0253] なお、2画素で電流源トランジスタ326を共有しているが、共有する画素数は2画素に限定されず、3画素以上であってもよい。

[0254] 図37は、本技術の第4の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。垂直走査回路211は、露光開始の直前のタイミングT0から、パルス期間経過後のタイミングT1に亘って、全ての行にハイレベルのFDリセット信号rst1およびrst2と転送

信号 t_{rg1} および t_{rg2} とを供給する。これにより、全画素が PD リセットされ、全行で同時に露光が開始される。

[0255] 露光終了の直前のタイミング T2 から T5 までの期間内に垂直走査回路 211 は、全行の前段選択信号 $sel1$ をハイレベルにする。その期間内のタイミング T3 において、垂直走査回路 211 は、全行において後段リセット信号 $rstb$ と選択信号 $\phi r1$ とをハイレベルにしつつ、パルス期間に亘ってハイレベルの FD リセット信号 $rst1$ を供給する。これにより、画素ブロック 300 内の最初の画素が FD リセットされ、リセットレベルがサンプルホールドされる。

[0256] タイミング T4 において、垂直走査回路 211 は、選択信号 $\phi r1$ をローレベルに戻す。また、垂直走査回路 211 は、タイミング T5 から T8 までの期間内に、全行の前段選択信号 $sel1$ をローレベルにし、前段選択信号 $sel2$ をハイレベルにする。その期間内のタイミング T6 において、垂直走査回路 211 は、全行において後段リセット信号 $rstb$ と選択信号 $\phi r2$ とをハイレベルにしつつ、パルス期間に亘ってハイレベルの FD リセット信号 $rst2$ を供給する。これにより、画素ブロック 300 内の 2 番目の画素が FD リセットされ、リセットレベルがサンプルホールドされる。

[0257] そして、垂直走査回路 211 は、タイミング T7 において、全行の選択信号 $\phi r2$ をローレベルに戻し、タイミング T8 において、前段選択信号 $sel2$ をローレベルにし、前段選択信号 $sel1$ をハイレベルにする。

[0258] ここで、同図の $sel1_ [n]$ および $sel2_ [n]$ は、 n 行目の画素への信号を示す。

[0259] 同図に例示するように、垂直走査回路 211 は、露光終了の直前に前段選択トランジスタ 317 および 327 を順に閉状態にする。そして、前段選択トランジスタ 317 が閉状態のときに FD リセットトランジスタ 313 が FD リセットを行い、前段選択トランジスタ 327 が閉状態のときに FD リセットトランジスタ 323 が FD リセットを行う。

[0260] 図 38 は、本技術の第 4 の実施の形態における露光終了直後の制御の一例

を示すタイミングチャートである。露光終了のタイミングT9において、垂直走査回路211は、全行においてパルス期間に亘ってハイレベルの転送信号trg1およびtrg2を供給する。

[0261] そして垂直走査回路211は、タイミングT10からT11までの期間内に全行において選択信号Φs1をハイレベルにする。これにより、画素ブロック300内の最初の画素の信号レベルがサンプルホールドされる。

[0262] 垂直走査回路211は、タイミングT12において、全行の前段選択信号sel1をローレベルにし、前段選択信号sel2をハイレベルにする。

[0263] そして垂直走査回路211は、タイミングT13からT14までの期間内に全行において選択信号Φs2をハイレベルにする。これにより、画素ブロック300内の2番目の画素の信号レベルがサンプルホールドされる。

[0264] 垂直走査回路211は、タイミングT15において、全行の前段選択信号sel2をローレベルに戻す。

[0265] 同図に例示するように、垂直走査回路211は、露光終了時に前段選択トランジスタ317および327を順に閉状態にする。そして、垂直走査回路211は、露光終了時に転送トランジスタ312および322に電荷を転送させ、その後に前段選択トランジスタ317および327を順に閉状態にする。

[0266] なお、第4の実施の形態に、第1の実施の形態の第1、第2の変形例、第2の実施の形態の第1、第3の変形例や第3の実施の形態を適用することができる。

[0267] このように、本技術の第4の実施の形態によれば、2画素で電流源トランジスタ326を共有するため、チップ間のCu-Cu接続数を削減することができる。これにより、画素の微細化が容易になる。

[0268] <5. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、

ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0269] 図39は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0270] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図39に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

[0271] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0272] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0273] 車外情報検出ユニット12030は、車両制御システム12000を搭載

した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0274] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0275] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0276] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0277] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に

基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0278] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0279] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図39の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0280] 図40は、撮像部12031の設置位置の例を示す図である。

[0281] 図40では、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0282] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105

は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0283] なお、図40には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0284] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0285] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0286] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出

し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0287] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方角輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0288] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、例えば、図1の撮像装置100は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、ノイズを目立たなくし、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0289] なお、上述の実施の形態は本技術を具現化するための一例を示したもので

あり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0290] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0291] なお、本技術は以下のような構成もとることができる。

(1) 所定のリセットレベルを保持する第1の容量素子と所定のノードとの間の経路を開閉する第1の選択トランジスタが特定の相対位置に配置され、露光量に応じた信号レベルを保持する第2の容量素子と前記ノードとの間の経路を開閉する第2の選択トランジスタが前記特定の相対位置と異なる相対位置に配置された第1画素と、

所定のリセットレベルを保持する第3の容量素子と所定のノードとの間の経路を開閉する第3の選択トランジスタが前記特定の相対位置に配置され、露光量に応じた信号レベルを保持する第4の容量素子と前記ノードとの間の経路を開閉する第4の選択トランジスタが前記特定の相対位置と異なる相対位置に配置された第2画素とを具備する固体撮像素子。

(2) 前記第2画素は、前記第1画素に隣接する前記(1)記載の固体撮像素子。

(3) 前記第1画素および前記第2画素を含む画素アレイ部内の画素は、ベイヤール配列される前記(1)記載の固体撮像素子。

(4) 前記画素アレイ部は、

4つの前記第1画素を2行×2列に配列した第1エリアと、

前記第1エリアに隣接し、4つの前記第2画素を2行×2列に配列した第

2 エリアとを含む

前記（3）記載の固体撮像素子。

（5）前記画素アレイ部は、

前記第1画素と3つの前記第2画素とを2行×2列に配列した第1エリアと、

前記第1エリアに隣接し、前記第2画素と3つの前記第1画素とを2行×2列に配列した第2エリアとを含む

前記（3）記載の固体撮像素子。

（6）前記第1画素および前記第2画素を含む画素アレイ部内の画素は、クアドラベイヤール配列され、

前記画素アレイ部は、

前記第1画素と前記第1画素と同色の3つの前記第2画素とを2行×2列に配列した第1エリアと、

前記第1エリアに隣接し、前記第2画素と前記第2画素と同色の3つの前記第1画素とを2行×2列に配列した第2エリアとを含む

前記（1）記載の固体撮像素子。

（7）前記ノードは、後段ノードであり、

前記第1画素および前記第2画素を配列した画素ブロックは、

第1のリセットレベルと第1の信号レベルとを順に生成して前記第1および第2の容量素子に保持させる第1の前段回路と、

第2のリセットレベルと第2の信号レベルとを順に生成して前記第3および第4の容量素子に保持させる第2の前段回路と、

前記第1、第2、第3および第4の容量素子と、

前記第1および第2の選択トランジスタを設けた第1の選択回路と、前記第3および第4の前段選択トランジスタを設けた第2の選択回路とを含む選択部と、

前記後段ノードを介して前記第1および第2のリセットレベルと前記第1および第2の信号レベルとのそれぞれを順に読み出す後段回路と

を備える前記（１）から（６）のいずれかに記載の固体撮像素子。

（８）前記第１の前段回路は、

第１の光電変換素子と、

前記第１の光電変換素子から第１の浮遊拡散層へ電荷を転送する第１の前段転送トランジスタと、

前記第１の浮遊拡散層を初期化する第１のリセットトランジスタと、

前記第１の浮遊拡散層の電圧を増幅する第１の前段増幅トランジスタとを備え、

前記第２の前段回路は、

第２の光電変換素子と、

前記第２の光電変換素子から第２の浮遊拡散層へ電荷を転送する第２の前段転送トランジスタと、

前記第２の浮遊拡散層を初期化する第２のリセットトランジスタと、

前記第２の浮遊拡散層の電圧を増幅する第２の前段増幅トランジスタとを備える

前記（７）記載の固体撮像素子。

（９）前記第１の前段回路は、第１の前段ノードに接続された第１の電流源トランジスタをさらに備え、

前記第２の前段回路は、第２の前段ノードに接続された第２の電流源トランジスタをさらに備え、

前記第１の前段増幅トランジスタは、前記第１の浮遊拡散層の電圧を増幅して前記第１の前段ノードへ出力し、

前記第２の前段増幅トランジスタは、前記第２の浮遊拡散層の電圧を増幅して前記第２の前段ノードへ出力し、

前記第１および第２の容量素子のそれぞれの一端は前記第１の前段ノードに共通に接続され、それぞれの他端は前記第１の選択回路に接続され、

前記第３および第４の容量素子のそれぞれの一端は前記第２の前段ノードに共通に接続され、それぞれの他端は前記第２の選択回路に接続される

前記（８）記載の固体撮像素子。

（１０）所定の露光開始タイミングにおいて前記第１および第２の前段転送トランジスタが前記第１および第２の浮遊拡散層へ前記電荷を転送するとともに前記第１および第２のリセットトランジスタが前記第１および第２の浮遊拡散層とともに前記第１および第２の光電変換素子を初期化し、

所定の露光終了タイミングにおいて前記第１および第２の前段転送トランジスタが前記第１および第２の浮遊拡散層へ前記電荷を転送する

前記（８）または（９）に記載の固体撮像素子。

（１１）前記選択部は、前記第１および第２の容量素子の一方を前記後段ノードに接続する制御と前記第１および第２の容量素子の他方を前記後段ノードに接続する制御と前記第３および第４の容量素子の一方を前記後段ノードに接続する制御と前記第３および第４の容量素子の他方を前記後段ノードに接続する制御とを順に行う

前記（８）から（１０）のいずれかに記載の固体撮像素子。

（１２）前記選択部は、所定の加算モードにおいて前記第１および第２の容量素子の一方と前記第３および第４の容量素子の一方との両方を前記後段ノードに接続する制御と、前記第１および第２の容量素子の他方と前記第３および第４の容量素子の他方との両方を前記後段ノードに接続する制御とを順に行う

前記（８）から（１１）のいずれかに記載の固体撮像素子。

（１３）前記第１の前段回路は、所定の第１の選択信号に従って前記第１の前段増幅トランジスタにより増幅された電圧を所定の前段ノードに出力する第１の前段選択トランジスタをさらに備え、

前記第２の前段回路は、

所定の第２の選択信号に従って前記第２の前段増幅トランジスタにより増幅された電圧を前記前段ノードに出力する第２の前段選択トランジスタと、

前記前段ノードに接続された電流源トランジスタと

をさらに備え、

前記第 1 および第 2 の容量素子のそれぞれの一端は前記前段ノードに共通に接続され、それぞれの他端は前記第 1 の選択回路に接続され、

前記第 3 および第 4 の容量素子のそれぞれの一端は前記前段ノードに共通に接続され、それぞれの他端は前記第 2 の選択回路に接続される前記 (8) 記載の固体撮像素子。

(14) 所定の露光終了のタイミングの直前と前記露光終了のタイミングの後とに前記第 1 および第 2 の前段選択トランジスタは、順に閉状態に移行し、

前記第 1 のリセットトランジスタは、前記第 1 の前段選択トランジスタが前記閉状態のときに前記第 1 の浮遊拡散層を初期化し、

前記第 2 のリセットトランジスタは、前記第 2 の前段選択トランジスタが前記閉状態のときに前記第 2 の浮遊拡散層を初期化し、

前記露光終了のタイミングの直後に前記第 1 および第 2 の前段選択トランジスタは、順に閉状態に移行し、

前記第 1 および第 2 の前段転送トランジスタは、所定の露光終了のタイミングで前記電荷を転送する前記 (13) 記載の固体撮像素子。

(15) 前記ノードは、第 1 および第 2 の後段ノードを含み、

前記第 1 画素および前記第 2 画素を含む 4 画素を配列した画素ブロックは、

前記第 1 の後段ノードと前記第 2 の後段ノードとの間の経路を開閉する短絡トランジスタと、

前記第 1、第 2、第 3 および第 4 の容量素子と、

第 3、第 4、第 5 および第 6 の容量素子と、

前記第 1 および第 2 の選択トランジスタを設けた第 1 の選択回路と、前記第 3 および第 4 の前段選択トランジスタを設けた第 2 の選択回路と、前記第 5 および第 6 の容量素子のいずれかを前記第 2 の後段ノードに接続する第 3 の選択回路と、前記第 7 および第 8 の容量素子のいずれかを前記第 2 の後段

ノードに接続する第4の選択回路とを含む選択部とを備える前記(1)記載の固体撮像素子。

(16) 所定の非加算モードにおいて前記短絡トランジスタは、開状態であり、

前記非加算モードにおいて前記選択部は、前記第1および第2の容量素子のそれぞれを順に前記第1の後段ノードに接続する制御と前記第3および第4の容量素子のそれぞれを順に前記第1の後段ノードに接続する制御と前記第5および第6の容量素子のそれぞれを順に前記第2の後段ノードに接続する制御と前記第7および第8の容量素子のそれぞれを順に前記第2の後段ノードに接続する制御とを所定の順序で行う

前記(15)記載の固体撮像素子。

(17) 所定の加算モードにおいて前記短絡トランジスタは、閉状態であり、

前記加算モードにおいて前記選択部は、前記第1および第2の容量素子の一方と前記第3および第4の容量素子の一方とを前記第1の後段ノードに接続しつつ前記第5および第6の容量素子の一方と前記第7および第8の容量素子の一方とを前記第2の後段ノードに接続する制御と、前記第1および第2の容量素子の他方と前記第3および第4の容量素子の他方とを前記第1の後段ノードに接続しつつ前記第5および第6の容量素子の他方と前記第7および第8の容量素子の他方とを前記第2の後段ノードに接続する制御とを順に行う

前記(15)または(16)に記載の固体撮像素子。

(18) 所定のリセットレベルを保持する第1の容量素子と所定のノードとの間の経路を開閉する第1の選択トランジスタが特定の相対位置に配置され、露光量に応じた信号レベルを保持する第2の容量素子と前記ノードとの間の経路を開閉する第2の選択トランジスタが前記特定の相対位置と異なる相対位置に配置された第1画素と、

所定のリセットレベルを保持する第3の容量素子と所定のノードとの間の

経路を開閉する第3の選択トランジスタが前記特定の相対位置に配置され、露光量に応じた信号レベルを保持する第4の容量素子と前記ノードとの間の経路を開閉する第4の選択トランジスタが前記特定の相対位置と異なる相対位置に配置された第2画素と、

前記リセットレベルと前記信号レベルとを順にデジタル信号に変換して処理する信号処理回路とを具備する撮像装置。

符号の説明

- [0292]
- 1 0 0 撮像装置
 - 1 1 0 撮像レンズ
 - 1 2 0 記録部
 - 1 3 0 撮像制御部
 - 2 0 0 固体撮像素子
 - 2 0 1 上側画素チップ
 - 2 0 2 下側画素チップ
 - 2 0 3 回路チップ
 - 2 1 1 垂直走査回路
 - 2 1 2 タイミング制御回路
 - 2 1 3 D A C
 - 2 2 0 画素アレイ部
 - 2 2 1 上側画素アレイ部
 - 2 2 2 下側画素アレイ部
 - 2 5 0 負荷M O S回路ブロック
 - 2 5 1 負荷M O Sトランジスタ
 - 2 6 0 カラム信号処理回路
 - 2 6 1 A D C
 - 2 6 2 デジタル信号処理部
 - 3 0 0 画素ブロック

- 301～304 画素
- 305 前段回路ブロック
- 310、320、410、420 前段回路
- 311、321、411、421、511～513 光電変換素子
- 312、322、412、422、514～516 転送トランジスタ
- 313、323、413、423 FDリセットトランジスタ
- 314、324、414、424 FD
- 315、325、415、425 前段増幅トランジスタ
- 316、326、416、426 電流源トランジスタ
- 317、327 前段選択トランジスタ
- 331、332、336、337、431、432、436、437、531～533 容量素子
- 340 選択部
- 350、355、450、455 選択回路
- 351、352、356、357、451、452、456、457、551～553 選択トランジスタ
- 361、366、461 後段リセットトランジスタ
- 370、380、470 後段回路
- 371、381、471 後段増幅トランジスタ
- 372、382、472 後段選択トランジスタ
- 480 短絡トランジスタ
- 12031 撮像部

請求の範囲

- [請求項1] 所定のリセットレベルを保持する第1の容量素子と所定のノードとの間の経路を開閉する第1の選択トランジスタが特定の相対位置に配置され、露光量に応じた信号レベルを保持する第2の容量素子と前記ノードとの間の経路を開閉する第2の選択トランジスタが前記特定の相対位置と異なる相対位置に配置された第1画素と、
- 所定のリセットレベルを保持する第3の容量素子と所定のノードとの間の経路を開閉する第3の選択トランジスタが前記特定の相対位置に配置され、露光量に応じた信号レベルを保持する第4の容量素子と前記ノードとの間の経路を開閉する第4の選択トランジスタが前記特定の相対位置と異なる相対位置に配置された第2画素と
- を具備する固体撮像素子。
- [請求項2] 前記第2画素は、前記第1画素に隣接する請求項1記載の固体撮像素子。
- [請求項3] 前記第1画素および前記第2画素を含む画素アレイ部内の画素は、ベイヤー配列される請求項1記載の固体撮像素子。
- [請求項4] 前記画素アレイ部は、
- 4つの前記第1画素を2行×2列に配列した第1エリアと、
- 前記第1エリアに隣接し、4つの前記第2画素を2行×2列に配列した第2エリアとを含む
- 請求項3記載の固体撮像素子。
- [請求項5] 前記画素アレイ部は、
- 前記第1画素と3つの前記第2画素とを2行×2列に配列した第1エリアと、
- 前記第1エリアに隣接し、前記第2画素と3つの前記第1画素とを2行×2列に配列した第2エリアとを含む
- 請求項3記載の固体撮像素子。

[請求項6] 前記第1画素および前記第2画素を含む画素アレイ部内の画素は、
クアドラベイヤ配列され、
前記画素アレイ部は、
前記第1画素と前記第1画素と同色の3つの前記第2画素とを2行
×2列に配列した第1エリアと、
前記第1エリアに隣接し、前記第2画素と前記第2画素と同色の3
つの前記第1画素とを2行×2列に配列した第2エリアとを含む
請求項1記載の固体撮像素子。

[請求項7] 前記ノードは、後段ノードであり、
前記第1画素および前記第2画素を配列した画素ブロックは、
第1のリセットレベルと第1の信号レベルとを順に生成して前記第
1および第2の容量素子に保持させる第1の前段回路と、
第2のリセットレベルと第2の信号レベルとを順に生成して前記第
3および第4の容量素子に保持させる第2の前段回路と、
前記第1、第2、第3および第4の容量素子と、
前記第1および第2の選択トランジスタを設けた第1の選択回路と
、前記第3および第4の前段選択トランジスタを設けた第2の選択回
路とを含む選択部と、
前記後段ノードを介して前記第1および第2のリセットレベルと前
記第1および第2の信号レベルとのそれぞれを順に読み出す後段回路
と
を備える請求項1記載の固体撮像素子。

[請求項8] 前記第1の前段回路は、
第1の光電変換素子と、
前記第1の光電変換素子から第1の浮遊拡散層へ電荷を転送する第
1の前段転送トランジスタと、
前記第1の浮遊拡散層を初期化する第1のリセットトランジスタと
、

前記第1の浮遊拡散層の電圧を増幅する第1の前段増幅トランジスタと

を備え、

前記第2の前段回路は、

第2の光電変換素子と、

前記第2の光電変換素子から第2の浮遊拡散層へ電荷を転送する第2の前段転送トランジスタと、

前記第2の浮遊拡散層を初期化する第2のリセットトランジスタと

、

前記第2の浮遊拡散層の電圧を増幅する第2の前段増幅トランジスタと

を備える

請求項7記載の固体撮像素子。

[請求項9]

前記第1の前段回路は、第1の前段ノードに接続された第1の電流源トランジスタをさらに備え、

前記第2の前段回路は、第2の前段ノードに接続された第2の電流源トランジスタをさらに備え、

前記第1の前段増幅トランジスタは、前記第1の浮遊拡散層の電圧を増幅して前記第1の前段ノードへ出力し、

前記第2の前段増幅トランジスタは、前記第2の浮遊拡散層の電圧を増幅して前記第2の前段ノードへ出力し、

前記第1および第2の容量素子のそれぞれの一端は前記第1の前段ノードに共通に接続され、それぞれの他端は前記第1の選択回路に接続され、

前記第3および第4の容量素子のそれぞれの一端は前記第2の前段ノードに共通に接続され、それぞれの他端は前記第2の選択回路に接続される

請求項8記載の固体撮像素子。

[請求項10] 所定の露光開始タイミングにおいて前記第1および第2の前段転送トランジスタが前記第1および第2の浮遊拡散層へ前記電荷を転送するとともに前記第1および第2のリセットトランジスタが前記第1および第2の浮遊拡散層とともに前記第1および第2の光電変換素子を初期化し、

所定の露光終了タイミングにおいて前記第1および第2の前段転送トランジスタが前記第1および第2の浮遊拡散層へ前記電荷を転送する

請求項8記載の固体撮像素子。

[請求項11] 前記選択部は、前記第1および第2の容量素子の一方を前記後段ノードに接続する制御と前記第1および第2の容量素子の他方を前記後段ノードに接続する制御と前記第3および第4の容量素子の一方を前記後段ノードに接続する制御と前記第3および第4の容量素子の他方を前記後段ノードに接続する制御とを順に行う

請求項7記載の固体撮像素子。

[請求項12] 前記選択部は、所定の加算モードにおいて前記第1および第2の容量素子の一方と前記第3および第4の容量素子の一方との両方を前記後段ノードに接続する制御と、前記第1および第2の容量素子の他方と前記第3および第4の容量素子の他方との両方を前記後段ノードに接続する制御とを順に行う

請求項7記載の固体撮像素子。

[請求項13] 前記第1の前段回路は、所定の第1の選択信号に従って前記第1の前段増幅トランジスタにより増幅された電圧を所定の前段ノードに出力する第1の前段選択トランジスタをさらに備え、

前記第2の前段回路は、

所定の第2の選択信号に従って前記第2の前段増幅トランジスタにより増幅された電圧を前記前段ノードに出力する第2の前段選択トランジスタと、

前記前段ノードに接続された電流源トランジスタと
をさらに備え、

前記第1および第2の容量素子のそれぞれの一端は前記前段ノード
に共通に接続され、それぞれの他端は前記第1の選択回路に接続され
、

前記第3および第4の容量素子のそれぞれの一端は前記前段ノード
に共通に接続され、それぞれの他端は前記第2の選択回路に接続され
る

請求項8記載の固体撮像素子。

[請求項14]

所定の露光終了のタイミングの直前と前記露光終了のタイミングの
後とに前記第1および第2の前段選択トランジスタは、順に閉状態に
移行し、

前記第1のリセットトランジスタは、前記第1の前段選択トランジ
スタが前記閉状態のときに前記第1の浮遊拡散層を初期化し、

前記第2のリセットトランジスタは、前記第2の前段選択トランジ
スタが前記閉状態のときに前記第2の浮遊拡散層を初期化し、

前記露光終了のタイミングの直後に前記第1および第2の前段選択
トランジスタは、順に閉状態に移行し、

前記第1および第2の前段転送トランジスタは、所定の露光終了の
タイミングで前記電荷を転送する

請求項13記載の固体撮像素子。

[請求項15]

前記ノードは、第1および第2の後段ノードを含み、

前記第1画素および前記第2画素を含む4画素を配列した画素ブロ
ックは、

前記第1の後段ノードと前記第2の後段ノードとの間の経路を開閉
する短絡トランジスタと、

前記第1、第2、第3および第4の容量素子と、

第3、第4、第5および第6の容量素子と、

前記第1および第2の選択トランジスタを設けた第1の選択回路と、前記第3および第4の前段選択トランジスタを設けた第2の選択回路と、前記第5および第6の容量素子のいずれかを前記第2の後段ノードに接続する第3の選択回路と、前記第7および第8の容量素子のいずれかを前記第2の後段ノードに接続する第4の選択回路とを含む選択部とを備える請求項1記載の固体撮像素子。

[請求項16]

所定の非加算モードにおいて前記短絡トランジスタは、開状態であり、

前記非加算モードにおいて前記選択部は、前記第1および第2の容量素子のそれぞれを順に前記第1の後段ノードに接続する制御と前記第3および第4の容量素子のそれぞれを順に前記第1の後段ノードに接続する制御と前記第5および第6の容量素子のそれぞれを順に前記第2の後段ノードに接続する制御と前記第7および第8の容量素子のそれぞれを順に前記第2の後段ノードに接続する制御とを所定の順序で行う

請求項15記載の固体撮像素子。

[請求項17]

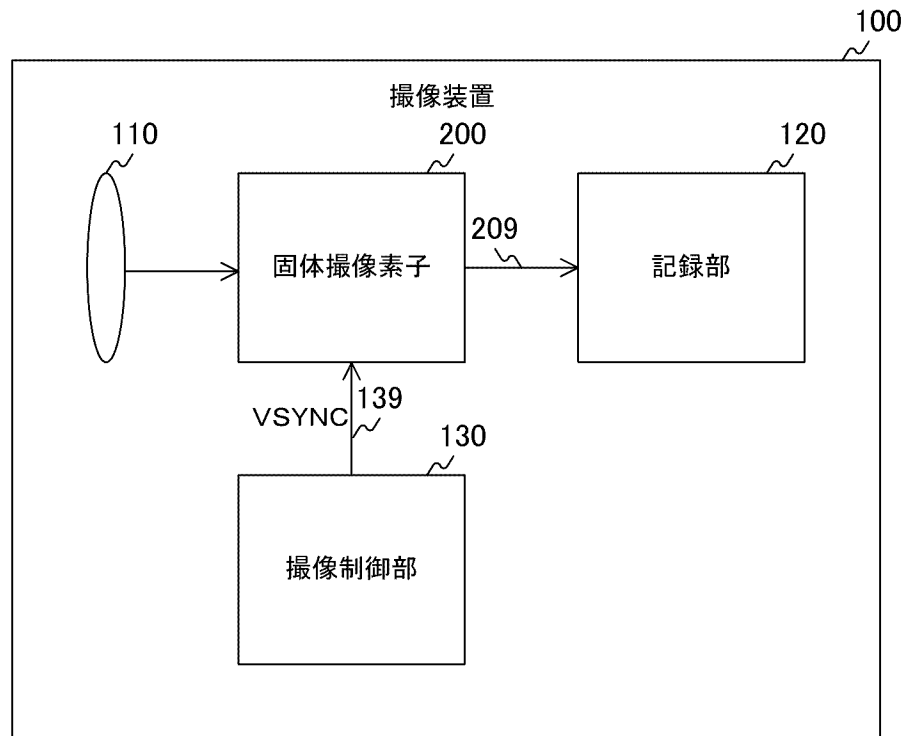
所定の加算モードにおいて前記短絡トランジスタは、閉状態であり、

前記加算モードにおいて前記選択部は、前記第1および第2の容量素子の一方と前記第3および第4の容量素子の一方とを前記第1の後段ノードに接続しつつ前記第5および第6の容量素子の一方と前記7および第8の容量素子の一方とを前記第2の後段ノードに接続する制御と、前記第1および第2の容量素子の他方と前記第3および第4の容量素子の他方とを前記第1の後段ノードに接続しつつ前記5および第6の容量素子の他方と前記第7および第8の容量素子の他方とを前記第2の後段ノードに接続する制御とを順に行う

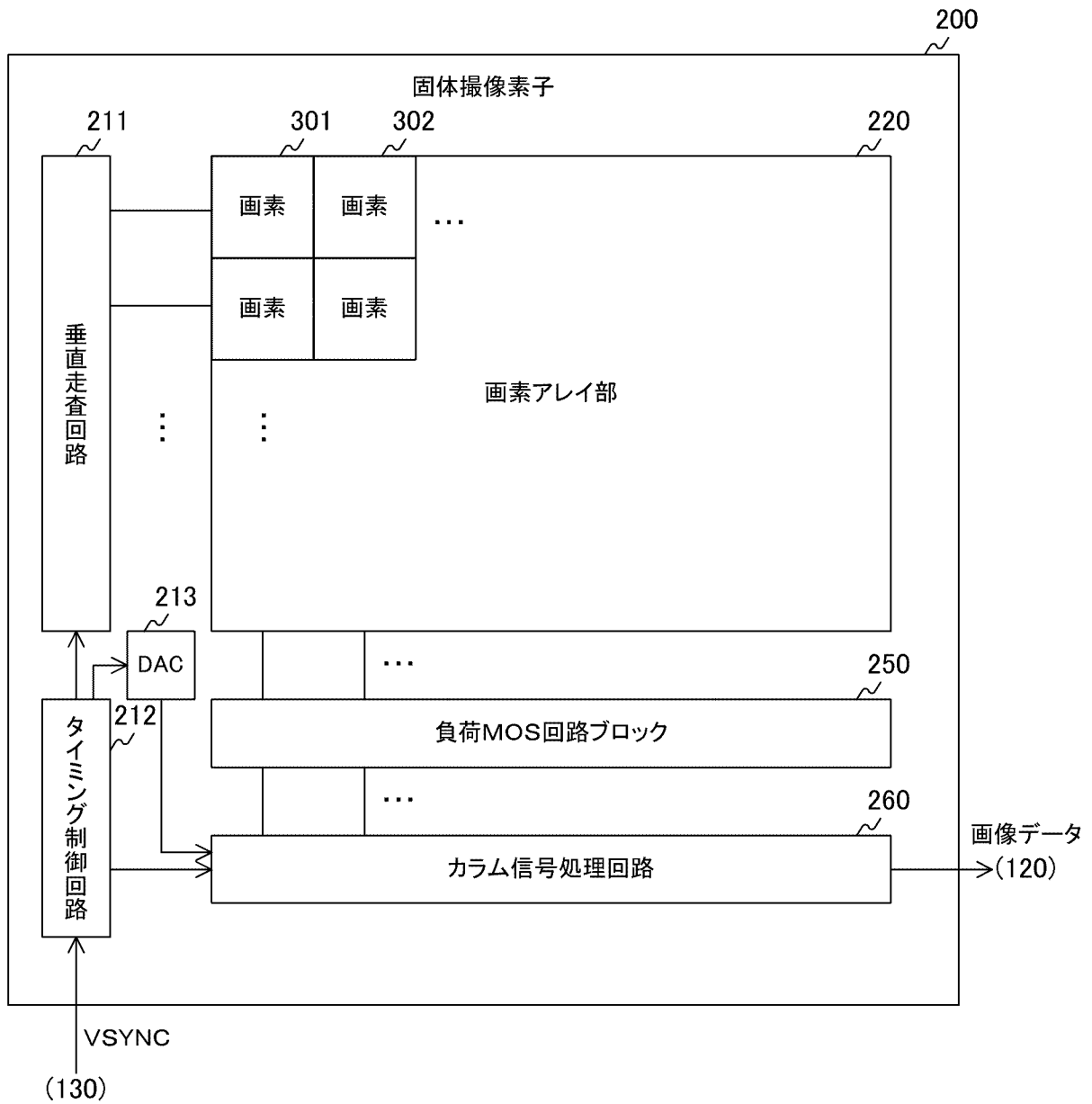
請求項15記載の固体撮像素子。

- [請求項18] 所定のリセットレベルを保持する第1の容量素子と所定のノードとの間の経路を開閉する第1の選択トランジスタが特定の相対位置に配置され、露光量に応じた信号レベルを保持する第2の容量素子と前記ノードとの間の経路を開閉する第2の選択トランジスタが前記特定の相対位置と異なる相対位置に配置された第1画素と、
- 所定のリセットレベルを保持する第3の容量素子と所定のノードとの間の経路を開閉する第3の選択トランジスタが前記特定の相対位置に配置され、露光量に応じた信号レベルを保持する第4の容量素子と前記ノードとの間の経路を開閉する第4の選択トランジスタが前記特定の相対位置と異なる相対位置に配置された第2画素と、
- 前記リセットレベルと前記信号レベルとを順にデジタル信号に変換して処理する信号処理回路と
- を具備する撮像装置。

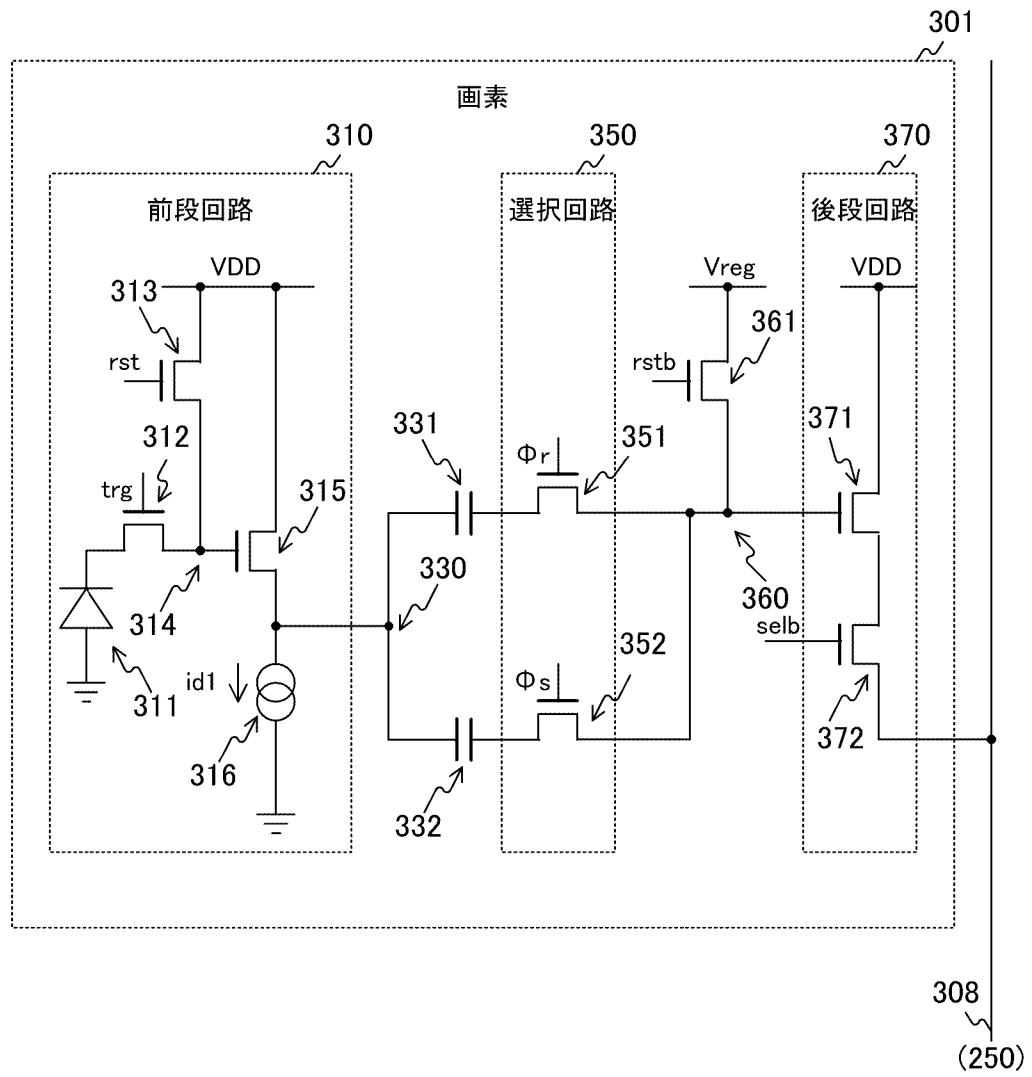
[図1]



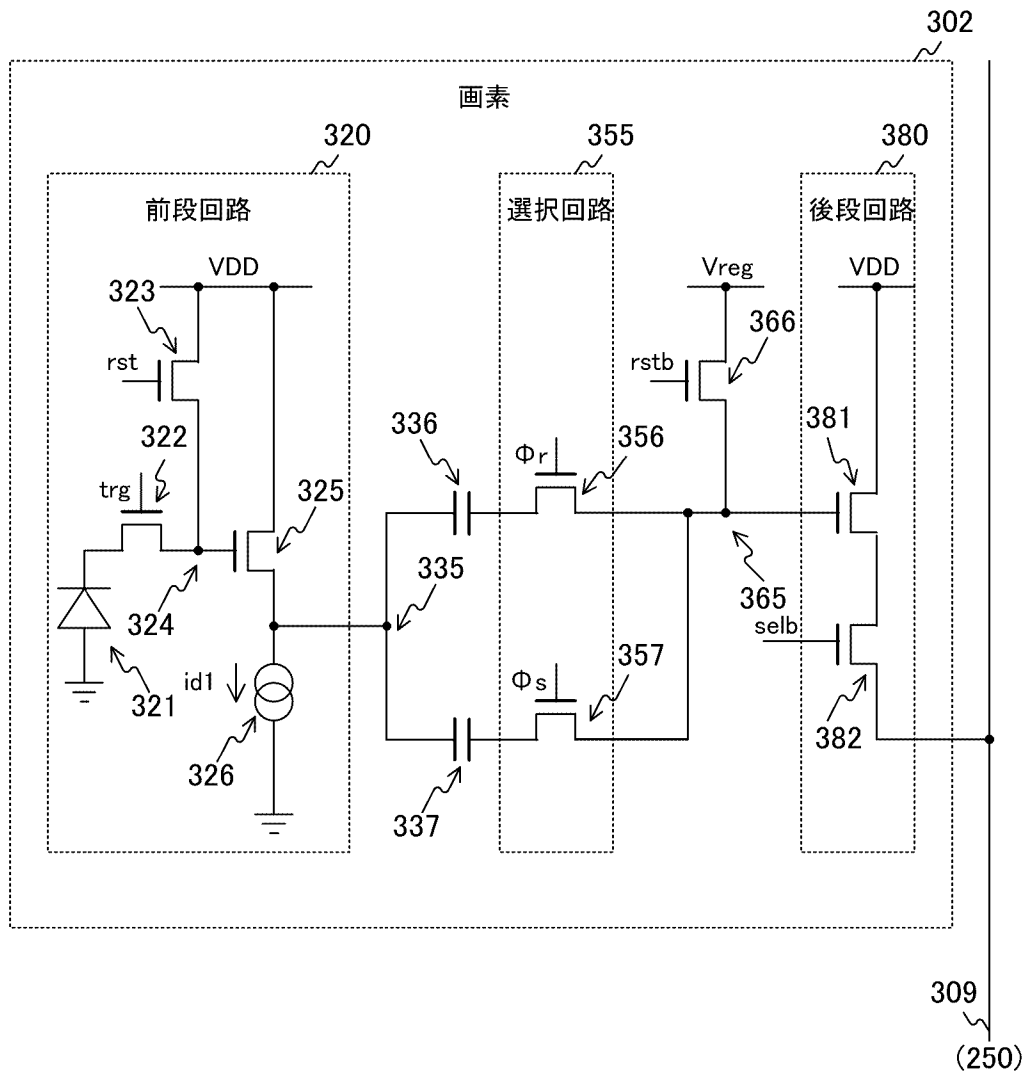
[図2]



[図3]

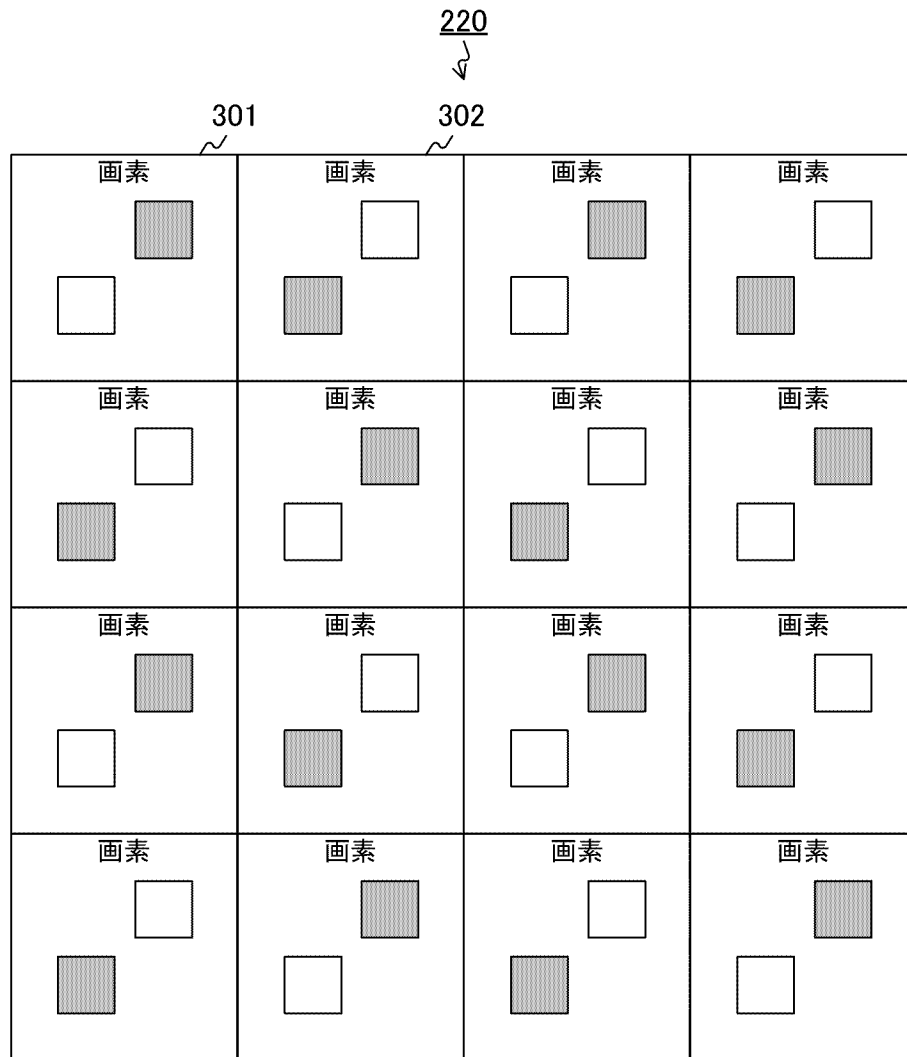


[図4]

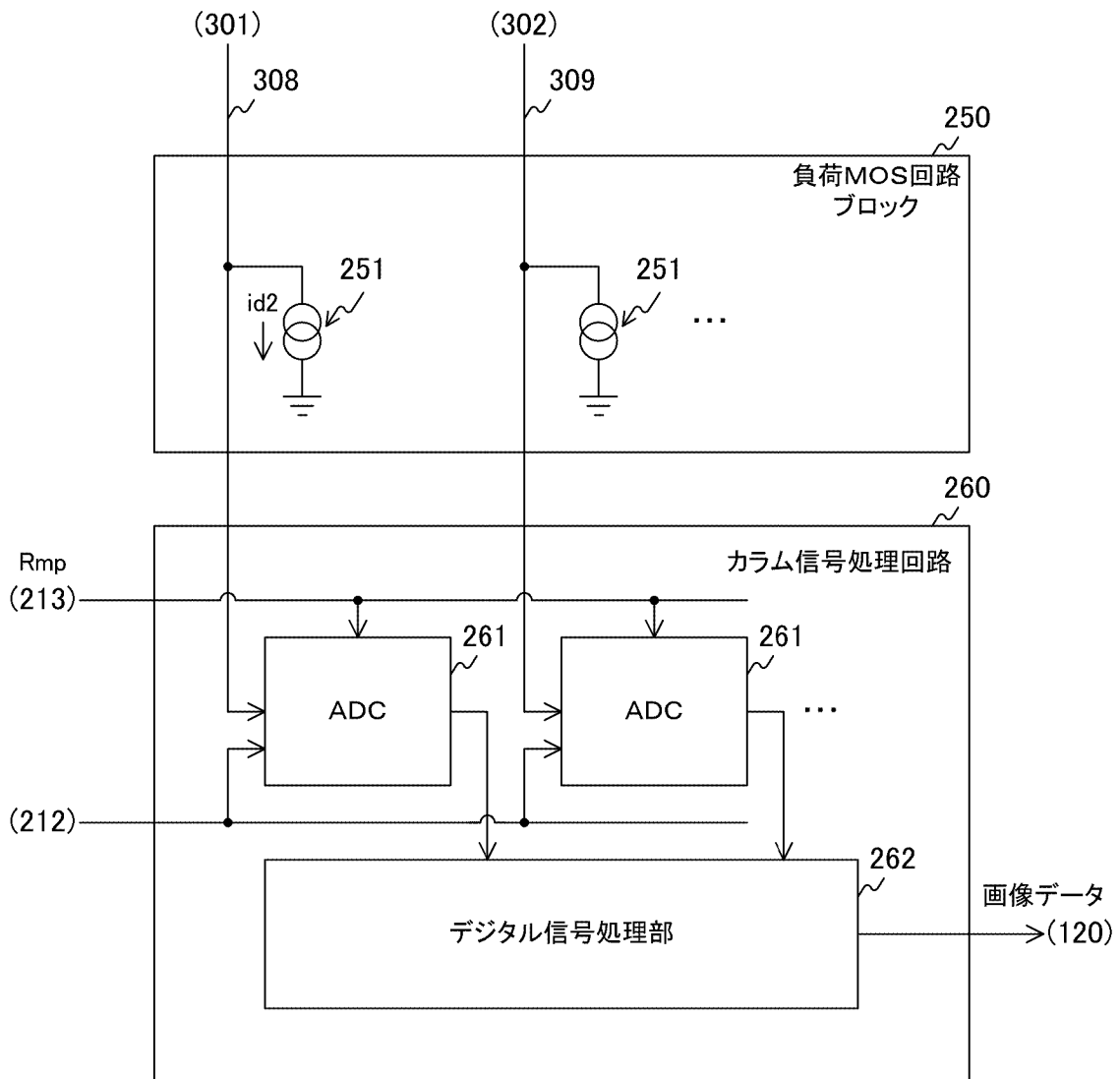


(250)

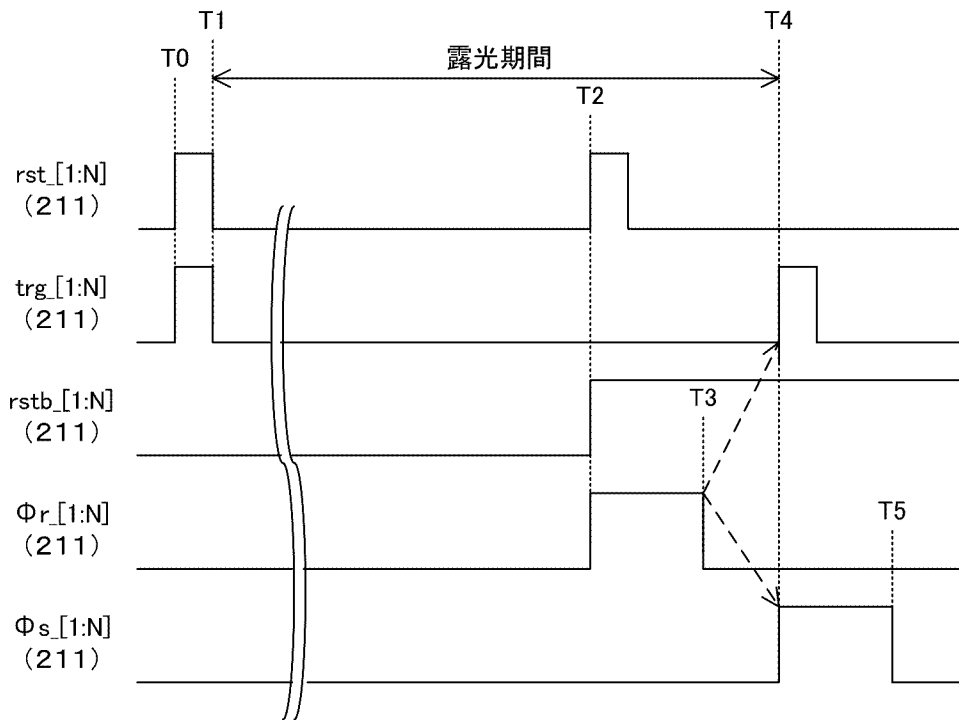
[図7]



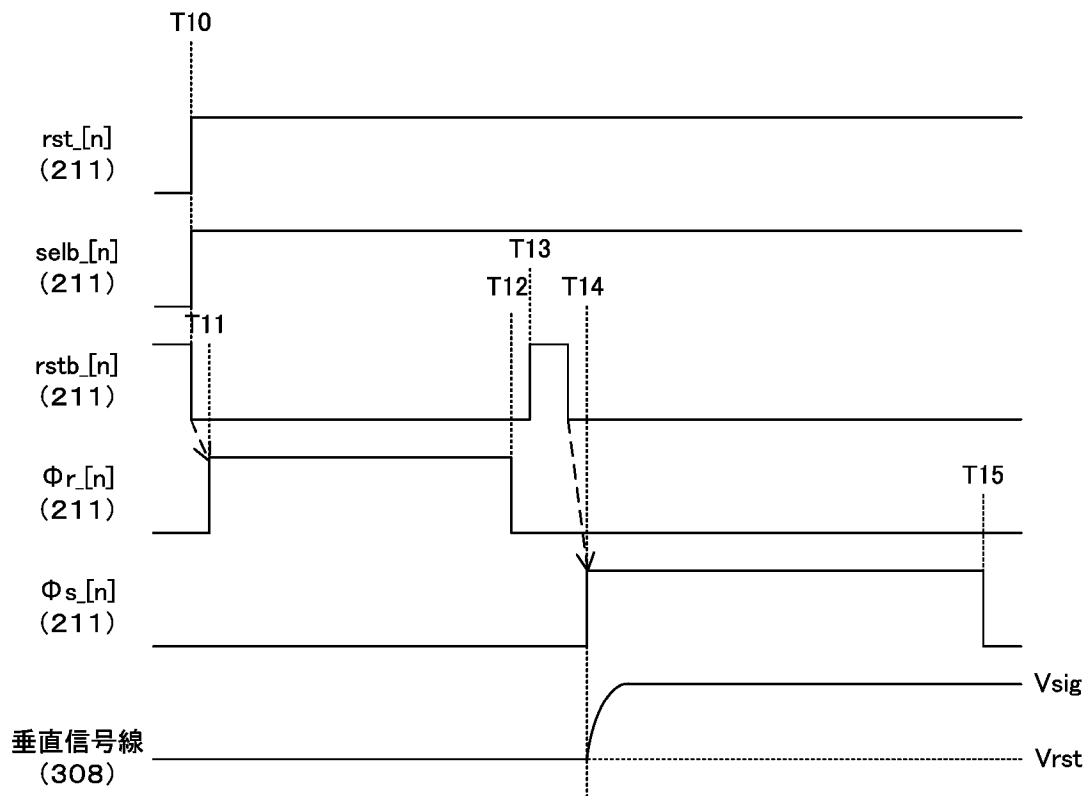
[図8]



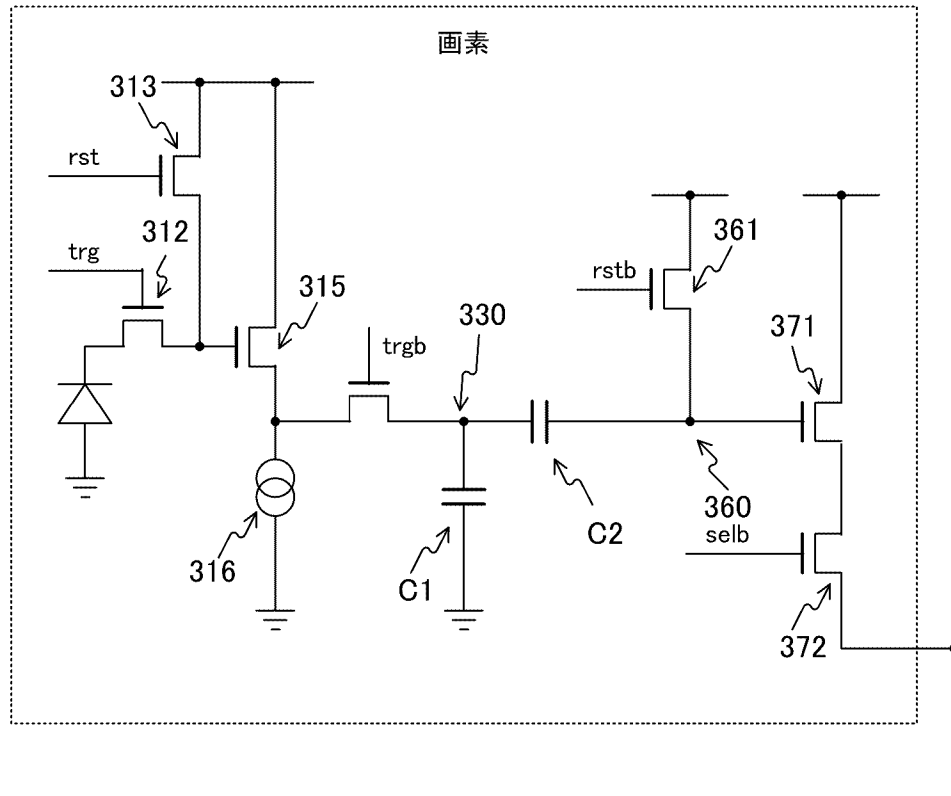
[図9]



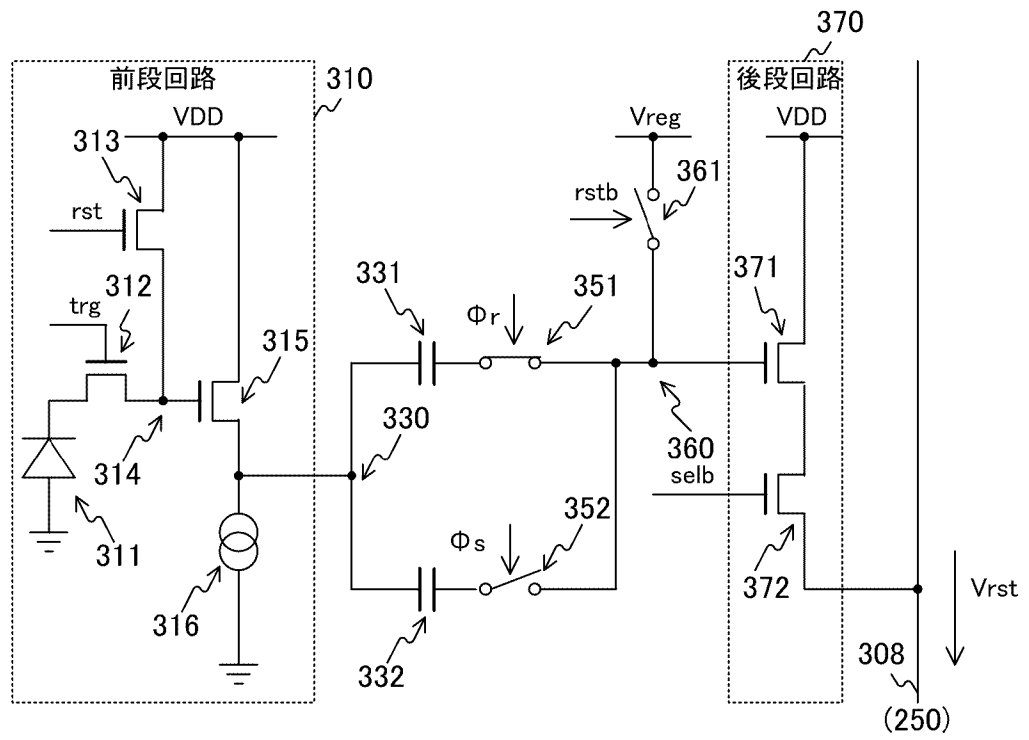
[図10]



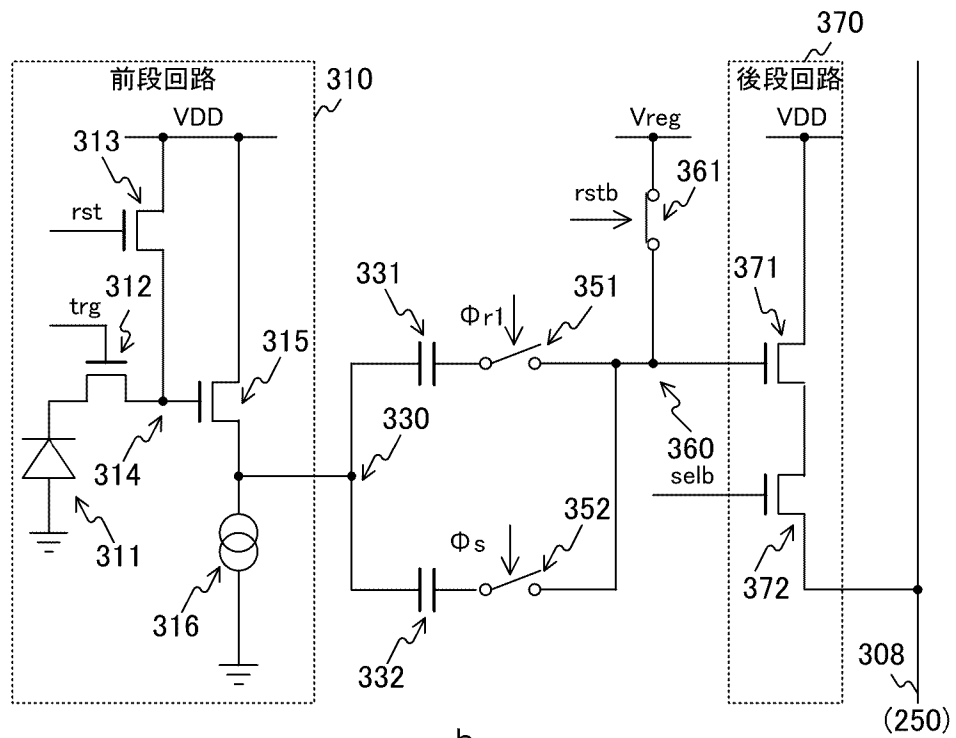
[図11]



[図12]

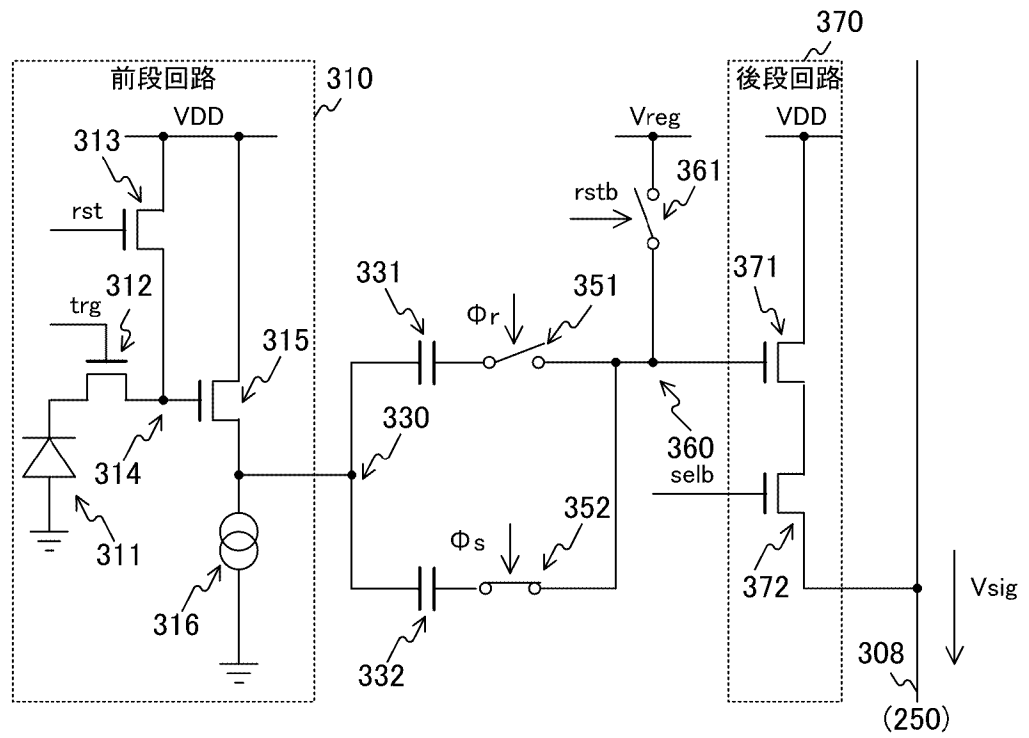


a

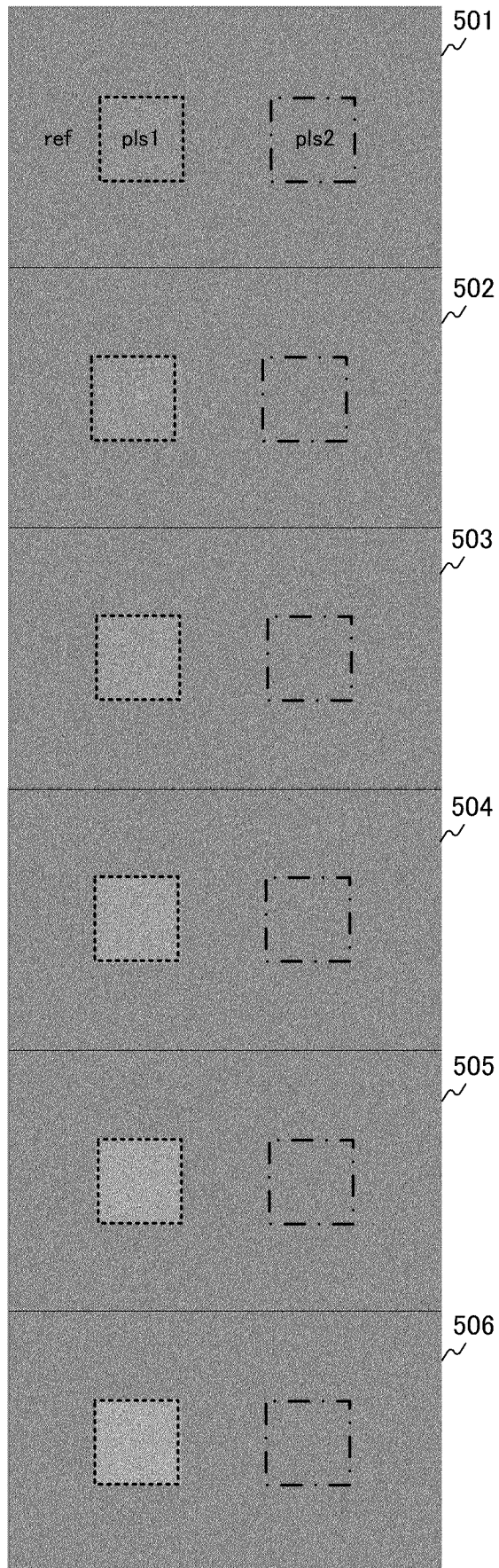


b

[図13]



[図14]



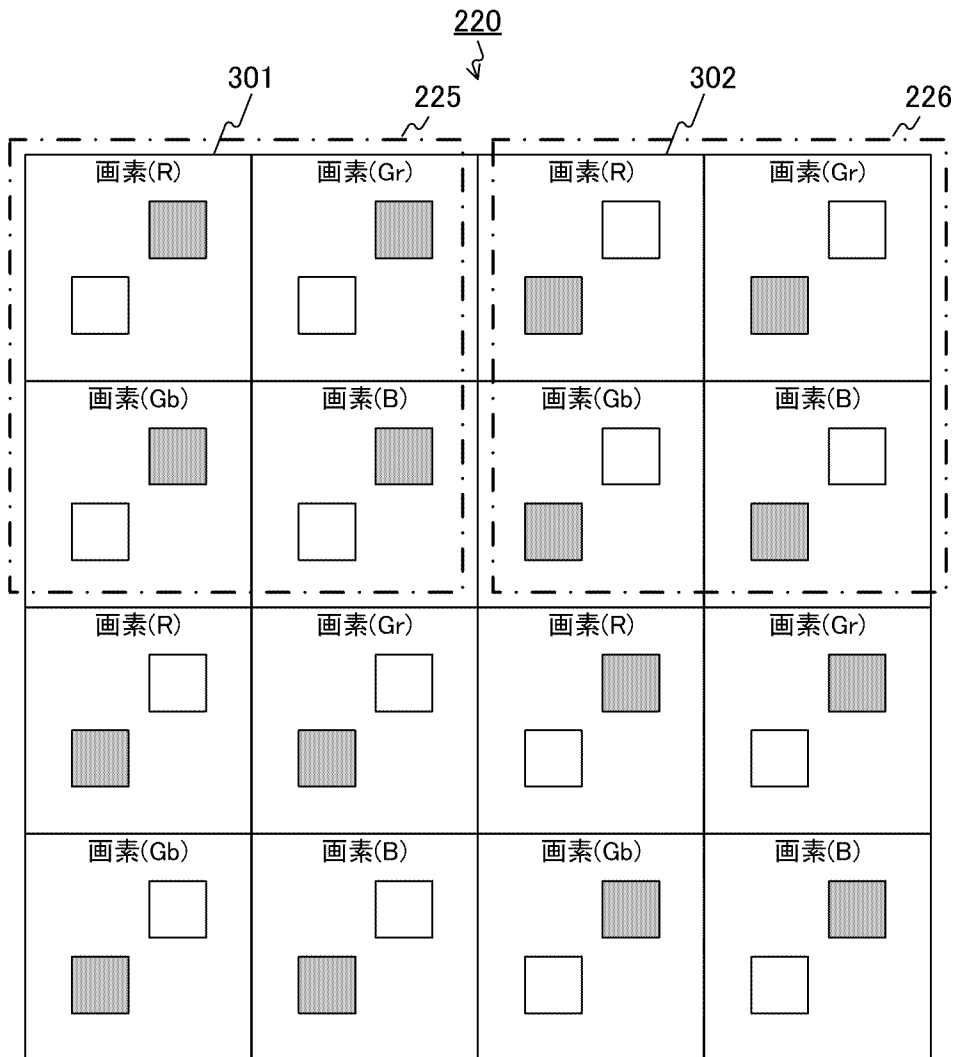
[図15]

| 領域 | ノイズ | レイアウトによる ノイズ対策 | 平均値 (LSB) | 標準偏差 (LSBrms) |
|------|-----|-------------------|--------------|------------------|
| ref | 無し | 無し | REF | 30 |
| pls1 | 有り | 無し | REF+18 | 30 |
| pls2 | 有り | 有り | REF | 35 |

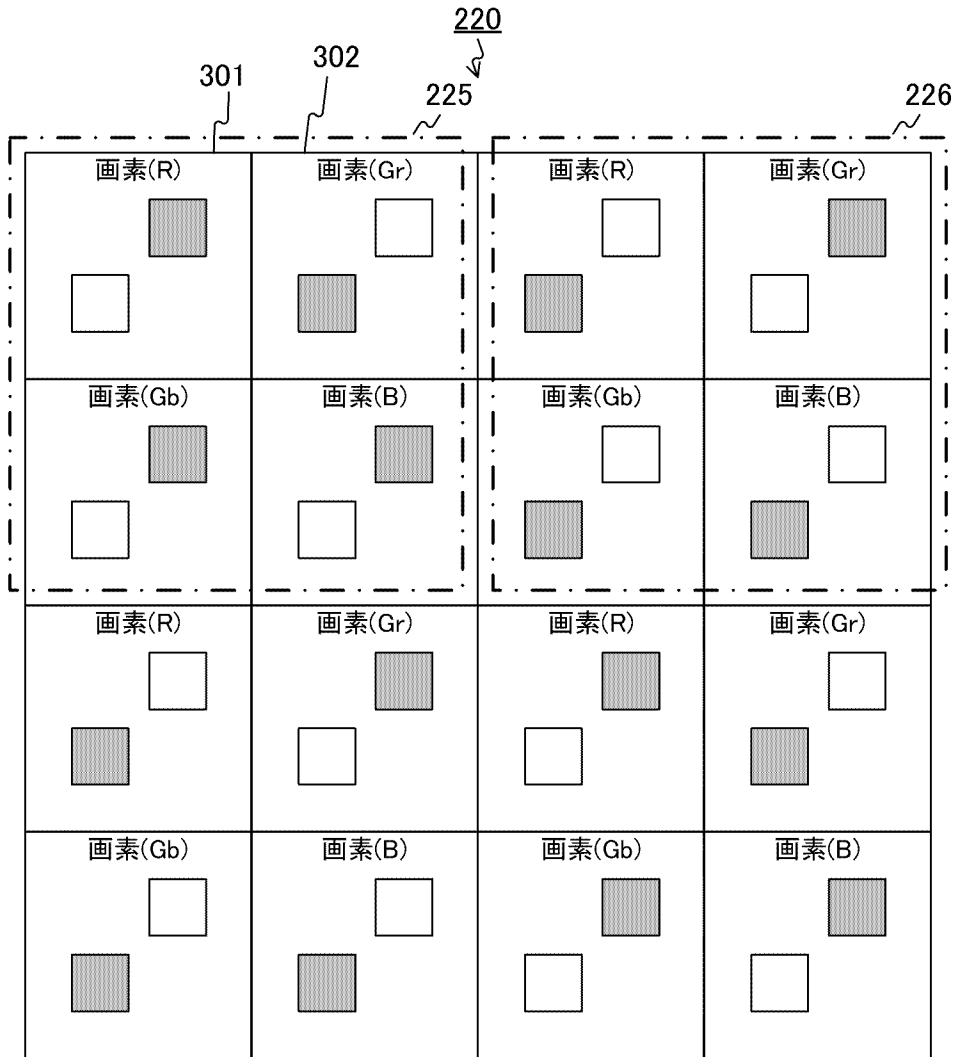
[図16]

| PLS無しの際の ランダムノイズ(a.u) | PLS | PLS発生時の ランダムノイズ(a.u) | ランダムノイズの 悪化(%) |
|--------------------------|-----|-------------------------|-------------------|
| 1 | 0.1 | 1.005 | 0.5 |
| 1 | 0.2 | 1.020 | 2.0 |
| 1 | 0.3 | 1.044 | 4.4 |
| 1 | 0.4 | 1.077 | 7.7 |
| 1 | 0.5 | 1.118 | 11.8 |

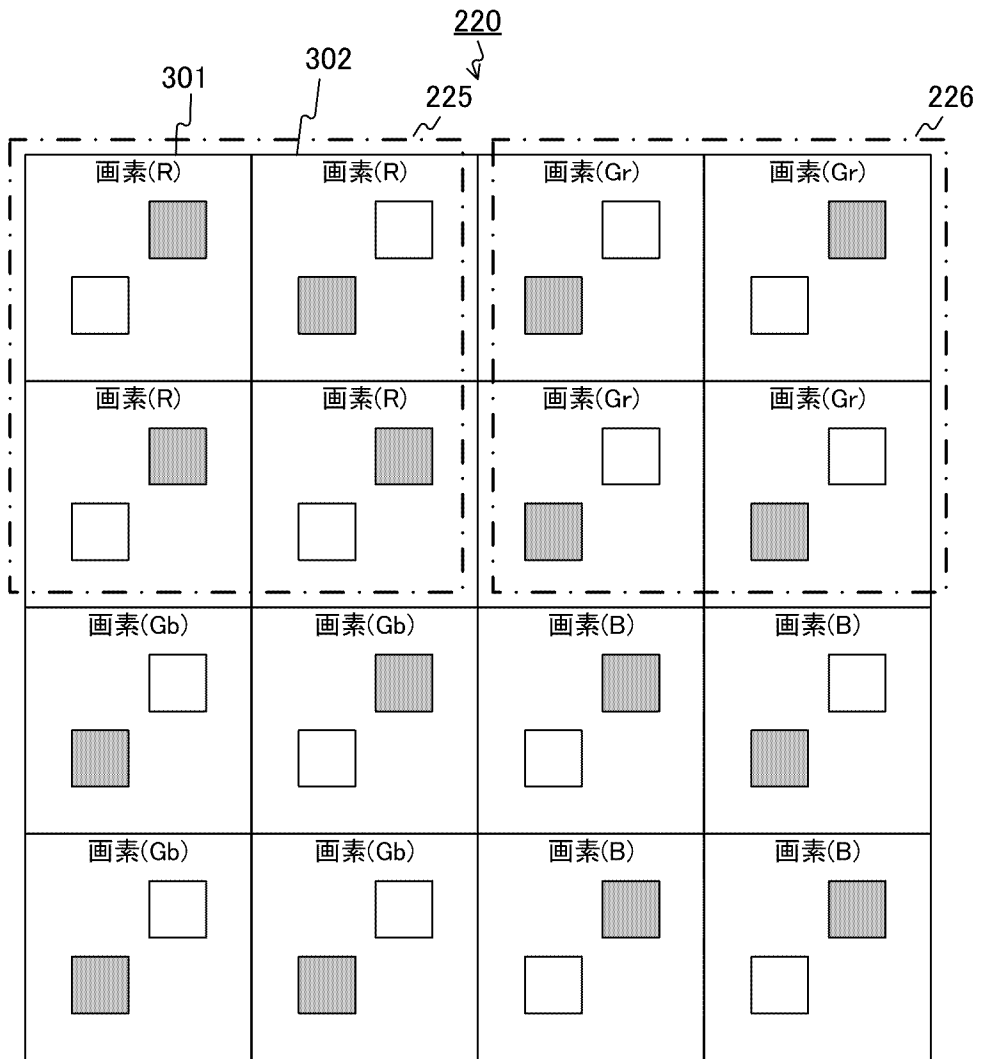
[図17]



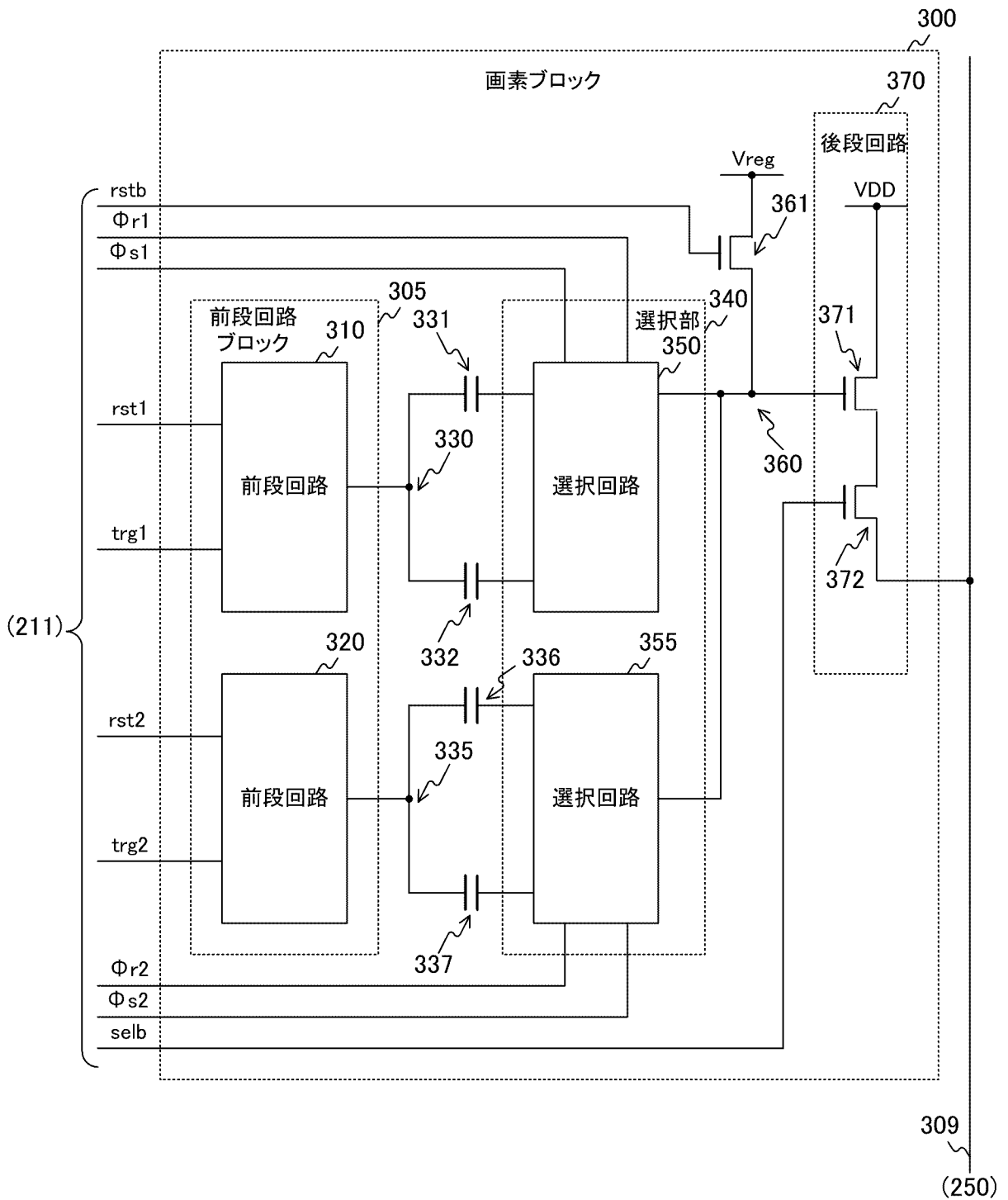
[図18]



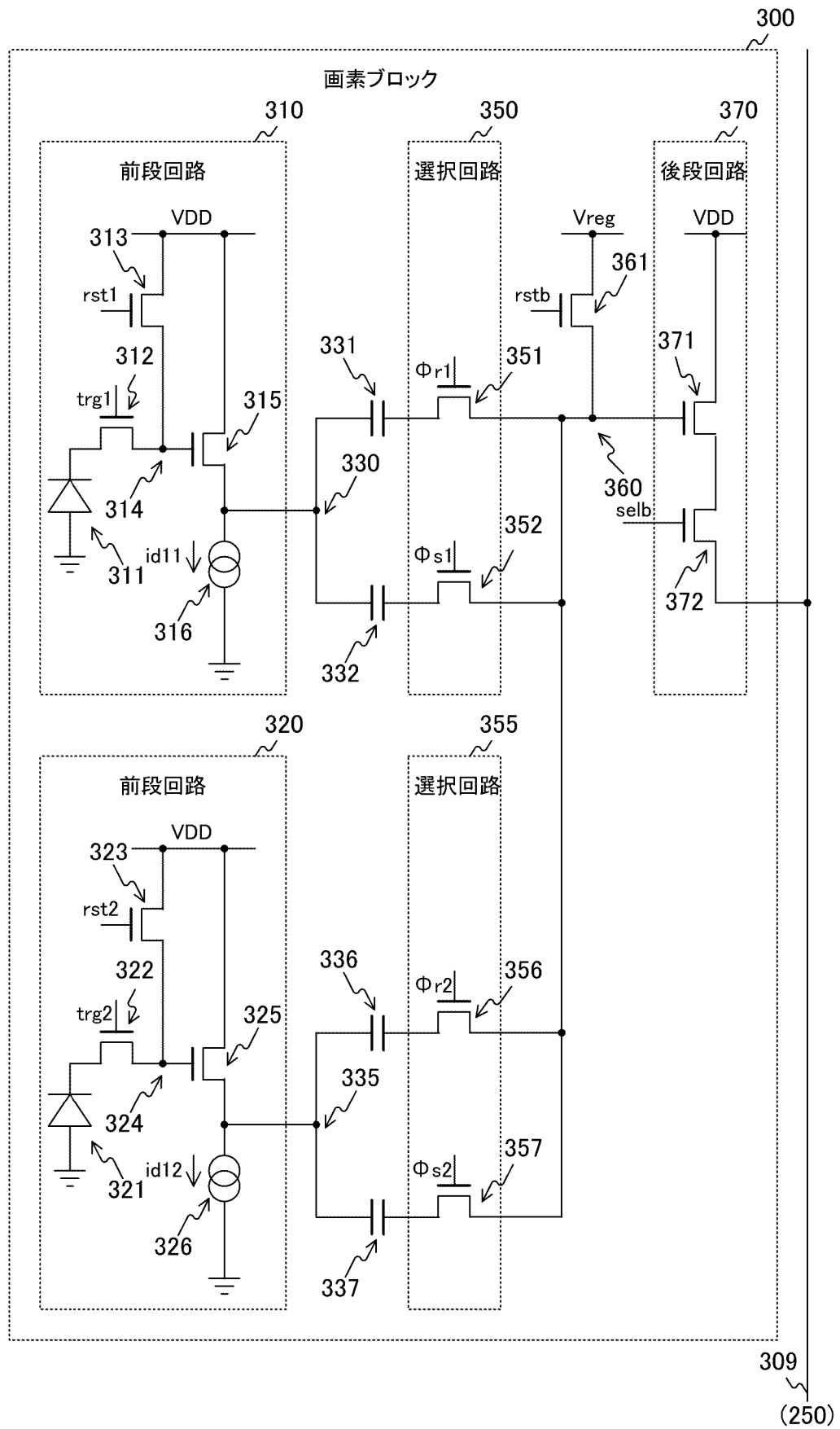
[図19]



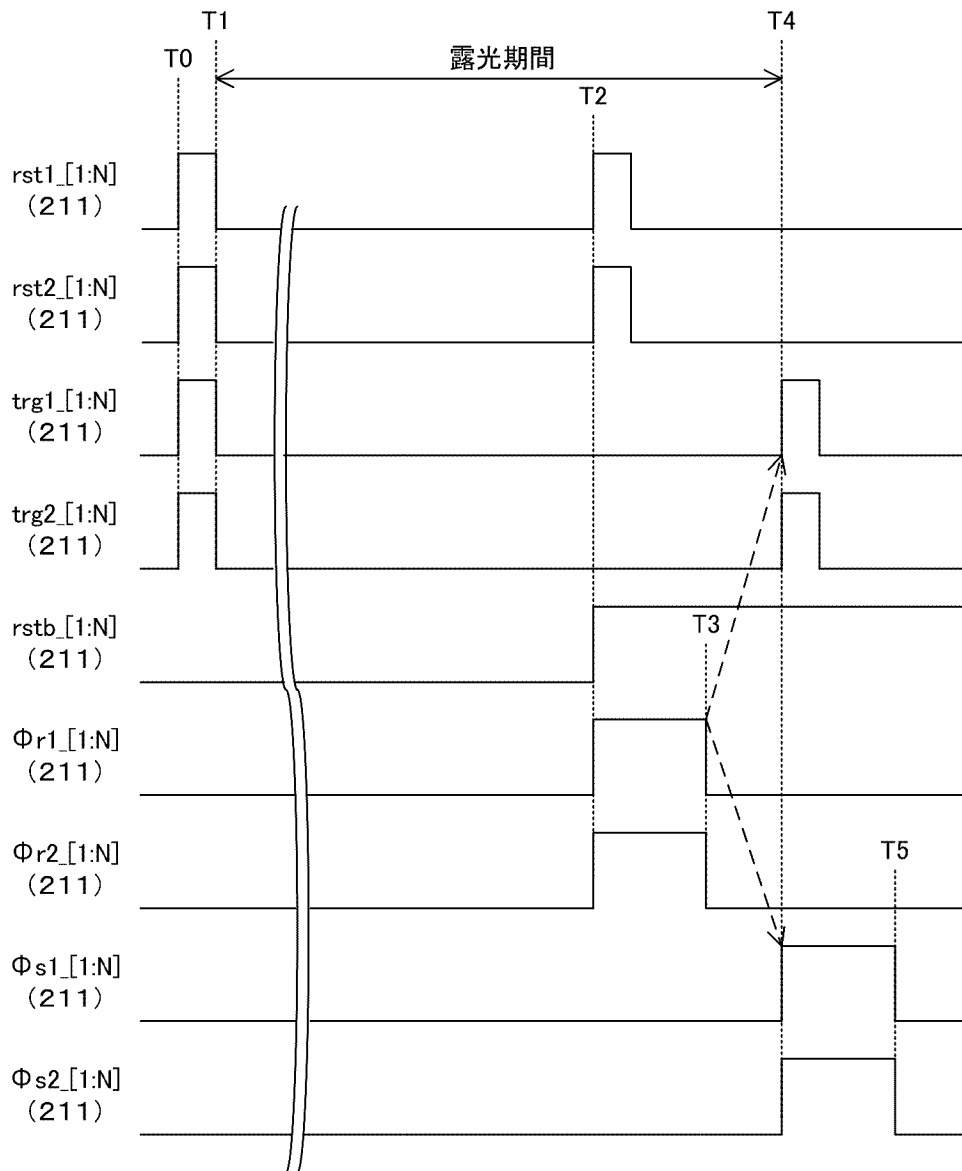
[図20]



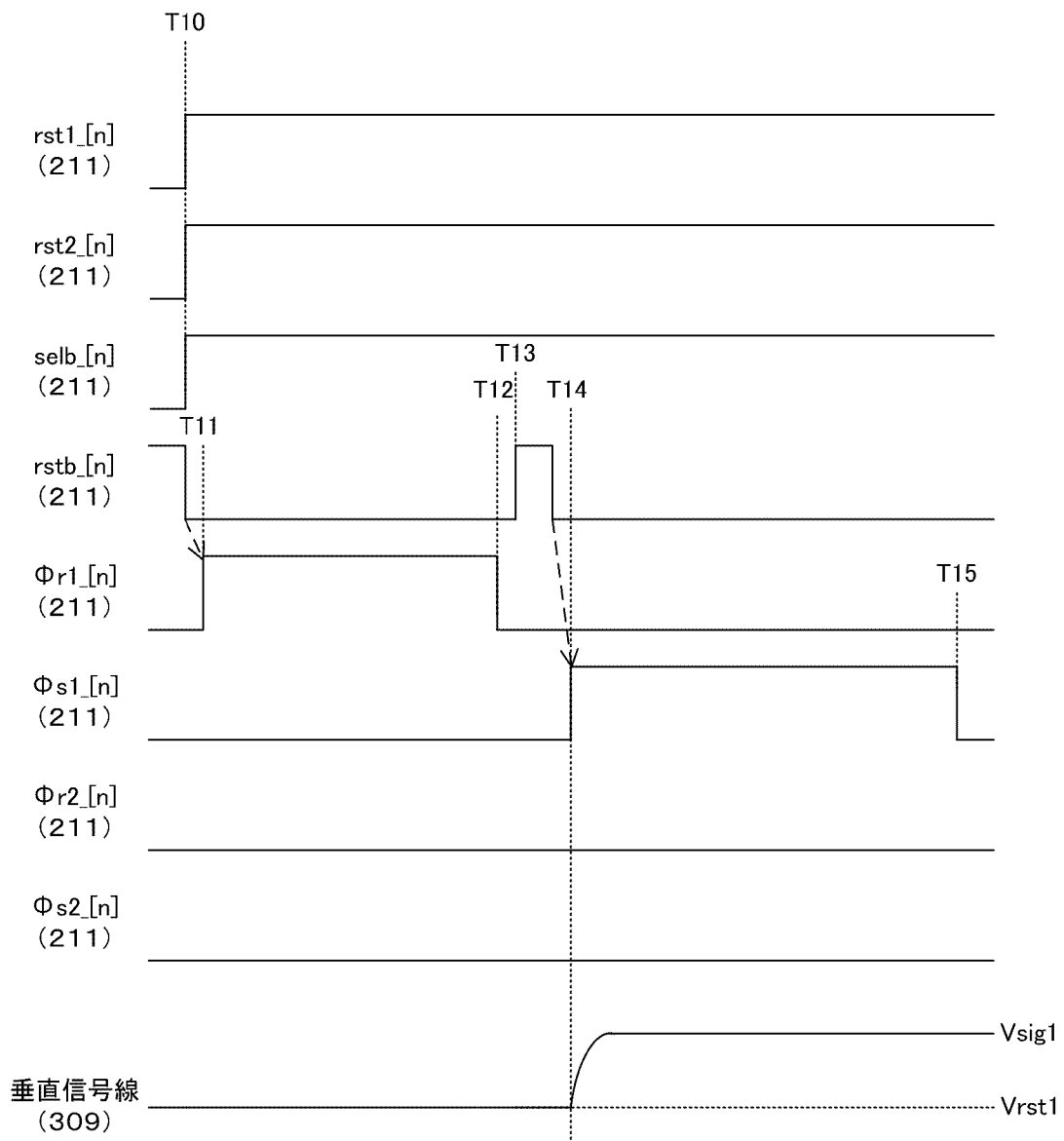
[図21]



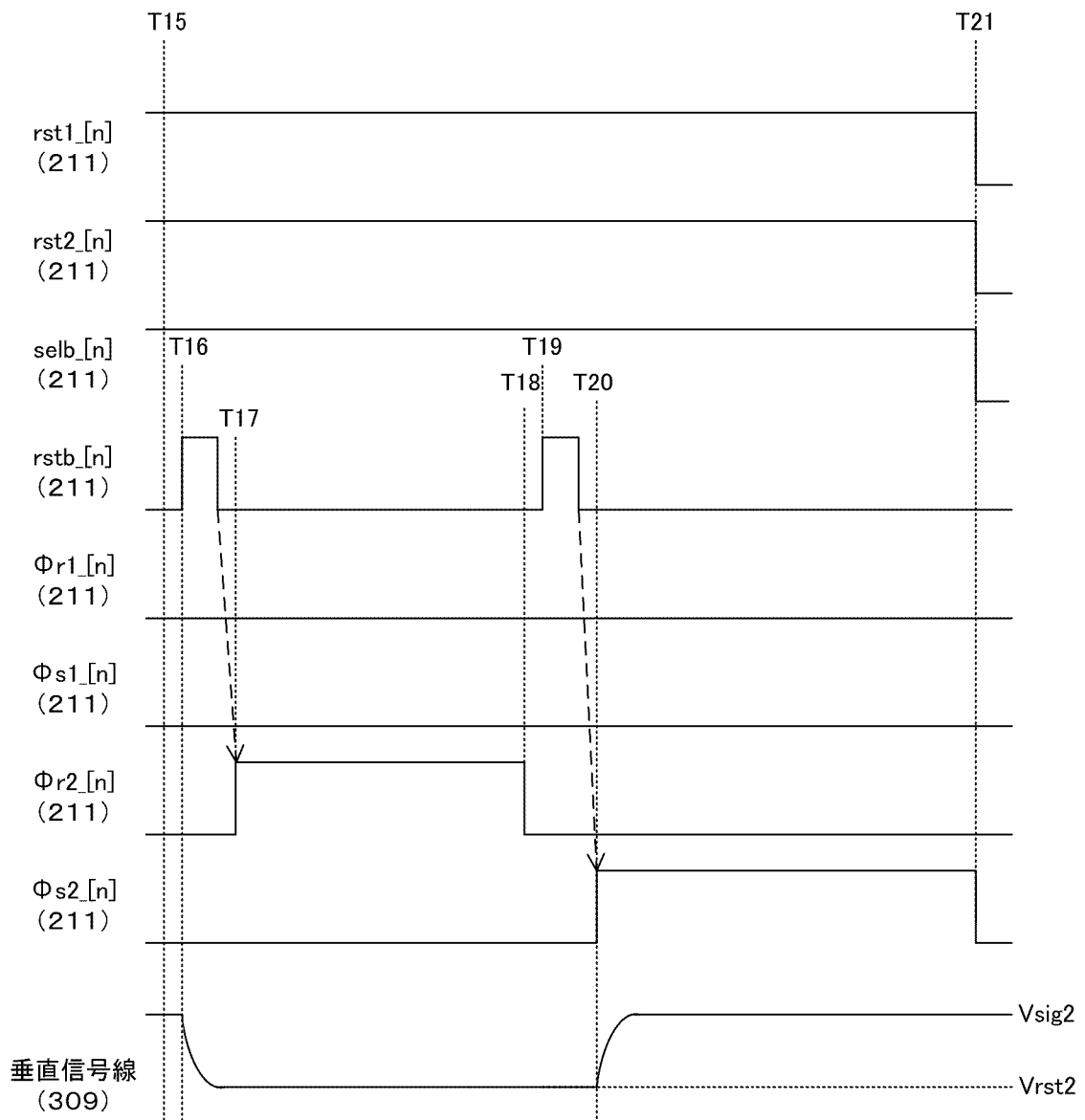
[図22]



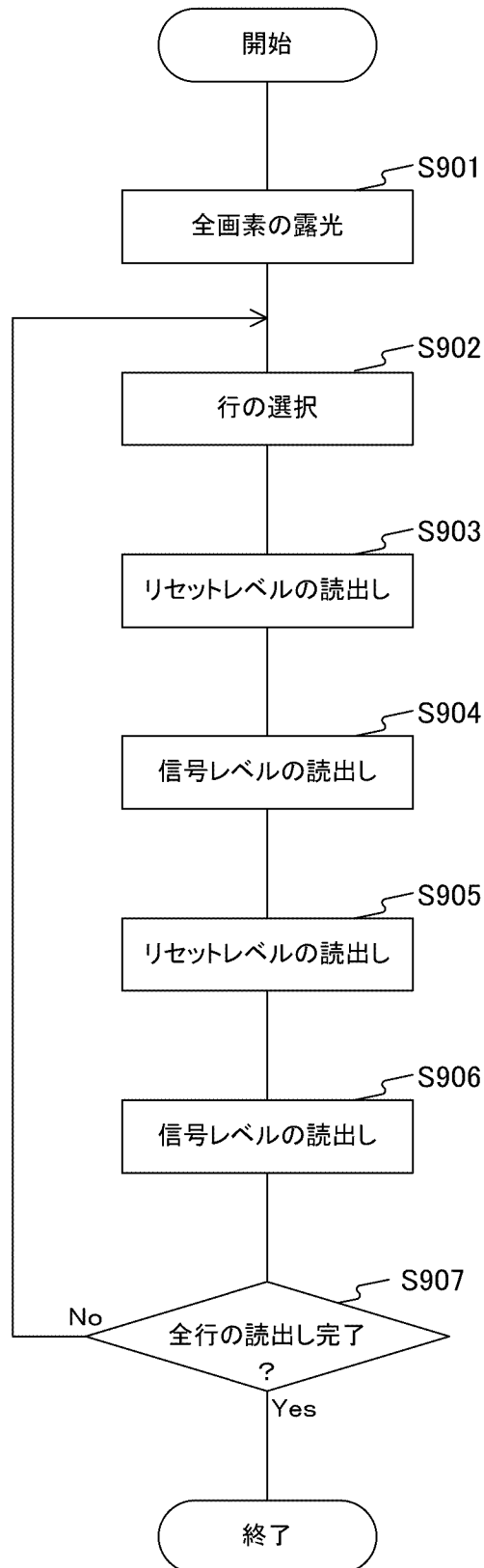
[図23]



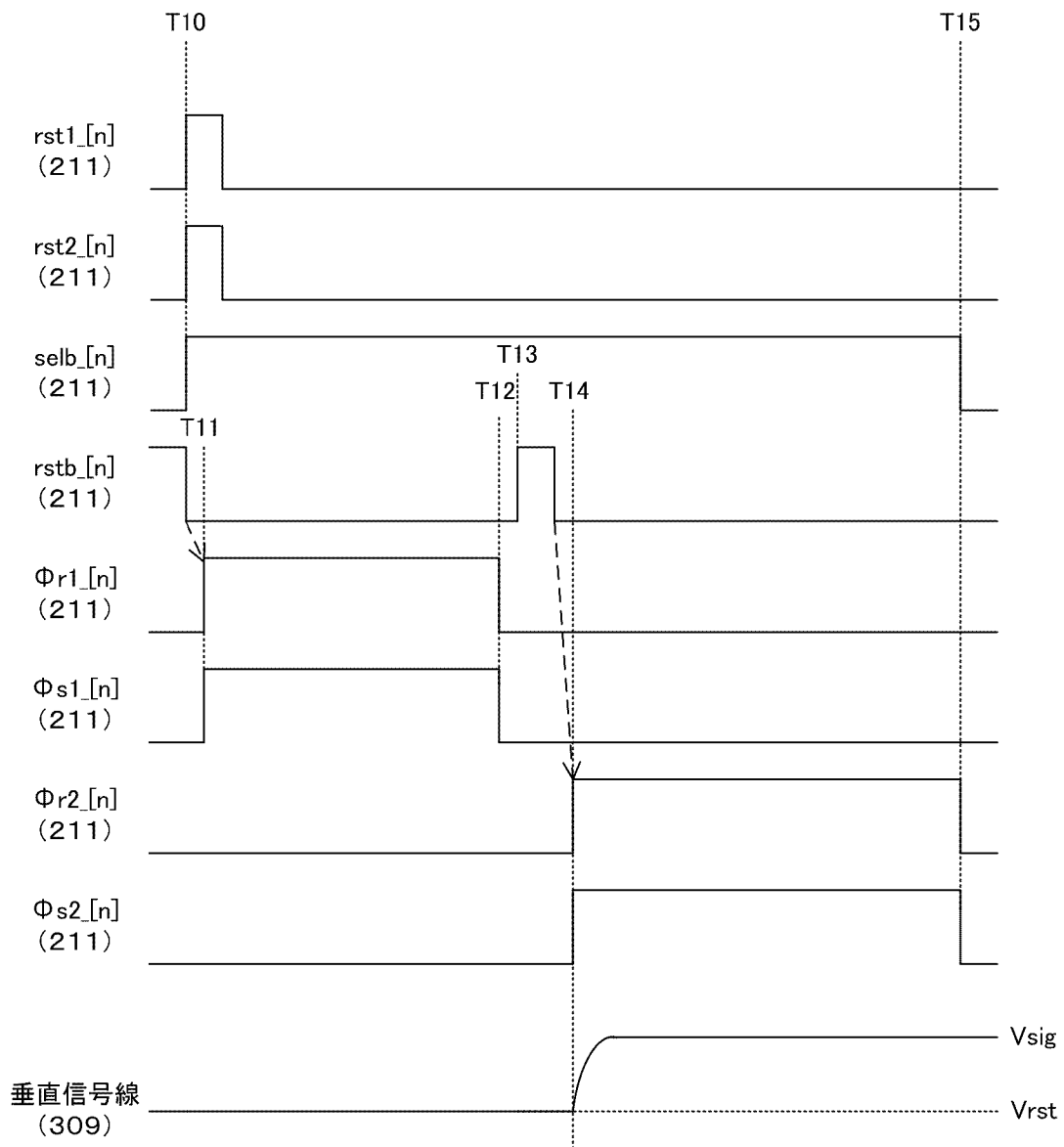
[図24]



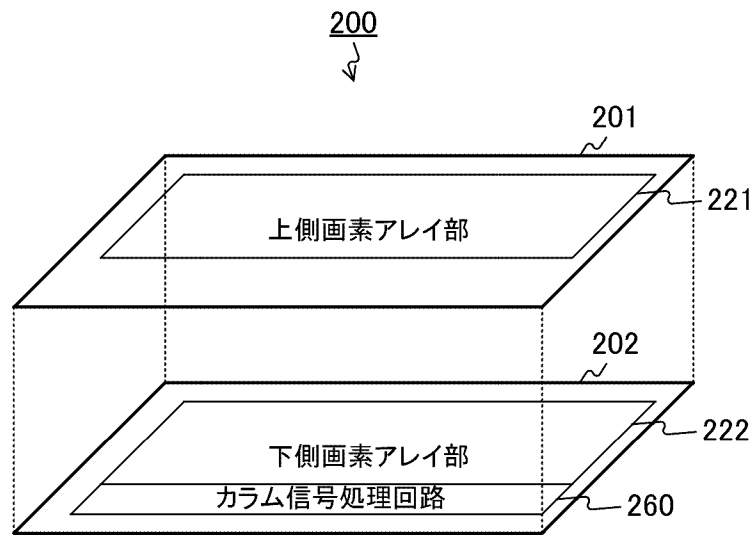
[図25]



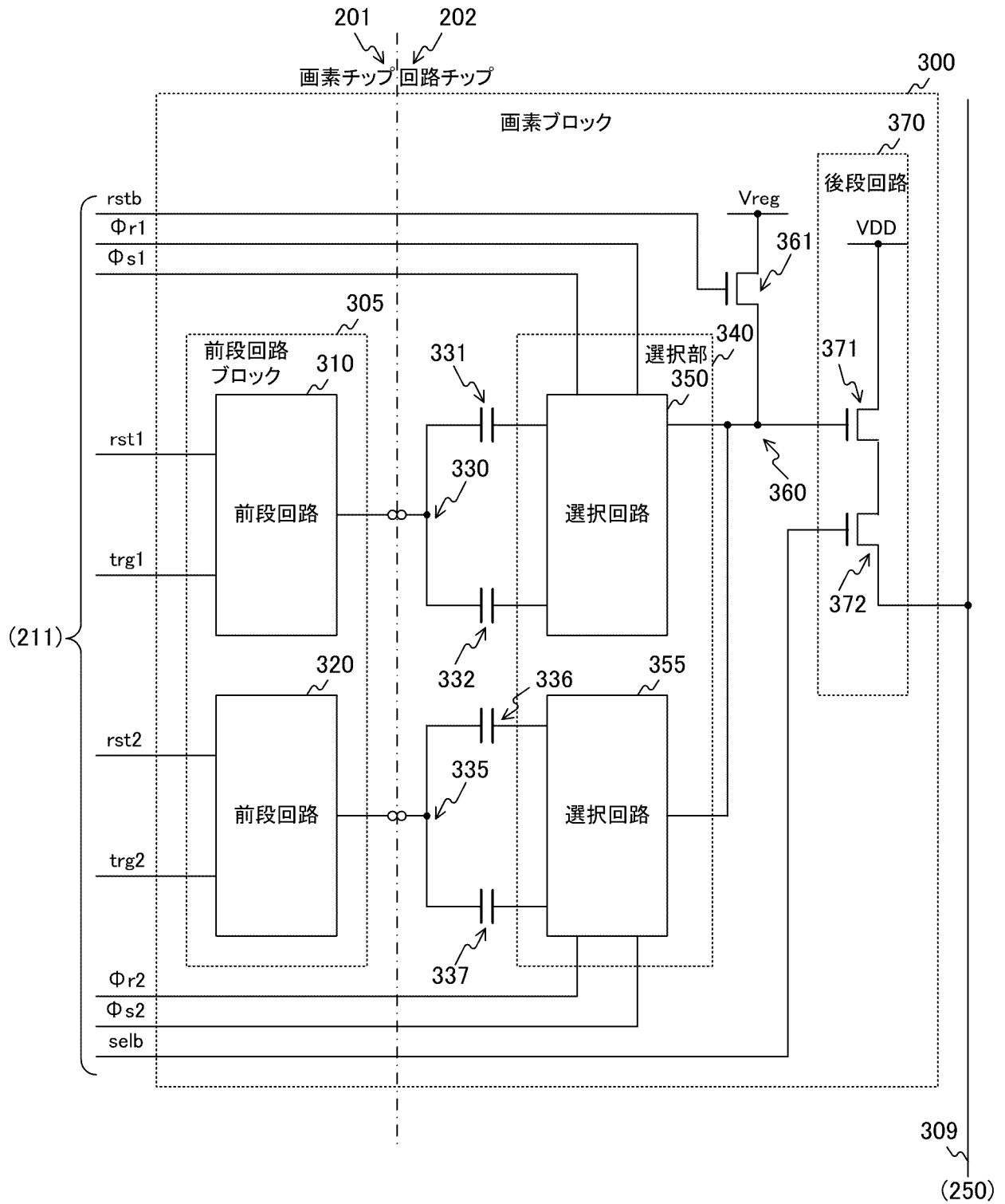
[図26]



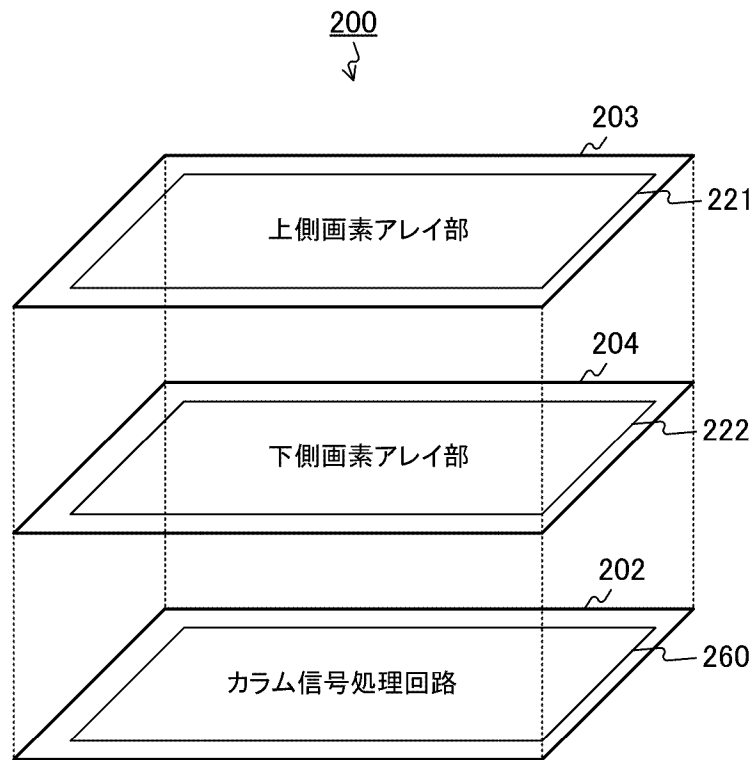
[図27]



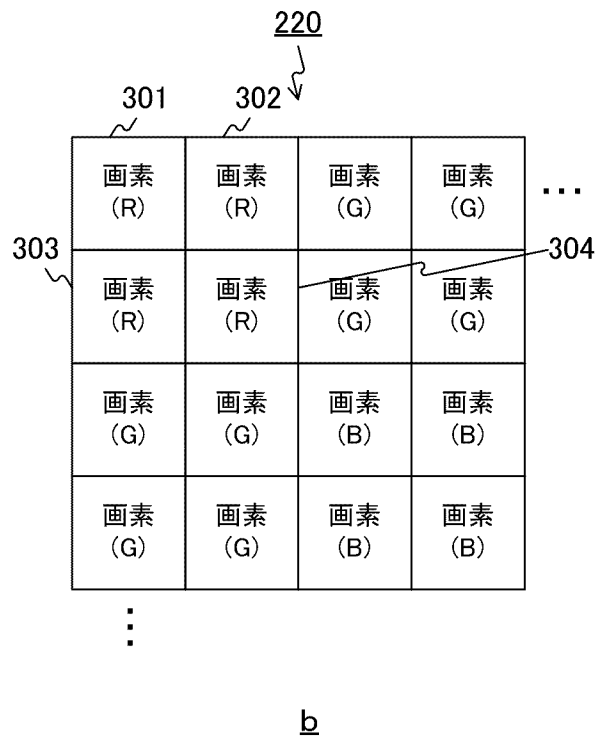
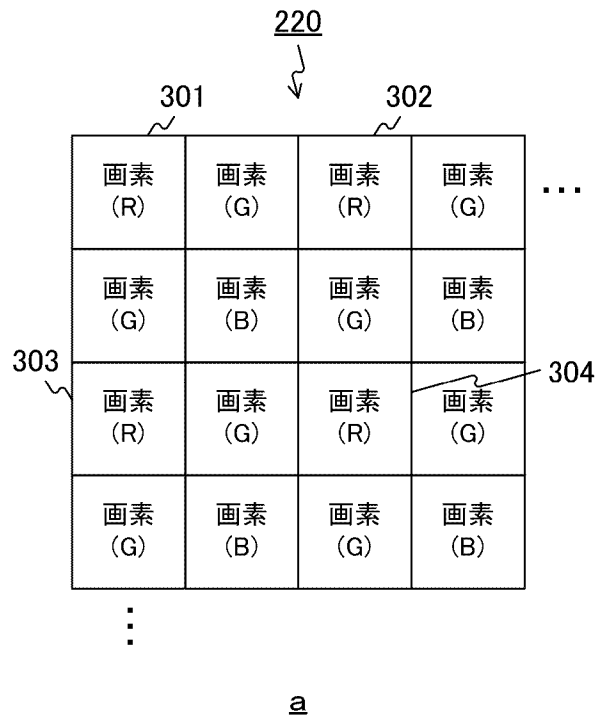
[図28]



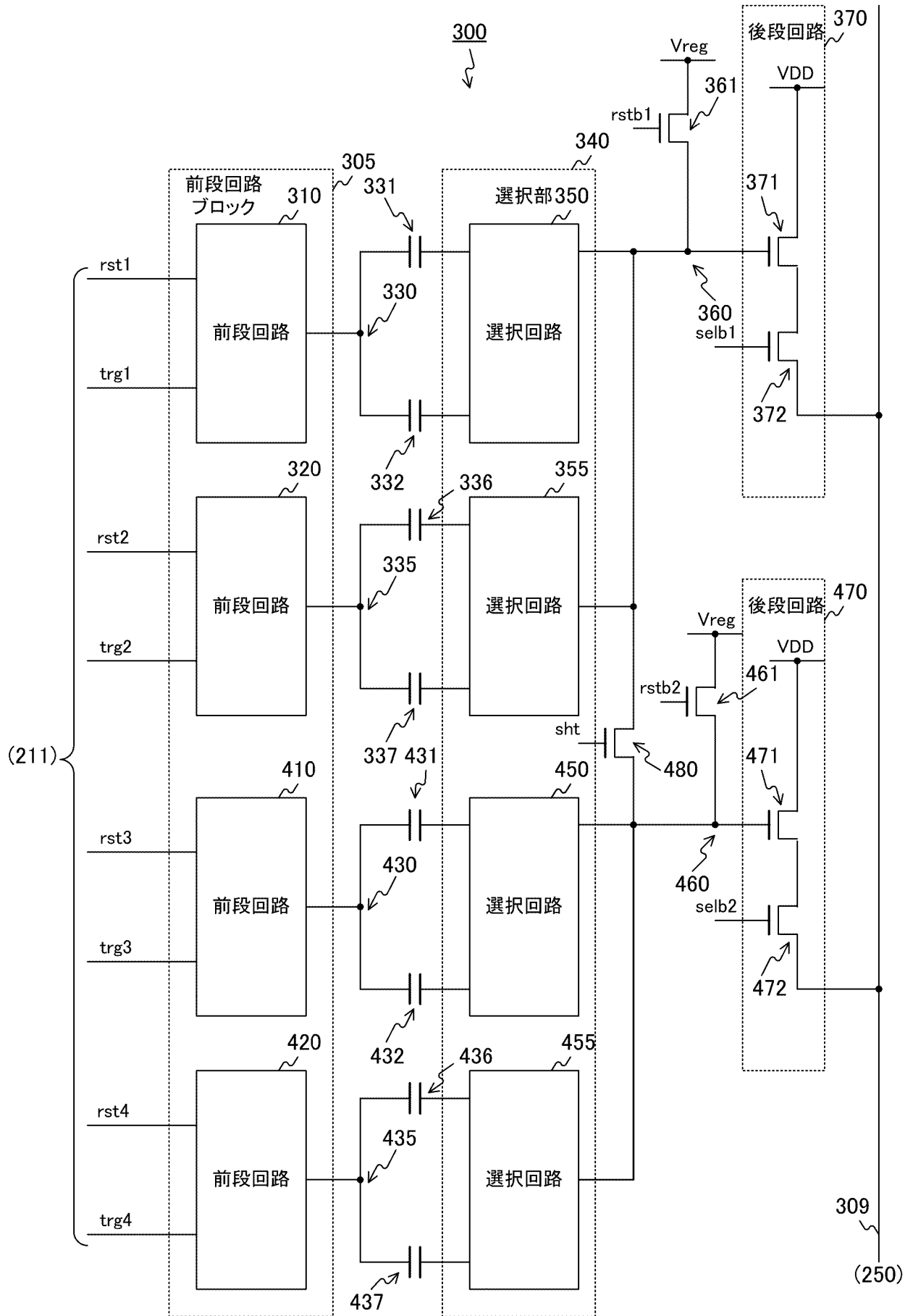
[図29]



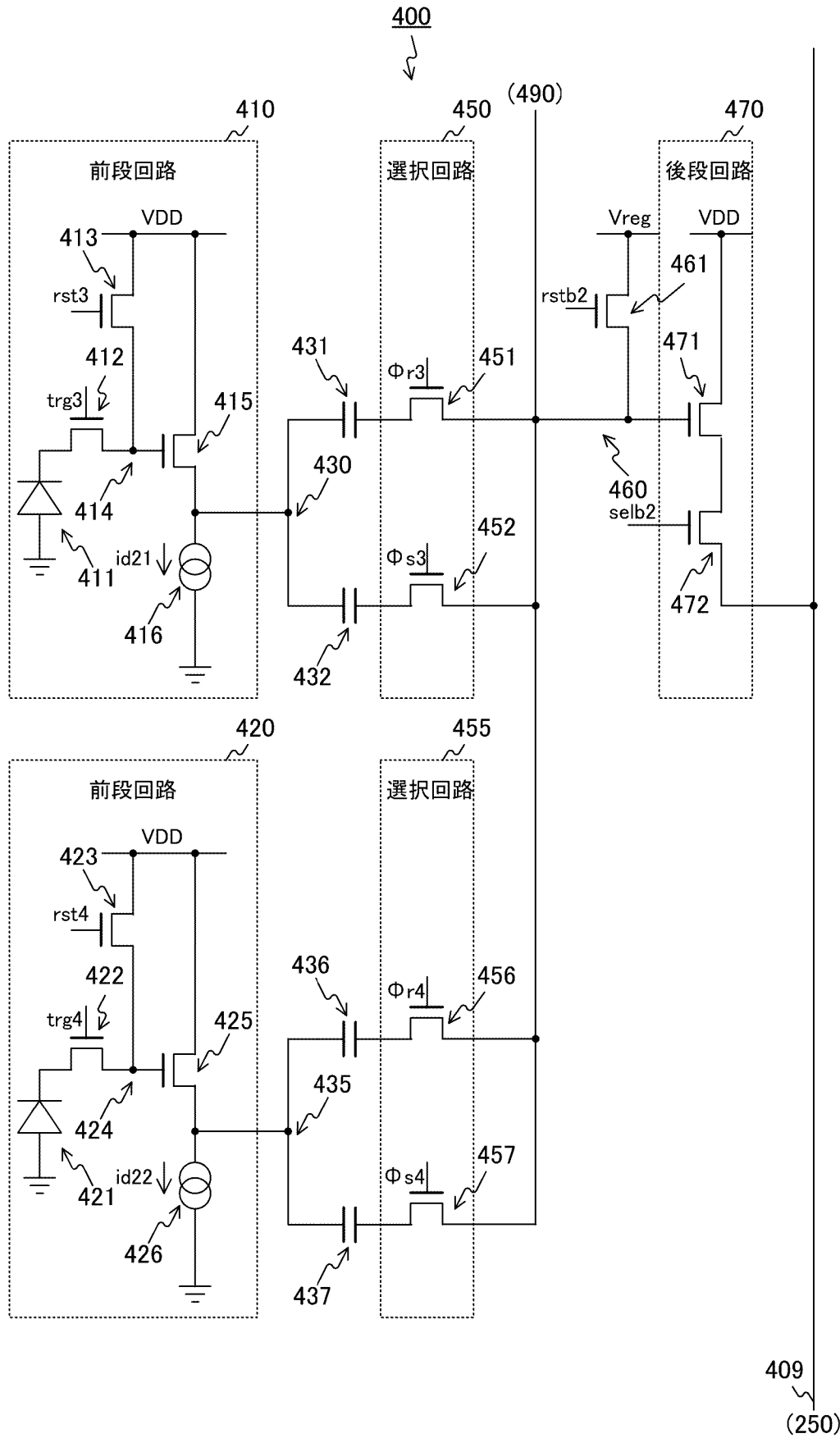
[図30]



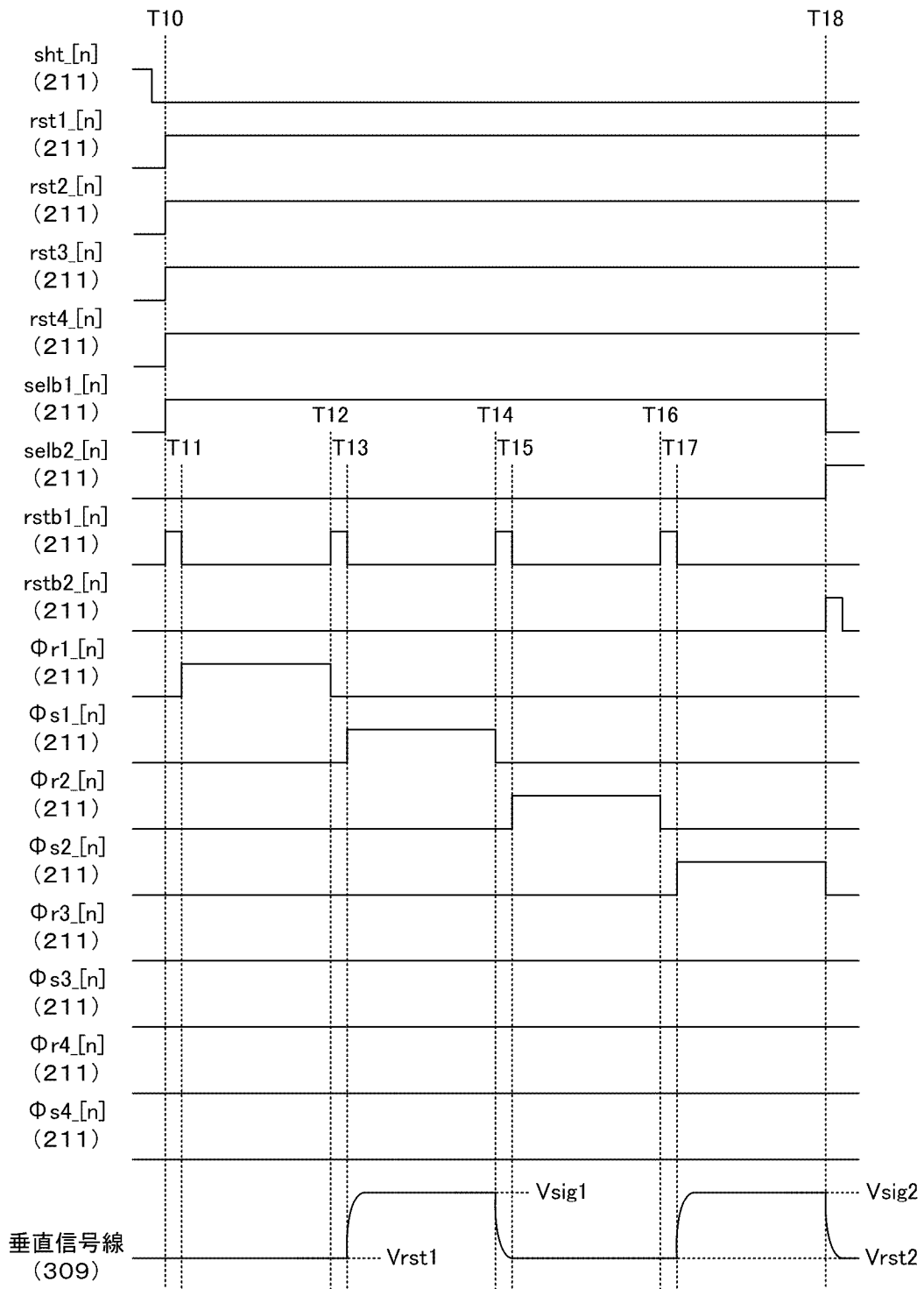
[図31]



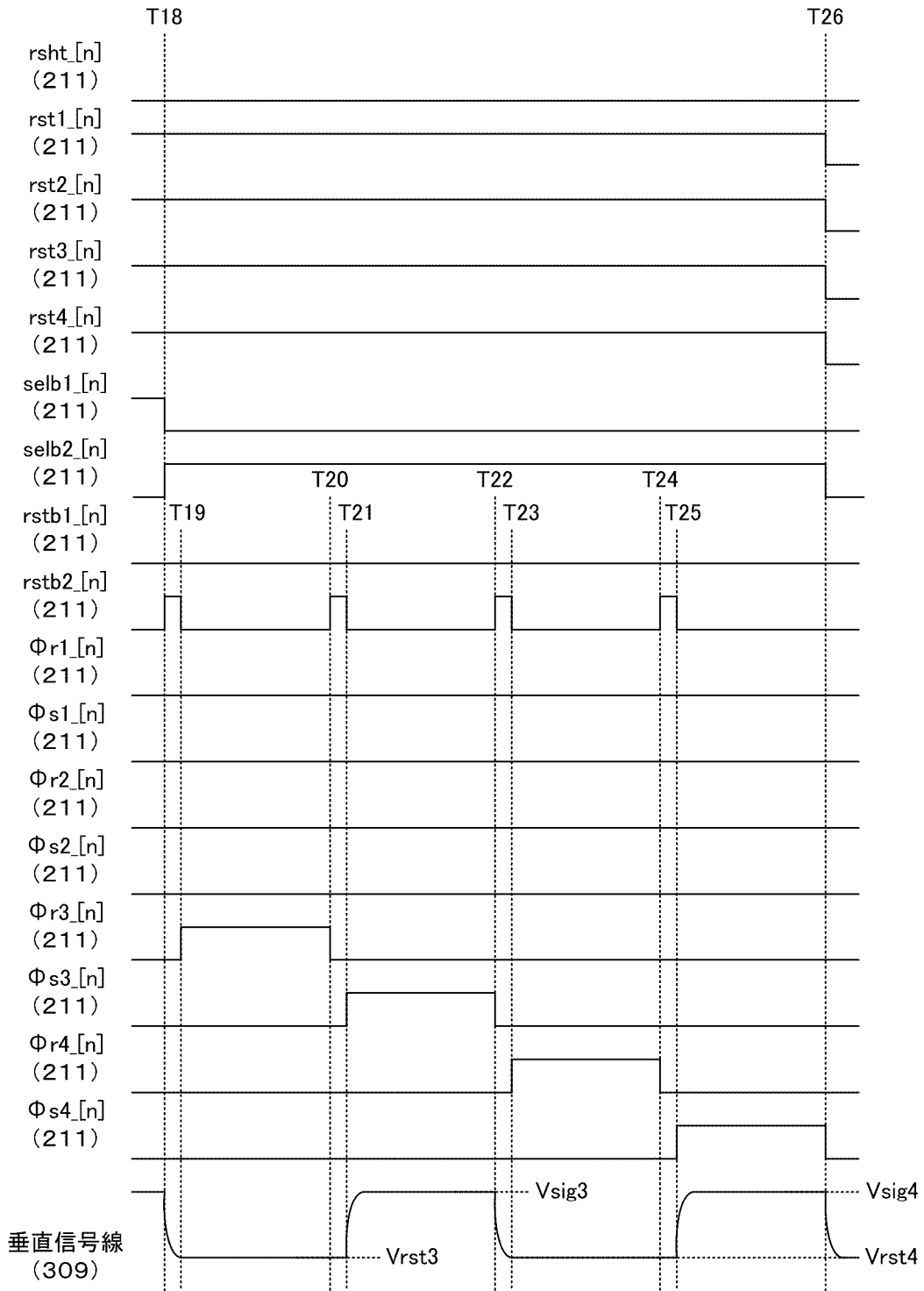
[図32]



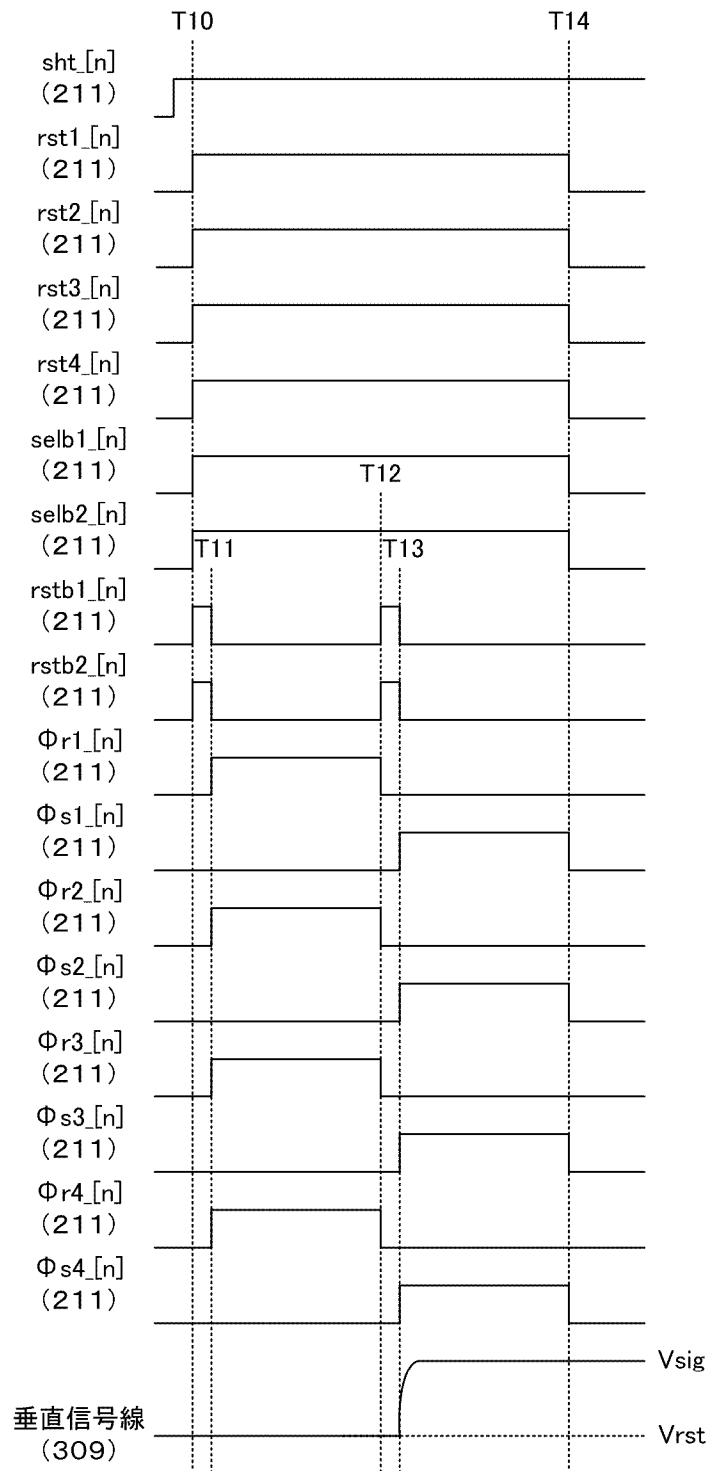
[図33]



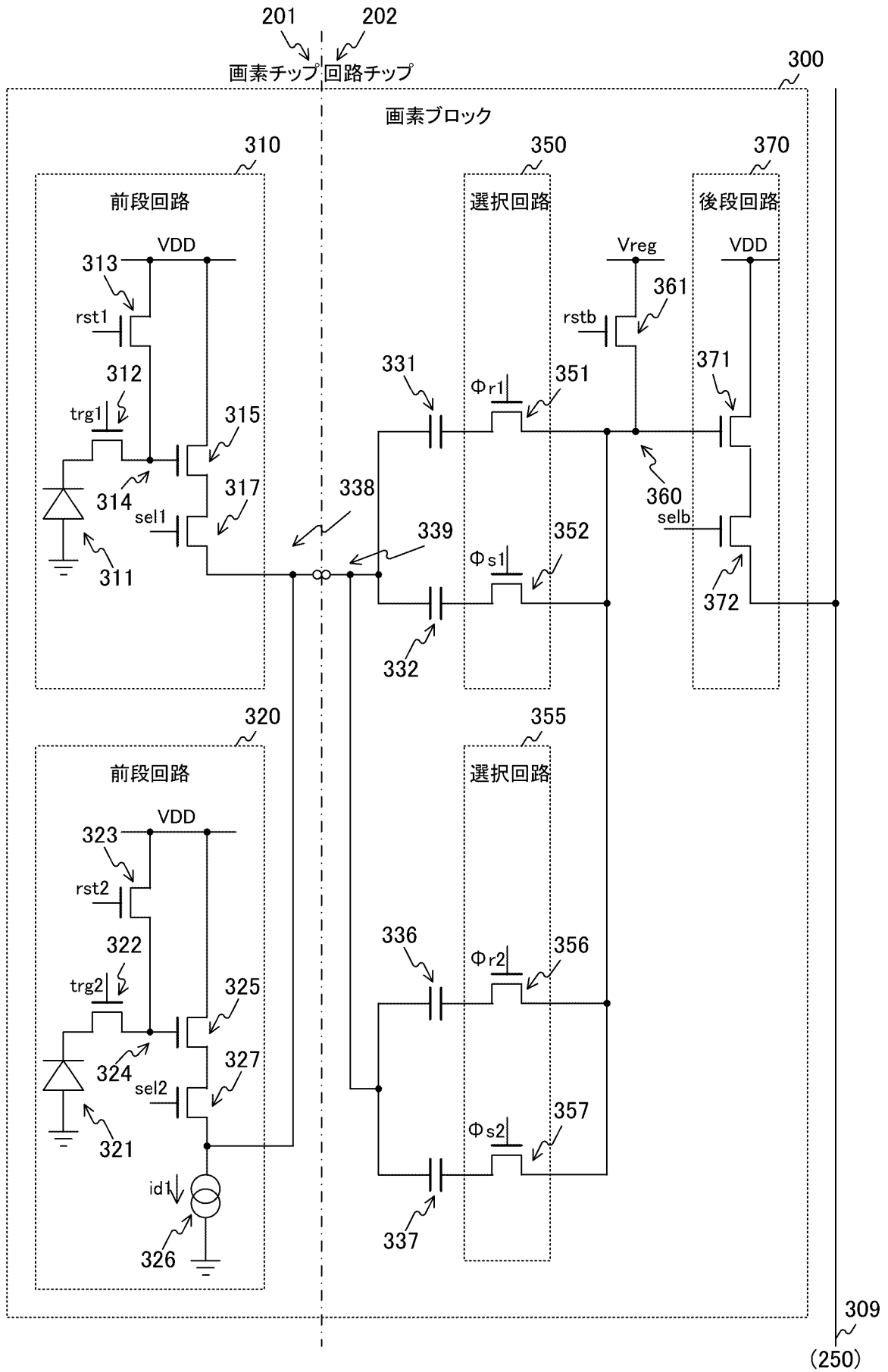
[図34]



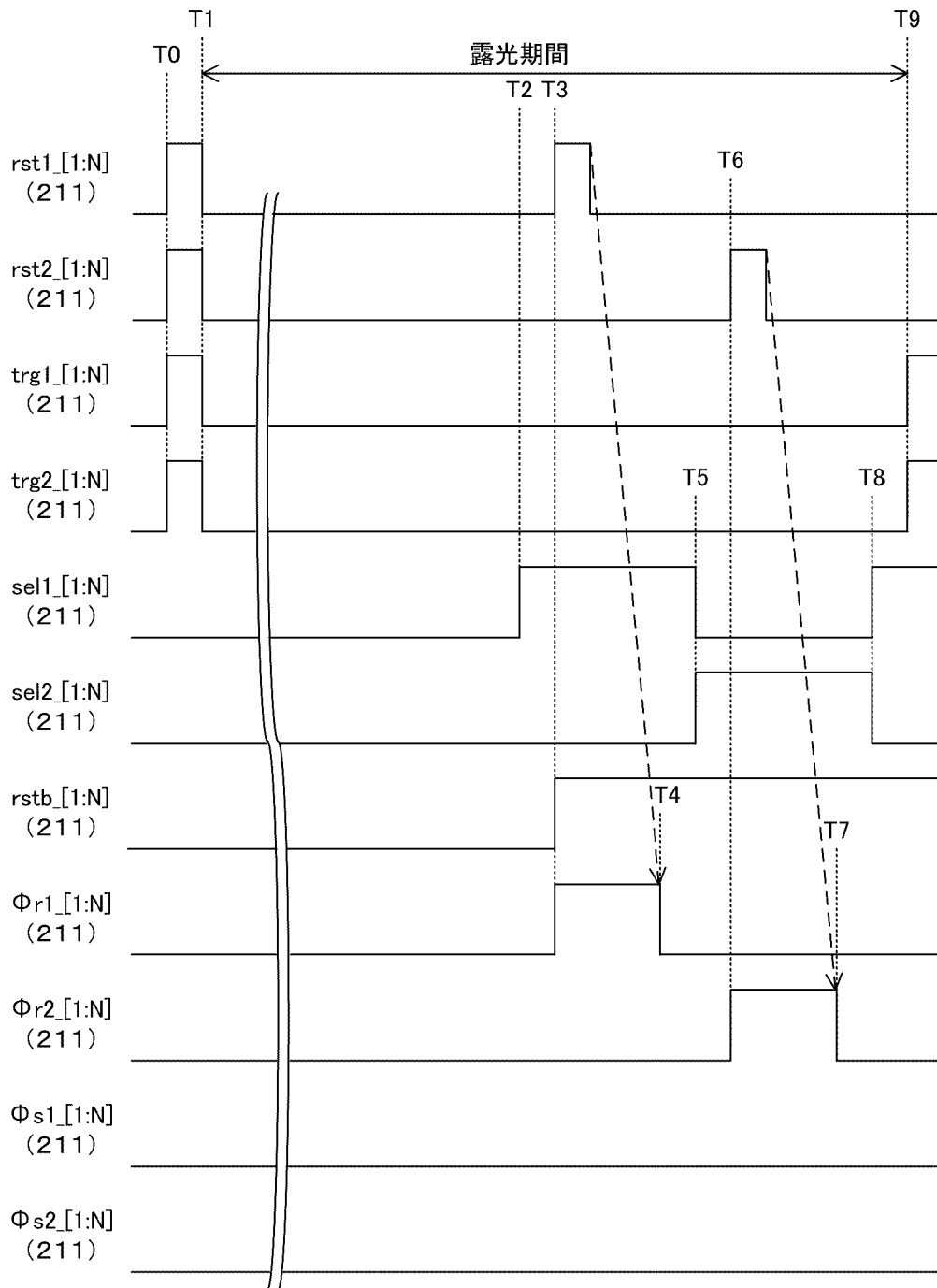
[図35]



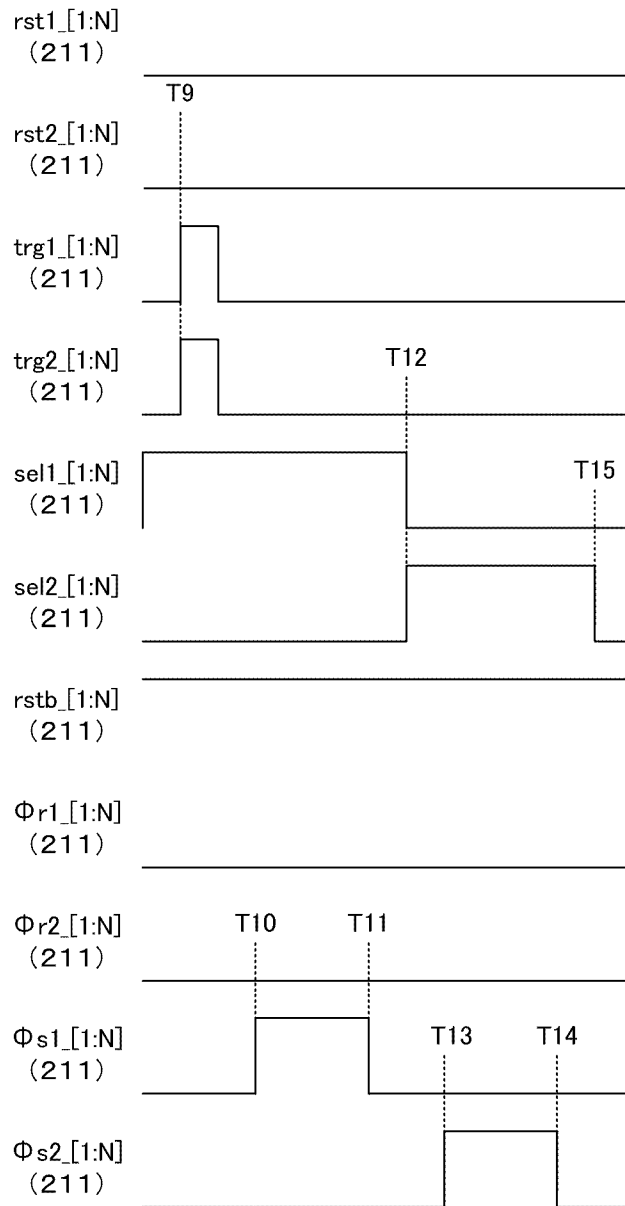
[図36]



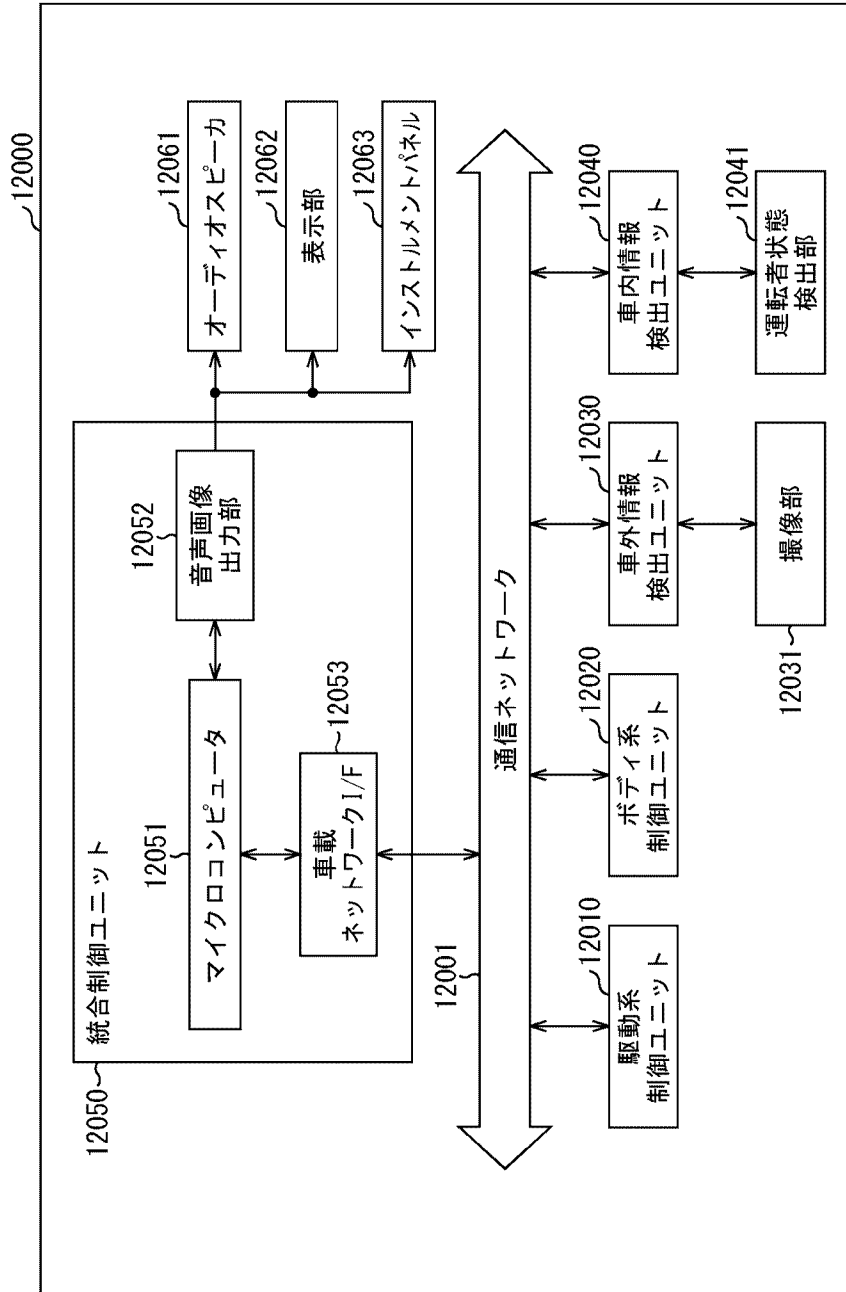
[図37]



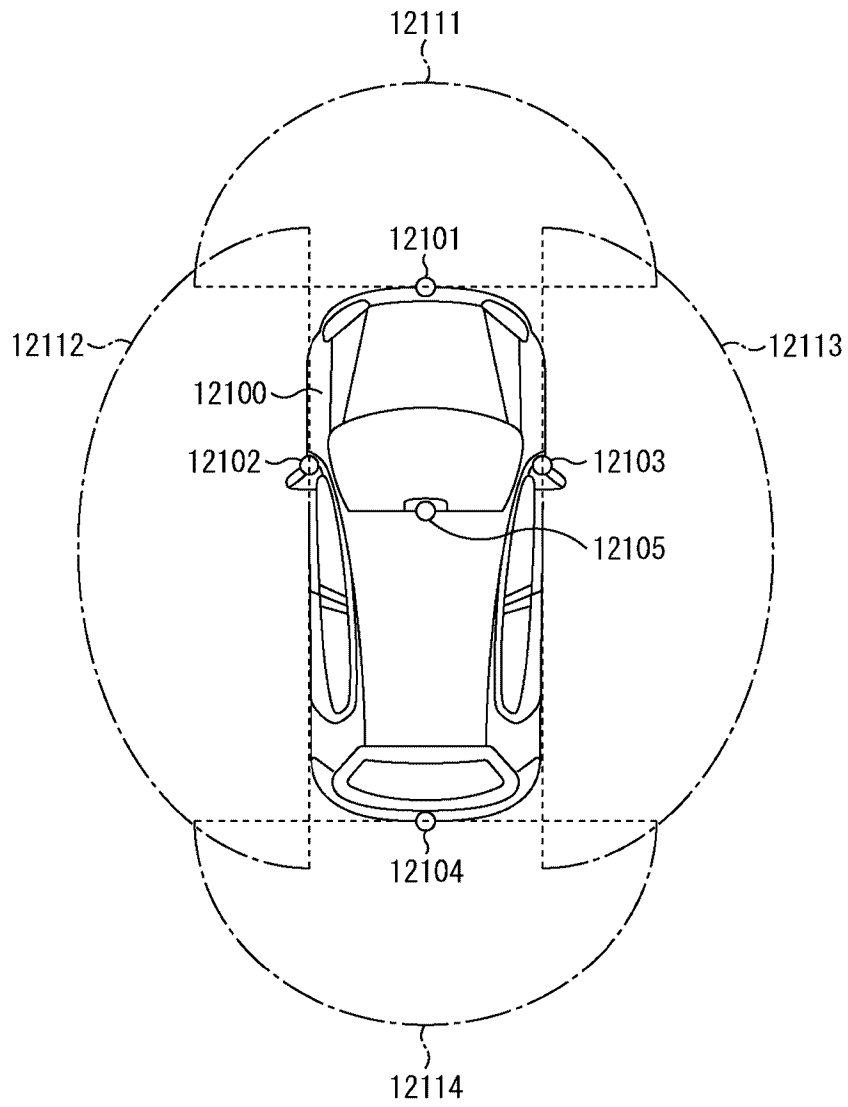
[図38]



[図39]



[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/000861

| A. CLASSIFICATION OF SUBJECT MATTER | | |
|--|---|--|
| <i>H04N 5/359</i> (2011.01)i; <i>H01L 27/146</i> (2006.01)i; <i>H04N 5/363</i> (2011.01)i; <i>H04N 5/3745</i> (2011.01)i FI: H04N5/359; H04N5/3745; H04N5/3745 200; H04N5/363; H01L27/146 A; H01L27/146 D | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED | | |
| Minimum documentation searched (classification system followed by classification symbols) H04N5/359; H01L27/146; H04N5/363; H04N5/3745 | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022 | | |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X | JP 2019-57873 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 11 April 2019 (2019-04-11) paragraphs [0020]-[0043], [0076]-[0081], [0088]-[0090], [0142], fig. 8 | 1-2, 18 |
| Y | paragraphs [0020]-[0043], [0076]-[0081], [0088]-[0090], [0142], fig. 8 | 3-6 |
| A | entire text, all drawings | 7-17 |
| Y | JP 2020-057949 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 09 April 2020 (2020-04-09) paragraphs [0045], [0047], fig. 5, 7 | 3-6 |
| A | JP 2011-078104 A (CANON INC.) 14 April 2011 (2011-04-14) paragraph [0026], fig. 1 | 7-17 |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family | | |
| Date of the actual completion of the international search 15 March 2022 | | Date of mailing of the international search report 29 March 2022 |
| Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan | | Authorized officer Telephone No. |

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/000861

| Patent document cited in search report | | | Publication date (day/month/year) | Patent family member(s) | Publication date (day/month/year) |
|--|-------------|---|-----------------------------------|---|-----------------------------------|
| JP | 2019-57873 | A | 11 April 2019 | US 2020/0260034 A1 paragraphs [0067]-[0091], [0129]-[0134], [0141]-[0143], [0227]-[0249], fig. 8 | |
| | | | | WO 2019/058959 A1 | |
| | | | | CN 111095917 A | |
| JP | 2020-057949 | A | 09 April 2020 | WO 2020/071068 A1 paragraphs [0046], [0048], fig. 5, 7 | |
| | | | | TW 202015228 A | |
| | | | | CN 112740653 A | |
| | | | | KR 10-2021-0066803 A | |
| JP | 2011-078104 | A | 14 April 2011 | (Family: none) | |

| <p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H04N 5/359(2011.01)i; H01L 27/146(2006.01)i; H04N 5/363(2011.01)i; H04N 5/3745(2011.01)i FI: H04N5/359; H04N5/3745; H04N5/3745 200; H04N5/363; H01L27/146 A; H01L27/146 D</p> | | | | | | | | | | | | | | | | | | | | |
|---|--|----------------|-----------------|-----------------------------------|----------------|--------------|--|--------------|-------------|---|-----|---|--------|------|---|---|-----|---|--|------|
| <p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H04N5/359; H01L27/146; H04N5/363; H04N5/3745</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p> | | | 日本国実用新案公報 | 1922 - 1996年 | 日本国公開実用新案公報 | 1971 - 2022年 | 日本国実用新案登録公報 | 1996 - 2022年 | 日本国登録実用新案公報 | 1994 - 2022年 | | | | | | | | | | |
| 日本国実用新案公報 | 1922 - 1996年 | | | | | | | | | | | | | | | | | | | |
| 日本国公開実用新案公報 | 1971 - 2022年 | | | | | | | | | | | | | | | | | | | |
| 日本国実用新案登録公報 | 1996 - 2022年 | | | | | | | | | | | | | | | | | | | |
| 日本国登録実用新案公報 | 1994 - 2022年 | | | | | | | | | | | | | | | | | | | |
| <p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2019-57873 A（ソニーセミコンダクタソリューションズ株式会社）11.04.2019 （2019 - 04 - 11） 段落[0020]-[0043], [0076]-[0081], [0088]-[0090], [0142]図8</td> <td>1-2, 18</td> </tr> <tr> <td>Y</td> <td>段落[0020]-[0043], [0076]-[0081], [0088]-[0090], [0142]図8</td> <td>3-6</td> </tr> <tr> <td>A</td> <td>全文, 全図</td> <td>7-17</td> </tr> <tr> <td>Y</td> <td>JP 2020-057949 A（ソニーセミコンダクタソリューションズ株式会社）09.04.2020 （2020 - 04 - 09） 段落[0045], [0047], 図5, 7</td> <td>3-6</td> </tr> <tr> <td>A</td> <td>JP 2011-078104 A（キヤノン株式会社）14.04.2011（2011 - 04 - 14） 段落[0026], 図1</td> <td>7-17</td> </tr> </tbody> </table> | | | 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 | X | JP 2019-57873 A（ソニーセミコンダクタソリューションズ株式会社）11.04.2019 （2019 - 04 - 11） 段落[0020]-[0043], [0076]-[0081], [0088]-[0090], [0142]図8 | 1-2, 18 | Y | 段落[0020]-[0043], [0076]-[0081], [0088]-[0090], [0142]図8 | 3-6 | A | 全文, 全図 | 7-17 | Y | JP 2020-057949 A（ソニーセミコンダクタソリューションズ株式会社）09.04.2020 （2020 - 04 - 09） 段落[0045], [0047], 図5, 7 | 3-6 | A | JP 2011-078104 A（キヤノン株式会社）14.04.2011（2011 - 04 - 14） 段落[0026], 図1 | 7-17 |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 | | | | | | | | | | | | | | | | | | |
| X | JP 2019-57873 A（ソニーセミコンダクタソリューションズ株式会社）11.04.2019 （2019 - 04 - 11） 段落[0020]-[0043], [0076]-[0081], [0088]-[0090], [0142]図8 | 1-2, 18 | | | | | | | | | | | | | | | | | | |
| Y | 段落[0020]-[0043], [0076]-[0081], [0088]-[0090], [0142]図8 | 3-6 | | | | | | | | | | | | | | | | | | |
| A | 全文, 全図 | 7-17 | | | | | | | | | | | | | | | | | | |
| Y | JP 2020-057949 A（ソニーセミコンダクタソリューションズ株式会社）09.04.2020 （2020 - 04 - 09） 段落[0045], [0047], 図5, 7 | 3-6 | | | | | | | | | | | | | | | | | | |
| A | JP 2011-078104 A（キヤノン株式会社）14.04.2011（2011 - 04 - 14） 段落[0026], 図1 | 7-17 | | | | | | | | | | | | | | | | | | |
| <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。</p> <p><input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> | | | | | | | | | | | | | | | | | | | | |
| <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p> | | | | | | | | | | | | | | | | | | | | |
| <p>国際調査を完了した日</p> <p>15.03.2022</p> | <p>国際調査報告の発送日</p> <p>29.03.2022</p> | | | | | | | | | | | | | | | | | | | |
| <p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p> | <p>権限のある職員（特許庁審査官）</p> <p>鈴木 明 5V 2590</p> <p>電話番号 03-3581-1101 内線 3541</p> | | | | | | | | | | | | | | | | | | | |

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/000861

| 引用文献 | | | 公表日 | パテントファミリー文献 | 公表日 |
|------|-------------|---|------------|---|-----|
| JP | 2019-57873 | A | 11.04.2019 | US 2020/0260034 A1 段落[0067]-[0091], [0129]- [0134], [0141]-[0143], [0227]-[0249], 図8 WO 2019/058959 A1 CN 111095917 A | |
| JP | 2020-057949 | A | 09.04.2020 | WO 2020/071068 A1 段落[0046], [0048], 図5, 7 TW 202015228 A CN 112740653 A KR 10-2021-0066803 A | |
| JP | 2011-078104 | A | 14.04.2011 | (ファミリーなし) | |