



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I545572 B

(45)公告日：中華民國 105 (2016) 年 08 月 11 日

(21)申請案號：103143496

(22)申請日：中華民國 103 (2014) 年 12 月 12 日

(51)Int. Cl. : G11C16/06 (2006.01)

G11C16/16 (2006.01)

G06F12/02 (2006.01)

(71)申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72)發明人：林緯 LIN, WEI (TW)；許祐誠 HSU, YU CHENG (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

US 7548457B2

US 7764542B2

US 8553457B2

US 8706952B2

US 2008/0253181A1

審查人員：蔡明宏

申請專利範圍項數：51 項 圖式數：20 共 75 頁

(54)名稱

記憶胞程式化方法、記憶體控制電路單元與記憶體儲存裝置

MEMORY CELL PROGRAMMING METHOD, MEMORY CONTROL CIRCUIT UNIT AND
MEMORY STORAGE APPARATUS

(57)摘要

一種用於可複寫式非揮發性記憶體模組的記憶胞程式化方法。此方法包括將可複寫式非揮發性記憶體模組的實體抹除單元至少分組為第一區與第二區，其中第一組程式化參數被預先設定用於將第一類資料寫入至屬於第一區的實體抹除單元的下實體程式化單元並且第一區的實體抹除單元的上實體程式化單元不會被用來儲存資料。此方法更包括：調整第一組程式化參數以獲得第二組程式化參數；以及使用第二組程式化參數將第二類資料寫入至屬於第二區的實體抹除單元的下實體程式化單元中，其中第二區的實體抹除單元的上實體程式化單元不會被用來儲存資料。

A memory cell programming method for a rewritable non-volatile memory module is provided. The method includes grouping physical erasing units of the rewritable non-volatile memory module at least into a first area and a second area, wherein a first set of programming parameters is configured initially for writing a first kind of data into the physical erasing units of the first area and the upper physical programming units of the physical erasing units of the first area are used to be written with data. The method also includes adjusting the first set of programming parameters to obtain a second set of programming parameters; and applying the second set of programming parameters to write a second kind of data into the physical erasing units of the second area, wherein the upper physical programming units of the physical erasing units of the second area are used to be written with data.

指定代表圖：

符號簡單說明：
S2001、S2003、
S2005、S2007 . . .
記憶體程式化方法的
步驟

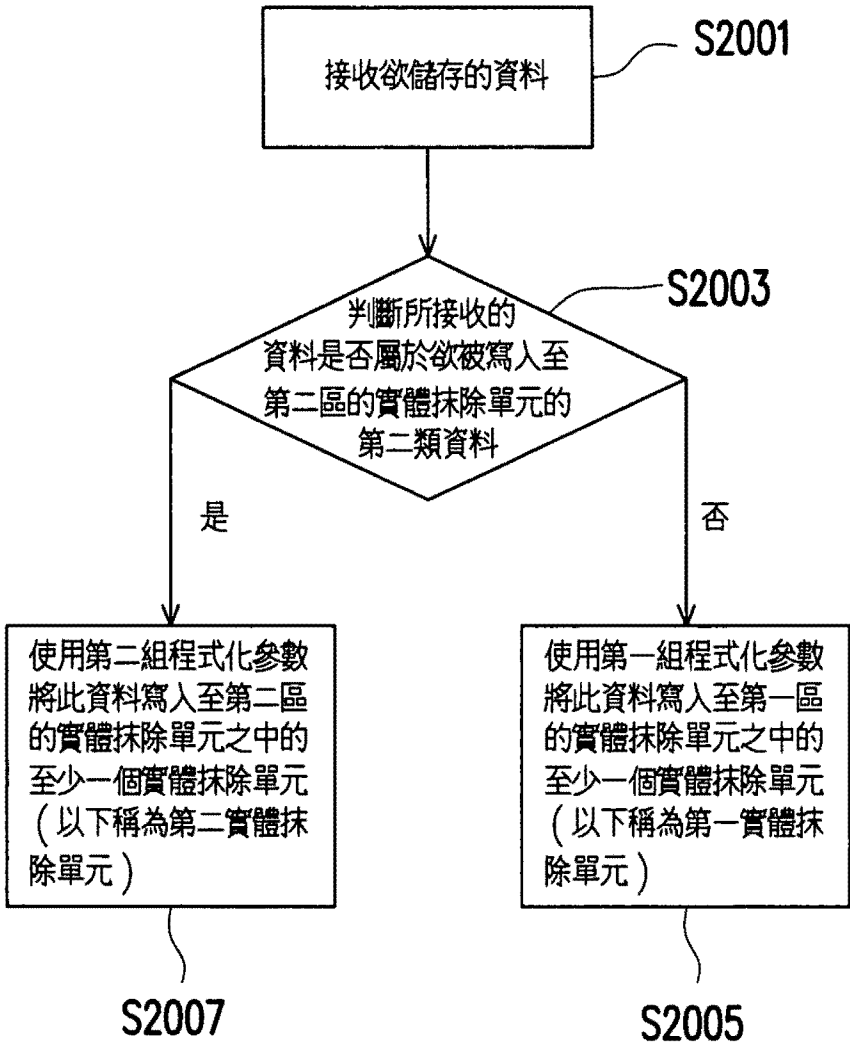


圖 20

發明摘要

公告本

※ 申請案號： 103143496

※ 申請日： 103.12.1 2

※IPC 分類：

G11C 14/06 2006.01

G11C 16/16 2006.01

G06F 17/02 2006.01

【發明名稱】

記憶體程式化方法、記憶體控制電路單元與記憶體儲存裝置

MEMORY CELL PROGRAMMING METHOD, MEMORY
CONTROL CIRCUIT UNIT AND MEMORY STORAGE
APPARATUS

【中文】

一種用於可複寫式非揮發性記憶體模組的記憶體程式化方法。此方法包括將可複寫式非揮發性記憶體模組的實體抹除單元至少分組為第一區與第二區，其中第一組程式化參數被預先設定用於將第一類資料寫入至屬於第一區的實體抹除單元的下實體程式化單元並且第一區的實體抹除單元的上實體程式化單元不會被用來儲存資料。此方法更包括：調整第一組程式化參數以獲得第二組程式化參數；以及使用第二組程式化參數將第二類資料寫入至屬於第二區的實體抹除單元的下實體程式化單元中，其中第二區的實體抹除單元的上實體程式化單元不會被用來儲存資料。

【英文】

A memory cell programming method for a rewritable non-volatile memory module is provided. The method includes

grouping physical erasing units of the rewritable non-volatile memory module at least into a first area and a second area, wherein a first set of programming parameters is configured initially for writing a first kind of data into the physical erasing units of the first area and the upper physical programming units of the physical erasing units of the first area are used to be written with data. The method also includes adjusting the first set of programming parameters to obtain a second set of programming parameters; and applying the second set of programming parameters to write a second kind of data into the physical erasing units of the second area, wherein the upper physical programming units of the physical erasing units of the second area are used to be written with data.

【代表圖】

【本案指定代表圖】：圖 20。

【本代表圖之符號簡單說明】：

S2001、S2003、S2005、S2007：記憶胞程式化方法的步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

記憶體程式化方法、記憶體控制電路單元與記憶體儲存裝置

MEMORY CELL PROGRAMMING METHOD, MEMORY
CONTROL CIRCUIT UNIT AND MEMORY STORAGE
APPARATUS

【技術領域】

【0001】 本發明是有關於一種記憶體程式化方法，且特別是有關於一種用於可複寫式非揮發性記憶體模組的記憶體程式化方法及使用此方法的記憶體控制電路單元與記憶體儲存裝置。

【先前技術】

【0002】 數位相機、手機與 MP3 在這幾年來的成長十分迅速，使得消費者對儲存媒體的需求也急速增加。由於可複寫式非揮發性記憶體(rewritable non-volatile memory)具有資料非揮發性、省電、體積小、無機械結構、讀寫速度快等特性，最適於可攜式電子產品，例如筆記型電腦。固態硬碟就是一種以快閃記憶體作為儲存媒體的記憶體儲存裝置。因此，近年快閃記憶體產業成為電子產業中相當熱門的一環。

【0003】 隨著半導體製程的進步，目前的技術已發展出具有能夠儲存多個位元資料之記憶胞的快閃記憶體模組。具體來說，快閃

記憶體模組的資料寫入(或稱為程式化)是利用施予電壓至快閃記憶體元件的特定端點(例如，控制閘極電壓來改變閘極中之一電荷補捉層的電子量)，因而改變了記憶胞的通道的導通狀態，以呈現不同的儲存狀態。例如，以多階儲存單元 (Multi-Level Cell, MLC) NAND 型快閃記憶體為例，當下頁面資料為 1 且上頁面資料為 1 時，控制電路會控制字元線控制電路不改變記憶胞中的閘極電壓，而將記憶胞的儲存狀態保持為“11”；當下頁面資料為 1 且上頁面資料為 0 時，字元線控制電路會在控制電路的控制下改變記憶胞中的閘極電壓，而將記憶胞的儲存狀態改變為“10”；當下頁面資料為 0 且上頁面資料為 0 時，字元線控制電路會在控制電路的控制下改變記憶胞中的閘極電壓，而將記憶胞的儲存狀態改變為“00”；並且，當下頁面資料為 0 且上頁面資料為 1 時，字元線控制電路會在控制電路的控制下改變記憶胞中的閘極電壓，而將記憶胞的儲存狀態改變為“01”。也就是說，當讀取資料時，控制電路會根據目前記憶胞中的閘極電壓來識別此記憶胞的儲存狀態。

【0004】 在程式化過程中，記憶胞會隨著電子的多次的注入與移除而造成老化，導致電子寫入速度增加並造成臨界電壓分佈變寬。因此，在多次程式化後，記憶胞可能無法被正確地識別其儲存狀態，而產生錯誤位元。此外，在對同一個記憶胞所儲存的資料進行多次讀取時，例如十萬至百萬次間的讀取次數，很有可能會發生所讀取的資料是錯誤的狀況，甚至此被多次讀取實體抹除

單元內所儲存的資料會發生異常或遺失。而此類現象以本發明領域具有通常知識者慣稱為「讀取干擾」(read-disturb)。特別是，快閃記憶體模組中會儲存快閃記憶體儲存系統的系統資料（例如韌體碼 (Firmware Code)、檔案配置表 (File Allocation Table, FAT)，且此系統資料會在快閃記憶體儲存系統運作期間高頻率地的讀取。

【0005】 基此，如何使用適當的程式化參數來程式化記憶胞，以避免記憶胞快速劣化，同時又能夠較佳地控制閘極中之一電荷捕捉層的電子量以防止讀取干擾發生，是此領域技術人員所致力的目標。

【發明內容】

【0006】 本發明提供一種記憶胞程式化方法、記憶體控制電路單元與記憶體儲存裝置，其能夠延長記憶胞的壽命，並且避免讀取干擾的發生。

【0007】 本發明的一範例實施例提出一種用於可複寫式非揮發性記憶體模組的記憶胞程式化方法，其中此可複寫式非揮發性記憶體模組具有多個實體抹除單元，且每一實體抹除單元具有多個實體程式化單元。此記憶胞程式化方法包括：使用第一組程式化參數將第一類資料寫入這些實體程式化單元之中的其中一個實體程式化單元；以及使用第二組程式化參數將第二類資料寫入至這些實體程式化單元之中的其中一個實體程式化單元，其中第一組程

式化參數中至少部份參數不相同於第二組程式化參數，且以第一組程式化參數寫入第一類資料的實體程式化單元的記憶胞的資料位元數相同於以第二組程式化參數寫入第二類資料的實體程式化單元的記憶胞的資料位元數。

【0008】 在本發明的一範例實施例中，此些實體程式化單元之中寫入第二類資料之實體程式化單元映射相對應之邏輯位址，且寫入第一類資料之實體程式化單元無映射相對應之邏輯位址。

【0009】 在本發明的一範例實施例中，其中以第一組程式化參數寫入第一類資料的實體程式化單元的記憶胞的資料位元數為 1 個位元並且以第二組程式化參數寫入第二類資料的實體程式化單元的記憶胞的資料位元數為 1 個位元。

【0010】 在本發明的一範例實施例中，上述記憶胞程式化方法更包括：將實體抹除單元至少分組為第一區與第二區。並且，上述使用第一組程式化參數將第一類資料寫入此些實體程式化單元之中的步驟包括：使用第一組程式化參數將第一類資料寫入至屬於第一區的實體抹除單元，並且上述使用第二組程式化參數將第二類資料寫入此些實體程式化單元的步驟包括：使用第二組程式化參數將第二類資料寫入至屬於第二區的實體抹除單元。

【0011】 在本發明的一範例實施例中，每一實體抹除單元的該些實體程式化單元包括多個下實體程式化單元與多個上實體程式化單元。該第一組程式化參數被預先設定用於屬於該第一區的實體抹除單元，並且該第一區的實體抹除單元的上實體程式化單元不

會被用來儲存資料。該第二組程式化參數用於屬於該第二區的實體抹除單元，並且該第二區的實體抹除單元的上實體程式化單元不會被用來儲存資料。

【0012】 在本發明的一範例實施例中，上述記憶胞程式化方法更包括：調整第一組程式化參數以獲得第二組程式化參數。

【0013】 在本發明的一範例實施例中，上述記憶胞程式化方法更包括：接收一資料；判斷此資料是否屬於第二類資料；倘若此資料不屬於第二類資料時，使用第一組程式化參數將資料寫入至第一區的實體抹除單元之中的至少一第一實體抹除單元；以及倘若此資料屬於第二類資料時，使用第二組程式化參數將此資料寫入至第二區的實體抹除單元之中的至少一第二實體抹除單元。

【0014】 在本發明的一範例實施例中，上述記憶胞程式化方法更包括：識別欲儲存此資料的至少一邏輯單元；判斷此至少一邏輯單元是否映射至第二區的實體抹除單元；以及倘若此至少一邏輯單元是映射至第二區的實體抹除單元時，識別此資料是屬於第二類資料。

【0015】 在本發明的一範例實施例中，上述記憶胞程式化方法更包括：使用單層記憶胞模式抹除指令對上述第一實體抹除單元執行抹除操作；以及使用多層記憶胞模式抹除指令對上述第二實體抹除單元執行抹除操作。

【0016】 在本發明的一範例實施例中，上述第一組程式化參數包括第一增量階躍脈衝程式調整值、第一初始寫入電壓、第一驗證

電壓、第一讀取電壓、第一導通電壓與第一抹除電壓的至少其中之一。

【0017】 在本發明的一範例實施例中，上述實體程式化單元之中以第一組程式化參數程式化的實體程式化單元的資料保存能力或抗讀取干擾能力優於以第二組程式化參數程式化的實體程式化單元的資料保存能力或抗讀取干擾能力。

【0018】 在本發明的一範例實施例中，上述實體程式化單元之中以該第二組程式化參數程式化的實體程式化單元的壽命優於以該第一組程式化參數程式化的實體程式化單元的壽命。

【0019】 在本發明的一範例實施例中，上述實體程式化單元之中以該第一組程式化參數程式化的實體程式化單元的記憶胞的門檻電壓統計分佈圖的第一狀態及第二狀態間的電壓間距大於以該第二組程式化參數程式化的實體程式化單元的記憶胞的門檻電壓統計分佈圖的第一狀態及第二狀態間的電壓間距。

【0020】 在本發明的一範例實施例中，上述調整第一組程式化參數以獲得第二組程式化參數的步驟包括：調整第一組程式參數的第一驗證電壓以獲取電壓來作為第二組程式參數的第二驗證電壓，其中第一組程式參數的第一驗證電壓大於第二組程式參數的第二驗證電壓。

【0021】 在本發明的一範例實施例中，上述調整第一組程式化參數以獲得第二組程式化參數的步驟包括：調整第一組程式參數的第一增量階躍脈衝程式調整值以獲取一個值來作為第二組程式參

數的第二增量階躍脈衝程式調整值。

【0022】 在本發明的一範例實施例中，上述第一類資料為韌體碼並且上述第一區為獨立地用以儲存韌體碼的系統區，並且上述第二類資料為使用者資料並且第二區為暫存使用者資料的暫存區。

【0023】 在本發明的一範例實施例中，上述記憶胞程式化方法更包括：使用第一組參數對儲存有第一類資料之實體程式化單元執行抹除操作；以及使用第二組參數對儲存有第二類資料之實體程式化單元執行該抹除操作。

【0024】 本發明的一範例實施例提出一種記憶體控制電路單元，用於存取可複寫式非揮發性記憶體模組，而上述記憶體控制電路單元包括：主機介面、記憶體介面與記憶體管理電路。主機介面耦接至主機系統。記憶體介面耦接至可複寫式非揮發性記憶體模組，其中可複寫式非揮發性記憶體模組具有多個實體抹除單元，且每一實體抹除單元具有多個實體程式化單元。記憶體管理電路耦接至主機介面與記憶體介面。該記憶體管理電路使用第一組程式化參數將第一類資料寫入此些實體程式化單元之中的其中一個實體程式化單元；以及使用第二組程式化參數將第二類資料寫入至此些實體程式化單元之中的其中一個實體程式化單元，其中第一組程式化參數中至少部份參數不相同於第二組程式化參數，且以第一組程式化參數寫入第一類資料的實體程式化單元的記憶胞的資料位元數相同於以第二組程式化參數寫入第二類資料的實體程式化單元的記憶胞的資料位元數。

【0025】 在本發明的一範例實施例中，上述記憶體管理電路將實體抹除單元至少分組為第一區與第二區。並且，在上述使用第一組程式化參數將第一類資料寫入這些實體程式化單元之中的運作中，上述記憶體管理電路使用第一組程式化參數將第一類資料寫入至屬於第一區的實體抹除單元，並且在上述使用第二組程式化參數將第二類資料寫入這些實體程式化單元的運作中，上述記憶體管理電路使用第二組程式化參數將第二類資料寫入至屬於第二區的實體抹除單元。

【0026】 在本發明的一範例實施例中，上述記憶體管理電路調整第一組程式化參數以獲得第二組程式化參數。

【0027】 在本發明的一範例實施例中，上述記憶體管理電路接收資料，並且判斷此資料是否屬於第二類資料。倘若資料不屬於第二類資料時，記憶體管理電路使用第一組程式化參數將此資料寫入至第一區的該些實體抹除單元之中的至少一第一實體抹除單元。倘若此資料屬於第二類資料時，記憶體管理電路使用第二組程式化參數將此資料寫入至第二區的實體抹除單元之中的至少一第二實體抹除單元。

【0028】 在本發明的一範例實施例中，上述記憶體管理電路識別欲儲存此資料的至少一邏輯單元，並且判斷此至少一邏輯單元是否映射至第二區的實體抹除單元。倘若此至少一邏輯單元是映射至第二區的實體抹除單元時，記憶體管理電路識別此資料是屬於第二類資料。

【0029】 在本發明的一範例實施例中，上述記憶體管理電路使用單層記憶胞模式抹除指令對上述第一實體抹除單元執行抹除操作，以及使用多層記憶胞模式抹除指令對上述第二實體抹除單元執行抹除操作。

【0030】 在本發明的一範例實施例中，上述記憶體管理電路調整第一組程式參數的第一驗證電壓以獲取一個電壓來作為第二組程式參數的第二驗證電壓，其中第一組程式參數的第一驗證電壓大於第二組程式參數的第二驗證電壓。

【0031】 在本發明的一範例實施例中，上述記憶體管理電路調整第一組程式參數的第一增量階躍脈衝程式調整值以獲取一個值來作為第二組程式參數的第二增量階躍脈衝程式調整值，其中第一組程式參數的第一增量階躍脈衝程式調整值小於第二組程式參數的第二增量階躍脈衝程式調整值。

【0032】 在本發明的一範例實施例中，上述記憶體管理電路使用第一組參數對儲存有第一類資料之實體程式化單元執行抹除操作，以及使用第二組參數對儲存有第二類資料之實體程式化單元執行該抹除操作。

【0033】 本發明的一範例實施例提出一種記憶體儲存裝置，其包括：連接介面單元、可複寫式非揮發性記憶體模組與記憶體控制電路單元。連接介面單元耦接至主機系統。可複寫式非揮發性記憶體模組具有多個實體抹除單元，且每一實體抹除單元具有多個實體程式化單元。記憶體控制電路單元耦接至連接介面單元與可

複寫式非揮發性記憶體模組。該記憶體控制電路單元使用第一組程式化參數將第一類資料寫入這些實體程式化單元之中的其中一個實體程式化單元；以及使用第二組程式化參數將第二類資料寫入至這些實體程式化單元之中的其中一個實體程式化單元，其中第一組程式化參數中至少部份參數不相同於第二組程式化參數，且以第一組程式化參數寫入第一類資料的實體程式化單元的記憶胞的資料位元數相同於以第二組程式化參數寫入第二類資料的實體程式化單元的記憶胞的資料位元數。

【0034】 在本發明的一範例實施例中，上述記憶體控制電路單元將實體抹除單元至少分組為第一區與第二區。並且，在上述使用第一組程式化參數將第一類資料寫入這些實體程式化單元之中的運作中，上述記憶體控制電路單元使用第一組程式化參數將第一類資料寫入至屬於第一區的實體抹除單元，並且在上述使用第二組程式化參數將第二類資料寫入這些實體程式化單元的運作中，上述記憶體控制電路單元使用第二組程式化參數將第二類資料寫入至屬於第二區的實體抹除單元。

【0035】 在本發明的一範例實施例中，上述記憶體控制電路單元調整第一組程式化參數以獲得第二組程式化參數。

【0036】 在本發明的一範例實施例中，上述記憶體控制電路單元接收資料，並且判斷此資料是否屬於第二類資料。倘若資料不屬於第二類資料時，記憶體控制電路單元使用第一組程式化參數將此資料寫入至第一區的該些實體抹除單元之中的至少一第一實體

抹除單元。倘若此資料屬於第二類資料時，記憶體控制電路單元使用第二組程式化參數將此資料寫入至第二區的實體抹除單元之中的至少一第二實體抹除單元。

【0037】 在本發明的一範例實施例中，上述記憶體控制電路單元識別欲儲存此資料的至少一邏輯單元，並且判斷此至少一邏輯單元是否映射至第二區的實體抹除單元。倘若此至少一邏輯單元是映射至第二區的實體抹除單元時，記憶體控制電路單元識別此資料是屬於第二類資料。

【0038】 在本發明的一範例實施例中，上述記憶體控制電路單元使用單層記憶胞模式抹除指令對上述第一實體抹除單元執行抹除操作，以及使用多層記憶胞模式抹除指令對上述第二實體抹除單元執行抹除操作。

【0039】 在本發明的一範例實施例中，上述記憶體控制電路單元調整第一組程式參數的第一驗證電壓以獲取一個電壓來作為第二組程式參數的第二驗證電壓，其中第一組程式參數的第一驗證電壓大於第二組程式參數的第二驗證電壓。

【0040】 在本發明的一範例實施例中，上述記憶體控制電路單元調整第一組程式參數的第一增量階躍脈衝程式調整值以獲取一個值來作為第二組程式參數的第二增量階躍脈衝程式調整值，其中第一組程式參數的第一增量階躍脈衝程式調整值小於第二組程式參數的第二增量階躍脈衝程式調整值。

【0041】 在本發明的一範例實施例中，上述記憶體控制電路單元

使用第一組參數對儲存有第一類資料之實體程式化單元執行抹除操作，以及使用第二組參數對儲存有第二類資料之實體程式化單元執行該抹除操作。

【0042】 基於上述，本發明範例實施例的記憶胞程式化方法、記憶體控制電路單元與記憶體儲存裝置能夠依據欲儲存之資料的區域選擇不同的程式化參數來寫入資料，由此可以延長記憶胞的壽命，同時兼顧重要系統資料的保存。

【0043】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0044】

圖 1 是根據一範例實施例所繪示的主機系統與記憶體儲存裝置。

圖 2 是根據一範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。

圖 3 是根據一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 4 是繪示根據一範例實施例所繪示之記憶體儲存裝置的概要方塊圖。

圖 5 是根據一範例實施例所繪示的可複寫式非揮發性記憶體模組的概要方塊圖。

圖 6 是根據一範例實施例所繪示的記憶胞陣列的示意圖。

圖 7 是根據一範例實施例所繪示之程式化記憶胞的示意圖。

圖 8 是根據一範例實施例所繪示的從記憶胞中讀取資料的示意圖。

圖 9、圖 10、圖 11 與圖 12 是根據一範例實施例所繪示之管理實體抹除單元的範例示意圖。

圖 13 是根據一範例實施例所繪示之記憶體控制電路單元的概要方塊圖。

圖 14 是根據一範例所繪示之資料暫存的示意圖。

圖 15 是根據一範例所繪示之資料合併程序的示意圖。

圖 16 是根據一範例實施例所繪示之在使用第一組程式化參數程式化系統區之實體抹除單元的例子中記憶胞的統計分配圖。

圖 17 是根據一範例實施例所繪示之在使用第二組程式化參數程式化暫存區之實體抹除單元的例子中記憶胞的統計分配圖。

圖 18 是根據另一範例實施例所繪示之在使用第一組程式化參數程式化系統區之實體抹除單元的例子中記憶胞的統計分配圖。

圖 19 是根據另一範例實施例所繪示之在使用第二組程式化參數程式化暫存區之實體抹除單元的例子中記憶胞的統計分配圖。

圖 20 是根據一範例實施例所繪示的記憶胞程式化方法的流程圖。

【實施方式】

【0045】 一般而言，記憶體儲存裝置(亦稱，記憶體儲存系統)包括可複寫式非揮發性記憶體模組與控制器(亦稱，控制電路)。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

【0046】 圖 1 是根據一範例實施例所繪示的主機系統與記憶體儲存裝置。

【0047】 請參照圖 1，主機系統 1000 一般包括電腦 1100 與輸入/輸出(input/output, I/O)裝置 1106。電腦 1100 包括微處理器 1102、隨機存取記憶體(random access memory, RAM) 1104、系統匯流排 1108 與資料傳輸介面 1110。輸入/輸出裝置 1106 包括如圖 2 的滑鼠 1202、鍵盤 1204、顯示器 1206 與印表機 1208。必須瞭解的是，圖 2 所示的裝置非限制輸入/輸出裝置 1106，輸入/輸出裝置 1106 可更包括其他裝置。

【0048】 在本發明實施例中，記憶體儲存裝置 100 是透過資料傳輸介面 1110 與主機系統 1000 的其他元件耦接。藉由微處理器 1102、隨機存取記憶體 1104 與輸入/輸出裝置 1106 的運作可將資料寫入至記憶體儲存裝置 100 或從記憶體儲存裝置 100 中讀取資料。例如，記憶體儲存裝置 100 可以是如圖 2 所示的隨身碟 1212、記憶卡 1214 或固態硬碟(Solid State Drive, SSD)1216 等的可複寫式非揮發性記憶體儲存裝置。

【0049】 一般而言，主機系統 1000 為可實質地與記憶體儲存裝置

100 配合以儲存資料的任意系統。雖然在本範例實施例中，主機系統 1000 是以電腦系統來作說明，然而，在本發明另一範例實施例中主機系統 1000 可以是數位相機、攝影機、通信裝置、音訊播放器或視訊播放器等系統。例如，在主機系統為數位相機(攝影機)1310 時，可複寫式非揮發性記憶體儲存裝置則為其所使用的 SD 卡 1312、MMC 卡 1314、記憶棒(memory stick)1316、CF 卡 1318 或嵌入式儲存裝置 1320(如圖 3 所示)。嵌入式儲存裝置 1320 包括嵌入式多媒體卡(Embedded MMC, eMMC)。值得一提的是，嵌入式多媒體卡是直接耦接於主機系統的基板上。

【0050】 圖 4 是繪示根據一範例實施例所繪示之記憶體儲存裝置的概要方塊圖。

【0051】 請參照圖 4，記憶體儲存裝置 100 包括連接介面單元 102、記憶體控制電路單元 104 與可複寫式非揮發性記憶體模組 106。

【0052】 在本範例實施例中，連接介面單元 102 是相容於通用序列匯流排(Universal Serial Bus, USB) 標準。然而，必須瞭解的是，本發明不限於此，連接介面單元 102 亦可以是符合並列先進附件(Parallel Advanced Technology Attachment, PATA)標準、電氣和電子工程師協會(Institute of Electrical and Electronic Engineers, IEEE) 1394 標準、高速周邊零件連接介面(Peripheral Component Interconnect Express, PCI Express) 標準、安全數位(Secure Digital, SD)介面標準、序列先進附件(Serial Advanced Technology

Attachment, SATA)標準、超高速一代(Ultra High Speed-I, UHS-I)介面標準、超高速二代(Ultra High Speed-II, UHS-II)介面標準、記憶棒(Memory Stick, MS)介面標準、多媒體儲存卡(Multi Media Card, MMC)介面標準、嵌入式多媒體儲存卡(Embedded Multimedia Card, eMMC)介面標準、通用快閃記憶體(Universal Flash Storage, UFS) 介面標準、小型快閃(Compact Flash, CF)介面標準、整合式驅動電子介面(Integrated Device Electronics, IDE) 標準或其他適合的標準。

【0053】 記憶體控制電路單元 104 用以執行以硬體型式或軟體型式實作的多個邏輯閘或控制指令，並且根據主機系統 1000 的指令在可複寫式非揮發性記憶體模組 106 中進行資料的寫入、讀取與抹除等運作。

【0054】 可複寫式非揮發性記憶體模組 106 是耦接至記憶體控制電路單元 104，並且用以儲存主機系統 1000 所寫入之資料。具體來說，可複寫式非揮發性記憶體模組 106 的記憶胞構成多個實體程式化單元以儲存資料。在本範例實施例中，可複寫式非揮發性記憶體模組 106 為三階記憶胞 (Trinary Level Cell, TLC) NAND 型快閃記憶體模組 (即，一個記憶胞中可儲存 3 個位元資料的快閃記憶體模組)。然而，本發明不限於此，可複寫式非揮發性記憶體模組 106 亦可是多階記憶胞 (Multi Level Cell, MLC) NAND 型快閃記憶體模組 (即，一個記憶胞中可儲存 2 個位元資料的快閃記憶體模組)、其他快閃記憶體模組或其他具有相同特性的記憶

體模組。

【0055】圖 5 是根據一範例實施例所繪示的可複寫式非揮發性記憶體模組的概要方塊圖。

【0056】請參照圖 5，可複寫式非揮發性記憶體模組 106 包括記憶胞陣列 2202、字元線控制電路 2204、位元線控制電路 2206、行解碼器(column decoder)2208、資料輸入/輸出緩衝器 2210 與控制電路 2212。

● 【0057】圖 6 是根據一範例實施例所繪示的記憶胞陣列的示意圖。

● 【0058】請參照圖 5 與圖 6，記憶胞陣列 2202 包括用以儲存資料的多個記憶胞 702、多個選擇閘汲極(select gate drain, SGD)電晶體 712 與多個選擇閘源極(select gate source, SGS)電晶體 714、以及連接此些記憶胞的多條位元線 704、多條字元線 706、與共用源極線 708(如圖 6 所示)。記憶胞 702 是以陣列方式配置在位元線 704 與字元線 706 的交叉點上。當從記憶體控制電路單元 104 接收到寫入指令或讀取指令時，控制電路 2212 會控制字元線控制電路 2204、位元線控制電路 2206、行解碼器 2208、資料輸入/輸出緩衝器 2210 來寫入資料至記憶胞陣列 2202 或從記憶胞陣列 2202 中讀取資料，其中字元線控制電路 2204 用以控制施予至字元線 706 的電壓，位元線控制電路 2206 用以控制施予至位元線 704 的電壓，行解碼器 2208 依據指令中的解碼列位址以選擇對應的位元線，並且資料輸入/輸出緩衝器 2210 用以暫存資料。

【0059】可複寫式非揮發性記憶體模組 106 中的記憶胞是以多種

閘極電壓來代表多位元(bits)的資料。記憶胞陣列 2202 之記憶胞的資料寫入(或稱為程式化)是利用施予一特定端點之電壓，例如是控制閘極電壓來改變閘極中之一電荷捕捉層的電子量，因而改變了記憶胞的通道的導通狀態，以呈現不同的儲存狀態。

【0060】 圖 7 是根據一範例實施例所繪示之程式化記憶胞的示意圖。

【0061】 請參照圖 7，在本範例實施例中，記憶胞的程式化是透過脈衝寫入/驗證臨界電壓方法來完成。具體來說，欲將資料寫入至記憶胞時，記憶體控制電路單元 104 會設定初始寫入電壓以及寫入電壓脈衝時間，並且指示可複寫式非揮發性記憶體模組 106 的控制電路 2212 使用所設定的初始寫入電壓以及寫入電壓脈衝時間來程式化記憶胞，以進行資料的寫入。之後，記憶體控制電路單元 104 會使用驗證電壓來對記憶胞進行驗證，以判斷記憶胞是否已處於正確的儲存狀態。倘若記憶胞未被程式化至正確的儲存狀態時，記憶體控制電路單元 104 指示控制電路 2212 以目前施予的寫入電壓加上一增量階躍脈衝程式 (Incremental-step-pulse programming, ISPP)調整值作為新的寫入電壓(亦稱為重複寫入電壓)並且依據新的寫入電壓與寫入電壓脈衝時間再次來程式化記憶胞。反之，倘若記憶胞已被程式化至正確的儲存狀態時，則表示資料已被正確地寫入至記憶胞。例如，初始寫入電壓會被設定為 16 伏特(Voltage, V)，寫入電壓脈衝時間會被設定為 18 微秒(microseconds, μs)並且增量階躍脈衝程式調整值被設定為

0.6V，但本發明不限於此。

【0062】 記憶胞陣列 2202 之記憶胞的讀取運作是藉由施予讀取電壓於控制閘 (control gate)，藉由記憶胞之通道(記憶胞用以電連接位元線與源極線之路徑，例如是記憶胞源極至汲極間之路徑)的導通狀態，來識別記憶胞儲存之資料。

【0063】 圖 8 是根據一範例實施例所繪示的從記憶胞中讀取資料的示意圖，其是以 TLC NAND 型快閃記憶體為例。

● 【0064】 請參照圖 8，可複寫式非揮發性記憶體模組 106 的記憶胞的儲存狀態包括左側算起之第 1 個位元的最低有效位元 (Least Significant Bit, LSB)、從左側算起之第 2 個位元的中間有效位元 (Center Significant Bit, CSB) 以及從左側算起之第 3 個位元的最高有效位元 (Most Significant Bit, MSB)，其中 LSB 對應下實體程式化單元，CSB 對應中實體程式化單元，MSB 對應上實體程式化單元。在此範例中，每一記憶胞中的閘極電壓可依據第一預設讀取電壓 VA、第二預設讀取電壓 VB、第三預設讀取電壓 VC、第四預設讀取電壓 VD、第五預設讀取電壓 VE、第六預設讀取電壓 VF 與第七預設讀取電壓 VG 而區分為 8 種儲存狀態(即，"111"、"110"、"100"、"101"、"001"、"000"、"010"與"011")。特別是，排列在同一條字元線上的數個記憶胞可組成 3 個實體程式化單元，其中由此些記憶胞之 LSB 所組成的實體程式化單元稱為下實體程式化單元，由此些記憶胞之 CSB 所組成的實體程式化單元稱為中實體程式化單元，並且由此些記憶胞之 MSB 所組成的實體程式化單元稱為上實體程式化

單元。

【0065】圖 9、圖 10、圖 11 與圖 12 是根據一範例實施例所繪示之管理實體抹除單元的範例示意圖。

【0066】請參照圖 9，記憶體控制電路單元 104(或記憶體管理電路 202)會以實體程式化單元為單位來對可複寫式非揮發性記憶體模組 106 的記憶胞 702 進行寫入運作並且以實體抹除單元為單位來對可複寫式非揮發性記憶體模組 106 的記憶胞 702 進行抹除運作。具體來說，可複寫式非揮發性記憶體模組 106 的記憶胞 702 會構成多個實體程式化單元，並且此些實體程式化單元會構成多個實體抹除單元 400(0)~400(N)。實體抹除單元為抹除之最小單位。亦即，每一實體抹除單元含有最小數目之一併被抹除之記憶胞。實體程式化單元為程式化的最小單元。即，一個實體程式化單元為寫入資料的最小單元。每一實體程式化單元通常包括資料位元區與冗餘位元區。資料位元區包含多個實體存取位址用以儲存使用者的資料，而冗餘位元區用以儲存系統的資料（例如，控制資訊與錯誤更正碼）。例如，以屬於 TLC NAND 快閃記憶體的可複寫式非揮發性記憶體模組 106 為例，位於同一條字元線上之記憶胞的 LSB 會構成一個下實體程式化單元；位於同一條字元線上之記憶胞的 CSB 會構成一個中實體程式化單元；並且位於同一條字元線上之記憶胞的 MSB 會構成一個上實體程式化單元。也就是說，可複寫式非揮發性記憶體模組 106 的實體抹除單元中的實體程式化單元可區分為下實體程式化單元、中實體程式化單元與

上實體程式化單元(如圖 10 所示)。

【0067】 請參照圖 11，在本範例實施例中，記憶體控制電路單元 104(或記憶體管理電路 202)會將實體抹除單元 410(0)~410(N)邏輯地分組為資料區 502、閒置區 504、系統區 506、暫存區 508 與取代區 510。

【0068】 邏輯上屬於資料區 502 與閒置區 504 的實體抹除單元是用以儲存來自於主機系統 1000 的資料。具體來說，資料區 502 的實體抹除單元是被視為已儲存資料的實體抹除單元，而閒置區 504 的實體抹除單元是用以替換資料區 502 的實體抹除單元。也就是說，當從主機系統 1000 接收到寫入指令與欲寫入之資料時，記憶體控制電路單元 104(或記憶體管理電路 202)會從閒置區 504 中提取實體抹除單元，並且將資料寫入至所提取的實體抹除單元中，以替換資料區 502 的實體抹除單元。

【0069】 邏輯上屬於系統區 506 的實體抹除單元是用以記錄系統資料。例如，系統資料包括關於可複寫式非揮發性記憶體模組的製造商與型號、可複寫式非揮發性記憶體模組的實體抹除單元數、每一實體抹除單元的實體程式化單元數、記憶體儲存裝置 100 的韌體碼等。

【0070】 邏輯上屬於暫存區 508 的實體抹除單元是用以做為對應邏輯單元之暫存實體抹除單元組中暫存實體抹除單元，以暫存主機系統 1000 所寫入的資料。詳細的暫存資料的方法以及步驟，將配合圖示說明如後。

【0071】邏輯上屬於取代區 510 中的實體抹除單元是用於壞實體抹除單元取代程序，以取代損壞的實體抹除單元。具體來說，倘若取代區 510 中仍存有正常之實體抹除單元並且資料區 502 的實體抹除單元損壞時，記憶體管理電路 202 會從取代區 510 中提取正常的實體抹除單元來更換損壞的實體抹除單元。

【0072】特別是，資料區 502、閒置區 504、系統區 506 與取代區 510 之實體抹除單元的數量會依據不同的記憶體規格而有所不同。此外，必須瞭解的是，在記憶體儲存裝置 100 的運作中，實體抹除單元關聯至資料區 502、閒置區 504、系統區 506 與取代區 510 的分組關係會動態地變動。例如，當閒置區 504 中的實體抹除單元損壞而被取代區 510 的實體抹除單元取代時，則原本取代區 510 的實體抹除單元會被關聯至閒置區 504。

【0073】請參照圖 12，記憶體控制電路單元 104(或記憶體管理電路 202)會配置邏輯單元 LBA(0)~LBA(H)以映射資料區 502 的實體抹除單元，其中每一邏輯單元具有多個邏輯子單元以映射對應之實體抹除單元的實體程式化單元。並且，當主機系統 100 欲寫入資料至邏輯單元或更新儲存於邏輯單元中的資料時，記憶體控制電路單元 104(或記憶體管理電路 202)會從閒置區 504 中提取一個實體抹除單元來寫入資料，以輪替資料區 502 的實體抹除單元。在本範例實施例中，邏輯子單元可以是邏輯頁面或邏輯扇區。

【0074】為了識別每個邏輯單元的資料被儲存在那個實體抹除單元，在本範例實施例中，記憶體控制電路單元 104 (或記憶體管理

電路 202) 會記錄邏輯單元與實體抹除單元之間的映射。並且，當主機系統 1000 欲在邏輯子單元中存取資料時，記憶體控制電路單元 104 (或記憶體管理電路 202) 會確認此邏輯子單元所屬的邏輯單元，並且對可複寫式非揮發性記憶體模組 106 下達對應的指令序列以在此邏輯單元所映射的實體抹除單元中來存取資料。例如，在本範例實施例中，記憶體控制電路單元 104(或記憶體管理電路 202)會在可複寫式非揮發性記憶體模組 106 中儲存邏輯轉實體位址映射表來記錄每一邏輯單元所映射的實體抹除單元，並且當欲存取資料時記憶體控制電路單元 104(或記憶體管理電路 202)會將邏輯轉實體位址映射表載入至緩衝記憶體 208 來維護。

【0075】 圖 13 是根據一範例實施例所繪示之記憶體控制電路單元的概要方塊圖。必須瞭解的是，圖 13 所示之記憶體控制電路單元的結構僅為一範例，本發明不以此為限。

【0076】 請參照圖 13，記憶體控制電路單元 104 包括記憶體管理電路 202、主機介面 204、記憶體介面 206 與錯誤檢查與校正電路 208。

【0077】 記憶體管理電路 202 用以控制記憶體控制電路單元 104 的整體運作。具體來說，記憶體管理電路 202 具有多個控制指令，並且在記憶體儲存裝置 100 運作時，這些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。

【0078】 在本範例實施例中，記憶體管理電路 202 的控制指令是以韌體型式來實作。例如，記憶體管理電路 202 具有微處理器單

元(未繪示)與唯讀記憶體(未繪示)，並且此些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 100 運作時，此些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

【0079】 在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 106 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 202 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有驅動碼，並且當記憶體控制電路單元 104 被致能時，微處理器單元會先執行此驅動碼段來將儲存於可複寫式非揮發性記憶體模組 106 中之控制指令載入至記憶體管理電路 202 的隨機存取記憶體中。之後，微處理器單元會運轉此些控制指令以進行資料的寫入、讀取與抹除等運作。

【0080】 此外，在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 202 包括微控制器、記憶體管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路。記憶體管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路是耦接至微控制器。其中，記憶體管理電路用以管理可複寫式非揮發性記憶體模組 106 的實體抹除單元；記憶體寫入電路用以對可複寫式非揮發性記憶體模組 106 下達寫入指令以將資料寫入至可複寫式非揮發性記憶體模組 106 中；記憶體讀取電路用以對可

複寫式非揮發性記憶體模組 106 下達讀取指令以從可複寫式非揮發性記憶體模組 106 中讀取資料；記憶體抹除電路用以對可複寫式非揮發性記憶體模組 106 下達抹除指令以將資料從可複寫式非揮發性記憶體模組 106 中抹除；而資料處理電路用以處理欲寫入至可複寫式非揮發性記憶體模組 106 的資料以及從可複寫式非揮發性記憶體模組 106 中讀取的資料。

【0081】主機介面 204 是耦接至記憶體管理電路 202 並且用以接收與識別主機系統 1000 所傳送的指令與資料。也就是說，主機系統 1000 所傳送的指令與資料會透過主機介面 204 來傳送至記憶體管理電路 202。在本範例實施例中，主機介面 204 是相容於 USB 標準。然而，必須瞭解的是本發明不限於此，主機介面 204 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、SD 標準、SATA 標準、UHS-I 介面標準、UHS-II 介面標準、MS 標準、MMC 標準、eMMC 介面標準、UFS 介面標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

【0082】記憶體介面 206 是耦接至記憶體管理電路 202 並且用以存取可複寫式非揮發性記憶體模組 106。也就是說，欲寫入至可複寫式非揮發性記憶體模組 106 的資料會經由記憶體介面 206 轉換為可複寫式非揮發性記憶體模組 106 所能接受的格式。

【0083】錯誤檢查與校正電路 208 是耦接至記憶體管理電路 202 並且用以執行一錯誤校正程序以確保資料的正確性。具體來說，當記憶體管理電路 202 從可複寫式非揮發性記憶體模組 106 中讀

取資料時，錯誤檢查與校正電路 208 會對所讀取的資料執行錯誤校正程序。例如，在本範例實施例中，錯誤檢查與校正電路 208 為低密度奇偶校正(Low Density Parity Check, LDPC)電路，並且會儲存記錄對數可能性比(Log Likelihood Ratio, LLR)值查詢表。當記憶體管理電路 202 從可複寫式非揮發性記憶體模組 106 讀取資料時，錯誤檢查與校正電路 208 會依據所讀取的資料以及查詢表中對應的 LLR 值來執行錯誤校正程序。其中，值得說明的是在另一範例實施例中，錯誤檢查與校正電路 208 亦可為渦輪碼(Turbo Code) 電路。

【0084】 在本發明一範例實施例中，記憶體控制電路單元 104 還包括緩衝記憶體 210 與電源管理電路 212。

【0085】 緩衝記憶體 210 是耦接至記憶體管理電路 202 並且用以暫存來自於主機系統 1000 的資料與指令或來自於可複寫式非揮發性記憶體模組 106 的資料。

【0086】 電源管理電路 212 是耦接至記憶體管理電路 202 並且用以控制記憶體儲存裝置 100 的電源。

【0087】 在本發明的範例實施例中，當主機系統 1000 欲儲存資料至資料區 502 所映射的邏輯單元時，記憶體控制電路單元 104 (或記憶體管理電路 202) 會先以暫存區 508 的實體抹除單元來暫存此資料。具體來說，當從主機系統 1000 接收到指示將資料儲存至邏輯單元的寫入指令時，記憶體控制電路單元 104 (或記憶體管理電路 202) 會從暫存區 508 中提取數個實體抹除單元作為對應此邏輯單元的暫存實體抹

除單元，並且使用單頁模式先將資料暫存至此些暫存實體抹除單元的下實體程式化單元。之後，記憶體控制電路單元 104（或記憶體管理電路 202）才使用多頁模式將暫存實體抹除單元中的資料寫入至對應的實體抹除單元並且將此邏輯單元映射至此對應的實體抹除單元。在此，欲被儲存至映射至資料區 502 的邏輯單元的資料亦稱為第二類資料或使用者資料。

【0088】 在此，所謂單頁模式是指，在記憶胞中僅儲存 1 個位元資料。也就是說，對於可以儲存多個位元的記憶胞來說，在單頁模式中，記憶體控制電路單元 104（或記憶體管理電路 202）僅會對下實體程式化單元進行資料的寫入運作。由於暫存實體抹除單元是用單頁模式來被操作，因此，在本範例實施例中，一個暫存實體抹除單元僅有三分之一的容量會被使用且對應一個邏輯單元的暫存實體抹除單元組會包含 3 個暫存實體抹除單元以提供足夠的空間來儲存一個邏輯單元的資料。在本範例實施例中，記憶體控制電路單元 104（或記憶體管理電路 202）是使用單頁模式來操作暫存區 508 的實體抹除單元。

【0089】 所謂多頁模式是指使用下實體程式化單元、中實體程式化單元與上實體程式化單元來儲存資料。也就是說，對於可以儲存多個位元的記憶胞來說，當使用多頁模式來寫入資料時，記憶體控制電路單元 104（或記憶體管理電路 202）會對一個實體程式化單元組的下實體程式化單元、中實體程式化單元與上實體程式化單元執行程式化。值得一提的，在一範例實施例中，使用多頁模式來操作實體抹除單元時，同一個實體程式化單元組的實體程式化單元會同時地或階段性地

被程式化。再者，相較於以單頁模式來操作的實體抹除單元，以多頁模式來操作的實體抹除單元的使用壽命較短。具體來說，每個實體抹除單元能夠被寫入或抹除的次數是有限的，當一個實體抹除單元被寫入的次數超過一個臨界值時，此實體抹除單元可能就會損壞而無法再被寫入資料，其中對應以多頁模式來操作之實體抹除單元的臨界值會低於對應以單頁模式來操作之實體抹除單元的臨界值。在本範例實施例中，記憶體控制電路單元 104（或記憶體管理電路 202）是使用多頁模式來操作關聯至資料區 502 的實體抹除單元。

【0090】 在本範例實施例中，當一個實體抹除單元被劃分至暫存區 508 後，此實體抹除單元將僅能用於暫存區 508，而不會與閒置區 504 與資料區 502 的實體抹除單元混用。也就是說，記憶體控制電路單元 104（或記憶體管理電路 202）會獨立地操作暫存區 508 與閒置區 504 的實體抹除單元。例如，當一個實體抹除單元被劃分至暫存區 508 後，記憶體控制電路單元 104（或記憶體管理電路 202）會以單頁模式於暫存區 508 中操作此實體抹除單元，直到此實體抹除單元損壞為止。

【0091】 圖 14 是根據一範例所繪示之資料暫存的示意圖。

【0092】 請參照圖 14，當記憶體儲存裝置 100 從主機系統 1000 中接收到指示將更新資料儲存至邏輯單元 LBA(0)的第 0~257 個邏輯子單元的寫入指令時，假設於本範例實施例中，記憶體控制電路單元 104（或記憶體管理電路 202）會從暫存區 508 中提取 3 個實體抹除單元 410(T+1)、410(T+2)、410(T+3)作為對應邏輯單元 LBA(0)的暫存實體抹除單元，記憶體控制電路單元 104（或記憶體管理電路 202）會使用

此對應邏輯單元 LBA(0)的暫存實體抹除單元 410(T+1)、暫存實體抹除單元 410(T+2)與暫存實體抹除單元 410(T+3)來寫入屬於邏輯單元 LBA(0)的更新資料。

【0093】 例如，記憶體控制電路單元 104（或記憶體管理電路 202）會將欲儲存至邏輯單元 LBA(0)的第 0～85 個邏輯子單元的更新資料依序地寫入至暫存實體抹除單元 410(T+1)的下實體程式化單元、將欲儲存至邏輯單元 LBA(0)的第 86～171 個邏輯子單元的更新資料依序地寫入至暫存實體抹除單元 410(T+2)的下實體程式化單元以及將欲儲存至邏輯單元 LBA(0)的第 172～257 個邏輯子單元的更新資料（依序地寫入至暫存實體抹除單元 410(T+3)的下實體程式化單元中。

【0094】 在本範例實施例中，當將主機系統 1000 欲儲存之更新資料寫入至對應邏輯單元 LBA(0)的暫存實體抹除單元 410(T+1)、暫存實體抹除單元 410(T+2)與暫存實體抹除單元 410(T+3)後，記憶體控制電路單元 104（或記憶體管理電路 202）就會傳送通知已完成指令的回覆（Response）給主機系統 1000。並且，之後，當記憶體儲存裝置 100 屬於閒置狀態一段時間（例如，30 秒未從主機系統 1000 中接收到任何指令）或者暫存區 508 以及閒置區 504 空的實體抹除單元的數目小於預設門檻值時，記憶體控制電路單元 104（或記憶體管理電路 202）才會從對應邏輯單元的暫存實體抹除單元中將屬於此邏輯單元的有效資料合併至一個空的實體抹除單元並且將此邏輯單元映射至此實體抹除單元。例如，預設門檻值會被設定為 3。然而，必須瞭解的是，本發明不限於此，預設門檻值亦可以是其他適當的數值。在此，從對應

一邏輯單元的暫存實體抹除單元組中將屬於此邏輯單元的有效資料複製至資料區 502 的對應此邏輯單元的一實體抹除單元的運作稱為資料合併運作。

【0095】 圖 15 是根據一範例所繪示之資料合併程序的示意圖。

【0096】 假設對應邏輯單元 $LBA(0)$ 的暫存實體抹除單元 $410(T+1)$ 、暫存實體抹除單元 $410(T+2)$ 與暫存實體抹除單元 $410(T+3)$ 已儲存邏輯單元 $LBA(0)$ 的所有邏輯子單元的有效資料（如圖 7 所示）並且記憶體管理電路 202 選擇對邏輯單元 $LBA(0)$ 進行資料合併運作。

【0097】 首先，如同圖 15 所繪示，記憶體控制電路單元 104（或記憶體管理電路 202）會從閒置區 504 中提取一個實體抹除單元作為當作用於輪替的實體抹除單元 $410(F+1)$ 。具體來說，記憶體控制電路單元 104（或記憶體管理電路 202）會從閒置區 504 中選擇一個空的實體抹除單元或者所儲存之資料為無效資料的實體抹除單元。特別是，倘若所提取之實體抹除單元是儲存無效資料的實體抹除單元時，記憶體控制電路單元 104（或記憶體管理電路 202）會先對此實體抹除單元執行抹除運作。也就是說，實體抹除單元上的無效資料必須先被抹除。

【0098】 之後，請參照圖 15，記憶體控制電路單元 104（或記憶體管理電路 202）會從暫存實體抹除單元 $410(T+1)$ 的下實體程式化單元中將屬於邏輯單元 $LBA(0)$ 的第 0~85 邏輯子單元的有效資料複製至實體抹除單元 $410(F+1)$ 的對應頁面（例如，第 0~85 實體程式化單元）。接著，記憶體控制電路單元 104（或記憶體管理電路 202）會從暫存實體抹除單元 $410(T+2)$ 的下實體程式化單元中將屬於邏輯單元 $LBA(0)$ 的第

86~171 邏輯子單元的有效資料複製至實體抹除單元 410(F+1)的對應頁面(例如，第 86~171 實體程式化單元)。然後，記憶體控制電路單元 104 (或記憶體管理電路 202) 會從暫存實體抹除單元 410(T+3) 的下實體程式化單元中將屬於邏輯單元 LBA(0)的第 172~257 邏輯子單元的有效資料複製至第一實體抹除單元 410(F+1)的對應頁面(例如，第 172~257 實體程式化單元)。

【0099】 值得一提的是，如上所述，欲被關聯至資料區 502 的實體抹除單元是以多頁模式來操作，因此，寫入至實體抹除單元 410(F+1)是以實體程式化單元組為單位來同時或階段性地程式化。具體來說，在一範例實施例中，實體抹除單元 410(F+1)的第 0、1、2 個實體程式化單元會同時地被程式化以寫入屬於邏輯單元 LBA(0)的第 0、1、2 個邏輯子單元的資料；實體抹除單元 410(F+1)的第 3、4、5 個實體程式化單元會同時地被程式化以寫入屬於邏輯單元 LBA(0)的第 3、4、5 個邏輯子單元的資料；並且以此類推其他邏輯子單元的資料皆是以實體程式化單元組為單位被寫入至第一實體抹除單元 410(F+1)中。

【0100】 最後，記憶體控制電路單元 104 (或記憶體管理電路 202) 會在邏輯轉實體位址映射表中將邏輯單元 LBA(0)映射至實體抹除單元 410(F+1) 並且將對應邏輯單元的暫存實體抹除單元 410(T+1)~410(T+3)執行抹除運作。也就是說，在執行下一個寫入指令時，已被抹除的暫存實體抹除單元 410(T+1)~410(T+3)就可再被選擇作為欲寫入之邏輯單元的暫存實體抹除單元。

【0101】 除了暫存區 508 之外，在本範例實施例中，記憶體控制電

路單元 104（或記憶體管理電路 202）亦會使用單頁模式來操作屬於系統區 506 的實體抹除單元。具體來說，若系統區 506 所儲存的資料(例如，韌體碼)遺失將造成記憶體儲存裝置 100 無法運作，因此，記憶體控制電路單元 104（或記憶體管理電路 202）會被設計來將資料寫入至系統區 506 的實體抹除單元的下實體程式化單元。例如，在本範例時實施例中，包括增量階躍脈衝程式調整值（以下稱為第一增量階躍脈衝程式調整值）、初始寫入電壓（以下稱為第一初始寫入電壓）、驗證電壓（以下稱為第一驗證電壓）、讀取電壓（以下稱為第一讀取電壓）、導通電壓（以下稱為第一導通電壓）與抹除電壓（以下稱為第一抹除電壓）的一組程式化參數（以下稱為第一組程式化參數）會被預先設定以用於將資料程式化至系統區 506 的實體抹除單元的下實體程式化單元。在此，欲被儲存至映射系統區 506 的實體程式化單元的邏輯單元的資料稱為第一類資料或系統資料。

【0102】 如上所述，當記憶體儲存裝置 100 從主機系統 1000 接收到欲儲存至映射資料區 502 之實體抹除單元的邏輯單元的資料(即，所接收到的寫入資料屬於第二類資料)時，記憶體控制電路單元 104（或記憶體管理電路 202）會使用以單頁模式操作之暫存區 508 的實體抹除單元來暫存此資料。例如，在本範例實施例中，記憶體控制電路單元 104（或記憶體管理電路 202）會調整預設用於系統區 506 之實體抹除單元的第一組程式化參數來產生用於暫存區 508 的實體抹除單元的另一組程式化參數（以下稱為第二組程式化參數）。

【0103】 也就是說，在本範例實施例中，對於同樣是每個記憶胞僅儲存 1 個位元資料的系統區 506 與暫存區 508，記憶體控制電路單元 104（或記憶體管理電路 202）會分別地使用第一組程式化參數與第二組程式化參數來將第一類資料與第二類資料寫入至對應的實體程式化單元。

【0104】 例如，在一範例實施例中，記憶體控制電路單元 104（或記憶體管理電路 202）會藉由降低第一組程式化參數的第一驗證電壓所獲取的電壓作為第二組程式化參數的第二驗證電壓。

【0105】 圖 16 是根據一範例實施例所繪示之在使用第一組程式化參數程式化系統區之實體抹除單元的例子中記憶胞的統計分配圖，並且圖 17 是根據一範例實施例所繪示之在使用第二組程式化參數程式化暫存區之實體抹除單元的例子中記憶胞的統計分配圖。

【0106】 請參照圖 16，系統區 506 之實體抹除單元是以單頁模式來操作，因此，記憶胞的閘極電壓僅需被區分為兩種儲存狀態。由於第一組程式化參數的第一驗證電壓 V_{V1} 會被設定在較高的電壓，因此，記憶體控制電路單元 104（或記憶體管理電路 202）使用第一組程式化參數透過脈衝寫入/驗證臨界電壓方法將資料寫入至系統區 506 的實體抹除單元時，需執行較多次的程式化。特別是，由於系統區 506 之實體抹除單元是儲存重要的且頻繁被讀取的資料（例如，韌體碼），因此，第一組程式化參數的第一驗證電壓 V_{V1} 會被設定在較高的電壓，以明顯地區別為被識別為 '1' 的儲

存狀態(亦稱為第一狀態)和被識別為'0'的儲存狀態(亦稱為第二儲存狀態)，由此較可避免讀取時識別錯誤。也就是說，以第一組程式化參數程式化的實體程式化單元的記憶胞的門檻電壓統計分佈圖的第一狀態及第二狀態間的電壓間距會大於以第二組程式化參數程式化的實體程式化單元的記憶胞的門檻電壓統計分佈圖的第一狀態及第二狀態間的電壓間距。基此，以第一組程式化參數程式化的實體程式化單元的資料保存能力或抗讀取干擾能力將會優於以第二組程式化參數程式化的實體程式化單元的資料保存能力或抗讀取干擾能力。

【0107】請參照圖 17，同樣地，由於暫存區 508 之實體抹除單元是以單頁模式來操作，因此，記憶胞的閘極電壓僅需被區分為兩種儲存狀態。特別是，相對於第一組程式化參數來說，由於第二組程式化參數的第二驗證電壓 $VV2$ 較小，因此，記憶體控制電路單元 104（或記憶體管理電路 202）使用第二組程式化參數透過脈衝寫入/驗證臨界電壓方法將資料程式化至暫存區 508 的實體抹除單元時，記憶胞在較少次數的程式化操作下就可以通過第二驗證電壓 $VV2$ 的驗證而完成資料的寫入。相對於系統區 506 的實體抹除單元來說，由於暫存區 508 的實體抹除單元在較少次數的程式化操作下就可以完成資料的寫入，因此，程式化運作對於暫存區 508 的實體抹除單元的影響程度較低。特別是，由於暫存區 508 是用於暫存資料，因此，暫存區 508 的實體抹除單元會被頻繁地程式化，因此，使用第二驗證電壓 $VV2$ 較小的第二組程式化參數，

可有效地延長暫存區 508 的實體抹除單元的壽命。基此，以第二組程式化參數程式化的實體程式化單元的壽命將優於以第一組程式化參數程式化的實體程式化單元的壽命。

【0108】 例如，在另一範例實施例中，記憶體控制電路單元 104（或記憶體管理電路 202）亦可藉由加大第一組程式化參數的第一增量階躍脈衝程式調整值所獲取的調整值作為第二組程式化參數的第二增量階躍脈衝程式調整值。

● 【0109】 圖 18 是根據另一範例實施例所繪示之在使用第一組程式化參數程式化系統區之實體抹除單元的例子中記憶胞的統計分配圖，並且圖 19 是根據另一範例實施例所繪示之在使用第二組程式化參數程式化暫存區之實體抹除單元的例子中記憶胞的統計分配圖。

【0110】 請參照圖 18，系統區 506 之實體抹除單元是以單頁模式來操作，因此，記憶胞的閘極電壓僅需被區分為兩種儲存狀態。

● 由於第一組程式化參數的第一增量階躍脈衝程式調整值會被設定在較小的值，因此，記憶體控制電路單元 104（或記憶體管理電路 202）使用第一組程式化參數透過脈衝寫入/驗證臨界電壓方法將資料寫入至系統區 506 的實體抹除單元時，需執行較多次的程式化才能通過驗證電壓的驗證。然而，由於第一增量階躍脈衝程式調整值較小且每次程式化時的寫入電壓增幅較小，由此閘極中之電荷補捉層的電子量會被較精準的控制。基此，使用第一組程式化參數所程式化之系統區 506 的實體抹除單元的記憶胞能夠程式化

至較正確地狀態，由此可有效地避免讀取干擾的發生。

【0111】 請參照圖 19，同樣地，由於暫存區 508 之實體抹除單元是以單頁模式來操作，因此，記憶胞的閘極電壓僅需被區分為兩種儲存狀態。特別是，相對於第一組程式化參數來說，由於第二組程式化參數的第二增量階躍脈衝程式調整值較大，因此，記憶體控制電路單元 104（或記憶體管理電路 202）使用第二組程式化參數透過脈衝寫入/驗證臨界電壓方法將資料程式化至暫存區 508 的實體抹除單元時，記憶胞在較少次數的程式化操作下就可以通過驗證電壓的驗證而完成資料的寫入。相對於系統區 506 的實體抹除單元來說，由於暫存區 508 的實體抹除單元在較少次數的程式化操作下就可以完成資料的寫入，因此，程式化運作對於暫存區 508 的實體抹除單元的影響程度較低。特別是，由於暫存區 508 是用於暫存資料，因此，暫存區 508 的實體抹除單元會被頻繁地程式化，因此，使用第二增量階躍脈衝程式調整值較大的第二組程式化參數，可有效地延長暫存區 508 的實體抹除單元的壽命。

【0112】 必瞭解的是，圖 16~圖 19 僅是調整第一組程式化參數來產生第二組程式化參數的範例，本發明不限於此。在其他範例實施例中，記憶體控制電路單元 104（或記憶體管理電路 202）可調整第一組程式化參數的第一增量階躍脈衝程式調整值、第一初始寫入電壓、第一驗證電壓、第一讀取電壓、第一導通電壓與第一抹除電壓的至少其中之一以獲取第二組程式化參數的第二增量階躍脈衝程式調整值、第二初始寫入電壓、第二驗證電壓、第二讀

取電壓、第二導通電壓與第二抹除電壓。

【0113】 圖 20 是根據一範例實施例所繪示的記憶體程式化方法的流程圖。

【0114】 請參照圖 20，在步驟 S2001 中，記憶體控制電路單元 104（或記憶體管理電路 202）會接收欲儲存的資料。例如，記憶體儲存裝置 100 會從主機系統 1000 中接收入指令與對應此指令的資料，其中寫入指令會指示儲存此資料的邏輯位址。

● 【0115】 在步驟 S2003 中，記憶體控制電路單元 104（或記憶體管理電路 202）會判斷所接收的資料是否屬於欲被寫入至第二區（例如，上述暫存區 508）的實體抹除單元的第二類資料。例如，在本範例實施例中，所配置的邏輯單元是映射至資料區 502 的實體抹除單元，因此，當所接收的資料是要被儲存至所配置的邏輯單元時，記憶體控制電路單元 104（或記憶體管理電路 202）會識別所接收的資料是屬於要先辦暫存至暫存區 508 的第二類資料。

● 【0116】 倘若所接收的資料不屬於第二類資料（即，屬於欲被寫入至第一區（例如，上述系統 506）的實體抹除單元的第一類資料）時，在步驟 S2005 中，記憶體控制電路單元 104（或記憶體管理電路 202）會使用第一組程式化參數將此資料寫入至第一區的實體抹除單元之中的至少一個實體抹除單元（以下稱為第一實體抹除單元）。

【0117】 倘若所接收的資料屬於第二類資料時，在步驟 S2007 中，記憶體控制電路單元 104（或記憶體管理電路 202）會使用第二組

程式化參數將此資料寫入至第二區的實體抹除單元之中的至少一個實體抹除單元（以下稱為第二實體抹除單元）。

【0118】 如上所述，系統區 506 與暫存區 508 的實體抹除單元是以單頁模式操作，然而，在本範例實施例中，可複寫式非揮發性記憶體模組 106 為 TLC NAND 型快閃記憶體並且所有實體抹除單元在被寫入資料之前會使用多層記憶胞模式抹除指令。也就是說，在本範例實施例中，儘管系統區 506 與暫存區 508 的實體抹除單元是可以儲存 3 個位元資料，但記憶體控制電路單元 104（或記憶體管理電路 202）會使用上述第一組程式化參數與第二組程式化參數來操作系統區 506 與暫存區 508 的實體抹除單元，由此僅使用其下實體程式化單元。

【0119】 值得一提的是，在本發明另一範例實施中，記憶體控制電路單元 104（或記憶體管理電路 202）亦可在寫入資料至系統區 506 的實體抹除單元之前，使用單層記憶胞模式抹除指令來對系統區 506 的實體抹除單元進行抹除操作，由此使得系統區 506 的實體抹除單元僅能存 1 個位元的資料。特別是，在此操作下，儲存在系統區 506 的實體抹除單元的資料會更為穩定與可靠。例如，在此例子中，上述第一實體抹除單元在被寫入資料之前，記憶體控制電路單元 104（或記憶體管理電路 202）會使用單層記憶胞模式抹除指令來對第一實體抹除單元執行抹除操作，並且上述第二實體抹除單元在被寫入資料之前，記憶體控制電路單元 104（或記憶體管理電路 202）會使用多層記憶胞模式抹除指令來對第二實體

抹除單元執行抹除操作。

【0120】綜上所述，本發明範例實施例所提出的記憶胞程式化方法、記憶體控制電路單元與記憶體儲存裝置根據皆是以單頁模式操作的系統區與緩衝區的不同儲存需求使用不同的程式化參數來程式化記憶胞，由此可以避免儲存在系統區的資料發生讀取干擾，同時避免暫存區的實體抹除單元快速劣化。

【符號說明】

【0121】

1000：主機系統

1100：電腦

1102：微處理器

1104：隨機存取記憶體

1106：輸入/輸出裝置

1108：系統匯流排

1110：資料傳輸介面

1202：滑鼠

1204：鍵盤

1206：顯示器

1208：印表機

1212：隨身碟

1214：記憶卡

1216：固態硬碟

- 1310：數位相機
- 1312：SD 卡
- 1314：MMC 卡
- 1316：記憶棒
- 1318：CF 卡
- 1320：嵌入式儲存裝置
- 100：記憶體儲存裝置
- 102：連接介面單元
- 104：記憶體控制電路單元
- 106：可複寫式非揮發性記憶體模組
- 2202：記憶胞陣列
- 2204：字元線控制電路
- 2206：位元線控制電路
- 2208：行解碼器
- 2210：資料輸入/輸出緩衝器
- 2212：控制電路
- 702：記憶胞
- 704：位元線
- 706：字元線
- 708：源極線
- 712：選擇閘汲極電晶體
- 714：選擇閘源極電晶體
- VA：第一預設讀取電壓
- VB：第二預設讀取電壓

VC：第三預設讀取電壓
VD：第四預設讀取電壓
VE：第五預設讀取電壓
VF：第六預設讀取電壓
VG：第七預設讀取電壓
202：記憶體管理電路
410(0)~410(N)：實體抹除單元
502：資料區
504：閒置區
506：系統區
508：暫存區
510：取代區
LBA(0)~LBA(H)：邏輯單元
204：主機介面
206：記憶體介面
208：錯誤檢查與校正電路
210：緩衝記憶體
212：電源管理電路
VV1：第一驗證電壓
VV2：第二驗證電壓
S2001、S2003、S2005、S2007：記憶體程式化方法的步驟

申請專利範圍

1. 一種記憶胞程式化方法，用於一可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組具有多個實體抹除單元，每一該些實體抹除單元具有多個實體程式化單元，該些實體程式化單元包括多個下實體程式化單元與多個上實體程式化單元，該記憶胞程式化方法包括：

使用一第一組程式化參數將一第一類資料寫入該些實體抹除單元之中的第一實體抹除單元的第一實體程式化單元；以及

使用一第二組程式化參數將一第二類資料寫入至該些實體抹除單元之中的第二實體抹除單元的第一實體程式化單元，

其中該第一組程式化參數中至少部份參數不相同於該第二組程式化參數，且以該第一組程式化參數寫入該第一類資料的該第一實體抹除單元的上實體程式化單元不會被程式化並且以該第二組程式化參數寫入該第二類資料的該第二實體抹除單元的上實體程式化單元不會被程式化。

2. 如申請專利範圍第 1 項所述的記憶胞程式化方法，其中該些實體程式化單元之中寫入該第二類資料之該第二實體抹除單元的第一實體程式化單元映射一相對應之邏輯位址，且寫入該第一類資料之該第一實體抹除單元的第一實體程式化單元無映射一相對應之邏輯位址。

3. 如申請專利範圍第 1 項所述的記憶胞程式化方法，其中以該第一組程式化參數寫入該第一類資料的該第一實體抹除單元的

第一實體程式化單元的記憶胞的資料位元數為 1 個位元並且以該第二組程式化參數寫入該第二類資料的該第二實體抹除單元的第一實體程式化單元的記憶胞的資料位元數為 1 個位元。

4. 如申請專利範圍第 3 項所述的記憶胞程式化方法，更包括：
將該些實體抹除單元至少分組為一第一區與一第二區；

其中該第一實體抹除單元屬於該第一區，並且該第二實體抹除單元屬於該第二區。

5. 如申請專利範圍第 4 項所述的記憶胞程式化方法，

其中該第一組程式化參數被預先設定用於屬於該第一區的實體抹除單元，其中該第一區的實體抹除單元的上實體程式化單元不會被用來儲存資料；

其中該第二組程式化參數用於屬於該第二區的實體抹除單元，並且該第二區的實體抹除單元的上實體程式化單元不會被用來儲存資料。

6. 如申請專利範圍第 5 項所述的記憶胞程式化方法，更包括：
調整該第一組程式化參數以獲得該第二組程式化參數。

7. 如申請專利範圍第 4 項所述的記憶胞程式化方法，更包括：
接收一資料；

判斷該資料是否屬於該第二類資料；

倘若該資料不屬於該第二類資料時，使用該第一組程式化參數將該資料寫入至該第一區的該些實體抹除單元之中的至少一實

體抹除單元；以及

倘若該資料屬於該第二類資料時，使用該第二組程式化參數將該資料寫入至該第二區的該些實體抹除單元之中的至少一實體抹除單元。

8. 如申請專利範圍第7項所述的記憶胞程式化方法，更包括：
識別欲儲存該資料的至少一邏輯單元；

判斷該至少一邏輯單元是否映射至該第二區的該些實體抹除單元；以及

倘若該至少一邏輯單元是映射至該第二區的該些實體抹除單元時，識別該資料是屬於該第二類資料。

9. 如申請專利範圍第1項所述的記憶胞程式化方法，更包括：
使用一單層記憶胞模式抹除指令對該第一實體抹除單元執行一抹除操作；以及

使用一多層記憶胞模式抹除指令對該第二實體抹除單元執行該抹除操作。

10. 如申請專利範圍第1項所述的記憶胞程式化方法，其中該第一組程式化參數包括一第一增量階躍脈衝程式調整值、一第一初始寫入電壓、一第一驗證電壓、一第一讀取電壓、一第一導通電壓與一第一抹除電壓的至少其中之一。

11. 如申請專利範圍第1項所述的記憶胞程式化方法，其中該些實體程式化單元之中以該第一組程式化參數程式化的實體程

式化單元的資料保存能力或抗讀取干擾能力優於以該第二組程式化參數程式化的實體程式化單元的資料保存能力或抗讀取干擾能力。

12. 如申請專利範圍第 1 項所述的記憶胞程式化方法，其中該些實體程式化單元之中以該第二組程式化參數程式化的實體程式化單元的壽命優於以該第一組程式化參數程式化的實體程式化單元的壽命。

13. 如申請專利範圍第 1 項所述的記憶胞程式化方法，其中該些實體程式化單元之中以該第一組程式化參數程式化的實體程式化單元的記憶胞的門檻電壓統計分佈圖的第一狀態及第二狀態間的電壓間距大於以該第二組程式化參數程式化的實體程式化單元的記憶胞的門檻電壓統計分佈圖的第一狀態及第二狀態間的電壓間距。

14. 如申請專利範圍第 9 項所述的記憶胞程式化方法，其中調整該第一組程式化參數以獲得該第二組程式化參數的步驟包括：

調整該第一組程式參數的第一驗證電壓以獲取一電壓來作為該第二組程式參數的第二驗證電壓，

其中該第一組程式參數的第一驗證電壓大於該第二組程式參數的第二驗證電壓。

15. 如申請專利範圍第 9 項所述的記憶胞程式化方法，其中

調整該第一組程式化參數以獲得該第二組程式化參數的步驟包括：

調整該第一組程式參數的一第一增量階躍脈衝程式調整值以獲取一值來作為該第二組程式參數的一第二增量階躍脈衝程式調整值，

其中該第一組程式參數的該第一增量階躍脈衝程式調整值小於該第二組程式參數的該第二增量階躍脈衝程式調整值。

16. 如申請專利範圍第 7 項所述的記憶胞程式化方法，其中該第一類資料為一韌體碼並且該第一區為獨立地用以儲存該韌體碼的一系統區，

其中該第二類資料為一使用者資料並且該第二區為暫存該使用者資料的一暫存區。

17. 如申請專利範圍第 4 項所述的記憶胞程式化方法，更包括：

使用該第一組參數對儲存有該第一類資料之實體程式化單元執行一抹除操作；以及

使用該第二組參數對儲存有該第二類資料之實體程式化單元執行該抹除操作。

18. 一種記憶體控制電路單元，用於存取一可複寫式非揮發性記憶體模組，該記憶體控制電路單元包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，用以耦接至該可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組具有多個實體抹除單元，且每一該些實體抹除單元具有多個實體程式化單元，該些實體程式化單元包括多個下實體程式化單元與多個上實體程式化單元；以及

一記憶體管理電路，耦接至該主機介面與該記憶體介面，

其中該記憶體管理電路使用一第一組程式化參數將一第一類資料寫入該些實體抹除單元之中的第一實體程式化單元並且使用一第二組程式化參數將一第二類資料寫入至該些實體抹除單元之中的第二實體程式化單元，

其中該第一組程式化參數中至少部份參數不相同於該第二組程式化參數，且以該第一組程式化參數寫入該第一類資料的該第一實體抹除單元的上實體程式化單元不會被程式化並且以該第二組程式化參數寫入該第二類資料的該第二實體程式化單元的上實體程式化單元不會被程式化。

19. 如申請專利範圍第 18 項所述的記憶體控制電路單元，其中該些實體程式化單元之中寫入該第二類資料之該第二實體抹除單元的第一實體程式化單元映射一相對應之邏輯位址，且寫入該第一類資料之該第一實體抹除單元的第一實體程式化單元無映射一相對應之邏輯位址。

20. 如申請專利範圍第 18 項所述的記憶體控制電路單元，其

中以該第一組程式化參數寫入該第一類資料的該第一實體抹除單元的第一實體程式化單元的記憶胞的資料位元數為 1 個位元並且以該第二組程式化參數寫入該第二類資料的該第二實體抹除單元的第一實體程式化單元的記憶胞的資料位元數為 1 個位元。

21. 如申請專利範圍第 20 項所述的記憶體控制電路單元，其中該記憶體管理電路將該些實體抹除單元至少分組為一第一區與一第二區，

其中該第一實體抹除單元屬於該第一區，並且該第二實體抹除單元屬於該第二區。

22. 如申請專利範圍第 21 項所述的記憶體控制電路單元，

其中該第一組程式化參數被預先設定用於屬於該第一區的實體抹除單元，並且該第一區的實體抹除單元的上實體程式化單元不會被用來儲存資料；

其中該第二組程式化參數用於屬於該第二區的實體抹除單元，並且該第二區的實體抹除單元的上實體程式化單元不會被用來儲存資料。

23. 如申請專利範圍第 22 項所述的記憶體控制電路單元，其中該記憶體管理電路調整該第一組程式化參數以獲得該第二組程式化參數。

24. 如申請專利範圍第 21 項所述的記憶體控制電路單元，其中該記憶體管理電路接收一資料，並且判斷該資料是否屬於該第

二類資料，

倘若該資料不屬於該第二類資料時，該記憶體管理電路使用該第一組程式化參數將該資料寫入至該第一區的該些實體抹除單元之中的至少一實體抹除單元，

倘若該資料屬於該第二類資料時，該記憶體管理電路使用該第二組程式化參數將該資料寫入至該第二區的該些實體抹除單元之中的至少一實體抹除單元。

25. 如申請專利範圍第 24 項所述的記憶體控制電路單元，其中該記憶體管理電路識別欲儲存該資料的至少一邏輯單元，並且判斷該至少一邏輯單元是否映射至該第二區的該些實體抹除單元，

倘若該至少一邏輯單元是映射至該第二區的該些實體抹除單元時，該記憶體管理電路識別該資料是屬於該第二類資料。

26. 如申請專利範圍第 18 項所述的記憶體控制電路單元，其中該記憶體管理電路使用一單層記憶胞模式抹除指令對該第一實體抹除單元執行一抹除操作，以及使用一多層記憶胞模式抹除指令對該第二實體抹除單元執行該抹除操作。

27. 如申請專利範圍第 18 項所述的記憶體控制電路單元，其中該第一組程式化參數包括一第一增量階躍脈衝程式調整值、一第一初始寫入電壓、一第一驗證電壓、一第一讀取電壓、一第一導通電壓與一第一抹除電壓的至少其中之一。

28. 如申請專利範圍第 23 項所述的記憶體控制電路單元，其中在調整該第一組程式化參數以獲得該第二組程式化參數的運作中，該記憶體管理電路調整該第一組程式參數的一第一驗證電壓以獲取一電壓來作為該第二組程式參數的一第二驗證電壓，其中該第一組程式參數的該第一驗證電壓大於該第二組程式參數的該第二驗證電壓。

29. 如申請專利範圍第 23 項所述的記憶體控制電路單元，其中在調整該第一組程式化參數以獲得該第二組程式化參數的運作中，該記憶體管理電路調整該第一組程式參數的一第一增量階躍脈衝程式調整值以獲取一值來作為該第二組程式參數的一第二增量階躍脈衝程式調整值，

其中該第一組程式參數的該第一增量階躍脈衝程式調整值小於該第二組程式參數的該第二增量階躍脈衝程式調整值。

30. 如申請專利範圍第 21 項所述的記憶體控制電路單元，其中該第一類資料為一韌體碼並且該第一區為獨立地用以儲存該韌體碼的一系統區，

其中該第二類資料為一使用者資料並且該第二區為暫存該使用者資料的一暫存區。

31. 如申請專利範圍第 18 項所述的記憶體控制電路單元，其中該記憶體管理電路使用該第一組參數對儲存有該第一類資料之該些實體程式化單元其中之一執行一抹除操作，並且使用該第二

組參數對儲存有該第二類資料之該些實體程式化單元其中之一執行該抹除操作。

32. 如申請專利範圍第 18 項所述的記憶體控制電路單元，其中該些實體程式化單元之中以該第一組程式化參數程式化的實體程式化單元的資料保存能力或抗讀取干擾能力優於以該第二組程式化參數程式化的實體程式化單元的資料保存能力或抗讀取干擾能力。

33. 如申請專利範圍第 18 項所述的記憶體控制電路單元，其中該些實體程式化單元之中以該第二組程式化參數程式化的實體程式化單元的壽命優於以該第一組程式化參數程式化的實體程式化單元的壽命。

34. 如申請專利範圍第 18 項所述的記憶體控制電路單元，其中該些實體程式化單元之中以該第一組程式化參數程式化的實體程式化單元的記憶胞的門檻電壓統計分佈圖的第一狀態及第二狀態間的電壓間距大於以該第二組程式化參數程式化的實體程式化單元的記憶胞的門檻電壓統計分佈圖的第一狀態及第二狀態間的電壓間距。

35. 一種記憶體儲存裝置，包括：

一連接介面單元，用以耦接至一主機系統；

一可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組具有多個實體抹除單元，且每一該些實體抹除單元具

有多個實體程式化單元，該些實體程式化單元包括多個下實體程式化單元與多個上實體程式化單元；以及

一記憶體控制電路單元，耦接至該連接介面單元與該可複寫式非揮發性記憶體模組，

其中該記憶體控制電路單元使用一第一組程式化參數將一第一類資料寫入該些實體抹除單元之中的第一實體抹除的第一實體程式化單元並且使用一第二組程式化參數將一第二類資料寫入至該些實體抹除單元之中的第二實體抹除單元的的第一實體程式化單元，

其中該第一組程式化參數中至少部份參數不相同於該第二組程式化參數，且以該第一組程式化參數寫入該第一類資料的該第一實體抹除單元的上實體程式化單元不會被程式化並且以該第二組程式化參數寫入該第二類資料的該第二實體抹除單元的上實體程式化單元不會被程式化。

36. 如申請專利範圍第 35 項所述的記憶體儲存裝置，其中該些實體程式化單元之中寫入該第二類資料之該第二實體抹除單元的第一實體程式化單元映射一相對應之邏輯位址，且寫入該第一類資料之該第一實體抹除單元的第一實體程式化單元無映射一相對應之邏輯位址。

37. 如申請專利範圍第 35 項所述的記憶體儲存裝置，其中以該第一組程式化參數寫入該第一類資料的該第一實體抹除單元的

第一實體程式化單元的記憶胞的資料位元數為 1 個位元並且以該第二組程式化參數寫入該第二類資料的該第二實體抹除單元的第一實體程式化單元的記憶胞的資料位元數為 1 個位元。

38. 如申請專利範圍第 37 項所述的記憶體儲存裝置，其中該記憶體控制電路單元將該些實體抹除單元至少分組為一第一區與一第二區，

其中該第一實體抹除單元屬於該第一區，並且該第二實體抹除單元屬於該第二區。

39. 如申請專利範圍第 38 項所述的記憶體儲存裝置，其中該第一組程式化參數被預先設定用於屬於該第一區的實體抹除單元，並且該第一區的實體抹除單元的上實體程式化單元不會被用來儲存資料；

其中該第二組程式化參數用於屬於該第二區的實體抹除單元，並且該第二區的實體抹除單元的上實體程式化單元不會被用來儲存資料。

40. 如申請專利範圍第 39 項所述的記憶體儲存裝置，其中該記憶體控制電路單元調整該第一組程式化參數以獲得該第二組程式化參數。

41. 如申請專利範圍第 40 項所述的記憶體儲存裝置，其中該記憶體控制電路單元接收一資料，並且判斷該資料是否屬於該第二類資料，

倘若該資料不屬於該第二類資料時，該記憶體控制電路單元使用該第一組程式化參數將該資料寫入至該第一區的該些實體抹除單元之中的至少一實體抹除單元，

倘若該資料屬於該第二類資料時，該記憶體控制電路單元使用該第二組程式化參數將該資料寫入至該第二區的該些實體抹除單元之中的至少一實體抹除單元。

42. 如申請專利範圍第 40 項所述的記憶體儲存裝置，其中該記憶體控制電路單元識別欲儲存該資料的至少一邏輯單元，並且判斷該至少一邏輯單元是否映射至該第二區的該些實體抹除單元，

倘若該至少一邏輯單元是映射至該第二區的該些實體抹除單元時，該記憶體控制電路單元識別該資料是屬於該第二類資料。

43. 如申請專利範圍第 35 項所述的記憶體儲存裝置，其中該記憶體控制電路單元使用一單層記憶胞模式抹除指令對該第一實體抹除單元執行一抹除操作，以及使用一多層記憶胞模式抹除指令對該第二實體抹除單元執行該抹除操作。

44. 如申請專利範圍第 35 項所述的記憶體儲存裝置，其中該第一組程式化參數包括一第一增量階躍脈衝程式調整值、一第一初始寫入電壓、一第一驗證電壓、一第一讀取電壓、一第一導通電壓與一第一抹除電壓的至少其中之一。

45. 如申請專利範圍第 40 項所述的記憶體儲存裝置，其中在

調整該第一組程式化參數以獲得該第二組程式化參數的運作中，該記憶體控制電路單元調整該第一組程式參數的一第一驗證電壓以獲取一電壓來作為該第二組程式參數的一第二驗證電壓，其中該第一組程式參數的該第一驗證電壓大於該第二組程式參數的該第二驗證電壓。

46. 如申請專利範圍第 40 項所述的記憶體儲存裝置，其中在調整該第一組程式化參數以獲得該第二組程式化參數的運作中，該記憶體控制電路單元調整該第一組程式參數的一第一增量階躍脈衝程式調整值以獲取一值來作為該第二組程式參數的一第二增量階躍脈衝程式調整值，其中該第一組程式參數的該第一增量階躍脈衝程式調整值小於該第二組程式參數的該第二增量階躍脈衝程式調整值。

47. 如申請專利範圍第 38 項所述的記憶體儲存裝置，其中該第一類資料為一韌體碼並且該第一區為獨立地用以儲存該韌體碼的一系統區，

其中該第二類資料為一使用者資料並且該第二區為暫存該使用者資料的一暫存區。

48. 如申請專利範圍第 35 項所述的記憶體儲存裝置，其中該記憶體控制電路單元使用該第一組參數對儲存有該第一類資料之該些實體程式化單元其中之一執行一抹除操作，並且使用該第二組參數對儲存有該第二類資料之該些實體程式化單元其中之一執

行該抹除操作。

49. 如申請專利範圍第 35 項所述的記憶體儲存裝置，其中這些實體程式化單元之中以該第一組程式化參數程式化的實體程式化單元的資料保存能力或抗讀取干擾能力優於以該第二組程式化參數程式化的實體程式化單元的資料保存能力或抗讀取干擾能力。

50. 如申請專利範圍第 35 項所述的記憶體儲存裝置，其中這些實體程式化單元之中以該第二組程式化參數程式化的實體程式化單元的壽命優於以該第一組程式化參數程式化的實體程式化單元的壽命。

51. 如申請專利範圍第 35 項所述的記憶體儲存裝置，其中這些實體程式化單元之中以該第一組程式化參數程式化的實體程式化單元的記憶胞的門檻電壓統計分佈圖的第一狀態及第二狀態間的電壓間距大於以該第二組程式化參數程式化的實體程式化單元的記憶胞的門檻電壓統計分佈圖的第一狀態及第二狀態間的電壓間距。

圖式

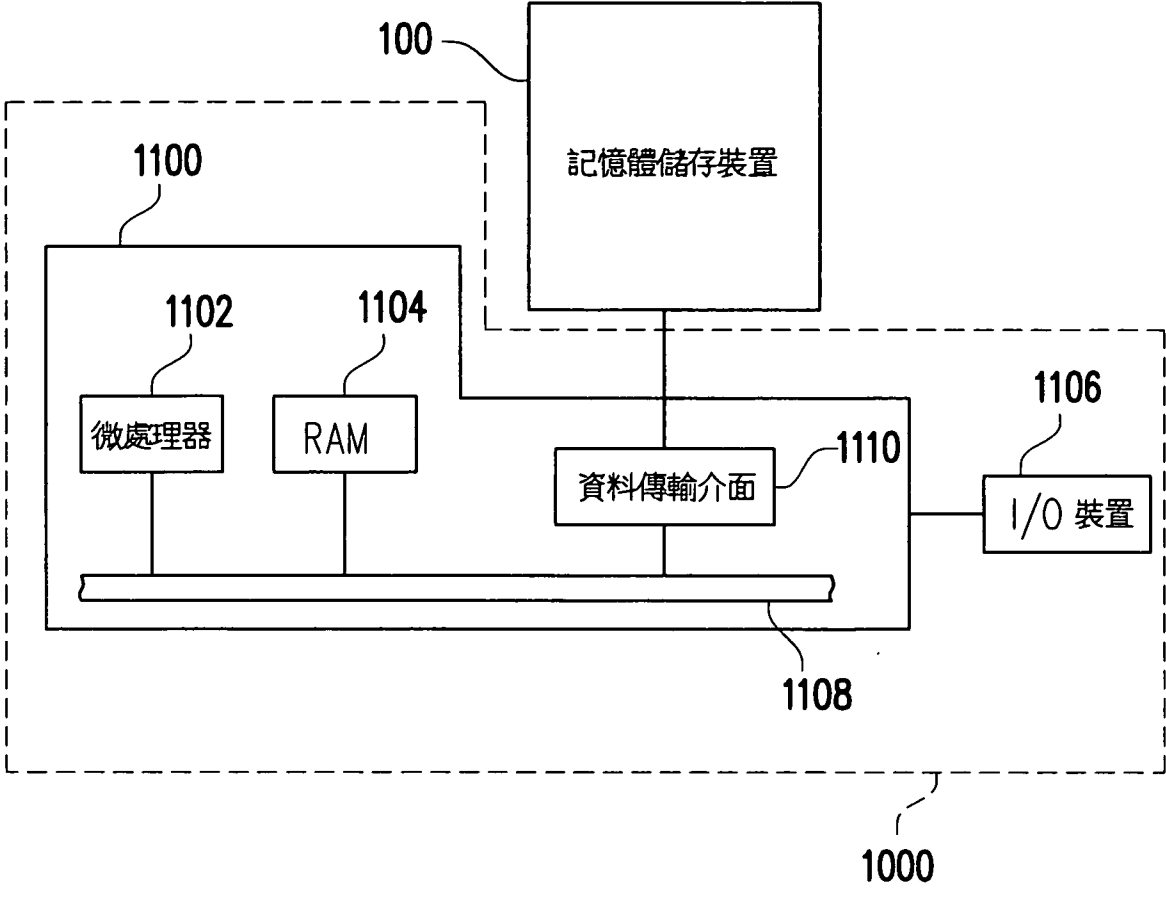


圖 1

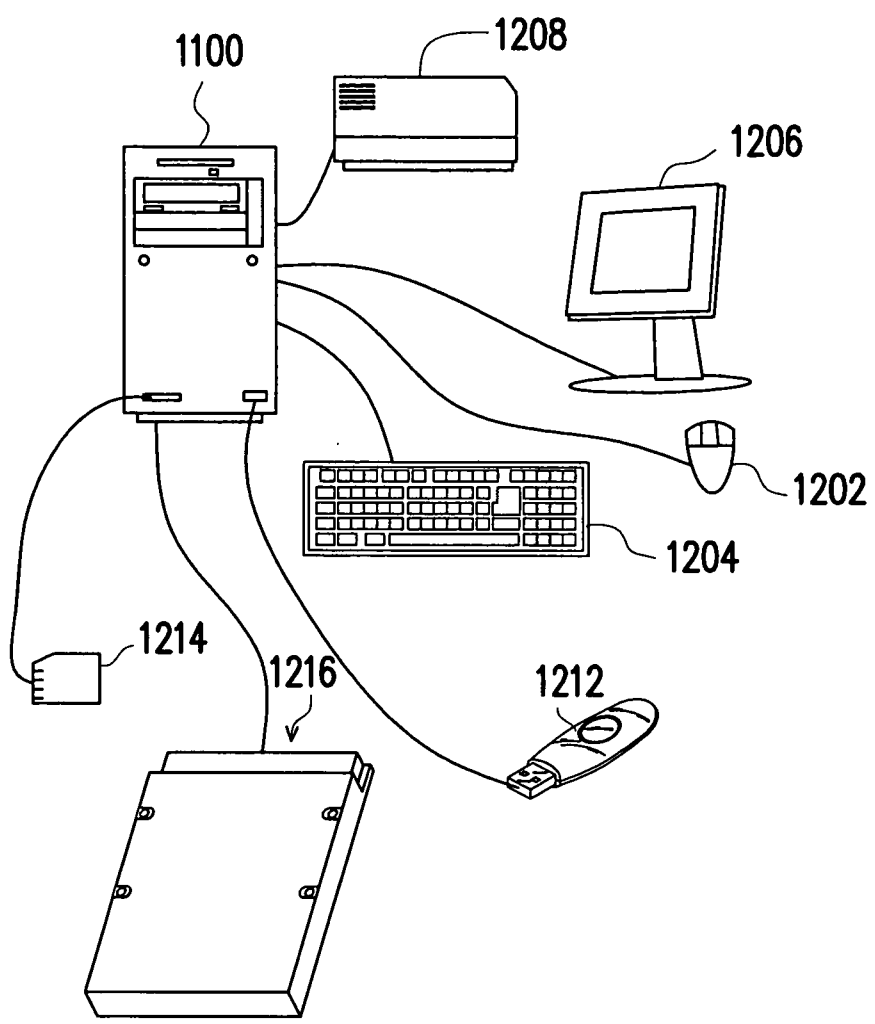


圖 2

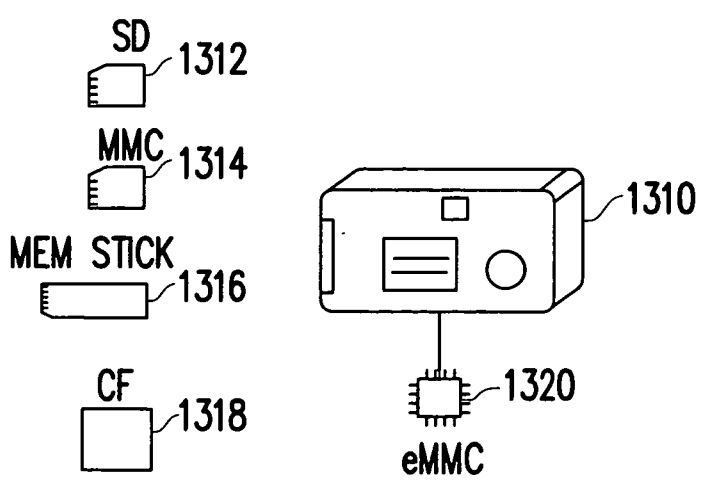


圖 3

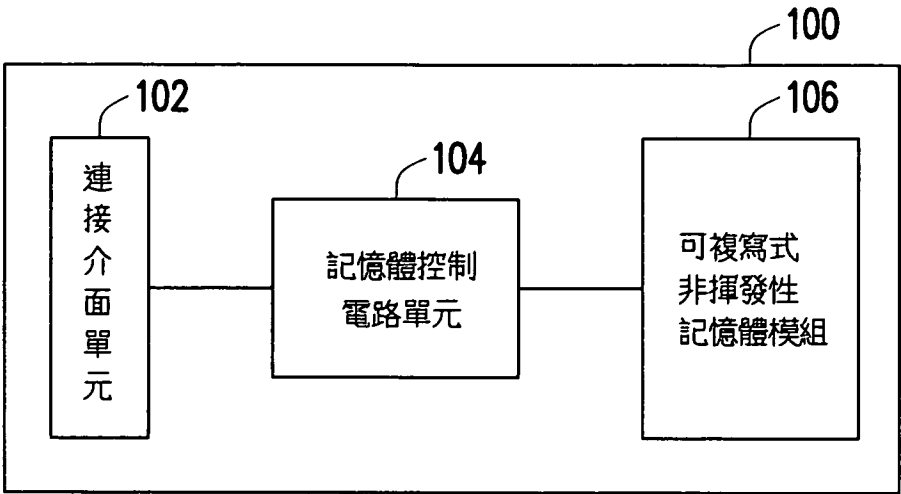


圖 4

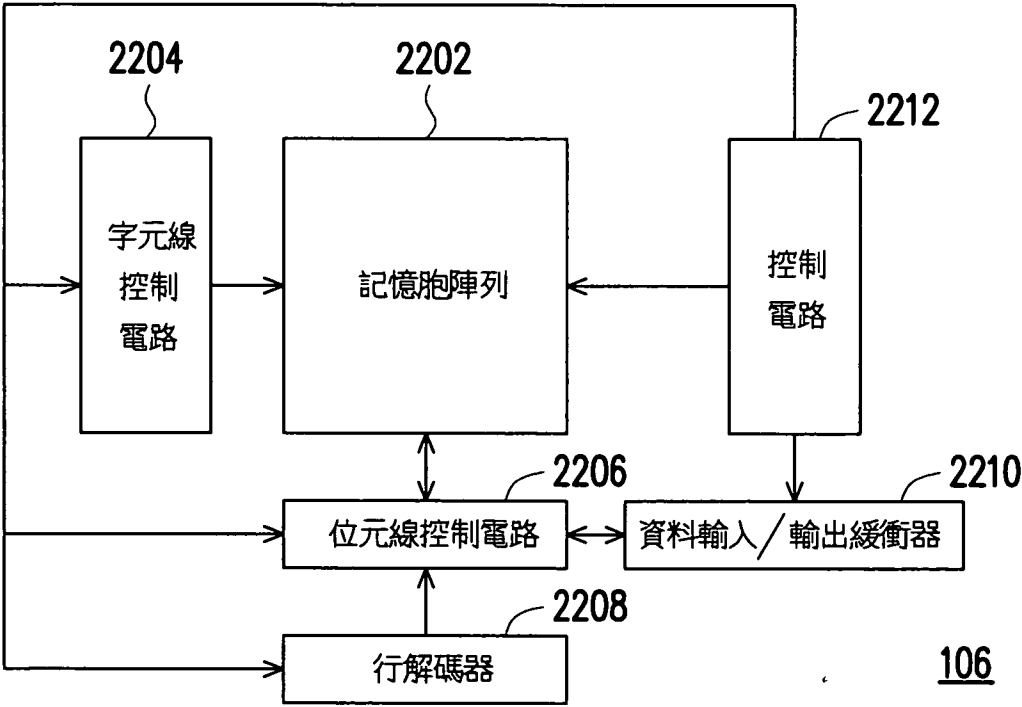


圖 5

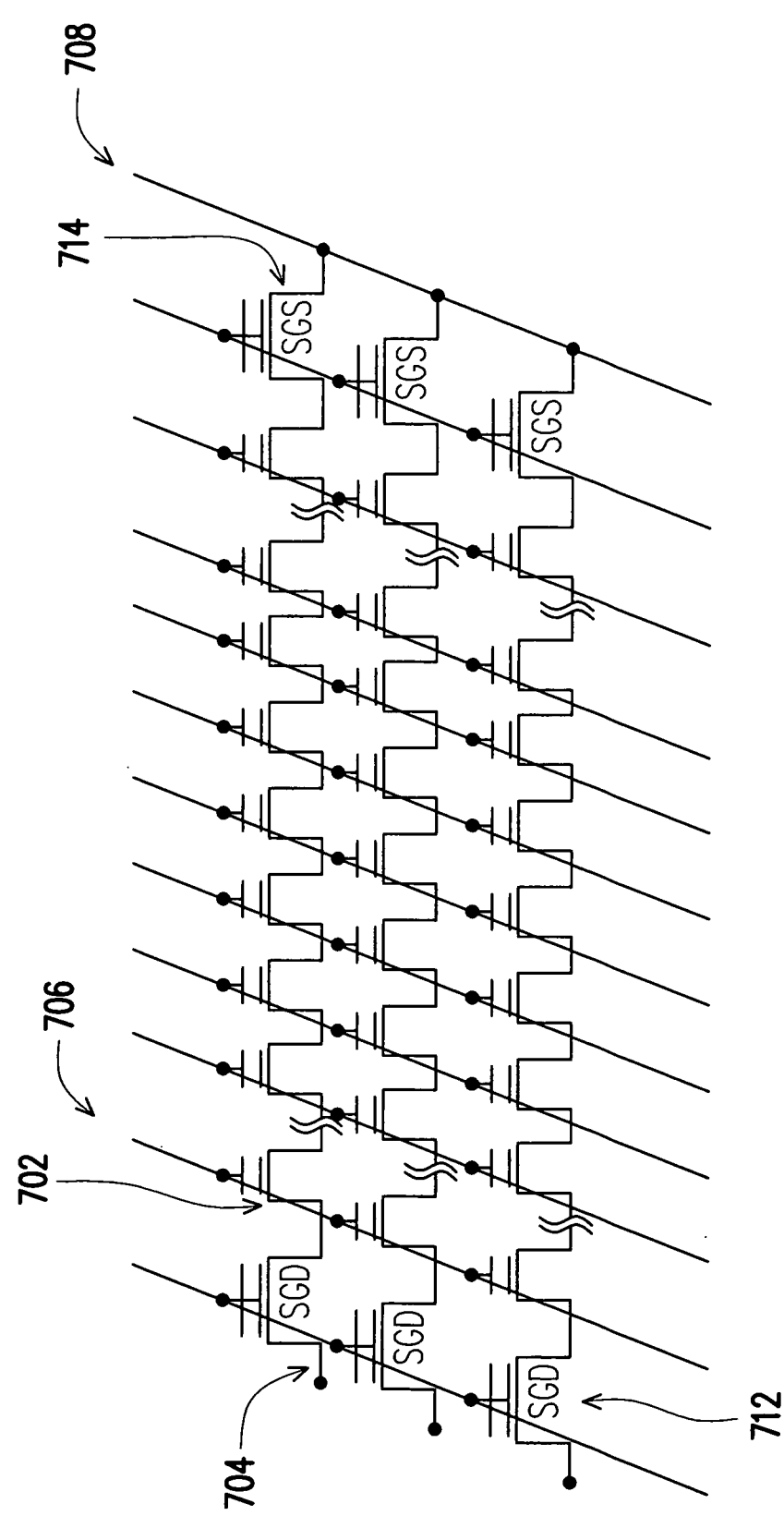


圖6



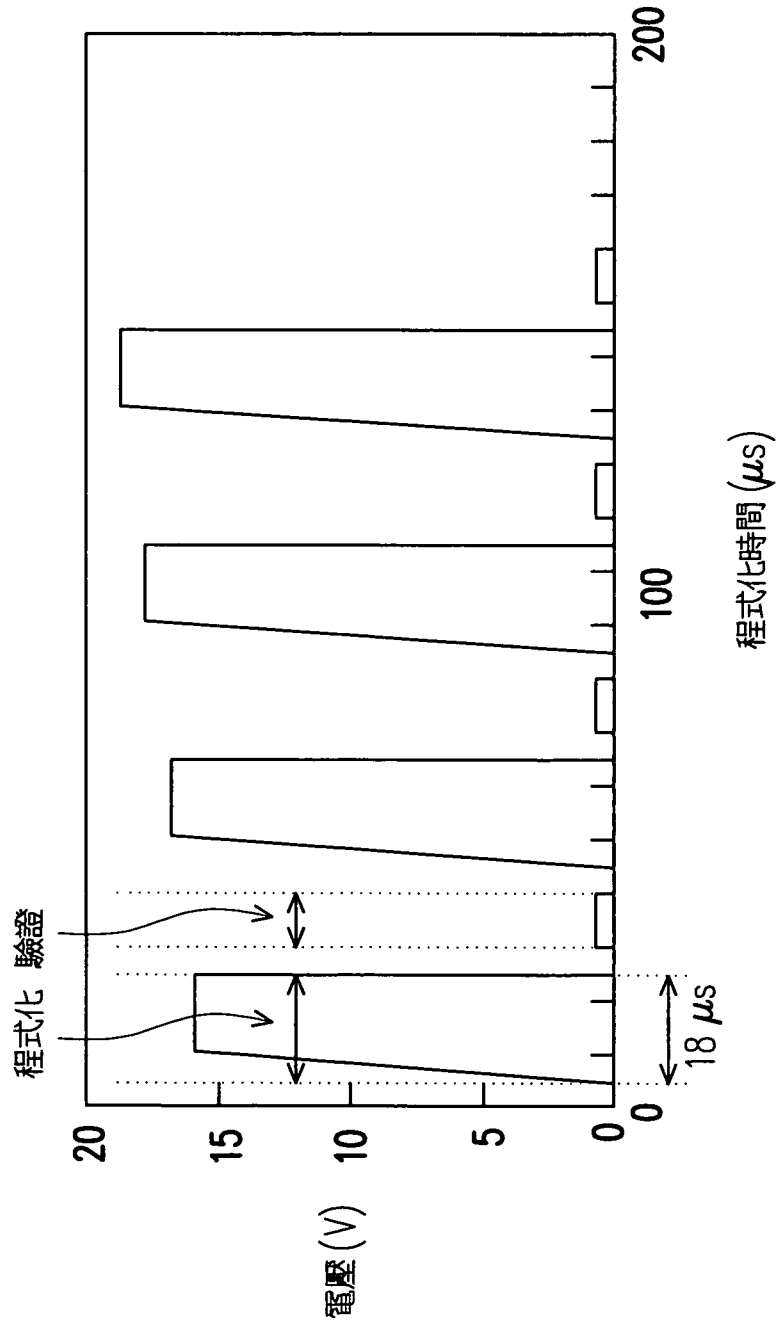


圖7

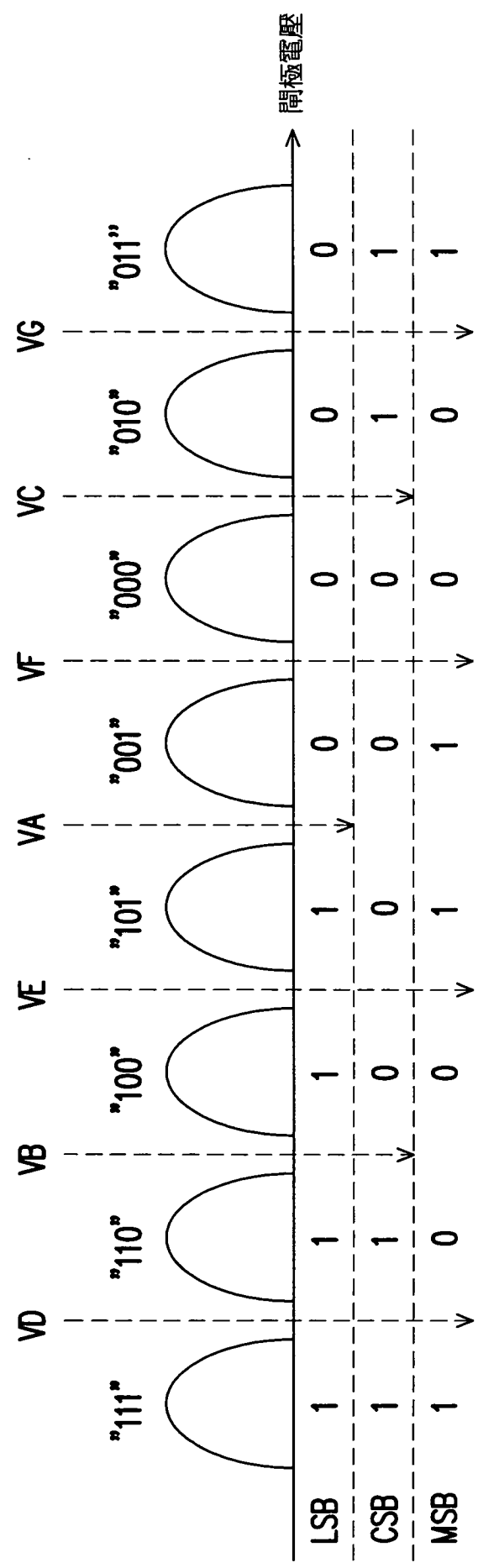


圖8



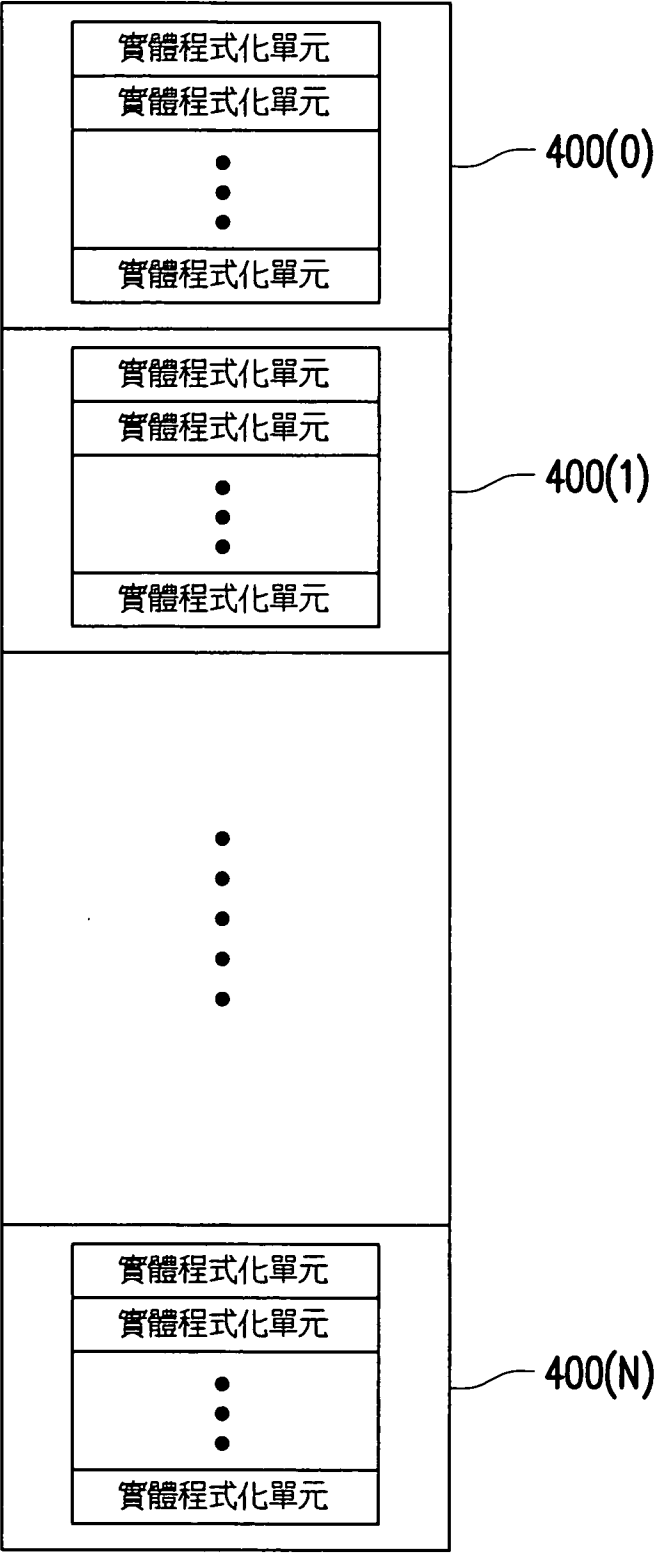


圖 9

下實體程式化單元	中實體程式化單元	上實體程式化單元
0	1	2
3	4	5
6	7	8
9	10	11
12	13	14
⋮	⋮	⋮
255	256	257

圖 10



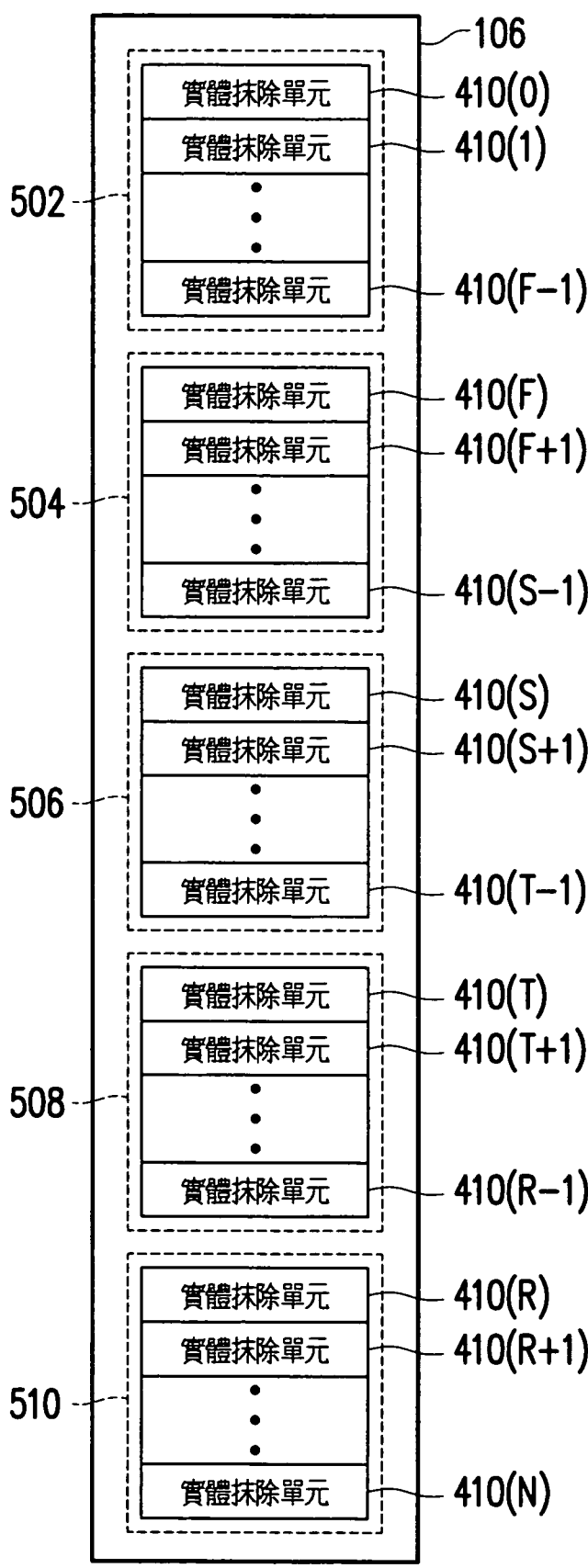


圖 11

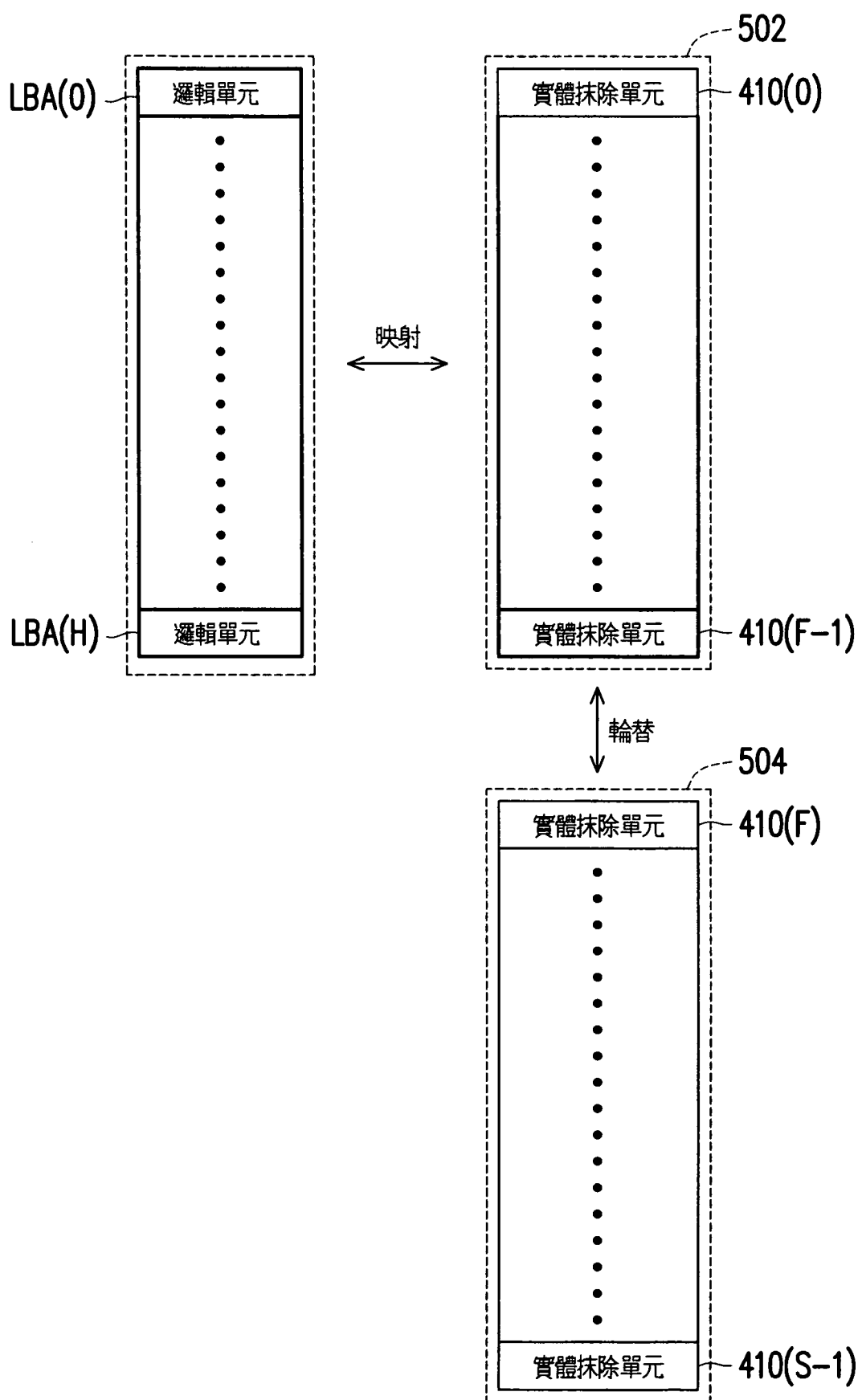


圖 12



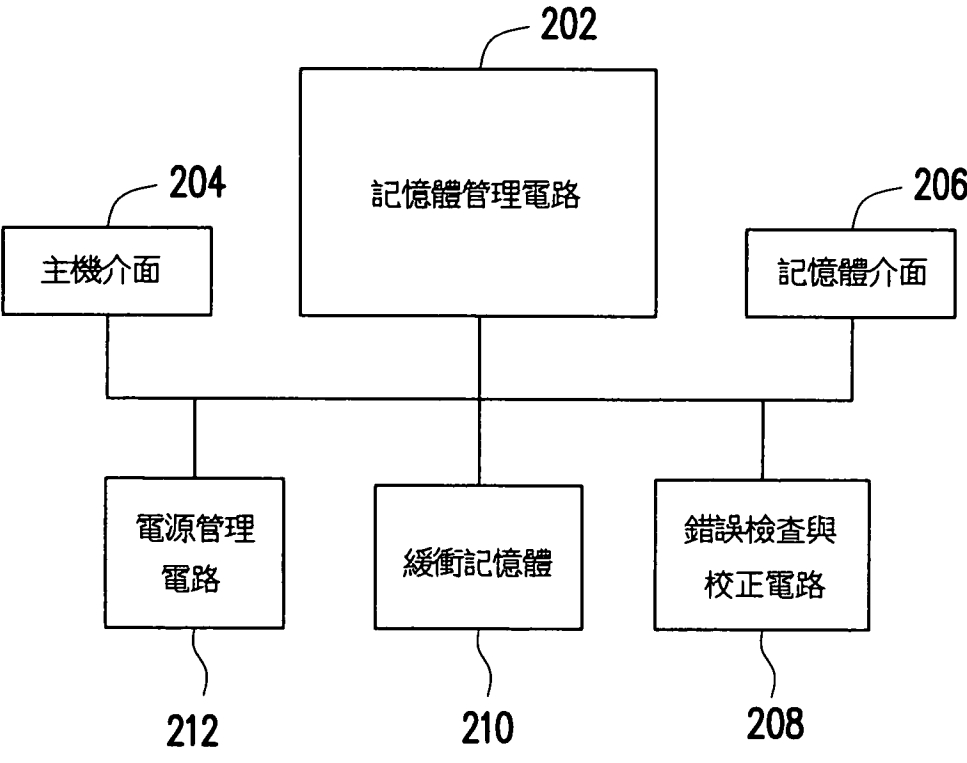


圖 13

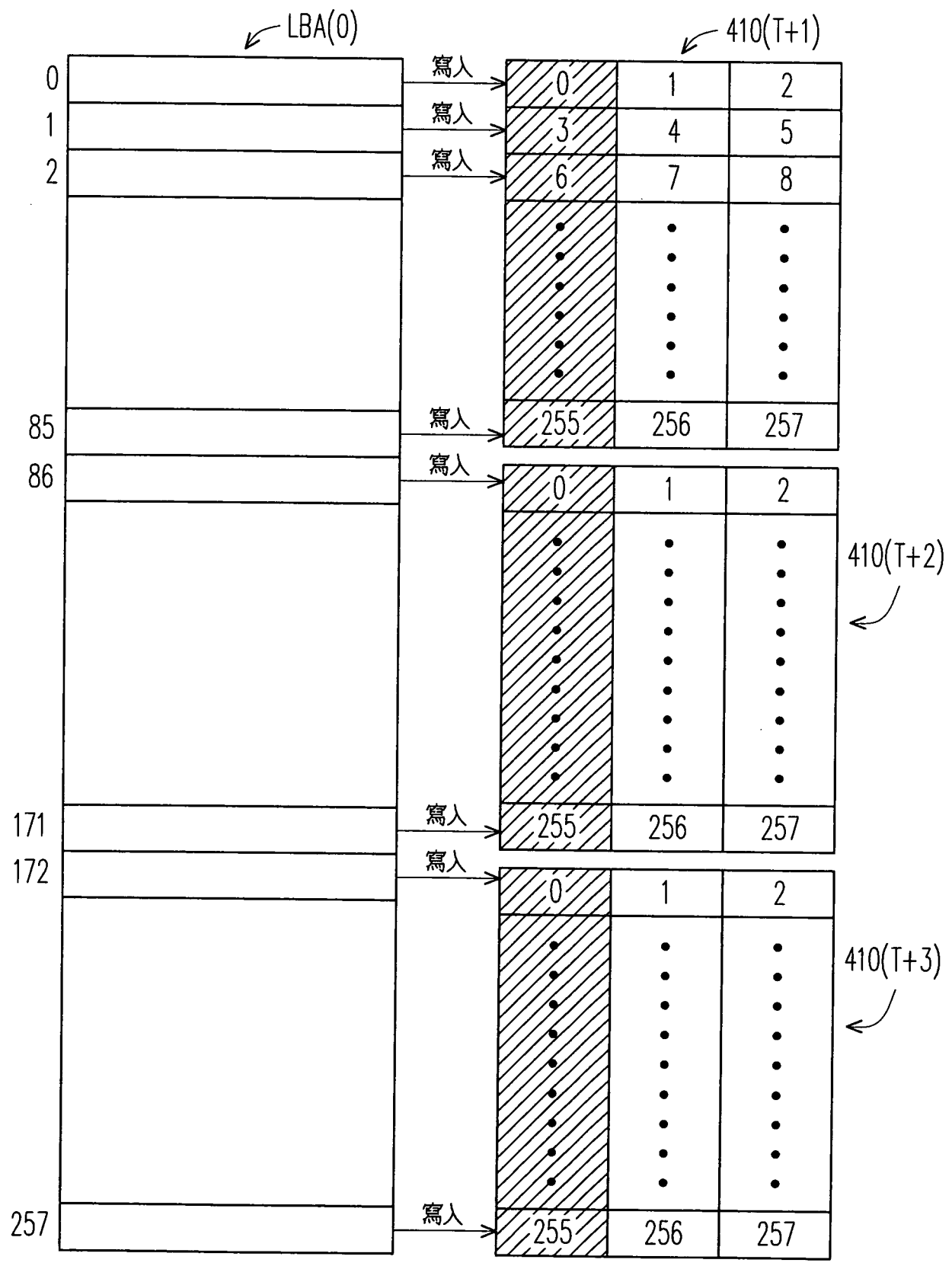


圖 14

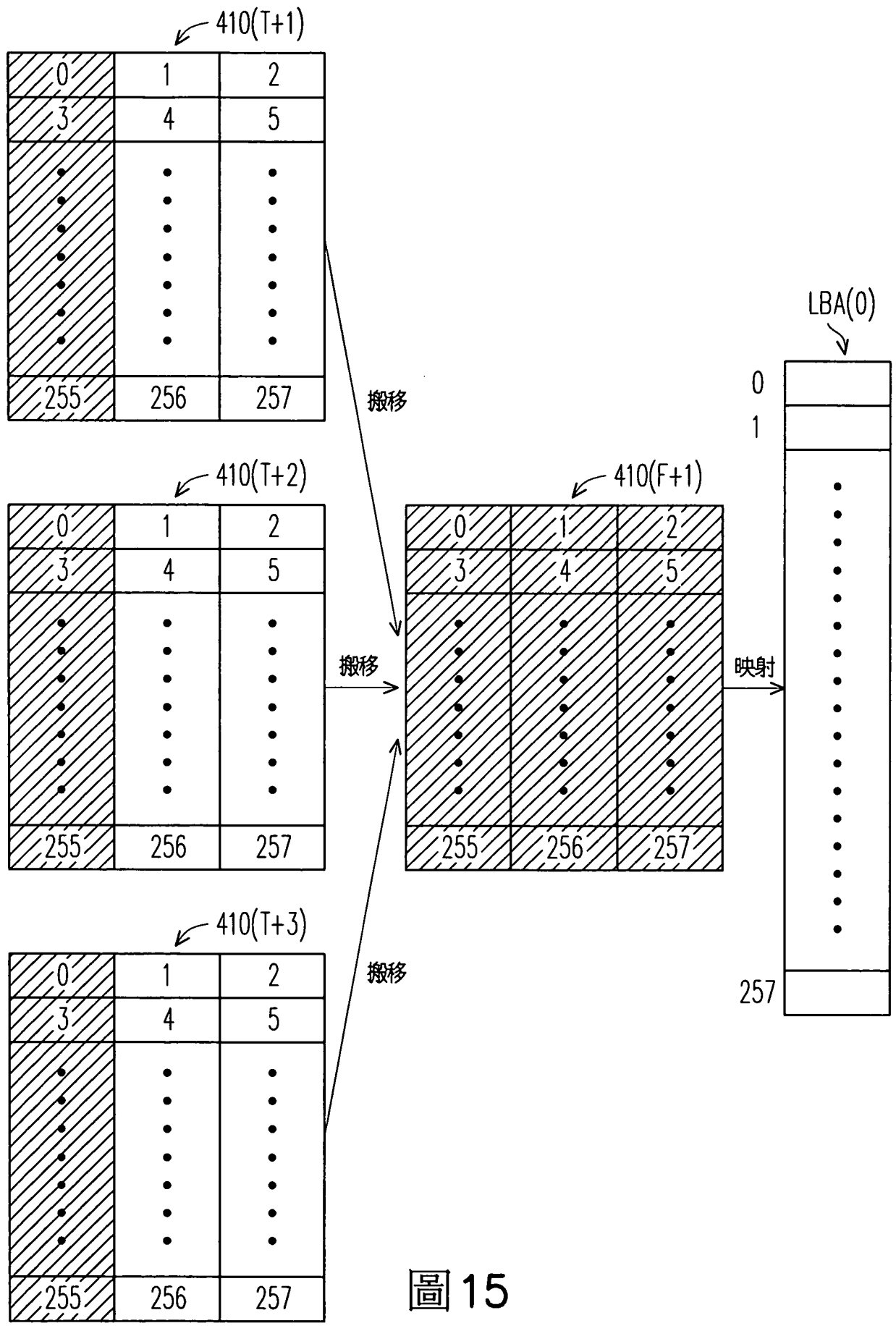


圖 15

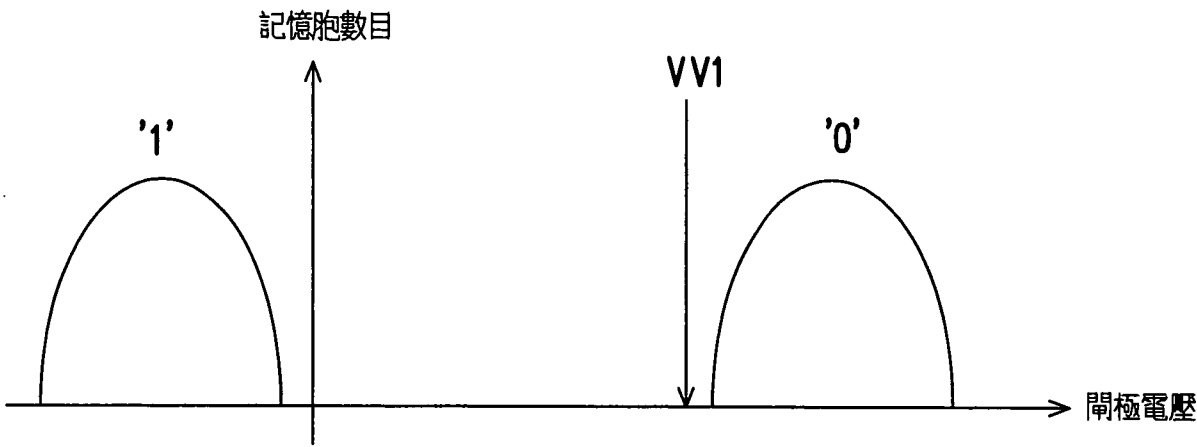


圖 16

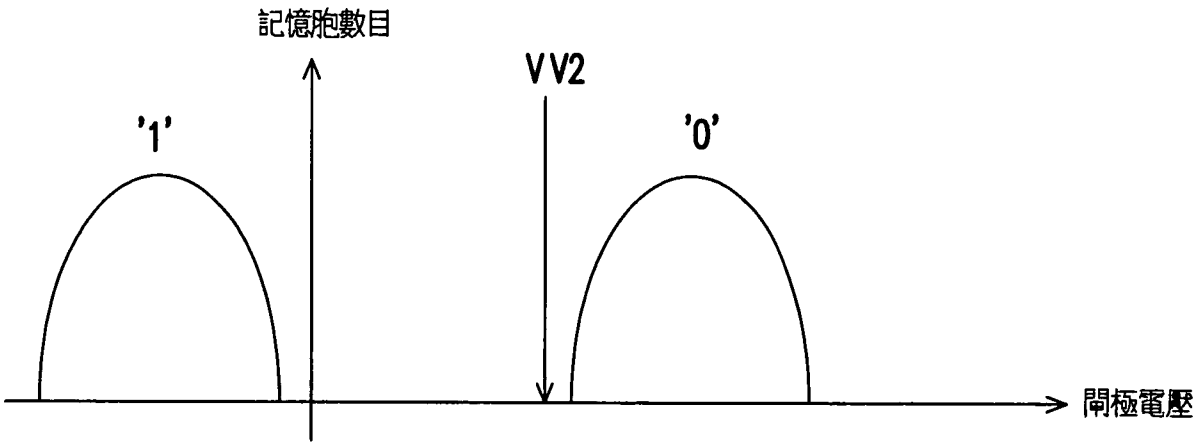


圖 17



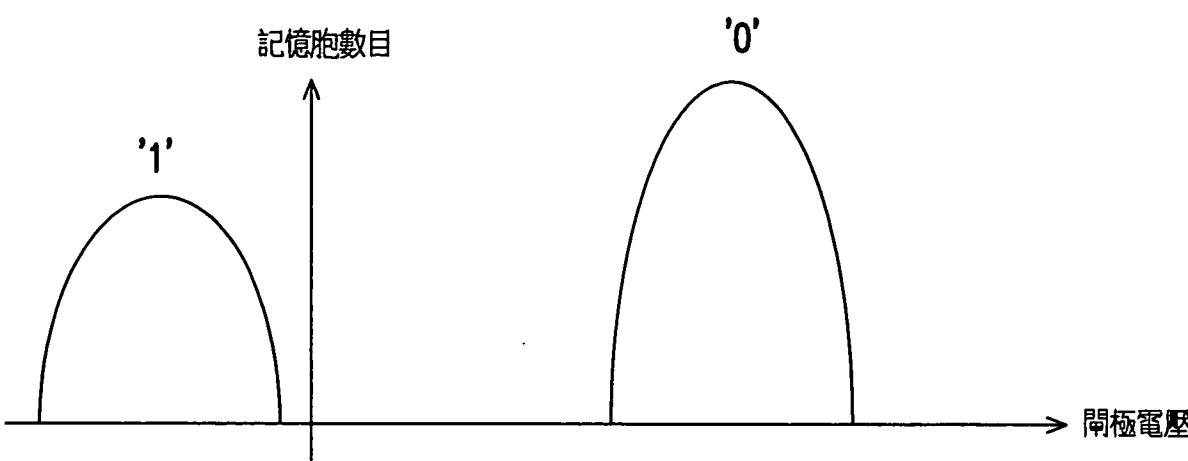


圖 18

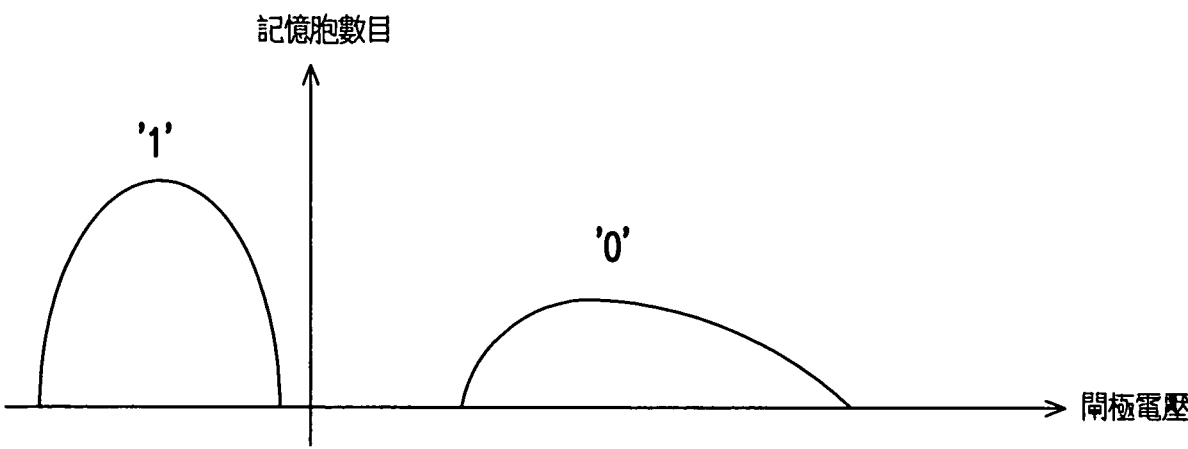


圖 19

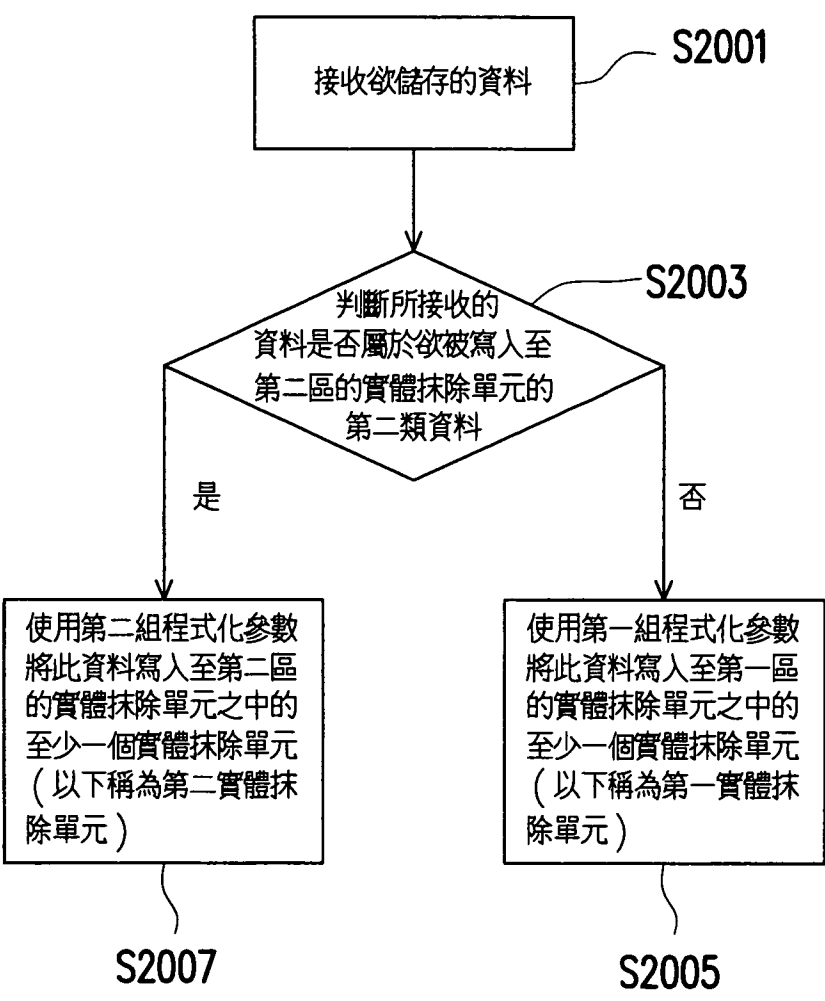


圖 20

