

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4919549号
(P4919549)

(45) 発行日 平成24年4月18日 (2012. 4. 18)

(24) 登録日 平成24年2月10日 (2012. 2. 10)

(51) Int. Cl.

F I

HO 1 L 21/8247 (2006. 01)
HO 1 L 29/788 (2006. 01)
HO 1 L 29/792 (2006. 01)
HO 1 L 27/115 (2006. 01)
G 1 1 C 16/02 (2006. 01)

HO 1 L 29/78 3 7 1
HO 1 L 27/10 4 3 4
G 1 1 C 17/00 6 4 1
G 1 1 C 17/00 6 2 1 A

請求項の数 13 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2001-220770 (P2001-220770)
(22) 出願日 平成13年7月23日 (2001. 7. 23)
(65) 公開番号 特開2002-100690 (P2002-100690A)
(43) 公開日 平成14年4月5日 (2002. 4. 5)
審査請求日 平成20年6月20日 (2008. 6. 20)
(31) 優先権主張番号 特願2000-221436 (P2000-221436)
(32) 優先日 平成12年7月21日 (2000. 7. 21)
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷 3 9 8 番地
(72) 発明者 山崎 舜平
神奈川県厚木市長谷 3 9 8 番地 株式会社
半導体エネルギー研究所内
(72) 発明者 小山 潤
神奈川県厚木市長谷 3 9 8 番地 株式会社
半導体エネルギー研究所内
(72) 発明者 加藤 清
神奈川県厚木市長谷 3 9 8 番地 株式会社
半導体エネルギー研究所内

審査官 正山 旭

最終頁に続く

(54) 【発明の名称】 不揮発性メモリ及び半導体装置

(57) 【特許請求の範囲】

【請求項 1】

単結晶半導体から形成されたソース領域、ドレイン領域、及び前記ソース領域と前記ドレイン領域に挟まれた領域と、

前記ソース領域、前記ドレイン領域に挟まれた領域上に形成された第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜上に形成された複数のフローティングゲート電極と、

前記複数のフローティングゲート電極上に形成された第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜上に形成されたコントロールゲート電極と、

を有するメモリトランジスタを備えた不揮発性メモリであって、

前記ソース領域と前記ドレイン領域に挟まれた領域は、チャネル長方向にストライプ状に形成された複数の不純物領域と、当該複数の不純物領域に挟まれた複数のチャネル形成領域によって形成され、

前記複数の不純物領域は前記ソース領域、前記ドレイン領域に添加された不純物とは逆の導電性を有する不純物が添加されており、

前記複数のフローティングゲート電極は、前記複数のチャネル形成領域上にそれぞれ一つずつ、前記第 1 のゲート絶縁膜を介して形成され、

前記メモリトランジスタは多値のデータを記憶することを特徴とする不揮発性メモリ。

【請求項 2】

単結晶半導体から形成されたソース領域、ドレイン領域、及び前記ソース領域と前記ド

10

20

レイン領域に挟まれた領域と、

前記ソース領域と前記ドレイン領域に挟まれた領域上に形成された第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上に形成された複数のフローティングゲート電極と、

前記複数のフローティングゲート電極上に形成された第2のゲート絶縁膜と、

前記第2のゲート絶縁膜上に形成されたコントロールゲート電極と、

を有するメモリトランジスタを備えた不揮発性メモリであって、

前記ソース領域と前記ドレイン領域に挟まれた領域は、チャンネル長方向にストライプ状に形成された複数の不純物領域と、当該複数の不純物領域に挟まれた複数のチャンネル形成領域によって形成され、

前記複数の不純物領域は前記ソース領域、前記ドレイン領域に添加された不純物とは逆の導電性を有する不純物が添加されており、

前記複数のフローティングゲート電極は、前記複数のチャンネル形成領域上にそれぞれ一つずつ、前記第1のゲート絶縁膜を介して形成され、

前記複数の不純物領域はそれぞれ独立に電位を制御でき、

前記メモリトランジスタは多値のデータを記憶することを特徴とする不揮発性メモリ。

【請求項3】

請求項1または請求項2において、前記複数のフローティングゲート電極はそれぞれ、前記第1のゲート絶縁膜を介して前記複数の不純物領域の一つと、一部重なっていることを特徴とする不揮発性メモリ。

【請求項4】

請求項1乃至請求項3のいずれか一項において、前記ソース領域と前記ドレイン領域に挟まれた領域に形成された前記複数の不純物領域は、前記ソース領域と前記ドレイン領域の一方または両方においても連続して形成されていることを特徴とする不揮発性メモリ。

【請求項5】

請求項1乃至請求項4のいずれか一項において、前記複数の不純物領域の不純物は13族又は15族から選ばれることを特徴とする不揮発性メモリ。

【請求項6】

請求項1乃至請求項5のいずれか一項において、前記複数の不純物領域の不純物は13族又は15族から選ばれ、当該複数の不純物領域によって前記ドレイン領域から前記ソース領域に向かって広がる空乏層が抑止されることを特徴とする不揮発性メモリ。

【請求項7】

請求項1乃至請求項6のいずれか一項において、前記複数の不純物領域の不純物の濃度は $1 \times 10^{17} \text{ atoms/cm}^3$ 以上 $5 \times 10^{20} \text{ atoms/cm}^3$ 以下であることを特徴とする不揮発性メモリ。

【請求項8】

請求項1乃至請求項7のいずれか一項において、前記メモリトランジスタのチャンネル長は、 $0.01 \mu\text{m}$ 以上 $1 \mu\text{m}$ 以下であることを特徴とする不揮発性メモリ。

【請求項9】

請求項1乃至請求項8のいずれか一項において、前記複数の不純物領域の幅は、 $0.01 \mu\text{m}$ 以上 $1 \mu\text{m}$ 以下であることを特徴とする不揮発性メモリ。

【請求項10】

請求項1乃至請求項9のいずれか一項において、前記複数のチャンネル形成領域の幅は、 $0.01 \mu\text{m}$ 以上 $1 \mu\text{m}$ 以下であることを特徴とする不揮発性メモリ。

【請求項11】

請求項1乃至請求項10のいずれか一項において、前記不揮発性メモリを記録媒体として利用することを特徴とする半導体装置。

【請求項12】

請求項11において、前記半導体装置とは、マイクロプロセッサであることを特徴とする半導体装置。

10

20

30

40

50

【請求項 13】

請求項 11 において、前記半導体装置とは、ディスプレイ、ビデオカメラ、ヘッドマウントディスプレイ、DVDプレーヤー、ゴーグル型ディスプレイ、パーソナルコンピュータ、携帯電話、カーオーディオであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本願発明は半導体不揮発性メモリに関する。特に、電氣的書き込み及び消去可能な半導体不揮発性メモリ（以下EEPROMまたはElectrically Erasable and Programmable Read Only Memoryという）に関する。また特に、多値技術を用いた半導体不揮発性メモリに関する。なお、本願発明はチャンネル長が0.01~1 μ m（好ましくは0.01~0.5 μ m）の半導体不揮発性メモリに対して有効である。また、本願発明は半導体不揮発性メモリを有する半導体装置に関する。

10

【0002】

本明細書において、電氣的書き込み及び消去可能な半導体不揮発性メモリ（EEPROM）とは、文字通り、電氣的な書き込みおよび電氣的な消去が可能な半導体不揮発性メモリの全体を指し、例えばフル機能EEPROM、フラッシュメモリをその範疇に含む。また、特に断りのない場合、不揮発性メモリおよび半導体不揮発性メモリはEEPROMと同義で用いる。また、半導体装置とは、半導体特性を利用することで機能する装置全般を指し、例えば、マイクロプロセッサ、液晶表示装置およびEL表示装置に代表される電気光学装置、ならびにマイクロプロセッサあるいは電気光学装置を搭載した電子機器をその範疇に含む。

20

【0003】

【従来の技術】

電氣的書き込み及び消去可能な半導体不揮発性メモリ（EEPROM）は、半導体不揮発性メモリを代表するメモリとして知られている。EEPROMは不揮発性メモリであるから、他の半導体メモリを代表するDRAM（Dynamic Random Access Memory）やSRAM（Static RAM）と異なり、電源を切ってもデータが失われることはない。また、他の不揮発性メモリを代表する磁気ディスクと比較した場合、集積密度、耐衝撃性、消費電力、書き込み／読み出し速度、等の点において優れた特徴を有する。このような特徴から、EEPROMを磁気ディスクあるいはDRAMといった様々なメモリの代替品として用いる動きが高まってきた。

30

【0004】

特に、EEPROMの集積密度の向上は目覚ましく、1年で約2倍という非常に速いペースで開発が進んでいる。ギガビット容量のEEPROMの量産も近々実現することが予想され、集積度においてもDRAMを追いこす勢いである。このような集積密度の向上を支える技術としては、回路構成の改善、微細化技術および多値技術が挙げられる。

【0005】

まず、回路構成においては、2トランジスタ／セルの構成をとるフル機能EEPROMから、1トランジスタ／セル構成のフラッシュメモリへ、また、セル面積に10F²（Fは最小加工寸法）を要するNOR型フラッシュメモリから、セル面積5F²を実現するNAND型フラッシュメモリへと集積密度が向上してきた。

40

【0006】

また、微細化技術は、IC、LSI、VLSIあるいはULSIといった殆ど全ての半導体において、高集積化、小型化、低コスト化をうながす最も重要な技術である。EEPROMにおいても、他のIC等と同様に微細化技術を常に取り入れ、スケーリング則に沿って開発が進められている。

【0007】

さらに、メモリの集積度を向上する方法として近年注目されているのが、多値技術である。多値技術とは、一つのメモリセルで3値以上のデータを保持する技術である。従来方式

50

として、フローティングゲートの電荷蓄積量をコントロールし、3状態以上を区別する方法が開発されており、既に4値のフラッシュメモリが製品化されている。

【0008】

【発明が解決しようとする課題】

このように、EEPROMは、回路構成、微細化技術および多値技術によって飛躍的な集積密度の向上を実現してきた。そして、今後さらに集積度の向上を進めるためには、微細化技術と多値技術がますます重要になると考えられている。しかしながら、微細化技術および多値技術が直面している課題も多い。

【0009】

微細化に関しては、 $0.12 \sim 0.15 \mu\text{m}$ がEEPROMのスケーリング限界と考えられている。スケーリング限界を決める要因はいくつかあるが、代表的には、微細加工限界、短チャネル効果およびトンネル酸化膜の信頼性といった要因が挙げられる。特に、通常のトランジスタよりも高い動作電圧を必要とするEEPROMにおいては、短チャネル効果は重要な問題であり、たとえば微細加工が可能であったとしても短チャネル効果によってメモリとして機能しないといったことが起こり得る。

10

【0010】

短チャネル効果とは、トランジスタのチャネル長を短くしていった場合に起こる様々な現象の総称であり、パンチスルー現象、サブスレッショルド特性の劣化（S値の増加）、しきい値電圧の低下などが知られている。短チャネル効果の多くは、ドレイン領域から広がる空乏層領域に起因しており、空乏層領域の広がりを如何に抑えるかが課題となっている。

20

【0011】

また、多値化においては、フローティングゲート電極の電荷蓄積量を制御する従来方式を用いる場合、電荷蓄積量のばらつきの制御、良好な電荷保持特性、良好な読み出し特性を実現することが難しいと考えられている。従来方式によって4値のフラッシュメモリが実現されているものの、さらなる多値化を進めるにあたっては、従来方式とは異なる多値技術の開発が必要であると考えられる。

【0012】

本願発明は、上記問題点を鑑みてなされたものである。本願発明では、微細化に伴って発生する短チャネル効果を効果的に抑制すると共に、フローティングゲート電極の電荷蓄積量を制御する従来方式による多値技術とは全く異なる方式によってセルの多値化を行う。そして、極めて集積密度の高い不揮発性メモリを提供することを課題とする。

30

【0013】

【課題を解決するための手段】

本願発明では、まず、微細化に伴う短チャネル効果を抑制する方法として、メモリトランジスタが有する活性領域に複数の局所的な不純物領域を形成する。具体的には、チャネル長方向にストライプ状に不純物領域を形成する。ストライプ状に設けられた不純物領域には、ソース領域およびドレイン領域に用いられる不純物の導電型とは逆の導電型を有する不純物を用いる。

【0014】

なお、本明細書では、ソース領域、ドレイン領域及び素子分離領域で囲まれた領域を活性領域と呼び、さらに活性領域をストライプ状に設けられた不純物領域と、チャネル形成領域とに区別している。

40

【0015】

なお、本願発明は、極微細の不揮発性メモリに適用することを念頭に置いている。具体的には、チャネル長が $0.01 \sim 1 \mu\text{m}$ （好ましくは $0.01 \sim 0.5 \mu\text{m}$ ）、不純物領域の幅が $0.01 \sim 1 \mu\text{m}$ （好ましくは $0.01 \sim 0.5 \mu\text{m}$ ）、チャネル形成領域の幅が $0.01 \sim 1 \mu\text{m}$ （好ましくは $0.01 \sim 0.5 \mu\text{m}$ ）、の半導体不揮発性メモリに対して有効である。

【0016】

50

微細トランジスタにおいて、活性領域に局所的な不純物領域を設ける手法は、特開平10-65162号公報に開示されている。同公報には、活性領域に局所的な不純物領域を設けることによって、ドレイン領域からの空乏層の広がりやが抑止され、高いオン電流を維持したまま短チャネル効果が抑えられる、という主旨の内容が記載されている。

【0017】

なお、同公報では、空乏層を抑止する効果があたかも空乏層をピン止めする様に捉えられることから、「抑止」という意味で「ピニング」という言葉を定義している。また、空乏層をピン止めする不純物領域をピニング領域と呼んでいる。

【0018】

本願発明では、さらに重要なポイントとして、ピニング領域を用いたメモリトランジスタを応用して多値メモリトランジスタを実現する。本願発明は、ピニング領域を用いたトランジスタ構造が複数のチャネル形成領域を有することに着目し、それぞれのチャネル形成領域に1値または1ビットのデータを割り当てることによって、メモリトランジスタの多値化を実現するものである。

10

【0019】

なお、本明細書では、ピニング領域を用いたメモリトランジスタを、従来のメモリトランジスタと区別する場合に、特にピニング型メモリトランジスタと呼ぶ。明白な場合には、ピニング型メモリトランジスタを、単にメモリトランジスタと書くこともある。

【0020】

本願発明のピニング型メモリトランジスタの特徴としては、複数のチャネル形成領域の上に、それぞれ、第1のゲート絶縁膜を介してフローティングゲート電極を設ける点と、複数のピニング領域に独立に電位を印加できる構造とする点が挙げられる。このような構造とすることによって、それぞれのフローティングゲート電極（従って、それぞれのチャネル形成領域）に対して、1値または1ビットのデータを格納することが可能となる。

20

【0021】

ここで、ピニング型メモリトランジスタの動作方法を簡単に説明する。多値データの書き込みと消去はフローティングゲート電極とピニング領域との間のトンネル電流によって行う。メモリトランジスタがnチャネル型である場合、電子の注入は選択したフローティングゲート電極に行い、電子の放出は全てのフローティングゲート電極から行う。また、メモリトランジスタがpチャネル型である場合には、電子の放出は選択したフローティングゲート電極から行き、電子の注入は全てのフローティングゲート電極に対して行う。

30

【0022】

読み出し方法は、個々のフローティングゲート電極に1値のデータを割り当てる場合（1値／FG方式と呼ぶ）と、1ビットのデータを割り当てる場合（1ビット／FG方式と呼ぶ）とを用いることができる。1値／FG方式は、コントロールゲート電極に適切な電位を与えることによって、形成されたチャネルの数に比例する電流値を読み出す方式である。フローティングゲート電極がk個（kは1以上の整数）設けられている場合には、一つのメモリトランジスタで（k+1）値のデータを記憶することができる。一方、1ビット／FG方式では、読み出し時に、コントロールゲート電極に適切な電位を与えると同時に、選択するチャネル形成領域を挟む2つのピニング領域と他のピニング領域との間に適切な電位差を与える。その結果、選択するフローティングゲート電極の状態を反映した電流値を読み出すことが可能となり、フローティングゲート電極あたり1ビットの情報を記憶することが可能となる。

40

【0023】

なお、1ビット／FG方式は、チャネル形成領域を挟むピニング領域に電圧を印加した場合に、選択したチャネル形成領域のしきい値電圧がシフトする特性を用いている。この特性はチャネル幅が非常に狭い場合に有効であり、チャネル形成領域の幅が0.01~1μm（好ましくは0.01~0.5μm）であることが望ましい。

【0024】

以下に、本願発明の構成を示す。

50

【0025】

単結晶半導体を利用して形成されたソース領域、ドレイン領域及び活性領域を少なくとも有するメモリトランジスタを備えた不揮発性メモリであって、
前記活性領域は、チャンネル長方向にストライプ状に設けられた複数の不純物領域と、当該複数の不純物領域に挟まれた真性または実質的に真性な複数のチャンネル形成領域によって構成されており、
前記メモリトランジスタは3値以上のデータを記憶することを特徴とする不揮発性メモリが提供される。

【0026】

単結晶半導体を利用して形成されたソース領域、ドレイン領域及び活性領域を有し、当該活性領域上に第1のゲート絶縁膜と、複数のフローティングゲート電極と、第2のゲート絶縁膜と、コントロールゲート電極とを積層してなるメモリトランジスタを備えた不揮発性メモリであって、
前記活性領域は、チャンネル長方向にストライプ状に設けられた複数の不純物領域と、当該複数の不純物領域に挟まれた真性または実質的に真性な複数のチャンネル形成領域によって構成されており、
前記複数のフローティングゲート電極は、前記複数のチャンネル形成領域上にそれぞれ一つずつ、前記第1のゲート絶縁膜を介して設けられており、
前記コントロールゲート電極は、前記複数のフローティングゲート電極と、前記第2のゲート絶縁膜を介して重なるように設けられており、
前記メモリトランジスタは3値以上のデータを記憶することを特徴とする不揮発性メモリが提供される。

【0027】

単結晶半導体を利用して形成されたソース領域、ドレイン領域及び活性領域を有し、当該活性領域上に第1のゲート絶縁膜と、複数のフローティングゲート電極と、第2のゲート絶縁膜と、コントロールゲート電極とを積層してなるメモリトランジスタを備えた不揮発性メモリであって、
前記活性領域は、チャンネル長方向にストライプ状に設けられた複数の不純物領域と、当該複数の不純物領域に挟まれた真性または実質的に真性な複数のチャンネル形成領域によって構成されており、
前記複数のフローティングゲート電極は、前記複数のチャンネル形成領域上にそれぞれ一つずつ、前記第1のゲート絶縁膜を介して設けられており、
前記コントロールゲート電極は、前記複数のフローティングゲート電極と、前記第2のゲート絶縁膜を介して重なるように設けられており、
前記複数の不純物領域はそれぞれ独立に電位を制御することが可能であり、
前記メモリトランジスタは3値以上のデータを記憶することを特徴とする不揮発性メモリが提供される。

【0028】

前記複数のフローティングゲート電極はそれぞれ、前記第1のゲート絶縁膜を介して前記複数の不純物領域の一つと、一部重なっていてもよい。

【0029】

前記活性領域に設けられた前記複数の不純物領域は、前記ソース領域と前記ドレイン領域の一方または両方においても連続して形成されていてもよい。

【0030】

前記複数の不純物領域は13族又は15族から選ばれた元素によって形成されていることが好ましい。

【0031】

前記複数の不純物領域は13族又は15族から選ばれた元素からなり、当該複数の不純物領域によって前記ドレイン領域から前記ソース領域に向かって広がる空乏層が抑止されていることが好ましい。

【0032】

前記複数の不純物領域に含まれる元素の濃度は $1 \times 10^{17} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ であることが好ましい。

【0033】

前記メモリトランジスタのチャンネル長は、 $0.01 \sim 1 \mu\text{m}$ であることが好ましい。

【0034】

前記複数の不純物領域の幅は、 $0.01 \sim 1 \mu\text{m}$ であることが好ましい。

【0035】

前記複数のチャンネル形成領域の幅は、 $0.01 \sim 1 \mu\text{m}$ であることが好ましい。

【0036】

前記不揮発性メモリを記録媒体として利用することを特徴とする半導体装置が提供される。

10

【0037】

前記半導体装置として、マイクロプロセッサが提供される。

【0038】

前記半導体装置として、ディスプレイ、ビデオカメラ、頭部取り付け型のディスプレイ、DVDプレーヤー、ヘッドマウントディスプレイ、パーソナルコンピュータ、携帯電話、カーオーディオが提供される。

【0039】

【発明の実施の形態】

本実施の形態では、まず本願発明のピニング型メモリトランジスタの代表的な素子構造について述べた後、ピニング領域による様々な効果（短チャンネル効果の抑制等）とピニング型メモリトランジスタの多値化についての説明を行う。

20

【0040】

最初に、図1および図2を用いて、本願発明のピニング型メモリトランジスタの代表的な素子構造を説明する。図1は、スタック構造のピニング型メモリトランジスタの上面図と断面図を示したものである。また、図2は、図1に示した上面図の一部分であり、ソース領域、ドレイン領域および活性領域を示したものである。

【0041】

まず、図1を参照する。図1において、基板101は単結晶シリコン基板、102はLOCOS法により形成したフィールド酸化膜である。勿論、STI法及び他の素子分離法を用いても構わない。領域103および領域104はそれぞれソース領域およびドレイン領域であり、メモリトランジスタがnチャンネル型の場合は15族から選ばれた元素（代表的には砒素またはリン）が、pチャンネル型の場合は13族から選ばれた元素（代表的にはボロン、ガリウムまたはインジウム）が高濃度に添加されている。また、領域105および領域106は、それぞれピニング領域およびチャンネル形成領域である。

30

【0042】

ピニング領域105はソース領域103およびドレイン領域104の導電型とは逆の導電型の不純物領域である。つまり、nチャンネル型メモリトランジスタでは、13族から選ばれた元素（代表的にはボロン、ガリウムまたはインジウム）を添加して形成する。特に、拡散の少ないインジウムが好ましい。またpチャンネル型メモリトランジスタでは、15族から選ばれた元素（代表的には砒素またはリン）を添加して形成する。特に、拡散の少ない砒素が好ましい。本願発明では、これら不純物元素の濃度を $1 \times 10^{17} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ （好ましくは $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ）の範囲で調節する。

40

【0043】

ピニング領域105の打ち込み深さは、後述する短チャンネル効果を効果的に抑制するために、少なくともソース領域103およびドレイン領域104の接合深さよりも深くすることが望ましい（図1（C）参照）。ピニング領域105の打ち込み深さは、 $0.05 \sim 0.5 \mu\text{m}$ （好ましくは $0.2 \sim 0.3 \mu\text{m}$ ）となるように調節すればよい。

【0044】

50

本願発明のキーポイントであるピニング領域 105 およびチャンネル形成領域 106 をさらに詳しく説明するために、図 2 を参照する。図 1 と対応する領域には同じ記号を用いている。また、領域 201 はソース領域とドレイン領域に挟まれた領域であり、本明細書では領域 201 を活性領域と呼ぶ。

【0045】

ここで、いくつかの用語を定義しておく。まず、ソース領域 103 とドレイン領域 104 との間の距離（活性領域 201 の長さに相当する）をチャンネル長（L）、ピニング領域 105 の幅をピニング幅（v）、チャンネル形成領域 106 の幅をチャンネル幅（w）と定義する。また、活性領域 201 の幅を総チャンネル幅（Wtotal）と定義する。総チャンネル幅は、ピニング幅の総和とチャンネル幅の総和との和に等しい。なお、チャンネル長に沿った方向をチャンネル長方向、チャンネル長方向に対して垂直な方向をチャンネル幅方向と呼ぶ。

10

【0046】

図 2 に示すように、一つのピニング領域 105 は、典型的には、チャンネル長方向に線状に形成する。そして、そのようなピニング領域 105 をストライプ状に複数設ける。このとき、両端に位置する 2 つのピニング領域は活性領域 201 の側端部（活性領域とフィールド酸化膜が接する端部）を含むように形成することが好ましい。チャンネル形成領域は、ソース領域、ドレイン領域およびピニング領域（またはフィールド酸化膜）によって囲まれた領域として定義される。活性領域 201 は、ピニング領域とチャンネル形成領域とによって構成される。

【0047】

なお、本願発明の多値メモリトランジスタでは、一つのチャンネル形成領域に 1 値または 1 ビットのデータを割り当てるため、少なくとも 2 つのチャンネル形成領域が必要である。また、活性領域の側端部（活性領域とフィールド酸化膜が接する端部）にピニング領域を設けることによって、側端部を伝わるリーク電流を低減するという効果がある。

20

【0048】

また、図 2 では、ピニング領域が、活性領域 201 だけでなく、ソース領域 103 およびドレイン領域 104 においても形成されている。これは、本願発明の多値の不揮発性メモリにおいて、個々のピニング領域 105 から配線を引き出す必要があるためである。なお、本願発明では、ピニング領域がソース領域 103 またはドレイン領域 104 を横切ることによって、個々のピニング領域 105 から配線を引き出す構造とするが、個々のピニング領域 105 に独立に電位を与えられる構造であれば、どのような構造であっても構わない。

30

【0049】

ピニング領域が形成されているドレイン領域の断面構造の一例を図 3 に示す。図 3 に示した断面図は、図 1（A）に示したメモリトランジスタの線分 CC' に関する断面であり、図 1 と対応する領域には同じ記号を用いている。図 3 において、ドレイン領域 104 の不純物濃度はピニング領域 105 の不純物濃度よりも濃く形成され、また、ドレイン領域 104 の接合深さはピニング領域 105 の接合深さよりも浅く形成されている。このような構造とすることによって、ドレイン領域 104 がピニング領域 105 によって分断されることなく、ピニング領域 105 がドレイン領域 104 を横切る構造を実現している。なお、ソース領域 103 を横切る場合にも全く同様の構造を用いることができる。

40

【0050】

再び図 1 を参照し、メモリトランジスタの素子構造についての説明を続ける。

【0051】

図 1 において、上述した活性領域の上には、第 1 のゲート絶縁膜 107、フローティングゲート電極 108、第 2 のゲート絶縁膜 109、コントロールゲート電極 110、層間膜 111 および配線 112 が順に積層された構造となっている。

【0052】

フローティングゲート電極 108 は、それぞれのチャンネル形成領域 106 上に一つずつ、第 1 のゲート絶縁膜 107 を介して重なるように設ける。また、コントロールゲート電極

50

110は、全てのフローティングゲート電極108に対して共通とし、第2のゲート絶縁膜109を介して重なるように設ける。つまり、一つのメモリトランジスタの内部に、ソース領域103、ドレイン領域104およびコントロールゲート電極110を共有する複数のメモリトランジスタが組み込まれた構造となる。本明細書では、本願発明のピニング型メモリトランジスタに並列に組み込まれたメモリトランジスタをサブメモリトランジスタと呼ぶ。

【0053】

個々のフローティングゲート電極108はまた、第1のゲート絶縁膜107を介してピニング領域105の一部と重なる構造とする。また、一つのピニング領域に対して、2つ以上のフローティングゲート電極が同時に重ならないような構造とする。フローティングゲート電極とピニング領域が重なる領域をオーバーラップ領域と呼ぶ。

10

【0054】

なお、第1のゲート絶縁膜107の膜厚は6～20nmとすることが望ましい。また、フローティングゲート電極108およびコントロールゲート電極110は、それぞれ多結晶シリコン層を用いることが好ましい。勿論、多結晶シリコン層の代わりに金属膜などの導電層を用いることも可能である。層間膜としてSiO₂/SiN/SiO₂で表される様な積層膜（ONO膜と呼ばれる）を用いることも有効である。

【0055】

なお、図1に示したピニング型メモリトランジスタは、3つのフローティングゲート電極を有する構造、言い換えると、3つのサブメモリトランジスタを有する構造となっているが、本願発明はこの構造に限定されない。一般にk個（kは1以上の整数）のフローティングゲート電極（あるいはサブメモリトランジスタ）を有する構造であっても構わない。

20

【0056】

本願発明の不揮発性メモリは、以上のような素子構造を有するメモリトランジスタを用いることによって、主に2つの優れた特徴を有する。一つは、メモリトランジスタの多値化を実現できることであり、不揮発性メモリの高集積化において極めて有効である。もう一つは、トランジスタとしての性能向上に寄与するものであり、勿論、メモリトランジスタにおいても性能向上に寄与する。特に、短チャネル効果を抑止する効果は微細化を進める上で不可欠であり、不揮発性メモリの高集積化において非常に重要である。

【0057】

従って、本願発明は、極めてサイズが小さいメモリトランジスタに対して有効である。具体的には、チャネル長（L）が0.01～1μm（好ましくは0.01～0.5μm）である場合に有効である。ピニング幅は0.01～1μm（好ましくは0.01～0.3μm）とすれば良い。また、チャネル幅はどのような場合にも対応できるが、本願発明では特に大電流を流す必要がないので、0.01～1μm（好ましくは0.01～0.5μm）とすれば良い。

30

【0058】

ピニング領域の効果を説明する前に、まず、ピニング領域を含む活性領域のエネルギーバンドの考察を行う。図4（A）及び（B）はそれぞれ、nチャネル型及びpチャネル型のピニング型メモリトランジスタにおける活性領域のチャネル幅方向のエネルギーバンド図を模式的に表したものである。図4（A）及び（B）において、それぞれ領域401及び403がピニング領域、領域402及び404がチャネル形成領域を表している。

40

【0059】

まず、チャネル形成領域402、404は真性または実質的に真性である。従って、フェルミ準位E_fはエネルギーギャップE_gのほぼ中央に位置する。

【0060】

なお、真性な領域とはN型やP型を付与する不純物元素および炭素、窒素、酸素といった不純物元素を意図的に添加しない領域と呼ぶ。例えば、高度な精製技術でI型シリコン基板（真性シリコン基板）を作製し、それを用いた場合に真性なチャネル形成領域を得られる。また、実質的に真性な領域とは、基本的にはアンドープな単結晶半導体領域を指す。

50

その他、逆導電型の不純物元素を添加することにより意図的に導電型を相殺させた領域、しきい値電圧の制御が可能な範囲において一導電型を有する領域を含む。例えば、ドーパント濃度が $5 \times 10^{16} \text{atoms/cm}^3$ 以下（好ましくは $5 \times 10^{15} \text{atoms/cm}^3$ 以下）であり、含有する炭素、窒素、酸素の濃度が $2 \times 10^{18} \text{atoms/cm}^3$ 以下（好ましくは $5 \times 10^{17} \text{atoms/cm}^3$ 以下）である単結晶シリコンは実質的に真性であると言える。そういった意味で一般的に IC で用いられるシリコンウェハはプロセス過程で意図的に不純物を添加しない限り実質的に真性である。

【0061】

一方、ピニング領域 401、403 は、n チャネル型メモリトランジスタでは 13 族から選ばれた元素によって、p チャネル型メモリトランジスタでは 15 族から選ばれた元素によって、それぞれ形成されている。13 族から選ばれた元素は電子のアクセプター準位を供給し、15 族から選ばれた元素は電子のドナー準位を供給するため、n チャネル型メモリトランジスタではピニング領域 401 のエネルギーバンドが伝導帯側にシフトし、p チャネル型メモリトランジスタではピニング領域 403 のエネルギーバンドが価電子帯側にシフトする。その結果、図 4 に示すようなエネルギーバンドの模式図が得られる。

10

【0062】

図 4 からわかるように、n チャネル型および p チャネル型のいずれの場合においても、ピニング領域は、多数キャリア（n チャネル型では電子、p チャネル型は正孔）にとってのエネルギー障壁を形成し、逆に、少数キャリア（n チャネル型では正孔、p チャネル型は電子）にとってはエネルギー的に安定な領域を形成している。なお、エネルギー障壁の高さ ΔE は不純物元素の添加濃度によって変化する。本願発明では、この不純物元素の濃度を $1 \times 10^{17} \sim 5 \times 10^{20} \text{atoms/cm}^3$ （好ましくは $1 \times 10^{18} \sim 5 \times 10^{19} \text{atoms/cm}^3$ ）の範囲で調節する。

20

【0063】

ピニング領域は、多数キャリアに対するエネルギー障壁を形成しているため、多数キャリアはそれぞれのチャネル形成領域を優先的に移動する。その結果、ソース領域からドレイン領域に渡ってストライプ状のピニング領域を設けた場合、ピニング領域によって多数キャリアの移動経路が規定されるという効果が得られる。多値メモリトランジスタではこの複数の移動経路に 1 値または 1 ビットのデータを割り当てる。

【0064】

まず最初に、ピニング領域による効果として、メモリトランジスタのトランジスタとしての効果について簡単に説明する。なお、トランジスタにおいてピニング領域を設ける手法は、特開平 10-65162 号公報に開示されており、詳細については同公報を参照することができる。

30

【0065】

第 1 に、ピニング領域は、ドレイン側から広がる空乏層に対してストッパーとして働き、空乏層の広がりを効果的に抑止する。従って、空乏層の広がりによるパンチスルー現象が防止される。また、空乏層の広がりによる空乏層電荷の増加が抑制されるため、サブスレッショルド特性が向上するとともに、しきい値電圧の低下も避けられる。

【0066】

第 2 に、チャネル幅を狭くすることによって、しきい値電圧を増加させることができる。既に述べたように、ピニング領域は多数キャリアにとってのエネルギー障壁を形成している。チャネル幅を狭めると、このエネルギー障壁のチャネル形成領域への浸み出しが無視できなくなり、しきい値電圧が増加する。これは狭チャネル効果の一つとして知られている現象である。狭チャネル効果はチャネル幅が狭くなるほど顕著に現れる。

40

【0067】

このように、本願発明では、短チャネル効果を抑止すると共に、ピニング領域に添加する不純物濃度やチャネル幅を自由に設計することで狭チャネル効果の強弱を制御し、しきい値電圧を調節することが可能である。

【0068】

50

第3に、本願発明において、チャンネル形成領域が実質的に真性な領域で構成されているという利点がある。キャリアの移動する領域が実質的に真性であるため、不純物散乱による移動度の低下は極めて小さくなり、高いキャリア移動度が得られる。その結果、本願発明の不揮発性メモリにおいては、特に読み出し時間が大幅に短縮される。

【0069】

第4に、ピニング領域は、インパクトイオン化（衝突電離）による寄生バイポーラの導通を防止する役割を持つ。これは、ピニング領域が少数キャリアにとってエネルギー的に安定な領域を形成しており、インパクトイオン化によって発生した少数キャリアが、ただちにピニング領域内へと移動し配線へ引き抜かれるためである。そのため、従来のように基板の電位を変化させ寄生バイポーラを導通させる様なことはなく、ソースドレイン間耐圧の低下もない。

10

【0070】

このように、ピニング領域を形成することによって、短チャンネル効果の抑止を始めとする様々な優れた効果が得られる。

【0071】

次に、本願発明のキーポイントである、ピニング型メモリトランジスタの多値化について述べる。本願発明のメモリトランジスタは、ピニング領域によって形成される複数のチャンネル形成領域を応用した多値メモリトランジスタである。

【0072】

その特徴として、個々のピニング領域から配線を引き出すことで独立に電位を与えられる構造としている点と、それぞれのフローティングゲート電極がピニング領域と第1のゲート絶縁膜を介して一部分重なった領域（オーバーラップ領域）を形成している点が挙げられる（図1参照）。

20

【0073】

従って、図1に示したピニング型メモリトランジスタは、図5に示すような等価回路で表すことができる。図5において、PTはピニング型メモリトランジスタ、ST1、ST2およびST3はサブメモリトランジスタである。Vdはドレイン電圧、Vsはソース電圧、Vcgはコントロールゲート電圧、Vp0、Vp1、Vp2及びVp3はピニング領域の電位（以下、ピニング電位という）を示している。

【0074】

図5に示したピニング型メモリトランジスタは、3つのサブメモリトランジスタからなるが、本願発明はこの構造に限定されるものではない。一般に、k個（kは1以上の整数）のサブメモリトランジスタを有する構造であっても構わない。

30

【0075】

次に図5を用いて、本願発明の多値メモリトランジスタの動作方法について述べる。本願発明の多値メモリトランジスタでは、データの書き込みと消去をトンネル電流によって行う。また、読み出し方法として、一つのフローティングゲート電極に1値を割り当てる方法（1値／FG方式）と、1ビットを割り当てる方法（1ビット／FG方式）について述べる。1ビット／FG方式は集積度において有利である。一方、1値／FG方式は、読み出しのマージンや信頼性において優れている。

40

【0076】

本願発明の多値メモリトランジスタでは、フローティングゲート電極への電子の注入と放出はトンネル電流によって行う。そして、メモリトランジスタがnチャンネル型である場合には、電子の注入は個々のフローティングゲートに対して行い、電子の放出は一つのメモリトランジスタを構成するフローティングゲート電極から一斉に行う。具体的には、電子の注入は、コントロールゲート電極と選択するフローティングゲート電極に一部重なるピニング領域との間に電位差を与えることによって行い、電子の放出は、コントロールゲート電極と一つまたは複数のピニング領域との間に電位差を与えることによって行う。電子の放出時には、チャンネル形成領域にp型の反転層が形成されるため、全てのフローティングゲート電極から電子が放出される。

50

【0077】

また、メモリトランジスタがpチャネル型である場合には、電子の放出を個々のフローティングゲートから行い、電子の注入は全てのフローティングゲート電極に対して行う。つまり、電子の放出は、コントロールゲート電極と選択するフローティングゲート電極に一部重なるピニング領域との間に電位差を与えることによって行い、電子の注入は、コントロールゲート電極と一つまたは複数のピニング領域との間に電位差を与えることによって行う。電子の注入時には、チャネル形成領域にn型の反転層が形成されるため、全てのフローティングゲート電極に対して電子が注入される。

【0078】

読み出し方法は、それぞれのフローティングゲート電極に1値のデータを割り当てる場合（1値／FG方式）と、1ビットのデータを割り当てる場合（1ビット／FG方式）の2方式の説明を行う。1値／FG方式では、読み出し時にコントロールゲート電極に適切な電位を与える。その結果、フローティングゲート電極の電荷の蓄積状態に依存してチャネル形成領域にチャネルが形成され、形成されたチャネルの数に比例する電流量が読み出される。1値／FG方式では、k個のフローティングゲート電極（kは1以上の整数）に対して、（k+1）値のデータを格納することができる。

10

【0079】

1ビット／FG方式では、コントロールゲート電極に適切な電位を与えると同時に、選択するチャネル形成領域を挟む2つのピニング領域と他のピニング領域との間に適切な電位差を与えることが必要である。この読み出し方法は、狭チャネル効果に見られるしきい値電圧の変化と同様な効果を応用したものであり、チャネル形成領域を挟む2つのピニング領域に電圧を印加すると、チャネル形成領域のしきい値電圧がシフトする特性を利用している。例えば、nチャネル型メモリトランジスタの場合には、選択するチャネル形成領域を挟む2つのピニング領域以外のピニング領域に負の電圧を、pチャネル型メモリトランジスタの場合には、選択するチャネル形成領域を挟む2つのピニング領域以外のピニング領域に正の電圧を印加する。その結果、コントロールゲート電極には、選択しないチャネル形成領域が全てオフとなり、選択するチャネル形成領域はフローティングゲート電極の電荷蓄積状態を反映してオンまたはオフとなるような電圧を印加することが可能となり、一つのフローティングゲート電極あたり1ビットの情報を記憶することが可能となる。

20

【0080】

なお、1ビット／FG方式では、特にチャネル幅が狭いことが必要であり、チャネル形成領域の幅は0.01～1μm（好ましくは0.01μm～0.5μm）であることが望ましい。

30

【0081】

図5に示した等価回路に基づいて、本願発明のnチャネル型及びpチャネル型の多値メモリトランジスタの動作電圧の一例を、それぞれ表1及び表2にまとめる。なお、表1及び表2には、図5に示した等価回路に対応して3個のフローティングゲート電極を有するピニング型メモリトランジスタの動作電圧を示すが、一般にk個（kは1以上の整数）のフローティングゲート電極を有する場合についても同様の動作を行えばよい。勿論、表1及び表2の動作電圧は一例であって、動作電圧は表1及び表2の値に限定される必要はない。

40

【0082】

【表1】

	Vd	Vcg	Vs	Vp0	Vp1	Vp2	Vp3	動作の対象
書き込み	0	6	0	0	-6	0	0	ST1
	0	6	0	0	0	-6	0	ST2
	0	6	0	0	0	0	-6	ST3
消去	6	-6	6	6	6	6	6	PT
読み出し 1値／FG方式	1	5	0	0	0	0	0	PT
読み出し 1ビット／FG方式	1	5	0	0	-1	-5	-5	ST1
	1	5	0	-7	0	0	-7	ST2
	1	5	0	-5	-5	-1	0	ST3

10

20

【0083】

【表2】

	Vd	Vcg	Vs	Vp0	Vp1	Vp2	Vp3	動作の対象
書き込み	0	-6	0	0	6	0	0	ST1
	0	-6	0	0	0	6	0	ST2
	0	-6	0	0	0	0	6	ST3
消去	-6	6	-6	-6	-6	-6	-6	PT
読み出し 1値／FG方式	-1	1	0	0	0	0	0	PT
読み出し 1ビット／FG方式	-1	1	0	0	1	6	5	ST1
	-1	1	0	7	0	0	7	ST2
	-1	1	0	5	6	1	0	ST3

30

40

【0084】

本願発明の多値不揮発性メモリは、様々なEEPROMに適用することが可能である。メモリ素子ごとのデータ消去が可能なフル機能EEPROM、およびブロック毎に一括消去を行うフラッシュメモリのどちらのタイプのEEPROMに対しても適用することができる。フラッシュメモリに適用する場合には、さらにNOR型、NAND型、あるいは他の公知の型に対応する回路構成を採用することが可能である。ただし、本願発明においては

50

、ピニング線と呼ばれる多値を制御する配線を有する点において従来の回路構成とは異なっている（実施例3、5参照）。

【0085】

また、本実施例ではスタック型のメモリトランジスタについて述べたが、本願発明はスプリットゲート構造のメモリトランジスタに対しても適用することが可能である（実施例2参照）。

【0086】

さらに、本願発明のメモリトランジスタは、ホットエレクトロン書き込みを行うことも可能である。具体的には、書き込みを行うチャネル形成領域を挟む2つのピニング領域に電圧を印加することによって、選択したチャネル形成領域のみにおいてインパクトイオン化を発生させればよい。例えばnチャネル型の場合に、ドレイン領域のチャネル長方向の方向電界を大きくするためには、2つのピニング領域の電位を他のピニング領域の電位よりも高くするとよい。

【0087】

この他、フローティングゲート電極とソース領域あるいはドレイン領域とのオーバーラップ領域を形成することにより、ソース側あるいはドレイン側からのトンネル電流による電子の注入や放出を行うことも可能である。

【0088】

また、本願発明において、メモリトランジスタと一体形成される駆動回路および他の周辺回路を構成するトランジスタ、あるいは半導体装置においてメモリ部と一体形成される他の回路を構成するトランジスタに対しても、ピニング領域を設けることは有効である。これにより、メモリセル以外の回路においても、短チャネル効果の抑制およびその他のピニング領域による効果を得ることが可能となる。

【0089】

（実施例1）

本実施例では、本願発明の不揮発性メモリの作製方法について述べる。本願発明のピニング型メモリトランジスタは、ピニング領域を除けば、基本的にはソース領域、ドレイン領域、チャネル形成領域、フローティングゲート電極、コントロールゲート電極によって構成されているので、微細加工が可能な範囲で、公知の作製方法を用いることができる。

【0090】

特に、従来のメモリトランジスタの作製方法と同様に、第1のゲート絶縁膜は熱酸化工程によって良質の膜を形成することが好ましく、また、層間膜として $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ で表される様な積層膜（ONO膜と呼ばれる）を用いることが望ましい。勿論、他の絶縁膜を用いることも可能である。

【0091】

作製方法の観点から見た場合、本願発明のピニング型メモリトランジスタの特徴は、ピニング領域と呼ばれる不純物領域を形成する点と、素子サイズが極めて小さいメモリトランジスタを対象にしているという点にある。例えば、ピニング領域に関して言えば、フローティングゲート電極と第1のゲート絶縁膜を介して一部重なる構造とすることや、ソース領域およびドレイン領域を横切る構造とすることなどに特徴がある。また、素子サイズに関して言えば、フローティングゲート電極、ピニング領域およびチャネル形成領域の加工寸法として典型的には、 $0.01 \sim 1 \mu\text{m}$ のサイズで形成しなくてはならない。フローティングゲート電極とピニング領域との間のオーバーラップ構造はさらに微細な構造が必要である。

【0092】

このような極微細な構造を作製するためには、一般的にはセルフアライン方式が非常に有効である。本願発明のピニング型メモリトランジスタにおいても、ピニング領域、オーバーラップ領域、ソース領域およびドレイン領域の形成にはセルフアライン方式を用いることが望ましい。具体的にはまず、ピニング領域の形成は、まずフローティングゲート電極の極微細加工を行い、これをマスクとして、イオンインプランテーション法によってセル

10

20

30

40

50

フライン方式で形成する。特に、フローティングゲート電極とピニング領域との間にオーバーラップ領域を形成する場合には、イオンインプランテーション法による斜め打ち込みを行えばよい。

【0093】

なお、フローティングゲート電極の極微細加工は、 $0.15\text{ }\mu\text{m}$ 程度までのパターンに関してはステッパーやスキャン露光装置によってレジストによるマスクパターンを形成することができる。一方、パターンサイズが $0.15\text{ }\mu\text{m}$ 以下になると、電子描画法によるマスクパターンの形成が必要となる。マスクパターンの形成後はICP等によるドライエッチングを行うことが好ましい。

【0094】

なお、ピニング領域への不純物の打ち込みは、基板に対して垂直方向への高エネルギー打ち込みと斜め方向への低エネルギー打ち込みに分けてもよいし、基板に対して斜め方向への高エネルギー打ち込みを一度で行う方法でも良い。

【0095】

ピニング領域に添加した不純物元素はファーネスアニール、レーザーアニール、ランプアニール等で活性化を行うことが好ましい。特に、不純物の拡散を最小限に抑えるためには、RTA法による活性化が好ましい。

【0096】

次に、ソース領域、ドレイン領域およびピニング領域から配線を引き出す領域におけるピニング領域の形成について述べる。ピニング領域がドレイン領域を横切る場合の断面構造の一例は、図3に示されており、実施の形態において説明した。ピニング領域は微細な構造であるからやはりセルフアライン方式によって作製するのが好ましい。従って、最初にソース領域、ドレイン領域等、活性領域以外でピニング領域を形成する必要のある領域においても、フローティングゲート電極を適切な形に微細加工する。そして、フローティングゲート電極をマスクとして、イオンインプランテーション法によって、活性領域内のピニング領域と同時に形成することが好ましい。

【0097】

最終的には、活性領域以外フローティングゲート電極は取り除かれる。レジストをマスクとしてもよいし、コントロールゲート電極をマスクとして取り除くこともできる。

【0098】

また、ソース領域およびドレイン領域への不純物ドーピングはコントロールゲート電極をマスクとするセルフアライン方式によって行われる。このとき、ソース・ドレイン領域への打ち込み深さは、ピニング領域の深さよりも浅くなるように調節する。また、ソース・ドレイン領域がピニング領域によって分断されないように、ソース・ドレイン領域の不純物濃度はピニング領域の不純物濃度よりも濃くする必要がある。このようにして、図3に示した断面構造が形成される。なお、ソース・ドレイン領域への打ち込み深さを、ピニング領域の深さよりも浅くすることは、ドレイン領域の空乏層の広がりを効果的に抑える目的においても重要である。

【0099】

なお、ソース領域およびドレイン領域がピニング領域によって分断される場合には、コンタクトホール形成後に、まずソース・ドレイン領域と同じ導電型の不純物（代表的には、n型ならば、リン、p型ならばボロン）を含むポリシリコンを成膜したのちに、アルミニウム等の金属膜を成膜することによって、ソース領域およびドレイン領域コンタクトを取ることができる。

【0100】

本実施例では、本願発明のピニング型メモリトランジスタの作製方法において、特に、ピニング領域の作製方法と、極微細加工に関して述べた。これらのプロセスを公知のメモリトランジスタ作製プロセスに適切に組み込むことによって、本願発明の不揮発性メモリを作製することが可能となる。勿論、実施の形態で説明したピニング型メモリトランジスタの構造、あるいは実施例3、5で説明する回路構造を作製する方法であれば、どのような

10

20

30

40

50

作製方法であっても構わない。

【0101】

(実施例2)

本実施例では、実施の形態で示したピニング型メモリトランジスタの構成(図1参照)とは異なる例として、スプリットゲート構造を有するピニング型メモリトランジスタの構成例を、図6を用いて説明する。

【0102】

なお、フローティングゲート電極およびコントロールゲート電極の構造を除いた領域に関しては、図1に示したスタックゲート型メモリトランジスタと同じ構造であり、図1の説明に用いた符号を利用する。即ち、図6において図1と同じ符号のついた部分は図1の説明を参照すれば良い。本実施例では、特にフローティングゲート電極およびコントロールゲート電極についての説明を行う。

10

【0103】

スプリットゲート構造とは、図6に示す通り、コントロールゲート電極610の一部が活性領域上に第1のゲート絶縁膜を介して直接積層されている構造をいう。従って、チャンネル形成領域は、第1のゲート絶縁膜を介してフローティングゲート電極608が形成されている領域と、コントロールゲート電極が形成されている領域とに分けられる。

【0104】

図14に、図6に示したスプリットゲート構造のピニング型メモリトランジスタの等価回路を示す。スプリットゲート構造のピニング型メモリトランジスタの動作方法は、スタック構造のピニング型メモリトランジスタの動作方法と同様で良い。スプリットゲート構造を用いる利点は、チャンネル形成領域上にコントロールゲート電極が形成されている領域が選択トランジスタとして機能する点にある。つまり、ピニング型メモリトランジスタの選択性を高める働きと、読み出し時において、非選択セルが過消去状態であってもオフの状態を保つ働きとがある。

20

【0105】

なお、スプリットゲート構造のピニング型メモリトランジスタは、基本的にはスタック構造のピニング型メモリトランジスタと同じ工程でもって作製できる。つまり、実施例1に示したプロセスを用いて作製することが可能である。

【0106】

(実施例3)

本実施例では、本願発明の多値メモリトランジスタを、NAND型フラッシュメモリに応用した回路の説明を行う。ただし、本願発明では、ピニング線と呼ばれる多値を制御する配線を有する点、これに伴い書き込み、消去、読み出しの方式が異なる点、等において、従来のNAND型フラッシュメモリとは異なる。

30

【0107】

図7は、メモリセルが縦8×横n個(nは1以上の整数)のマトリクス状に配列されたNAND型のメモリセルアレイの回路図である。各メモリセルはそれぞれ、四角の破線で囲まれた一つのピニング型メモリトランジスタによって構成されている。

【0108】

本実施例では、各ピニング型メモリトランジスタが3つのフローティングゲート電極を有する場合について説明を行うが、一般にk個(kは1以上の整数)のフローティングゲート電極を有する場合についても、本実施例を適用することは容易である。また、本実施例では、縦8個×横n個のメモリセルアレイについて説明を行うが、この構成に限定する必要はない。なお、メモリトランジスタ(1,1)~(n,m)はnチャンネル型またはpチャンネル型のいずれの導電型トランジスタでも良いが、本実施例では、nチャンネル型トランジスタとする。

40

【0109】

図7において、同じ列に配置されたピニング型メモリトランジスタ(例えば第1列の(1,1)~(1,8))は直列に接続されている。また、同じ行に配置されたピニング型メ

50

モリトランジスタ（例えば、第1行の（1，1）～（n，1））、は、それぞれのコントロールゲート電極が一つのワード線W1に接続されている。

【0110】

なお、ピニング型モリトランジスタを直列に接続するとは、ピニング型モリトランジスタを構成するサブモリトランジスタおよびピニング領域を、それぞれ直列に接続することを意味する。また、ピニング型モリトランジスタのコントロールゲート電極は、ピニング型モリトランジスタを構成するサブモリトランジスタ全てに共通である。

【0111】

直列に接続された8つのピニング型モリトランジスタ（例えば第1列の（1，1）～（1，8））の両端には、選択用トランジスタ（1，0）及び（1，9）が直列に接続されている。つまり、第1行目のメモリセルの上には、選択用トランジスタ（1，0）～（n，0）が、第8行目のメモリセルの下には、選択用トランジスタ（1，9）～（n，9）がそれぞれ配置されている。選択用トランジスタ（1，0）～（n，0）のソース電極及びドレイン電極の残る一方にはビット線B1～Bnが接続されており、ゲート電極には選択用ゲート線S1が接続されている。また、選択用トランジスタ（1，9）～（n，9）のソース電極及びドレイン電極の残る一方には共通のソース電位Vsが与えられており、ゲート電極には選択用ゲート線S2が接続されている。

10

【0112】

そして、直列に接続された8つのピニング型モリトランジスタ（例えば第1列の（1，1）～（1，8））が有する4つのピニング領域は、それぞれピニング線P（1；0）、P（1；1）、P（1；2）、P（1；3）に接続されている。

20

【0113】

このように構成された本願発明の不揮発性メモリの動作方法について述べる。本願発明では、実施の形態で説明したように、書き込みと消去はフローティングゲート電極とピニング領域間のトンネル電流によって行い、読み出し方法は1値／FG方式または1ビット／FG方式を用いることができる。1値／FG方式の場合、本実施例の不揮発性メモリは各メモリセルに4値、つまり2ビットのデータを格納することができるので、 $8 \times n \times 2$ ビットの記憶容量を有する。また、1ビット／FG方式の場合、本実施例の不揮発性メモリは各メモリセルに3ビットを格納することができるので、 $8 \times n \times 3$ ビットの記憶容量を有する。なお、書き込みと消去は、一行同時書き込みと一括消去について説明する。

30

【0114】

なお、従来のNAND型フラッシュメモリでは、書き込み方法と消去方法はフローティングゲート電極とチャネル形成領域全面（ウェル）間のトンネル電流によって行われるが、本願発明ではそのようなウェル電位を制御する必要はない。また、トンネル電流はオーバーラップ領域を用いるため、チャネル領域全面を用いる従来方法と比較してカップリング比を大きく取ることが可能であり、低い動作電圧を実現することができる。

【0115】

本実施例において、“0”の状態とはモリトランジスタのフローティングゲート電極に電荷が蓄積されている状態を指し、“1”の状態とはモリトランジスタのフローティングゲート電極に電荷が蓄積されていない状態を指す。また、“0”の状態のモリトランジスタのしきい値電圧は0.5V～3Vであるとし、“1”の状態のモリトランジスタのしきい値電圧は-1V以下であるとする。

40

【0116】

まず、一行同時書き込みについて述べる。具体例として、一行目のピニング型モリトランジスタ（1，1）～（n，1）を取り上げ、モリトランジスタ（1，1）を構成するサブモリトランジスタ（1，1；1）に“0”を、他のサブモリトランジスタ（1，1；2）および（1，1；3）に“1”を、またモリトランジスタ（2，1）～（n，1）を構成する全てのサブモリトランジスタに“1”を書き込む場合を説明する。なお、書き込む直前は全て“1”の状態とする。

【0117】

50

まず、ピニング線 $P(1; 1)$ とソース電位 V_s を GND に落とし、ピニング線 $P(1; 0)$ 、 $P(1; 2)$ 、 $P(1; 3)$ を $7V$ とする。また、選択用ゲート線 S_1 、 S_2 にそれぞれ $0V$ を印加し、選択用トランジスタ $(1, 0) \sim (n, 0)$ および $(1, 9) \sim (n, 9)$ をオフの状態にする。そしてワード線 W_1 に $15V$ 、ワード線 $W_2 \sim W_8$ に $7V$ を印加すると共に、ビット線 $B_1 \sim B_n$ に $0V$ を印加する。

【0118】

その結果、メモリトランジスタ $(1, 1)$ においては、サブメモリトランジスタ $(1, 1; 1)$ のフローティングゲートーピニング領域間にのみ高電圧（約 $15V$ ）が印加され、トンネル電流によるフローティングゲートへの電荷注入が行われ、“0”が書き込まれる。サブメモリトランジスタ $(1, 1; 2)$ 、 $(1, 1; 3)$ および、メモリトランジスタ $(2, 1) \sim (n, 1)$ を構成するピニング領域とフローティングゲート間には高々 $8V$ の電位差が生じるだけであり、フローティングゲートへの電荷注入は行われない。つまり、サブメモリトランジスタ $(1, 1; 2)$ 、 $(1, 1; 3)$ およびメモリトランジスタ $(2, 1) \sim (n, 1)$ は“1”の状態のままとなる。また、一行目以外のメモリトランジスタについても、フローティングゲートーピニング領域間に高々 $7V$ の電位差が生じるだけであり、フローティングゲートへの電荷注入は行われない。このようにして、一行同時書き込みが行われる。

10

【0119】

次に、メモリトランジスタ $(1, 1)$ からの1値／FG方式の読み出しについて説明する。まず、ピニング線 $P(1; 0) \sim P(1; 3)$ を GND に落とし、ワード線 W_1 に $0V$ 、ワード線 $W_2 \sim W_8$ に $5V$ を印加する。これにより、2行目から8行目のメモリトランジスタは全てオンの状態となる。また、1行目のメモリトランジスタは、“1”の状態のサブメモリトランジスタがオンの状態となり、“0”の状態のサブメモリトランジスタがオフの状態となる。つまり、直列に接続された8つのメモリトランジスタの電流量は、1行目のメモリトランジスタ $(1, 1)$ を構成する“1”の状態のサブメモリトランジスタの数によって決まることになる。そして、選択用ゲート線 S_1 、 S_2 に $5V$ を印加し、選択用トランジスタをオンの状態とすると共に、ソース電位 V_s を GND に落すことにより、ビット線 B_1 を通して、メモリトランジスタ $(1, 1)$ に格納された4値のデータの読み出すことが可能となる。

20

【0120】

次に、メモリトランジスタ $(1, 1)$ からの1ビット／FG方式の読み出しについて説明する。最初に、サブメモリトランジスタ $(1, 1; 1)$ から選択的に1ビットの情報を読み出す方法を述べる。まず、ピニング線 $P(1; 0)$ 、 $P(1; 1)$ を GND に落とし、ピニング線 $P(1; 2)$ 、 $P(1; 3)$ に $-5V$ 、ワード線 W_1 に $0V$ を印加する。これにより、1行目のメモリトランジスタにおいて、サブメモリトランジスタ $(1, 1; 1)$ 以外は全てオフの状態となる。また、サブメモリトランジスタ $(1, 1; 1)$ は、“1”の状態であればオンの状態となり、“0”の状態であればオフの状態となる。一方、ワード線 $W_2 \sim W_8$ には $5V$ を印加する。これにより、2行目から8行目のメモリトランジスタにおいて、サブメモリトランジスタ $(1, 1; 1)$ と直列に接続するサブメモリトランジスタは全てオンの状態となる。その結果、直列に接続された8つのメモリトランジスタの導通、非導通は、サブメモリトランジスタ $(1, 1; 1)$ の状態で決まることになる。そして、選択用ゲート線 S_1 、 S_2 に $5V$ を印加し、選択用トランジスタをオンの状態とすると共に、ソース電位 V_s を GND に落すことにより、ビット線 B_1 を通して、サブメモリトランジスタ $(1, 1; 1)$ のデータを読み出すことが可能となる。全く同様にして、サブメモリトランジスタ $(1, 1; 2)$ 、 $(1, 1; 3)$ から、1ビットの情報を読み出すことが可能であり、メモリトランジスタ $(1, 1)$ から3ビットの情報を読み出すことが可能となる。

30

40

【0121】

一括消去を行う場合は、全てのワード線 $W_1 \sim W_8$ を $0V$ とし、全てのピニング線 $P(1; i) \sim P(n; i)$ ($i = 0 \sim 3$) を $15V$ とする。その結果、フローティングゲート

50

電極ーピニング領域間に高電位差が生じ、トンネル電流による消去が行われる。なお、選択用ゲート線 S 1、S 2 の電位は選択トランジスタがオフの状態となるように決める。

【0122】

勿論、上述した動作電圧の値は、一例であって、その値に限られるわけではない。実際に、メモリトランジスタに印加される電圧は、メモリトランジスタの半導体活性層の膜厚やコントロールゲート電極とフローティングゲート電極との間の容量等に依存する。そしてメモリトランジスタの動作電圧もそれに従って変化する。

【0123】

なお、メモリトランジスタへの書き込み時および読み出し時において、同じ列や行のメモリセルに電圧が印加されることによって、誤消去や誤書き込みが発生する場合がある。動作電圧は、このような書き込みストレスや読み出しストレスを最小限に抑え、誤消去や誤書き込みが発生しないように設定することが必要である。

10

【0124】

なお、本実施例の回路構成は、実施例 1 に示したプロセスを用いて作製することが可能である。特に、選択トランジスタに関しては他のサブメモリトランジスタと同様にフローティングゲート電極を加工して、セルフアラインによってピニング領域を形成した後に、フローティングゲート電極をエッチングで取り除けばよい。

【0125】

(実施例 4)

本実施例では、本願発明のピニング領域を用いた不揮発性メモリを構成するメモリセルの上面構造について説明する。図 8 には、実施例 3 に示した NAND 型フラッシュメモリを構成するメモリセルアレイの上面図の一例が示されている。

20

【0126】

図 8 に示した上面図は、2つのピニング型の選択トランジスタ 810 と 8つのピニング型メモリトランジスタ 811 (3つだけ表示) を直列してなるメモリセルアレイの上面図であり、領域 801 はフィールド酸化膜、領域 808 がピニング領域である。図 8 において、それぞれのピニング型メモリトランジスタ 811 は、フローティングゲート電極 805 を 3つ有しており、3つのサブメモリトランジスタ 812 によって構成されている。また、メモリトランジスタ 811 のコントロールゲート電極はワード線 804 を兼ねており、選択トランジスタ 810 のゲート電極は選択線 803 を兼ねている。選択線トランジスタのドレイン領域と配線 (ビット線) 809 はコンタクトホール 807 を介して電氣的に接続されている。

30

【0127】

なお、本実施例は実施の形態におけるメモリセルの上面図の一例である。勿論、実施例 3 において説明した回路構成と合致すれば、他のどのような上面図であっても構わない。

【0128】

(実施例 5)

本実施例では、本願発明の多値メモリトランジスタを、NOR 型フラッシュメモリに応用した回路の説明を行う。ただし、本願発明では、ピニング線と呼ばれる多値を制御する配線を有する点、これに伴い書き込み、消去、読み出しの方式が異なる点、等において、従来の NOR 型フラッシュメモリとは異なる。

40

【0129】

図 9 は、メモリセルが m 行 n 列 (m、n はそれぞれ 1 以上の整数) のマトリクス状に配列された NOR 型のメモリセルアレイの回路図である。各メモリセルはそれぞれ、四角の破線で囲まれた一つのピニング型メモリトランジスタによって構成されている。

【0130】

本実施例では、各ピニング型メモリトランジスタが 3つのフローティングゲート電極を有する場合について説明を行うが、一般に k 個 (k は 1 以上の整数) のフローティングゲート電極を有する場合についても、本実施例を適用することは容易である。また、メモリトランジスタ (1、1) ~ (n、m) は n チャンネル型または p チャンネル型のいずれの導電型

50

トランジスタでも良いが、本実施の形態では、 n チャネル型トランジスタとする。

【0131】

図9において、 i 番目の列 (i は1以上 n 以下の整数) に配置されている m 個のメモリセルを構成するピニング型メモリトランジスタ ($i, 1$)、($i, 2$) ~ (i, m) は、ドレイン電極にビット線 B_i が接続され、ソース電極にはソース電位 V_s が与えられている。また4つのピニング領域には、それぞれピニング線 $P(i; 0)$ 、 $P(i; 1)$ 、 $P(i; 2)$ 、 $P(i; 3)$ が接続されている。また、 j 番目の行 (j は1以上 m 以下の整数) に配置されている n 個のメモリセルを構成するメモリトランジスタ ($1, j$)、($2, j$) ~ (n, j) は、コントロールゲート電極にワード線 W_j が接続されている。

【0132】

このように構成された本願発明の不揮発性メモリの動作方法について述べる。本願発明では、実施の形態で説明したように、書き込みと消去はフローティングゲート電極とピニング領域間のトンネル電流によって行い、読み出し方法は1値/FG方式または1ビット/FG方式を用いることができる。1値/FG方式の場合、本実施例の不揮発性メモリは各メモリセルに4値、つまり2ビットのデータを格納することができるので、 $m \times n \times 2$ ビットの記憶容量を有する。また、1ビット/FG方式の場合、本実施例の不揮発性メモリは各メモリセルに3ビットを格納することができるので、 $m \times n \times 3$ ビットの記憶容量を有する。

【0133】

なお、本願発明の不揮発性メモリでは、トンネル電流による書き込みを行うため、ホットエレクトロン注入を行う従来のNOR型フラッシュメモリと比して、書き込みに必要な電流量は小さくてすむ。そのため、昇圧が容易であると共に、同時書き込みによる書き込みの高速化が可能となる。

【0134】

具体例として、図9におけるピニング型メモリトランジスタ ($1, 1$) への書き込み、読み出し、およびメモリ全体の一括消去について説明する。

【0135】

まず、ピニング型メモリトランジスタ ($1, 1$) を構成するサブメモリトランジスタ ($1, 1; 1$) への書き込みを行う場合は、ソース電位 V_s 、ビット線 $B_1 \sim B_n$ をGNDに落とし、ワード線 W_1 に正電圧 (例えば6V)、ピニング線 $P(1; 1)$ に負電圧 (例えば-6V) を印加する。また、 $P(1; 1)$ 以外のピニング線には0Vを印加する。その結果、サブメモリトランジスタ ($1, 1; 1$) のフローティングゲート-ピニング領域間のみ高い電位差 (約12V) が生じ、トンネル電流によるフローティングゲートへの電荷注入 (つまり書き込み) が行われる。ピニング型メモリトランジスタ ($1, 1$) を構成する他のサブメモリトランジスタ ($1, 1; 2$)、($1, 1; 3$) への書き込みも全く同様に行うことができる。

【0136】

次に、メモリトランジスタ ($1, 1$) からの1値/FG方式の読み出しについて説明する。まず、ソース電位 V_s およびピニング線 $P(1; 0) \sim P(1; 3)$ をGNDに落とし、ワード線 W_1 に所定の電位を印加する。その結果、メモリトランジスタ ($1, 1$) において、フローティングゲート電極に電荷が蓄積されていないサブメモリトランジスタがオンの状態となり、フローティングゲート電極に電荷が蓄積されているサブメモリトランジスタがオフの状態となる。つまり、メモリトランジスタ ($1, 1$) において形成されるチャネル幅の総和は、電荷が蓄積されていないフローティングゲート電極の数に比例する。このようにして、メモリトランジスタ ($1, 1$) に格納された4値のデータをビット線 B_1 から読み出す。

【0137】

次に、メモリトランジスタ ($1, 1$) からの1ビット/FG方式の読み出しについて説明する。最初に、サブメモリトランジスタ ($1, 1; 1$) から選択的に1ビットの情報を読み出す方法を述べる。まず、ソース電位 V_s およびピニング線 $P(1; 0)$ 、 $P(1; 1$

10

20

30

40

50

）をGNDに落し、ピニング線P（1；2）、P（1；3）に－5V、ワード線W1に所定の電位を印加する。その結果、1行目のメモリトランジスタにおいて、サブメモリトランジスタ（1，1；1）以外は全てオフの状態となる。また、サブメモリトランジスタ（1，1；1）は、フローティングゲート電極に電荷が蓄積されていなければオンの状態となり、フローティングゲート電極に電荷が蓄積されていればオフの状態となる。従って、サブメモリトランジスタ（1，1；1）に格納された1ビットのデータをビット線B1から読み出すことが可能となる。全く同様にして、サブメモリトランジスタ（1，1；2）、（1，1；3）からも、1ビットの情報を読み出すことが可能であり、メモリトランジスタ（1；1）から3ビットの情報を読み出すことが可能となる。

【0138】

10

なお、所定の電圧は、消去された状態（フローティングゲート電極に電子が蓄積されていない状態）におけるしきい値電圧と書き込まれた状態（フローティングゲート電極に電子が蓄積された状態）におけるしきい値電圧の間に設定すればよい。例えば、消去された状態のメモリトランジスタが0.5V以上3.5V以下のしきい値電圧を有し、書き込まれた状態のメモリトランジスタが、6.5V以上のしきい値電圧を有する場合には、所定の電圧として例えば5Vを用いることができる。

【0139】

なお、書き込み時および読み出し時において選択されていない信号線B2～Bn、W2～Wm、P（2；i）～P（n；i）（i＝0～3）の電位は全て0Vであるとする。

【0140】

20

メモリ全体の一括消去を行う場合、ソース電位Vs、ビット線B1～Bnおよびワード線W1～WmをGNDに落す。そして、ピニング線P（1；1）～P（n；3）に正電圧（例えば12V）を印加すると、全てのメモリトランジスタにおいて、フローティングゲート電極に蓄積されている電子がトンネル電流によってピニング領域へ注入され、記憶されていたデータが消去される。

【0141】

勿論、上述した動作電圧の値は、一例であって、その値に限られるわけではない。実際に、メモリトランジスタ（1，1）に印加される電圧は、メモリトランジスタの半導体活性層の膜厚やコントロールゲート電極とフローティングゲート電極との間の容量等に依存する。そしてメモリトランジスタ（1，1）の動作電圧もそれに従って変化する。

30

【0142】

なお、メモリトランジスタ（1，1）への書き込み時および読み出し時において、同じ列や行のメモリセルに電圧が印加されることによって、誤消去や誤書き込みが発生する場合がある。動作電圧は、このような書き込みストレスや読み出しストレスを最小限に抑え、誤消去や誤書き込みが発生しないように設定することが必要である。

【0143】

なお、本実施例の回路構成は、実施例1に示したプロセスを用いて作製することが可能である。また、実施例2に示したスプリットゲート構造のメモリトランジスタを用いることも可能である。

【0144】

40

（実施例6）

本実施例では、本願発明のピニング領域を用いた不揮発性メモリを構成するメモリセルの上面構造について説明する。図10（A）には、実施の形態に示したNOR型フラッシュメモリを構成するメモリセルアレイの上面図の一例が示されている。

【0145】

図10（A）に示した上面図は、実施例5に示したNOR型フラッシュメモリにおける2つの並列するピニング型メモリトランジスタを含む上面図であり、領域1001はフィールド酸化膜、領域1007がピニング領域である。図10（A）において、それぞれのピニング型メモリトランジスタ1009は、フローティングゲート電極1005を3つ有しており、3つのサブメモリトランジスタ1010によって構成されている。領域1011

50

はソース領域、1012はドレイン領域であり、ドレイン領域1012と配線（ビット線）1008とはコンタクトホール1006を介して電氣的に接続されている。また、メモリトランジスタ1009のコントロールゲート電極はワード線1004を兼ねている。

【0146】

なお、図10（A）において、実施例5に示した回路構造と合致するためには、2つのメモリトランジスタ間において、ピニング領域が電氣的に接続されると同時に、ソース・ドレイン領域は電氣的に非接続の状態である必要がある。このような構成とするためには、領域1003に不純物を添加しないで実質的に真性な領域を形成するか、さらに好ましくは、酸素等の不純物を添加して電子と正孔の両方にとって非導電性の不純物領域を形成するとよい。特に、酸素を添加した場合について、線分BB'に関する断面図を図10（B）

10

【0147】

なお、本実施例は実施の形態におけるメモリセルの上面図の一例である。勿論、実施例5において説明した回路構成と合致すれば、他のどのような上面図であっても構わない。

【0148】

（実施例7）

本実施例では本願発明の不揮発性メモリをワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用した場合の例について説明する。

【0149】

20

図11に示すのは、マイクロプロセッサの一例である。マイクロプロセッサは典型的にはCPUコア1101、キャッシュメモリ1102（RAMでも良い）、クロックコントローラ1103、フラッシュメモリ1104、キャッシュコントローラ1105、シリアルインターフェース1106、I/Oポート1107等から構成される。

【0150】

勿論、図11に示すマイクロプロセッサは簡略化した一例であり、実際のマイクロプロセッサはその用途によって多種多様な回路設計が行われる。

【0151】

図11に示すマイクロプロセッサではCPUコア1101、クロックコントローラ1103、キャッシュコントローラ1105、シリアルインターフェース1106、I/Oポート1107をCMOS回路で構成している。

30

【0152】

また、フラッシュメモリ1104には本願発明の不揮発性メモリが利用され、ピニング型メモリトランジスタを用いた多値フラッシュメモリが用いられている。フラッシュメモリ1104の回路構成としては、実施例3または5に示した回路構成を用いることができるし、他の回路構成を用いることもできる。なお、キャッシュメモリ1102に本願発明の不揮発性メモリを利用することも可能である。

【0153】

なお、CPUコア1101、クロックコントローラ1103、キャッシュコントローラ1105、シリアルインターフェース1106、I/Oポート1107を構成するCMOS回路に対して、本願発明で用いたピニング領域を設けることも有効である。CMOS回路を含むトランジスタにピニング領域を適用する場合の詳細については、例えば、特開平10-65162号公報を参照することができる。

40

【0154】

この様に、ピニング領域は回路設計の段階で必要箇所に設けることが可能であり、回路全体に利用するか、その一部に利用するかは実施者が適宜決定すれば良い。様々な性能が複合化されたハイブリッドICに本願発明を適用する場合においては、この様な回路設計の自由度が非常に有効である。

【0155】

（実施例8）

50

本願発明の不揮発性メモリはデータの記憶・読み出しを行う記録媒体として、あらゆる分野の電子機器に組み込むことが可能である。本実施例では、その様な電子機器について説明する。

【0156】

本願発明の不揮発性メモリを利用しうる電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ、ゴーグル型ディスプレイ、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図12、13に示す。

【0157】

図12（A）はディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。

本願発明は表示部2003やその他の信号制御回路に接続され、画像信号の補正や処理データの記憶に利用される。

【0158】

図12（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は内蔵のLSI基板に組み込まれ、画像データの記憶などの機能に利用される。

【0159】

図12（C）はヘッドマウントディスプレイの一部（右片側）であり、本体2201、信号ケーブル2202、頭部固定バンド2203、表示部2204、光学系2205、表示装置2206等を含む。本願発明は表示装置2206やその他の信号制御回路に接続され、画像信号の補正や処理データの記憶に利用される。

【0160】

図12（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2301、記録媒体2302、操作スイッチ2303、表示部（a）2304、表示部（b）2305等で構成される。なお、この装置は記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明は内蔵のLSI基板に組み込まれ、画像データや処理データの記憶などの機能に利用される。

【0161】

図12（E）はゴーグル型ディスプレイであり、本体2401、表示部2402、アーム部2403を含む。本願発明は表示部2402やその他の信号制御回路に接続され、画像信号の補正や処理データの記憶に利用される。

【0162】

図12（F）はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504等で構成される。本願発明は内蔵のLSI基板に組み込まれ、処理データや画像データの記憶に利用される。

【0163】

図13（A）は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本願発明は内蔵のLSI基板に組み込まれ、電話番号を記録するアドレス機能などを付加するために利用される。

【0164】

図13（B）は音響再生装置、具体的にはカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本願発明は内蔵のLSI基板に組み込まれ、画像データや処理データの記憶などの機能に利用される。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。

【0165】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用すること

10

20

30

40

50

が可能である。また、本実施例の電子機器は実施例 1～6 のどのような組み合わせからなる構成を用いても実現することができる。

【0166】

【発明の効果】

本願発明を利用することで、短チャネル効果などに代表される微細効果の影響を最小限に抑え、不揮発性メモリのさらなる微細化を進めることができる。

【0167】

また、本願発明によると、フローティングゲート電極の電荷蓄積量を制御する従来方式による多値技術とは全く異なる方式によってセルの多値化を行うことが可能であり、従来以上に多値化を進めることが可能となる。

10

【0168】

その結果、極めて集積密度の高い不揮発性メモリを実現することが可能となる。

【0169】

さらに、本願発明の集積密度の高い不揮発性メモリを搭載することによって、高機能、多機能化が可能な半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 本願発明の不揮発性メモリの全体構成を示す図。

【図2】 本願発明の不揮発性メモリの部分構成を説明する上面図。

【図3】 本願発明の不揮発性メモリの部分構成を説明する断面図。

【図4】 エネルギーバンドの変化を説明するための図。

20

【図5】 本願発明の不揮発性メモリの等価回路を示す図。

【図6】 本願発明の不揮発性メモリの全体構成を示す図。

【図7】 本願発明の不揮発性メモリの回路構成を示す図。

【図8】 本願発明の不揮発性メモリの上面図。

【図9】 本願発明の不揮発性メモリの回路構成を示す図。

【図10】 本願発明の不揮発性メモリの上面図。

【図11】 本願発明の不揮発性メモリを用いた半導体回路を示す図。

【図12】 本願発明の不揮発性メモリを用いた電子機器を示す図。

【図13】 本願発明の不揮発性メモリを用いた電子機器を示す図。

【図14】 本願発明の不揮発性メモリの等価回路を示す図。

30

【符号の説明】

101 シリコン基板

102 フィールド酸化膜

103 ソース領域

104 ドレイン領域

105 ピニング領域

106 チャネル形成領域

107 第1のゲート絶縁膜

108 フローティングゲート電極

109 第2のゲート絶縁膜

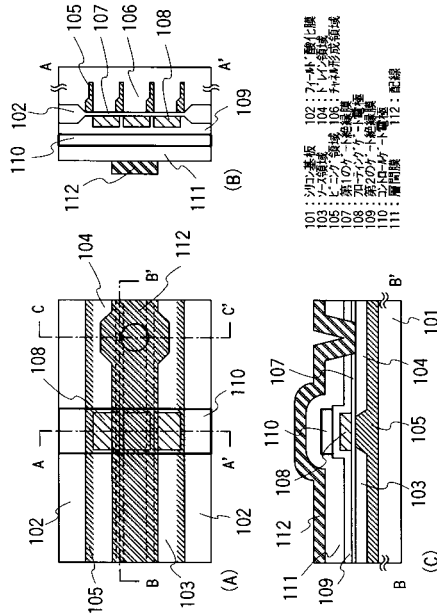
110 コントロールゲート電極

111 層間膜

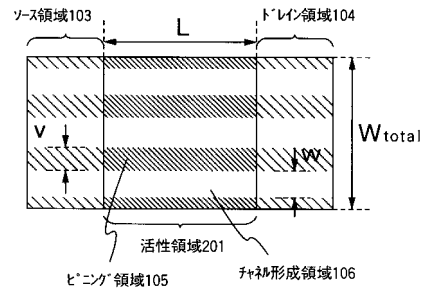
112 配線

40

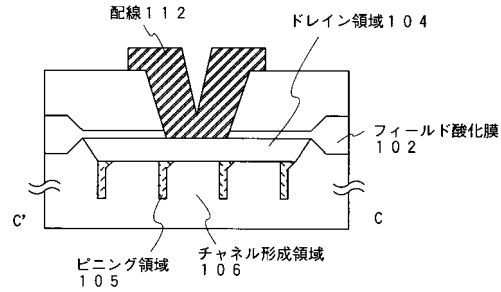
【図 1】



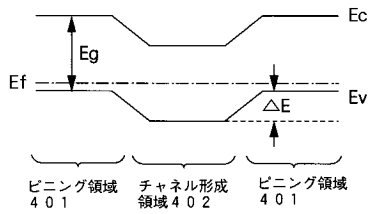
【図 2】



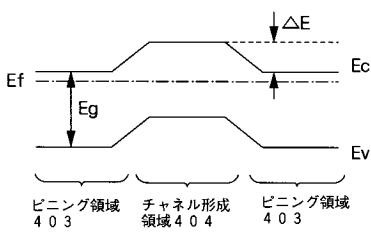
【図 3】



【図 4】

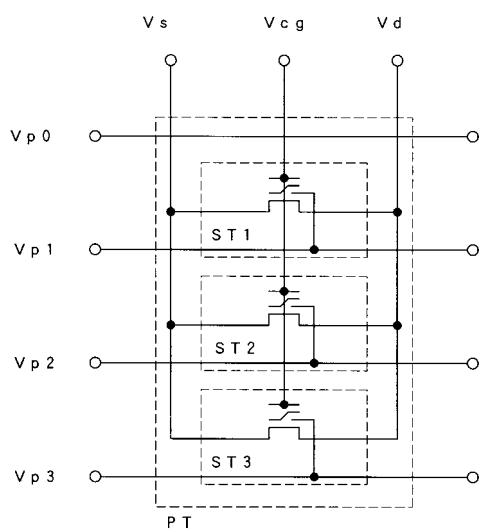


(A)



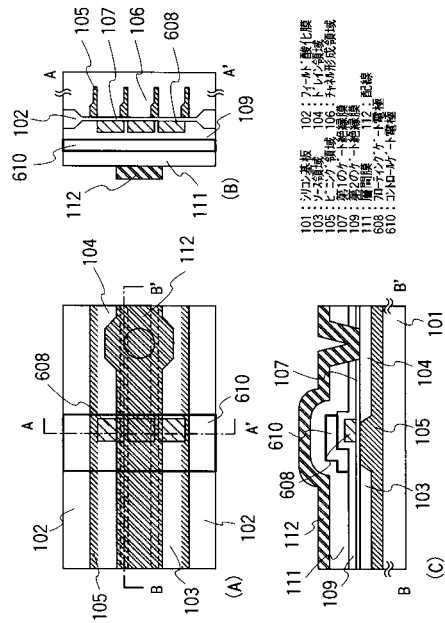
(B)

【図 5】

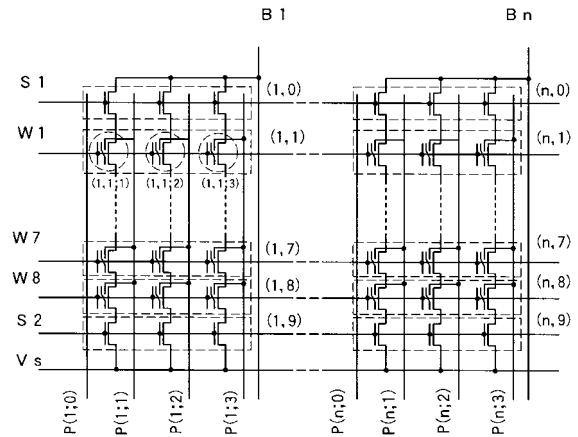


PT: ピニング型メモリトランジスタ
ST1, ST2, ST3: サブメモリトランジスタ

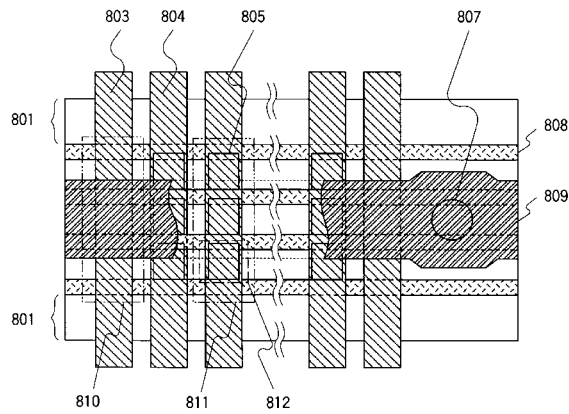
【図 6】



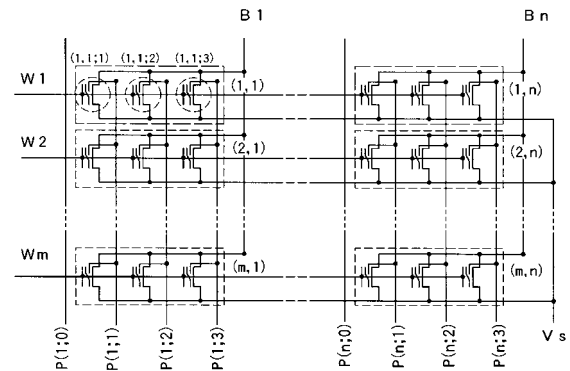
【図 7】



【図 8】

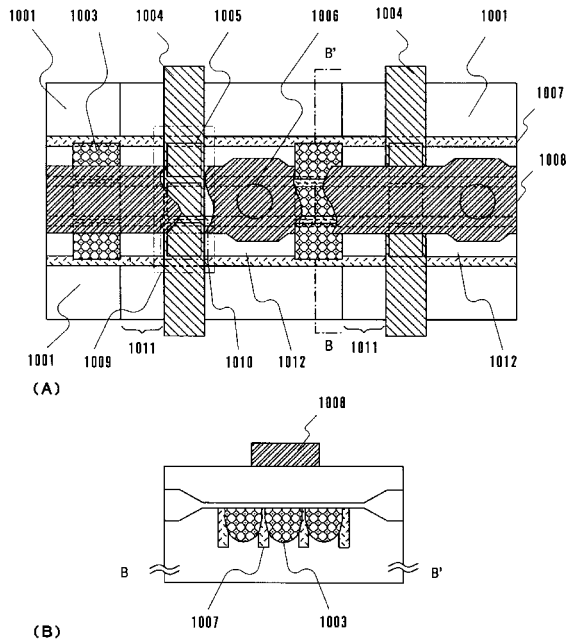


【図 9】

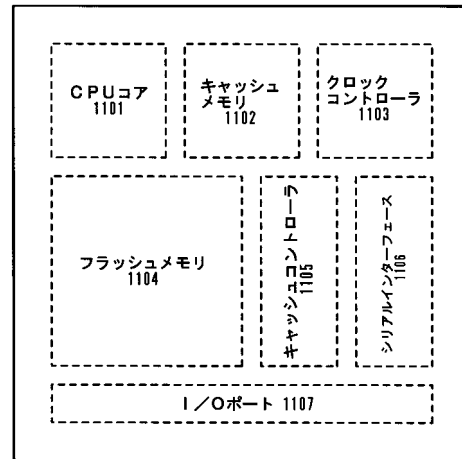


801: フィールド酸化膜 802: 活性領域 803: 選択線
 804: ワード線 805: フロートゲート電極
 807: コンタクトホール 808: ビニング領域
 809: 配線 (ビット線) 810: 選択トランジスタ
 811: メモリトランジスタ 812: サブメモリトランジスタ

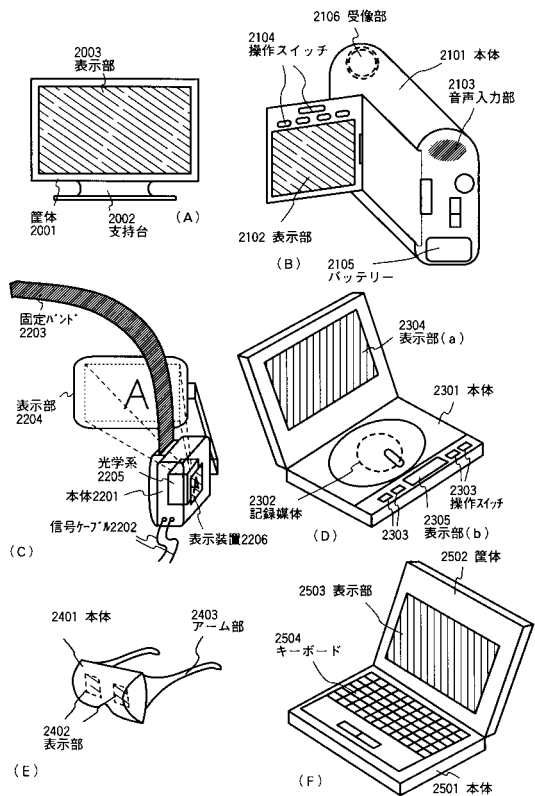
【図 10】



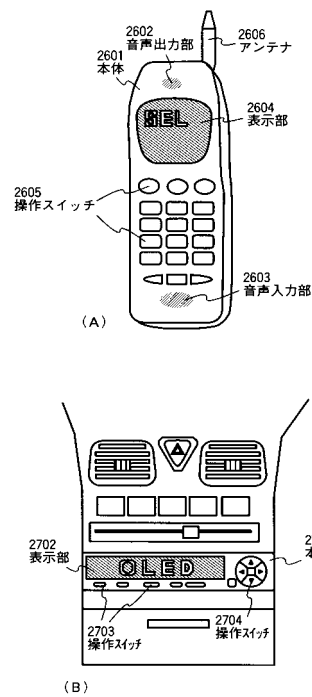
【図 11】



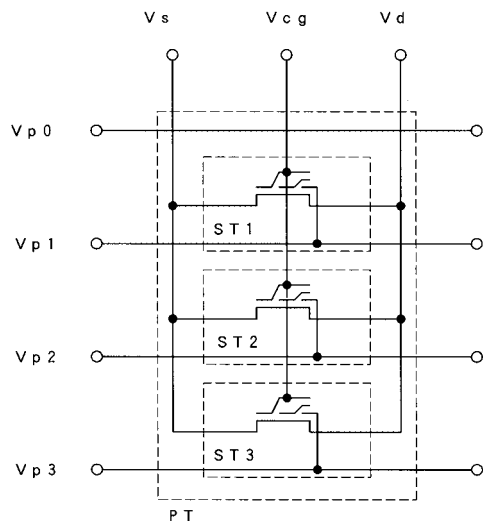
【図 12】



【図 13】



【図 1 4】



PT : ビニング型メモリトランジスタ
 $ST1$, $ST2$, $ST3$: サブメモリトランジスタ

フロントページの続き

(51)Int.Cl. F I

G 1 1 C 16/04 (2006.01)

(56)参考文献 特開平 1 1－1 5 0 1 9 8 (J P, A)

特開平 0 9－2 9 3 7 9 5 (J P, A)

(58)調査した分野(Int.Cl., D B名)

H01L 21/8247

G11C 16/02

G11C 16/04

H01L 27/115

H01L 29/788

H01L 29/792

H01L 21/336