

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5674842号
(P5674842)

(45) 発行日 平成27年2月25日 (2015. 2. 25)

(24) 登録日 平成27年1月9日 (2015. 1. 9)

(51) Int. Cl.	F I
HO 1 G 7/00 (2006. 01)	HO 1 G 7/00 Z
HO 1 L 21/822 (2006. 01)	HO 1 L 27/04 V
HO 1 L 27/04 (2006. 01)	

請求項の数 12 (全 19 頁)

(21) 出願番号	特願2013-54592 (P2013-54592)	(73) 特許権者	513009370
(22) 出願日	平成25年3月18日 (2013. 3. 18)		株式会社 ハイティープ
(65) 公開番号	特開2013-214740 (P2013-214740A)		大韓民国、ギョンギード・463-400
(43) 公開日	平成25年10月17日 (2013. 10. 17)		、ソナムーシ、ブンダンーグ、ダエワン
審査請求日	平成25年3月18日 (2013. 3. 18)		パンギョーロ・644・ベオンーギル、4
(31) 優先権主張番号	10-2012-0034574		9、ダサン・タワー・3エフ
(32) 優先日	平成24年4月3日 (2012. 4. 3)	(74) 代理人	100146318
(33) 優先権主張国	韓国 (KR)		弁理士 岩瀬 吉和
		(74) 代理人	100114188
			弁理士 小野 誠
		(74) 代理人	100119253
			弁理士 金山 賢教
		(74) 代理人	100124855
			弁理士 坪倉 道明

最終頁に続く

(54) 【発明の名称】 チューナブルキャパシタ

(57) 【特許請求の範囲】

【請求項 1】

第 1 端子と第 2 端子との間に位置する第 1 キャパシタと、前記第 1 キャパシタの連結をオン/オフさせるスイッチングトランジスタとを含む可変キャパシタ部と、
 前記第 1 端子と前記第 2 端子のバイパス連結をオン/オフ制御するバイパススイッチとを含み、
 前記可変キャパシタ部及び前記バイパススイッチは、一つの半導体ダイ (Die) 又は一つのモジュール (Module) 上に集積され、
 前記可変キャパシタ部は、さらに、前記スイッチングトランジスタのドレイン端 D 及びソース端 S に印加される制御信号を生成するための変換部を含み、
 前記スイッチングトランジスタがオン (on) 時は、ゲート端 G にハイ (high, H) 信号が印加され、ボディ端 B にロー (low, L) 信号が印加されるとともに、ドレイン端 D 及びソース端 S に前記変換部において前記ゲート端に入力される前記ハイ信号を変換して生成されたロー信号が印加され、オフ (off) 時は、前記ゲート端 G 及び前記ボディ端 B にロー信号が印加されるとともに、前記ドレイン端 D 及び前記ソース端 S に前記変換部において前記ゲート端に入力される前記ロー信号を変換して生成されたハイ信号が印加される、チューナブルキャパシタ。

【請求項 2】

第 1 端子と第 2 端子との間に位置する第 1 キャパシタと、前記第 1 キャパシタの連結をオン/オフさせるスイッチングトランジスタとを含む可変キャパシタ部と、

前記可変キャパシタ部と前記可変キャパシタ部両端の少なくとも一つと並列に連結されるインピーダンスチューニング部の連結をオン/オフ制御するチューニングスイッチとを含み、

前記可変キャパシタ部及び前記チューニングスイッチは、一つの半導体ダイ又は一つのパッケージ上に集積され、

前記可変キャパシタ部は、さらに、前記スイッチングトランジスタのドレイン端D及びソース端Sに印加される制御信号を生成するための変換部を含み、

前記スイッチングトランジスタがオン(on)時は、ゲート端Gにハイ(high, H)信号が印加され、ボディ端Bにロー(low, L)信号が印加されるとともに、ドレイン端D及びソース端Sに前記変換部において前記ゲート端に入力される前記ハイ信号を変換して生成されたロー信号が印加され、オフ(off)時は、前記ゲート端G及び前記ボディ端Bにロー信号が印加されるとともに、前記ドレイン端D及び前記ソース端Sに前記変換部において前記ゲート端に入力される前記ロー信号を変換して生成されたハイ信号が印加される、チューナブルキャパシタ。

10

【請求項3】

前記可変キャパシタと前記可変キャパシタ部両端の少なくとも一つと並列に連結されるインピーダンスチューニング部の連結をオン/オフ制御するチューニングスイッチを含み、前記可変キャパシタ部、前記バイパススイッチ、及び前記チューニングスイッチは、一つの半導体ダイ又は一つのパッケージ上に集積される、請求項1に記載のチューナブルキャパシタ。

20

【請求項4】

前記可変キャパシタ部は、電圧又は電流によりキャパシタンスが制御される可変キャパシタ又はMEMSキャパシタの少なくとも一つを含む、請求項1ないし3のいずれか一項に記載のチューナブルキャパシタ。

【請求項5】

前記スイッチングトランジスタは、複数のトランジスタが直列に連結された積層トランジスタである、請求項1ないし4のいずれか一項に記載のチューナブルキャパシタ。

【請求項6】

前記スイッチングトランジスタのゲート端Gとボディ端Bは、それぞれ抵抗と直列に連結された、請求項1ないし5のいずれか一項に記載のチューナブルキャパシタ。

30

【請求項7】

前記第1キャパシタは、複数のキャパシタが直列又は並列に連結されたキャパシタである、請求項1ないし6のいずれか一項に記載のチューナブルキャパシタ。

【請求項8】

前記可変キャパシタ部を複数含み、前記複数の可変キャパシタ部は互いに並列に連結され、

前記複数の可変キャパシタ部は、第1キャパシタと、第1端子と第2端子との間における前記第1キャパシタ連結をオン/オフさせるスイッチングトランジスタと、前記スイッチングトランジスタのドレイン端D及びソース端Sに印加される制御信号を生成するための変換部とをそれぞれ含む、請求項1ないし7のいずれか一項に記載のチューナブルキャパシタ。

40

【請求項9】

前記複数の可変キャパシタ部の等価キャパシタンスは、 $2^{m-1} \times C1$ (ただし、mはn以下の自然数)であり、

前記複数の可変キャパシタ部のスイッチングトランジスタのチャンネル幅/長さの比率(W/L)は、それぞれ $2^{m-1} \times W1$ (ただし、mはn以下の自然数)であり、

前記nは可変キャパシタ部の個数、前記C1及びW1はそれぞれ特定可変キャパシタ部の等価キャパシタンス及びスイッチングトランジスタのチャンネル幅/長さの比率(W/L)である、請求項8に記載のチューナブルキャパシタ。

50

【請求項 10】

前記複数のチューナブルキャパシタと並列に連結される固定キャパシタをさらに含む、請求項 8 に記載のチューナブルキャパシタ。

【請求項 11】

デジタル制御信号の入力を受けて前記スイッチングトランジスタのオン/オフを制御する制御部をさらに含む、請求項 8 に記載のチューナブルキャパシタ。

【請求項 12】

前記スイッチングトランジスタのオン/オフは、ハイ(H)信号とロー(L)信号によって成される、請求項 8 に記載のチューナブルキャパシタ。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、キャパシタンスチューニングが可能なチューナブルキャパシタに関する。具体的に、本発明は、一つの半導体ダイ(Die)又は一つのモジュール(Module)上に集積されるチューナブルキャパシタに関する。

【背景技術】

【0002】

一般的に、無線周波数集積回路(RFIC)は、RFICネットワーク内の互いに異なるセクションをインターフェーシングするために、インピーダンスマッチング回路を使用することができる。

20

【0003】

インピーダンスマッチング回路は、セクション間の電力伝達を改善したり各セクション間に発生する信号反射を緩和させる。このようなインピーダンスマッチング性能を改善させるためにチューニングマッチングネットワークが用いられ、これは回路設計において重要な課題である。

【0004】

多様な回路素子(例えば、インダクタ、キャパシタなど)のパラメータは多くの因子に依存するため、インピーダンスマッチング回路性能の正確な予測が困難である。したがって、細密なインピーダンスマッチングのためにオンチップ(on-chip)回路素子で最初に推測した後、結果を測定して回路の有効性を判断する方法が用いられた。しかし、このような方法は回路の測定結果が満足でない場合、新しい回路素子に代替しなければならないので、煩わしくて工程時間が多くかかるという短所があった。また、ダイ上に位置した集積回路の回路素子を物理的に交換することが困難であるという問題点もあった。

30

【0005】

これに伴い、集積回路のダイ上において、交換なしに直接キャリブレーション(calibration)又はインピーダンスマッチングが可能なチューニング回路が必要であった。一方、ノイズ面や空間側面から、インダクタよりはキャパシタで具現されるキャリブレーション又はインピーダンスマッチングが可能なチューナブルキャパシタに対する開発が至急である。

【先行技術文献】

40

【特許文献】

【0006】

【特許文献 1】米国公開特許 US 2011/0002080 (2011.1.6 公開)

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の目的は、サイズを小さくして電力消費を減らすことができるチューナブルキャパシタを提供することにある。

【0008】

本発明の目的は、バイパスモードにおいて動作が可能なチューナブルキャパシタを提供

50

することにある。

【0009】

本発明の他の目的は、インピーダンスチューニングが可能なチューナブルキャパシタを提供することにある。

【0010】

本発明のさらに他の目的は、負電圧を使用しない可変キャパシタを含むチューナブルキャパシタを提供することにある。

【課題を解決するための手段】

【0011】

本発明のチューナブルキャパシタは、第1端子と第2端子との間に位置する可変キャパシタ部と、前記第1端子と前記第2端子のバイパス連結をオン/オフ制御するバイパススイッチとを含み、前記可変キャパシタ部及び前記バイパススイッチは、一つの半導体ダイ又は一つのモジュール上に集積される。

10

【0012】

本発明のチューナブルキャパシタは、前記可変キャパシタ部と前記可変キャパシタ部両端の少なくとも一つと並列に連結されるインピーダンスチューニング部の連結をオン/オフ制御するチューニングスイッチとを含み、前記可変キャパシタ部及び前記チューニングスイッチは、一つの半導体ダイ又は一つのモジュール上に集積される。

【0013】

本発明の実施形態によれば、前記可変キャパシタと前記可変キャパシタ部両端の少なくとも一つと並列に連結されるインピーダンスチューニング部の連結をオン/オフ制御するチューニングスイッチを含み、前記可変キャパシタ部、前記バイパススイッチ及び前記チューニングスイッチは、一つの半導体ダイ又は一つのモジュール上に集積することができる。

20

【0014】

本発明の実施形態によれば、前記可変キャパシタ部は、電圧又は電流によりキャパシタンスが制御される可変キャパシタ又はメムス(MEMS)キャパシタの少なくとも一つを含んでもよい。

【0015】

本発明の実施形態によれば、前記可変キャパシタ部は、第1キャパシタと、第1端子及び第2端子との間における前記第1キャパシタ連結をオン/オフさせるスイッチングトランジスタとを含んでもよい。

30

【0016】

本発明の実施形態によれば、前記スイッチングトランジスタがオン(ON)時に、前記ゲート端Gにハイ(high, H)信号が印加され、ボディ端B及び前記ドレイン端D並びにソース端Sにロー(low, L)信号が印加されて、オフ(off)時は、前記ゲート端G及びボディ端Bにロー(L)信号が印加され、前記ドレイン端D及びソース端Sにハイ(H)信号が印加され得る。

【0017】

本発明の実施形態によれば、前記スイッチングトランジスタは、複数のトランジスタが直列に連結された積層トランジスタでもよい。

40

【0018】

本発明の実施形態によれば、前記スイッチングトランジスタのゲート端Gとボディ端Bは、それぞれ抵抗と直列に連結することができる。

【0019】

本発明の実施形態によれば、前記第1キャパシタは、複数のキャパシタが直列又は並列に連結されたキャパシタでもよい。

【0020】

本発明の実施形態によれば、前記スイッチングトランジスタのオン/オフは、ハイ(H)信号とロー(L)信号によって成されてもよい。

50

【0021】

本発明の実施形態によれば、前記可変キャパシタ部を複数含み、前記複数の可変キャパシタ部は互いに並列に連結され、前記複数の可変キャパシタ部は、第1キャパシタと、第1端子及び第2端子との間における前記第1キャパシタ連結をオン/オフさせるスイッチングトランジスタとをそれぞれ含んでもよい。

【0022】

本発明の実施形態によれば、前記複数の可変キャパシタ部の等価キャパシタンスは、 $2^{m-1}C1$ （ただし、 m は n 以下の自然数）であり、前記複数の可変キャパシタ部のスイッチングトランジスタのチャンネル幅/長さの比率（ W/L ）は、それぞれ $2^{m-1}W1$ （ただし、 m は n 以下の自然数）であり、前記 n は可変キャパシタ部の個数、前記 $C1$ 及び $W1$ はそれぞれ特定可変キャパシタ部の等価キャパシタンス及びスイッチングトランジスタのチャンネル幅/長さの比率（ W/L ）でもよい。

10

【0023】

本発明の実施形態によれば、前記複数のチューナブルキャパシタと並列に連結される固定キャパシタをさらに含んでもよい。

【0024】

本発明の実施形態によれば、デジタル制御信号の入力を受けて前記スイッチングトランジスタのオン/オフを制御する制御部をさらに含んでもよい。

【0025】

本発明の実施形態によれば、前記スイッチングトランジスタのオン/オフは、ハイ（H）信号とロー（L）信号によって成されてもよい。

20

【発明の効果】

【0026】

本発明の一実施形態によると、一つのダイ又はモジュール上にチューナブルキャパシタを提供してサイズを減らし、電力消費を減らすことができる。

【0027】

また、本発明の一実施形態によると、バイパスモードにおいて動作が可能なチューナブルキャパシタを提供して、周囲の連結装置又は回路のキャリブレーションを容易に行なうことができる。

【0028】

また、本発明の一実施形態によると、インピーダンスチューニングが可能なチューナブルキャパシタを提供してインピーダンスマッチングを行なうことができる。

30

【0029】

また、本発明の一実施形態によると、負電圧を用いない可変キャパシタを含むチューナブルキャパシタを提供し、負電圧発生器による感度低下、電力消費、空間活用などの問題を解決することができる。

【図面の簡単な説明】

【0030】

【図1】本発明の第1の実施形態によるバイパススイッチを含むチューナブルキャパシタの構造を示す簡略図である。

40

【図2a】本発明の第2の実施形態によるインピーダンスチューニング部を含むチューナブルキャパシタの構造を示す簡略図である。

【図2b】本発明の第2の実施形態によるインピーダンスチューニング部を含むチューナブルキャパシタの構造を示す簡略図である。

【図3a】本発明の第3の実施形態によるバイパススイッチとインピーダンスチューニング部を全て含むチューナブルキャパシタの構造を示すブロック図である。

【図3b】本発明の第3の実施形態によるバイパススイッチとインピーダンスチューニング部を全て含むチューナブルキャパシタの構造を示すブロック図である。

【図4】本発明の一実施形態によるチューナブルキャパシタを示す回路図である。

【図5a】負電圧を用いる可変キャパシタ部を示す簡略図である。

50

- 【図5b】負電圧を用いない可変キャパシタ部を示す簡略図である。
 【図6】本発明の一実施形態による可変キャパシタ部を示す回路図である。
 【図7】本発明の一実施形態による可変キャパシタ部を示す回路図である。
 【図8】本発明の一実施形態による可変キャパシタ部を示す回路図である。
 【図9】本発明の一実施形態による可変キャパシタ部を示す回路図である。
 【図10a】本発明の一実施形態による可変キャパシタ部を示す回路図である。
 【図10b】図10aを具現化した回路図である。
 【図11】本発明の実施形態による可変キャパシタ部を示す回路図である。
 【図12】本発明の他の実施形態による可変キャパシタ部を示す回路図である。
 【発明を実施するための形態】

10

【0031】

後述する本発明に対する詳細な説明は、本発明を実施することができる特定の実施形態を例示として図示する添付の図面を参照する。これらの実施形態は、当業者が本発明を実施するのに十分なように詳しく説明する。本発明の多様な実施形態は互いに異なるが、相互に排他的である必要はないことが理解されなければならない。例えば、ここに記載されている特定形状、構造及び特性は、一実施形態に関連して、本発明の精神及び範囲を外れないながらも、他の実施形態で具現することができる。また、それぞれの開示された実施形態内の個別の構成要素の位置又は配置は、本発明の精神及び範囲を外れないながらも変更できることが理解されなければならない。したがって、後述する詳細な説明は、限定的な意味として取るのではなく、本発明の範囲は、適切に説明されるならば、その請求項が主張するのと均等なすべての範囲とともに添付された請求項によってのみ限定される。図面において類似の参照符号は様々な側面にわたって同一もしくは類似の機能を指し示す。

20

【0032】

本発明の実施形態によるチューナブルキャパシタを説明するのに先立ち、トランジスタに印加される電圧信号と関連し、トランジスタがオン(on)である時に印加される量の電圧をVDDだとすると、ハイ(high, H)信号は、約VDD/2以上VDD以下の信号を意味し、ロー(low, L)信号は、接地信号である0V以上約VDD/2以下の信号を意味する。前記トランジスタに印加される電圧信号をハイ(H)信号とロー(L)信号に分ける基準は必ずしも固定される必要はなく、印加される量の電圧VDDの大きさ又はトランジスタの特性など、本発明の実施形態によるチューナブルキャパシタの具現環境に応じて変わり得る。

30

【0033】

以下、添付される図面を参照して、本発明の第1の実施形態によるチューナブルキャパシタを説明する。

【0034】

第1の実施形態

図1は、本発明の第1の実施形態によるチューナブルキャパシタ1を示す。

【0035】

図1を参照すると、本発明の実施形態によるチューナブルキャパシタ1は、第1端子10と第2端子20との間に位置する可変キャパシタ部30、第1端子10と第2端子20との間をバイパス(bypass)させるバイパススイッチBSが含まれる。

40

【0036】

具体的に、本発明の実施形態によるチューナブルキャパシタ1の可変キャパシタ部30は、一端が第1端子10と連結され、他端は第2端子20と連結される。バイパススイッチBSは、第1端子10と第2端子20との間で可変キャパシタ部30と並列に連結される。

【0037】

第1端子10は負荷と連結される負荷端になり得、第2端子20はグラウンドと連結さ

50

れて接地端になり得る。他の実施形態で、第1端子10はRF入力ポートに連結されるRF+端子になり、第2端子20はRF出力ポートに連結されるRF-端子にもなり得る。これ以外にも、通常の知識を有する者により他の形態の端子として用いることができる。

【0038】

本発明の実施形態によるチューナブルキャパシタ1は、正常モードとバイパスモードを有する。バイパススイッチBSは、制御信号の入力を受けて第1端子10と第2端子20との間のバイパス連結をオン/オフ制御する。すなわち、前記バイパススイッチBSがオン状態になると、チューナブルキャパシタ1はバイパスモードで動作する。第1端子10と第2端子20はバイパス連結され、第1端子10と第2端子20との間の信号はバイパス経路に沿って流れることになる。反対に、前記バイパススイッチBSがオフ状態になると、チューナブルキャパシタ1は正常モードで動作する。すなわち、第1端子10と第2端子20との間のバイパス経路は遮断され、第1端子10と第2端子20との間の信号は前記可変キャパシタ部30を流れることになる。

10

【0039】

本発明の第1の実施形態によるチューナブルキャパシタ1は、第1端子10と第2端子20との間にバイパススイッチBSを含むことによって、チューナブルキャパシタ1の両端子10, 20に連結することができる回路や装置などに対するキャリブレーションを行なうのが容易である。すなわち、チューナブルキャパシタ1が半導体ダイ等に集積された後にも、バイパスモードで可変キャパシタ部30を除いた残りの回路や装置などに対してキャリブレーションのための試験や測定等が容易であるという長所がある。

20

【0040】

可変キャパシタ部30は、外部制御信号によりキャパシタンスを調節することができる。例えば、本発明の実施形態による可変キャパシタ部30は、少なくとも一つのキャパシタが並列又は直列に連結されて外部制御信号により該当するキャパシタを選択することができる構造として成されてもよい。しかし、本発明の実施形態による可変キャパシタ部30は、必ずしもこれに限定されず、キャパシタンスが調節可能な如何なる構成でも本発明の可変キャパシタ部30に含まれる。前記可変キャパシタ部30の具体的な具現例は、後に詳しく説明することにする。

【0041】

一方、本発明の実施形態によると、前記キャパシタ部30と前記バイパススイッチBSは、一つの半導体ダイ上に集積される。具体的に、キャパシタ部30とバイパススイッチBSを一つの半導体ダイ上に集積し、チューナブルキャパシタ1を一つのチップ又は一つのモジュールで具現することができる。これで、チューナブルキャパシタ1を具現するためのチップ又はモジュールの数が減ることになる。したがって、チューナブルキャパシタ1の全体サイズを減らすことができ、一つのモジュールで具現することができ、動作速度も速く、信頼性が高まる。すなわち、空間活用面で有利であり、チューナブルキャパシタ1の生産工程が短縮され、製造時間及び製造単価を減らすことができる。また、配線が少なく、小型化によって電力消費も減らすことができるという効果ある。

30

【0042】

次に、本発明の第2の実施形態によるチューナブルキャパシタを説明することにする。

40

【0043】

第2の実施形態

図2a及び図2bは、本発明の第2の実施形態によるチューナブルキャパシタ2a, 2bを示す。

【0044】

図2a及び図2bを参照すると、本発明の実施形態によるチューナブルキャパシタ2a, 2bは、第1端子10と第2端子20との間に位置する可変キャパシタ部30、前記可変キャパシタ部30と前記可変キャパシタ部30両端の少なくとも一つと並列に連結されるインピーダンスチューニング部40の連結をオン/オフ制御するチューニングスイッチ

50

TSが含まれる。

【0045】

可変キャパシタ部30は、図1に示された第1の実施形態による可変キャパシタ部30と同じなので、詳しい説明は省略する。

【0046】

図2a及び図2bに示されるように、インピーダンスチューニング部40は、チューニングスイッチTSにより前記可変キャパシタ部30との連結がオン/オフ制御される。インピーダンスチューニング部40は、前記可変キャパシタ部30で定まるキャパシタンスとインピーダンスマッチングするように、インピーダンスをチューニングすることができる。したがって、インピーダンスチューニング部40は、容量性素子であるキャパシタとインピーダンスマッチングされる誘導性素子であるインダクタが含まれる。

10

【0047】

したがって、本発明の実施形態によるチューナブルキャパシタ2a, 2bは、チューニングスイッチTSによりインピーダンスチューニング部40との連結がオン/オフ制御されることによって、第1端子10と第2端子20との間でインピーダンスマッチングを具現することができる。

【0048】

一方、本発明の実施形態によると、前記キャパシタ部30及びチューニングスイッチTSは、一つの半導体ダイ又は一つのモジュール上に集積される。具体的に、キャパシタ部30及びチューニングスイッチTSを一つの半導体ダイ上に集積し、チューナブルキャパシタ2a, 2bを一つのチップ又は一つのモジュールで具現することができる。一つの半導体ダイ又は一つのモジュール上に集積されるチューナブルキャパシタの効果は、図1に示された第1の実施形態と同じなので、詳しい説明は省略する。

20

【0049】

図2a及び図2bにおいては、インピーダンスチューニング部40が、第1端子10と接地端との間に連結されるように示されているが、必ずしもこれに限定される必要はなく、インピーダンスチューニング部40が第2端子10と接地端との間に連結されてもよいことは勿論である。

【0050】

次に、本発明の第3の実施形態によるチューナブルキャパシタについて説明する。

30

【0051】

第3実施形態

図3a及び図3bは、本発明の第3の実施形態によるチューナブルキャパシタを示す。

【0052】

図3a及び図3bを参照すると、第3の実施形態によるチューナブルキャパシタ3a, 3bは、前述した第1の実施形態のバイパススイッチBS及び第2の実施形態のチューニングスイッチTSが含まれる。

【0053】

図3a及び図3bに示されるように、実施形態による各構成は第1の実施形態と第2の実施形態で全て説明したので、詳しい説明は省略する。

40

【0054】

本発明の実施形態によれば、バイパススイッチBSがオン状態であるバイパスモードにおいて、第1端子10と第2端子20のバイパス連結を介して第1端子10又は第2端子20と連結された回路や装置などに対するキャリブレーションが可能である。また、バイパススイッチBSがオフ状態である正常モードでは、チューニングスイッチTSのオン/オフ制御により可変キャパシタ部30とインピーダンスチューニング部40の連結を制御することができる。

【0055】

一方、図3a及び図3bでは、インピーダンスチューニング部40が第1端子10と接

50

地端との間に連結されるように示されたが、必ずしもこれに限定される必要はなく、インピーダンスチューニング部40が第2端子10と接地端との間に連結されてもよいことは勿論である。

【0056】

また、第3の実施形態によるチューナブルキャパシタ3a, 3bは一つの半導体ダイ上に集積され、これによる効果は、前述の第1の実施形態及び第2の実施形態で説明したことと同じなので、詳しい説明は省略する。

【0057】

以下では、可変キャパシタ部30の具体的な具現例を説明することにする。

【0058】

図4は、本発明の一実施形態による可変キャパシタ部を示す。

【0059】

図4を参照すると、本発明の一実施形態による可変キャパシタ部30は、第1端子10と第2端子20との間に位置する第1キャパシタ100、第1端子10と第2端子20との間における前記第1キャパシタ100の連結をオン/オフさせるスイッチングトランジスタ300を含む。

【0060】

具体的に、本発明の実施形態による可変キャパシタ部30の第1キャパシタ100は一端が第1端子10と連結され、他端はスイッチングトランジスタ300と連結されて、スイッチングトランジスタ300は一端が前記第1キャパシタ100と連結され、他端は第2端子20と連結される。

【0061】

スイッチングトランジスタ300は、制御信号の入力を受けて該当可変キャパシタ部30をオン/オフする。すなわち、第1端子10と第2端子20との間で該当可変キャパシタ部30が選択されたり選択されなくなる。スイッチングトランジスタ300には様々な半導体素子を使用することができる。

【0062】

一方、図4は、スイッチング制御による可変キャパシタ部を示しているが、本発明の実施形態による可変キャパシタ部は必ずしもこれに限定される訳ではない。例えば、可変キャパシタ部は、電圧又は電流によってキャパシタンスが制御される可変キャパシタ又はMEMS (MEMS, Micro Electro Mechanical Systems) 方式で製造されたMEMS可変キャパシタを含んでもよく、これらの組み合わせを含んでもよい。

【0063】

図5aは、負電圧を用いる可変キャパシタ部30の動作を示す。

【0064】

図5aに示されるように、スイッチングトランジスタのオン/オフ動作のために、オン時にはゲート-ソース電圧(VGS)、ゲート-ドレイン電圧(VGD)は正電圧(VDD)であり、ボディ-ソース電圧(VBS)、ボディ-ドレイン電圧(VBD)は0Vである。反面、オフ時にはゲート-ソース電圧(VGS)、ゲート-ドレイン電圧(VGD)が負電圧(-VDD)であり、ボディ-ソース電圧(VBS)、ボディ-ドレイン電圧(VBD)も負電圧(-VDD)である。これは、可変キャパシタ部30の高いパワーハンドリング能力と線形性を向上させるためである。

【0065】

具体的に、オン時にスイッチングトランジスタのドレイン端D、ソース端S、ボディ端Bは0V(GND)信号が印加され、ゲート端Gには正電圧(VDD)信号が印加される。反対に、オフ時にはドレイン端D及びソース端Sには0V(GND)信号が印加され、ゲート端Gとボディ端Bには負電圧(-VDD)信号が印加される。すなわち、ゲート-ソース電圧(VGS)及びゲート-ドレイン電圧(VGD)が負の値となる。したがって、スイッチングトランジスタ300のオン/オフ動作のために負電圧(-VDD)信号が

10

20

30

40

50

伝達される。

【0066】

以下では、本発明の一実施形態による可変キャパシタ部30のスイッチングトランジスタ300の動作について詳しく説明する。

【0067】

図5bは、負電圧を用いない可変キャパシタ部のスイッチングトランジスタのオン/オフ状態を示す。

【0068】

図5bを参照すると、本発明の一実施形態による可変キャパシタ部30のスイッチングトランジスタ300は、ドレイン端Dが第1キャパシタ100と連結され、ソース端Sは第2端子20と連結することができる。スイッチングトランジスタ300は、第1キャパシタ100をオン/オフさせるスイッチングの役割をする。トランジスタの特性上、第1端子10と第2端子20との間でスイッチングトランジスタ300の連結は反対にすることができる。すなわち、スイッチングトランジスタ300のソース端Sが第1キャパシタ100と連結され、ドレイン端Dは第2端子20と連結することができる。本発明の一実施形態では説明の便宜のため、スイッチングトランジスタ300のドレイン端Dが第1キャパシタ100と連結される場合を例に挙げて説明する。

【0069】

まず、スイッチングトランジスタ300がオンの場合には、スイッチングトランジスタ300のゲート端Gはハイ(H)信号が印加され、ドレイン端D、ソース端S及びボディ端Bはロー(L)信号が印加される。しかし、スイッチングトランジスタ300がオフの場合には、スイッチングトランジスタ300のゲート端G及びボディ端Bはロー(L)信号が印加され、ドレイン端D及びソース端Sにはハイ(H)信号が印加される。

【0070】

本発明の一実施形態によるスイッチングトランジスタ300の動作は、ゲート端Gとドレイン端D間の電位差であるゲート-ドレイン電圧(V_{GD})、ゲート端Gとソース端S間の電位差であるゲート-ソース電圧(V_{GS})、ボディ端Bとドレイン端D間の電位差であるボディ-ドレイン電圧(V_{BD})、ボディ端Bとソース端S間の電位差であるボディ-ソース電圧(V_{BS})によって定まる。

【0071】

図4ないし図5bを参照すると、負電圧を用いるスイッチングトランジスタと負電圧を用いないスイッチングトランジスタ300は、オンの場合には、各端に印加される電圧が同一なので動作も同一である。反面、オフの場合には、各端に印加される電圧が異なる。しかし、オフである時のゲート-ドレイン電圧(V_{GD})とゲート-ソース電圧(V_{GS})は負の値である $-V_{DD}$ と同一であり、ボディ-ドレイン電圧(V_{BD})及びボディ-ソース電圧(V_{BS})も負の値である $-V_{DD}$ と同一である。結局、二つのスイッチングトランジスタの動作は同一である。

【0072】

すなわち、負電圧を用いないチューナブルキャパシタ1の可変キャパシタ部30は、スイッチングトランジスタ300の各端に印加される電圧が負電圧を用いるスイッチングトランジスタの各端に印加される電圧と異なるにも関わらず、各端子間の電位差が同じなので、同じ動作をすることになる。したがって、図5bに示される本発明の一実施形態によるチューナブルキャパシタ1は負電圧を用いないのに、負電圧を用いるチューナブルキャパシタと同じパワーハンドリング能力と線形性を保持することができる。

【0073】

したがって、本発明の実施形態によるチューナブルキャパシタ部1は、負電圧を用いる可変キャパシタ部を含んでもよいが、パワーハンドリング能力と線形性に優れた負電圧を用いない可変キャパシタ部30を含むのが望ましい。

【0074】

図6は、本発明の他の実施形態による可変キャパシタ部を示す。

【0075】

図6を参照すると、可変キャパシタ部30aのスイッチングトランジスタ300'は、複数のトランジスタが直列に連結された構造で形成することができる。一つのトランジスタよりは複数のトランジスタが直列に連結された積層トランジスタを用いることが、チューナブルキャパシタの高いパワーハンドリング能力と線形性を向上させるのに有利である。各トランジスタに印加される制御信号は同一であり、各トランジスタのオン/オフは同一に成される。積層トランジスタは公知の技術であるため、詳しい説明は省略する。

【0076】

図7は、本発明のさらに他の実施形態による可変キャパシタ部を示す。

【0077】

図7を参照すると、スイッチングトランジスタ300のゲート端Gとボディ端Bは、第1抵抗401及び第2抵抗402と連結することができる。

【0078】

図7に示されるように、可変キャパシタ部30bのスイッチングトランジスタ300のゲート端Gは第1抵抗R1, 401と連結され、ボディ端Bは第2抵抗R2, 402と連結することができる。ゲート端Gと連結される第1抵抗R1, 401と第2抵抗R2, 402は、スイッチングトランジスタ300がオンになった時にドレインないしソース端で大きい振幅を有する信号が印加された時も常にスイッチングトランジスタが消えず、オンさせるためである。すなわち、オン信号が入力される時、信号がスイングする過程でスイッチングトランジスタ300がオフとなる現象を防止することができるという効果がある。同様に、オフ信号が入力される時、スイッチングトランジスタ300がオンとなるのを防止することができる。

【0079】

図8は、本発明のさらに他の実施形態による可変キャパシタ部を示す。

【0080】

図8を参照すると、第1キャパシタ100aは、複数のキャパシタが直列に連結された積層構造を成している。

【0081】

図8に示されるように、可変キャパシタ部30cの第1キャパシタ100aは、キャパシタが直列に連結した積層キャパシタでもよい。これは、キャパシタの有効破壊電圧を向上させるためである。本発明の実施形態による可変キャパシタ部30cは小型軽量化された電子装置などに用いることができる。また、高周波信号の処理にも有利な効果がある。

【0082】

図9は、本発明のさらに他の実施形態による可変キャパシタ部を示す。

【0083】

図9を参照すると、可変キャパシタ部30dの第1キャパシタ100bは、複数のキャパシタが並列に連結された構造を成している。

【0084】

図9に示されるように、第1キャパシタ100bは、複数のキャパシタが並列に連結されて具現することができる。第1キャパシタ100bは、キャパシタが並列に連結されてキャパシタンスが増加するので、大容量のキャパシタンスを有するチューナブルキャパシタを具現することができる。

【0085】

このように、本発明の実施形態による可変キャパシタ部30は、第1キャパシタ100とスイッチングトランジスタ300を含む。前記可変キャパシタ部30において、スイッチングトランジスタ300として積層トランジスタを用いるか、ゲート端Gとボディ端Bに抵抗を連結し、可変キャパシタ部30a, 30bを具現することができる。また、第1キャパシタ100を積層キャパシタ又は並列に複数連結した可変キャパシタ部30c, 30dを具現することができる。

【0086】

10

20

30

40

50

図10a及び図10bは、本発明の実施形態による可変キャパシタ部30の簡略図及び具体的に具現した回路図である。

【0087】

図10aを参照すると、本発明の実施形態による可変キャパシタ部30は、第1端子10と第2端子20との間に位置する第1キャパシタ100、第1端子10と第2端子20との間における前記第1キャパシタ100の連結をオン/オフさせるスイッチングトランジスタ300を含む。

【0088】

本発明の実施形態による可変キャパシタ部30のスイッチングトランジスタ300のオン/オフは負電圧を用いず、ロー(L)信号とハイ(H)信号によって成される。スイッチングトランジスタ300のゲート端Gに印加される信号を変換し、変換された信号をスイッチングトランジスタ300のドレイン端Dとソース端Sに印加する。

10

【0089】

具体的に、本発明の実施形態による可変キャパシタ部30の第1キャパシタ100は、一端が第1端子10と連結され、他端はスイッチングトランジスタ300と連結されて、スイッチングトランジスタ300は一端が前記第1キャパシタ100と連結され、他端は第2端子20と連結される。

【0090】

本発明の実施形態による可変キャパシタ部30のスイッチングトランジスタ300のオン/オフは負電圧を用いず、接地信号と正の電圧信号によって成される。このために、前記可変キャパシタ部30は、前記スイッチングトランジスタ300のドレイン端D及びソース端Sに印加される制御信号生成のための変換部500がさらに含まれる。前記変換部500は、スイッチングトランジスタ300のゲート端Gに印加される入力を変換し、変換された信号をスイッチングトランジスタ300のドレイン端Dとソース端Sに印加する。スイッチングトランジスタ300のボディ端Bとゲート端Gは、抵抗を直列に連結することができ、ドレイン端Dとソース端Sは、変換部500との間に第3抵抗R3,403と第4抵抗R4,404を挿入することができる。第3抵抗R3,403と第4抵抗R4,404は変換部での信号損失を防ぐことができる。

20

【0091】

図10aに示されるように、変換部500は、前記スイッチングトランジスタ300それぞれのドレイン端D及びソース端Sに印加される電圧をゲート端Gに印加される電圧と相反するように変換させる。前記変換部500は、入力される制御信号を変換できるインバータなどが用いられる。

30

【0092】

ここから、チューナブルキャパシタ1の可変キャパシタ部30において、変換部500によってスイッチングトランジスタ300に印加される電圧により、第1キャパシタ100のオン/オフ制御する方法について説明する。

【0093】

まず、オン状態における動作を説明する。外部の制御信号は、スイッチングトランジスタ300それぞれのゲート端Gに印加される。また、前記制御信号は、変換部500によって変換され、スイッチングトランジスタ300のドレイン端Dとソース端Sに印加することができる。すなわち、制御信号がオン信号だとすると、スイッチングトランジスタ300のゲート端Gにはハイ(H)信号が印加され、ドレイン端Dとソース端Sにはロー(L)信号が印加される。したがって、ゲート-ソース電圧(VGS)及びゲート-ドレイン電圧(VGD)は正の値になり、スイッチングトランジスタ300がオンとなる。したがって、第1端子10と第2端子20との間で第1キャパシタ100が選択される。

40

【0094】

次に、オフ状態における動作を説明する。外部から制御信号としてオフ信号が印加されると、スイッチングトランジスタ300のゲート端Gにはロー(L)信号が印加され、ドレイン端Dとソース端Sにはハイ(H)信号が印加される。この時、ゲート-ソース電圧

50

(VGS)及びゲート-ドレイン電圧(VGD)は負の値になるので、スイッチングトランジスタ300はオフ状態になり、第1端子10と第2端子20との間で開放(open)動作するため、該当可変キャパシタ部は選択されなくなる。

【0095】

本発明の実施形態によると、オン/オフのスイッチングトランジスタ300のボディ端Bは、オン/オフ状態でロー(L)信号が印加される。

【0096】

図10bは、図10aの可変キャパシタ部を実際に具現した回路図であり、スイッチングトランジスタ300は積層トランジスタで具現した例である。

【0097】

このように、本発明の実施形態によると、正電圧信号(VDD)のみでスイッチングトランジスタ300のオン/オフ制御が可能であり、負電圧信号が必要でないので、費用と効率面で不利な負電圧の発生回路を具現しなくてもよいという効果がある。

【0098】

次に、可変キャパシタが、複数が並列に連結された可変キャパシタ部について説明する。

【0099】

図11は、本発明の一実施形態による可変キャパシタ部30の全体回路図を示す。

【0100】

図11を参照すると、本発明の一実施形態による可変キャパシタ部30は、第1端子10及び第2端子20との間に位置し、互いに並列に連結された複数の可変キャパシタ31, 32, 33, 34, 35が含まれる。また、前記可変キャパシタ部30を制御するための制御部50がさらに含まれる。

【0101】

本発明の実施形態では、説明の便宜のために可変キャパシタが5つである可変キャパシタ部について説明するが、具現しようとする可変範囲に応じて並列に連結される可変キャパシタの個数は変わり得る。本実施形態では、第1端子10はRF+端子、第2端子20はRF-端子として機能し得る。

【0102】

可変キャパシタ31, 32, 33, 34, 35はそれぞれ第1キャパシタ110, 120, 130, 140, 150、スイッチングトランジスタ310, 320, 330, 340, 350を含む。

【0103】

図11に示されるように、各可変キャパシタ31, 32, 33, 34, 35の第1キャパシタ110, 120, 130, 140, 150のキャパシタンスとスイッチングトランジスタ310, 320, 330, 340, 350のチャンネル幅/長さの比率(W/L)及びゲート抵抗並びにボディ抵抗は、互いに異なる値に設定することができる。

【0104】

このために、第1キャパシタ110, 120, 130, 140, 150のキャパシタンスとスイッチングトランジスタ310, 320, 330, 340, 350のチャンネル幅/長さの比率(W/L)及びゲート抵抗並びにボディ抵抗に加重値を適用することができる。

【0105】

例えば、図11に示された一番目の可変キャパシタ31が、加重値が最小である最小可変キャパシタ(LSC、least significant capacitor)とすれば、その次の可変キャパシタ32の加重値は最小可変キャパシタ31の2倍と設定することができる。加重値が2倍になれば、第1キャパシタ120のキャパシタンス、スイッチングトランジスタ320のチャンネル幅/長さの比率(W/L)は、最小可変キャパシタ31の第1キャパシタ110のキャパシタンス、スイッチングトランジスタ310のチャンネル幅/長さの比率(W/L)の2倍となる。

10

20

30

40

50

【0106】

同様に、その次の可変キャパシタ33の加重値は、最小可変キャパシタ31の4倍に設定することができる。このような方式で最後の可変キャパシタである五番目の可変キャパシタ35は、加重値が最大である最大可変キャパシタ(MSC、most significant capacitor)となり、加重値は $2^{(5-1)} = 16$ 倍となる。したがって、可変キャパシタの数がn個とすると、それぞれの可変キャパシタ31, 32, 33, 34, 35の加重値は $2^{(m-1)}$ (ただし、mはn以下の自然数)となり得る。

【0107】

例えば、制御部50の出力信号のうちで、最小可変キャパシタ31に入力される制御信号だけハイ(H)信号であり、残りの可変キャパシタ32, 33, 34, 35に伝達される制御信号がロー(L)信号ならば、最小可変キャパシタ31のスイッチングトランジスタ310のゲート端Gはハイ(H)信号が印加され、ドレイン端Dとソース端Sは制御部50のハイ(H)信号が変換部410により変換されてロー(L)信号が印加される。したがって、最小可変キャパシタ31のスイッチングトランジスタ310はオン状態となる。しかし、残りの可変キャパシタ32, 33, 34, 35のスイッチングトランジスタ320, 330, 340, 350はオフ状態となる。したがって、第1端子10と第2端子20との間のキャパシタンスは、第1キャパシタ110のキャパシタンスに可変される。

【0108】

したがって、最小可変キャパシタ31のキャパシタンスが1pFだとすると、前記可変キャパシタ部30のキャパシタンスは、最小1pFから最大31pFまで可変可能である。

【0109】

一方、前記可変キャパシタ部30が制御部50により制御される時、前記制御部50にデジタル制御信号b0, b1, b2, b3, b4が印加され、前記制御部50はこれに対応する制御信号を出力することができる。この時、前記可変キャパシタ部30は5ビット(bit)デジタル制御が可能になる。すなわち、デジタル制御信号b0, b1, b2, b3, b4がローあるいはハイに変わるにつれ、それぞれのスイッチングトランジスタ310, 320, 330, 340, 350がオン/オフになることで、デジタルチューナブルが可能となり得る。したがって、可変キャパシタの個数がn個になると、前記可変キャパシタ部30は、nビットのデジタルチューナブルが可能キャパシタになり得る。

【0110】

図12は、本発明の他の実施形態による可変キャパシタ部30'を示す。

【0111】

図12を参照すると、本発明の一実施形態によるチューナブルキャパシタ部30'は、互いに並列に連結されたチューナブルキャパシタ31, 32, 33, 34, 35に固定キャパシタ(Fixed)160を並列に追加することができる。

【0112】

図12に示されるように、固定キャパシタ36は、並列に連結された可変キャパシタ31, 32, 33, 34, 35が全て選択されない場合、すなわち、各スイッチングトランジスタ310, 320, 330, 340, 350がモードオフになっても、第1端子10と第2端子20との間のキャパシタは固定キャパシタ160になり得る。

【0113】

以上で説明したように、本発明の一実施形態によると、バイパスモードで動作可能もしくはインピーダンスチューニングが可能キャパシタを容易に具現することができる。すなわち、第1端子と第2端子との間でキャパシタンスのチューニングが可能可変キャパシタ部と、第1端子と第2端子との間をバイパス連結するバイパススイッチを含んで、第1端子又は第2端子に連結される回路や装置に対するキャリブレーションを容易にしてくれる。また、第1端子と第2端子との間でキャパシタンスのチューニングが可能可変キャパシタ部と、第1端子又は第2端子と接地端との間に位置するインピーダンスチューニング部を可変キャパシタ部とカップリング制御するチューニングスイッチ

10

20

30

40

50

とを含んで、第1端子と第2端子との間のインピーダンスマッチングを効率的に具現することができる。

【0114】

一方、前記のようにスイッチングトランジスタのゲート端Gに印加される電圧を変換してソース端S及びドレイン端Dに印加することにより、別途の負電圧を生成ずに前記スイッチングトランジスタをオン/オフ制御可能である。すなわち、速くて正確な応答ができ、負電圧を用いず、負電圧発生器を必要としなくなる。したがって、負電圧発生器による感度低下、電力消費、空間活用などの問題点を解決することができる。

【0115】

以上において、本発明の実施形態に説明された特徴、構造、効果などは、本発明の少なくとも一つの実施形態に含まれ、必ずしも一つの実施形態にのみ限定される訳ではない。さらに、各実施形態において例示された特徴、構造、効果などは、実施形態が属する分野における通常の知識を持つ者によって、他の実施形態についても組み合わせ又は変形されて実施可能である。したがって、このような組み合わせと変形に関係した内容は、本発明の範囲に含まれるものと解釈されるべきである。

10

【0116】

また、以上において実施形態を中心に説明したが、これは単に例示であるだけであって、本発明を限定する訳ではなく、本発明が属する分野における通常の知識を有する者であれば、本実施形態の本質的な特性を外れない範囲で、以上において例示されない様々な変形と応用が可能であることが分かるはずである。例えば、実施形態に具体的に示された各構成要素は、変形して実施することができる。そして、このような変形と応用に係る相違点は、添付の特許請求の範囲において規定する本発明の技術的範囲に含まれるものと解釈されるべきである。

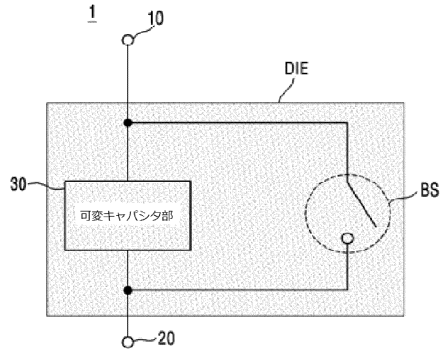
20

【符号の説明】

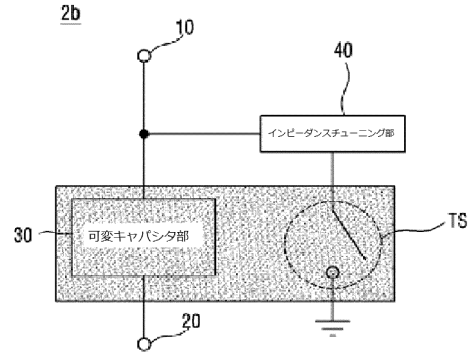
【0117】

1, 2 a, 2 b, 3 a, 3 b	チューナブルキャパシタ	
1 0	第1端子	
2 0	第2端子	
3 0, 3 0', 3 0 a, 3 0 b, 3 0 c, 3 0 d	可変キャパシタ部	
3 1, 3 2, 3 3, 3 4, 3 5	可変キャパシタ	30
4 0	インピーダンスチューニング部	
5 0	制御部	
1 0 0, 1 0 0 a, 1 0 0 b	第1キャパシタ	
1 1 0, 1 2 0, 1 3 0, 1 4 0, 1 5 0	第1キャパシタ	
1 6 0	固定キャパシタ	
3 0 0, 3 0 0', 3 1 0, 3 2 0, 3 3 0, 3 4 0, 3 5 0	スイッチングトランジスタ	
4 0 1	第1抵抗	
4 0 2	第2抵抗	
4 0 3	第3抵抗	40
4 0 4	第4抵抗	
5 0 0, 5 1 0, 5 2 0, 5 3 0, 5 4 0, 5 5 0	変換部	

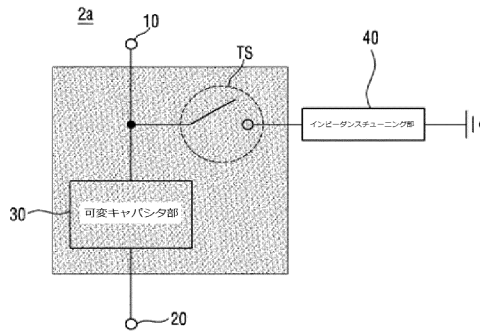
【図1】



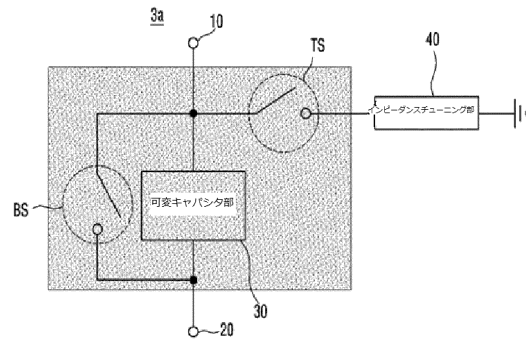
【図2b】



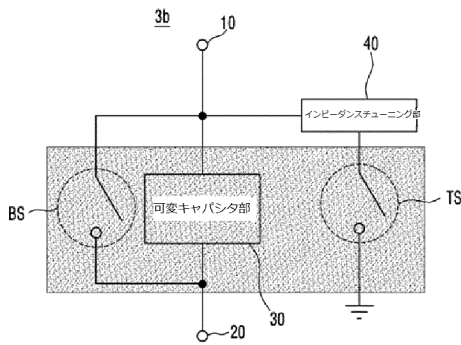
【図2a】



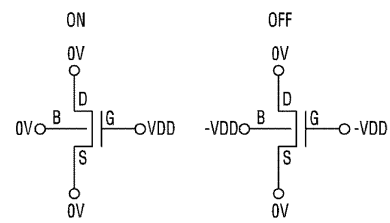
【図3a】



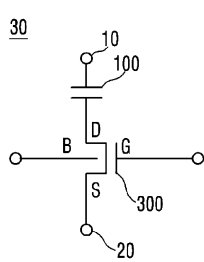
【図3b】



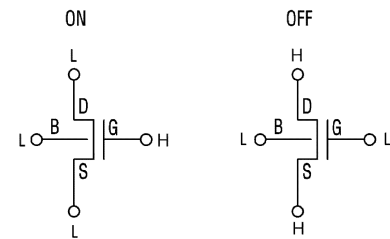
【図5a】



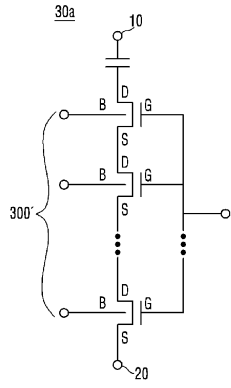
【図4】



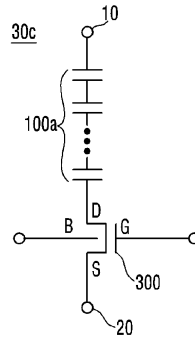
【図5b】



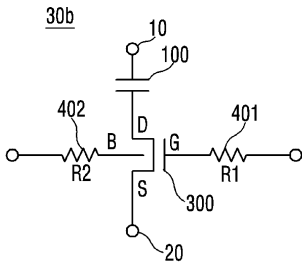
【図6】



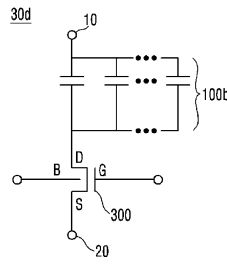
【図8】



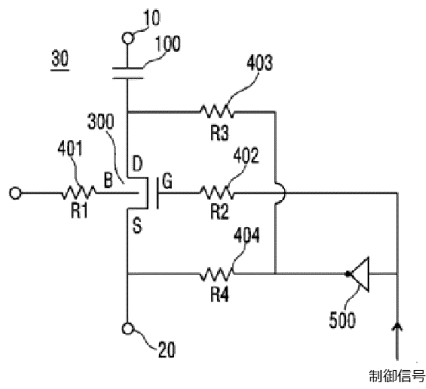
【図7】



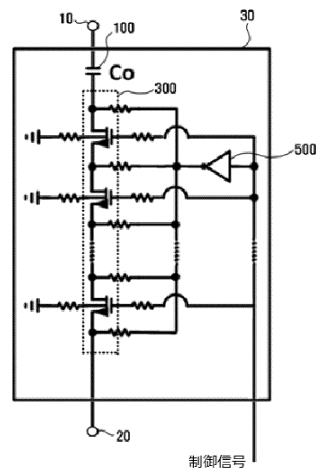
【図9】



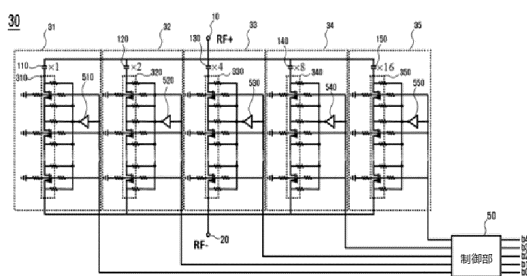
【図10a】



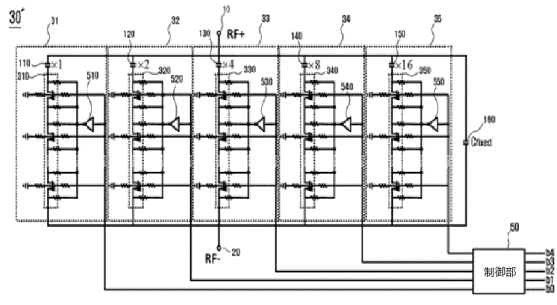
【図10b】



【図11】



【図12】



フロントページの続き

- (74)代理人 100129713
弁理士 重森 一輝
- (74)代理人 100137213
弁理士 安藤 健司
- (74)代理人 100143823
弁理士 市川 英彦
- (74)代理人 230105223
弁護士 城山 康文
- (72)発明者 キム・ボンギ
大韓民国、ソウル・135-190、ガンガム-グ、セゴク-ドン、セゴク・リエンパーク、#201-901
- (72)発明者 ジョ・ユンホ
大韓民国、ギョンギ-ド・463-903、ソナム-シ、ブンダン-グ、イマエ-ドン、116、ソンジ・アパートメント、#703-1002
- (72)発明者 イム・ドング
大韓民国、テジョン・305-301、ユシン-グ、ボンミョン-ドン、デーヤン・オフィステル、#502
- (72)発明者 キム・ボムギョム
大韓民国、テジョン・302-829、ソ-グ、ダンサン-ドン、1119、マーハウゼン、#1208

審査官 柴垣 俊男

- (56)参考文献 特表2009-533903(JP,A)
特開2003-068571(JP,A)
特開平03-136364(JP,A)
特表2011-519488(JP,A)
特開2009-147204(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01G 7/00
H01L 21/822
H01L 27/04