

(12) 发明专利

(10) 授权公告号 CN 101931398 B

(45) 授权公告日 2012. 07. 18

(21) 申请号 201010202718. 0

WO 2008008949 A3, 2008. 10. 16, 全文.

(22) 申请日 2010. 06. 10

WO 00/67441 A1, 2000. 11. 09, 全文.

(30) 优先权数据

CN 101106413 A, 2008. 01. 16, 全文.

12/492, 419 2009. 06. 26 US

CN 101202725 A, 2008. 06. 18, 全文.

(73) 专利权人 国际商业机器公司

审查员 刘江

地址 美国纽约

(72) 发明人 T·J·别科玛 S·M·克莱门斯

许峻铭 W·R·凯利 E·M·梅

S·V·莱洛夫

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 杜娟

(51) Int. Cl.

H04L 7/00 (2006. 01)

H03L 7/06 (2006. 01)

(56) 对比文件

CN 1404255 A, 2003. 03. 19, 全文.

EP 1168617 A2, 2002. 01. 02, 全文.

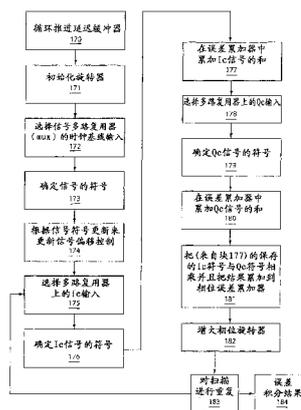
权利要求书 2 页 说明书 13 页 附图 7 页

(54) 发明名称

用于闭环时钟校正的方法及其设备

(57) 摘要

一种用于时钟校正的系统和方法,包括调整包括至少一个同相时钟和一个正交时钟的两个或多个输入信号,并且向能够产生 4 象限内插输出时钟相位的设备施加经调整的正交时钟信号。延迟内插输出时钟相位以便形成用于测量设备的时钟。在内插输出时钟相位的范围内在测量设备上测量两个或多个调整的输入信号。使用来自测量设备的采样信息来确定同相时钟和正交时钟上的误差。使用确定的误差信息来调适同相时钟和正交时钟。



1. 一种用于闭环时钟校正的方法,包括:  
调整包括至少一个同相时钟和一个正交时钟的两个或多个输入信号;  
向能够产生 4 象限内插输出时钟相位的设备施加调整的正交时钟信号;  
延迟内插输出时钟相位以便形成用于测量设备的时钟;  
在多个内插输出时钟相位的范围内测量所述测量设备的两个或多个调整的输入信号;  
使用来自所述测量设备的采样信息确定所述同相时钟和正交时钟的误差;并且  
在闭环反馈配置中使用确定的误差信息来调适所述同相时钟和正交时钟。
2. 如权利要求 1 所述的方法,其中校正的同相和正交时钟被分送到无线电系统中的相位内插器设备和正交混合器设备中的至少一个。
3. 如权利要求 1 所述的方法,进一步包括把校正的同相和正交时钟分送到数据接收器或发送器系统中的相位内插器设备。
4. 如权利要求 1 所述的方法,进一步包括执行所述测量设备的自动偏移校准。
5. 如权利要求 1 所述的方法,其中延迟包括对顺次的信号测量调整内插时钟的延迟。
6. 如权利要求 1 所述的方法,其中调适包括执行自适应的正交对准处理,包括动态且自动地调整同相和正交时钟信号的正交关系。
7. 如权利要求 1 所述的方法,其中调适包括执行自适应的占空度对准处理,包括动态且自动地调整同相和正交时钟信号的占空度。
8. 如权利要求 1 所述的方法,其中调适包括执行自适应的幅度对准处理,包括动态且自动地调整同相和正交时钟信号的幅度。
9. 如权利要求 1 所述的方法,其中校正的同相和正交时钟被分送到无线电接收器系统中的一个或多个正交混合器设备。
10. 如权利要求 1 所述的方法,其中在完全校准同相时钟和正交时钟之后采样并动态地调适除同相时钟和正交时钟之外的信号。
11. 一种用于在闭环正交时钟相位产生系统中动态地校正时钟的方法,包括:  
接收包括同相和正交时钟的两个或多个输入信号;  
对于正交、占空度和幅度中的至少一个,调整所述同相时钟和正交时钟;  
向能够产生 4 象限内插输出时钟相位的旋转器施加调整的正交时钟信号;  
延迟内插输出时钟相位以便形成用于测量设备的时钟;  
在所述测量设备中,在多个内插输出时钟相位的范围内测量包括所述同相和正交时钟的两个或多个调整的输入信号;  
使用来自所述测量设备的采样信息来确定所述同相和正交时钟的误差信息,包括占空度误差、正交误差和幅度误差;并且  
在闭环反馈配置中使用所述误差信息来调适所述同相和正交时钟的正交、占空度和幅度调整。
12. 如权利要求 11 所述的方法,进一步包括对所述测量设备执行自动偏移校准。
13. 如权利要求 11 所述的方法,进一步包括调整来自所述旋转器的内插时钟的延迟以便提供顺次的信号测量。
14. 如权利要求 11 所述的方法,进一步包括把校正的同相和正交时钟分送到数据接收

器或发送器系统中的相位内插器设备。

15. 如权利要求 11 所述的方法,进一步包括执行自适应正交对准处理,包括动态且自动地调整所述同相和正交时钟的正交关系、动态且自动地调整所述同相和正交时钟的占空度、以及动态且自动地调整所述同相和正交时钟的幅度中的一个或多个。

16. 如权利要求 11 所述的方法,其中校正的同相和正交时钟被分送到系统中的一个或多个混合器设备。

17. 如权利要求 11 所述的方法,其中在完全校准所述同相和正交时钟之后,采样并动态地调适除所述同相和正交时钟之外的另一信号。

18. 一种用于在正交时钟相位产生系统中调适闭环时钟校正控制系统的设备,包括:

时钟校正设备,被配置为接收包括同相和正交时钟的两个或多个输入信号,所述时钟校正设备被配置为根据来自控制模块的闭环反馈来调整所述同相和正交时钟,所述控制模块用于校正正交、占空度和幅度中的至少一个;

旋转器,被耦合到所述时钟校正设备并且被配置为调整正交时钟信号以便产生 4 象限内插输出时钟相位;

被耦合到旋转器的延迟部分,用于接收内插输出时钟相位从而形成用于测量设备的时钟;

所述测量设备在多个内插输出时钟相位的范围内接收调整的同相和正交时钟,以便使用采样信息来确定所述同相和正交时钟的占空度误差、正交误差和幅度误差;并且

所述控制模块被配置为接收所述测量设备的输出并且调适所述正交误差、占空度误差和幅度误差以便使用误差信息在时钟校正设备处提供对所述同相和正交时钟的调整。

19. 如权利要求 18 所述的设备,其中所述设备包括无线电发射器或接收器系统中的相位内插器设备和正交混合器设备之一。

20. 如权利要求 18 所述的设备,进一步包括延迟元件,被配置为对顺次的信号测量调整内插时钟的延迟。

21. 如权利要求 18 所述的设备,其中所述时钟校正设备执行自适应正交对准处理,以便执行以下至少一个:

动态且自动地调整正交关系、动态且自动地调整占空度、以及动态且自动地调整所述同相和正交时钟信号的幅度。

22. 如权利要求 18 所述的设备,其中校正的同相和正交时钟被分送到正交混合器设备和相位内插器设备中的至少一个。

23. 如权利要求 18 所述的设备,其中在校准所述同相和正交时钟之后,采样并动态地调适除所述同相和正交时钟之外的信号。

## 用于闭环时钟校正的方法及其设备

### 技术领域

[0001] 本发明涉及一种用于自动地校正正在闭环相位旋转器子系统中的一个基准时钟之间的占空度、正交关系和幅度关系的系统和方法,所述子系统可以在集成电路上实现。

### 背景技术

[0002] 在高数据速率串行器-解串器(SERDES)输入/输出(I/O)核心中使用的公共时钟产生体系结构使用单个低噪声锁相环(PLL)。PLL信号被分送给发送器(Tx)、接收器(Rx)、或收发器子系统中的一个或多个,所述子系统包括用于对固定频率PLL时钟进行频率和相位偏移的“相位旋转器(phase rotator)”,使得本地接收器时钟可以被锁相到输入数据流。

[0003] 参照图1,示出了时钟产生子系统的框图。在此例子中,通过使用正交除法器(quadrature divider)12把PLL 10的输出时钟除以二。正交除法器12生成输出“同相”(I)13和“正交相”(Q)14时钟,所述时钟均根据PLL时钟频率除以二并且相互偏移90度。这些正交时钟13和14被分送到一个或多个数据I/O核心15。每个I/O通常包含本地时钟缓冲器16,其可以用来在I和Q时钟13和14分别被施加到本地相位旋转器17和18之前改进它们的正交准确性和/或占空度。

[0004] 此本地时钟缓冲器使用开环方法来实现,这意味着时钟信号通过缓冲器16而没有应用任何反馈校正来改进时钟的输出占空度和/或正交关系。其它设备可以包括锁存器21。

[0005] 为了示例性目的,时钟13和14被示为分送到多个数据接收器15。每个接收器15可以具有独立的输入数据流(例如,数据输入1),其必须被本地时钟和数据恢复(CDR)单元22锁频和锁相。在典型的应用中,为了实现频率和相位锁定,CDR 22更新本地边缘相位旋转器17的相位,使得来自边缘旋转器17的输出的边缘交叉(edgecrossing)与输入数据流(数据输入1)的边缘交叉一致。数据旋转器18被编程为适于数据检测的相位偏移,通常是从边缘旋转器17移动的1/2比特间隔。锁存器21用来捕获由CDR单元22处理的数据和边缘信息。应当理解,基本数据和边缘检测接收器足以满足说明基于相位旋转器的时钟产生系统的目的。

[0006] 如图2所示,相位旋转器17、18能够通过把I和Q输入时钟与变化的权重相混合和组合来产生具有从0到360度改变的相位的输出时钟19和8。

[0007] 参照图2,相位旋转器17、18通过对输入正交时钟23和24的加权组合进行求和以便创建具有可编程相位的输出时钟30来工作。作为一个例子,数模转换器(DAC)26输出权重27和28。当I时钟数模转换器(IDAC)27的权重输入到I时钟混合器25并且被设置为1(意味着100%被选择)而Q时钟DAC(QDAC)28的权重被设置为0(意味着0%被选择)时,相位旋转器17、18输出I时钟,所述I时钟根据定义具有0度相位。类似地,当Q时钟DAC 28的权重被设置为1而I时钟DAC 27的权重被设置为0时,相位旋转器输出Q时钟,当且仅当输入Q时钟24与I时钟完美正交时所述Q时钟具有90度相位。可以通过利用相

应的乘法器加权 I 和 Q 时钟来实现中间相位,所述乘法器实现如图 2 中的表 33 所示的期望的输出相位。

[0008] 在使用 1/2 速率计时 (意味着 I 和 Q 时钟频率是接收数据速率的 1/2) 的串行器/解串器核心中的相位旋转器的常见实现方式使用从 0 到 360 度总共 64 个相位梯级,实现 5.625 度的相位分辨率。这种设计跨过一个接收数据比特持续时间提供了 32 梯级的时间分辨率。尽管相位旋转器组件 (DAC 27 和 28、混合器 25 和求和器 29) 的详细电路实现方式可以使用许多不同的技术,不过每个相位旋转器实现方式在相位准确性方面受 I 和 Q 输入时钟 23 和 24 的基础准确性限制。

[0009] 由于 I 和 Q 时钟从 LC PLL 分送到许多 Tx/Rx 核心,所以时钟的正交关系可能由于时钟分布中不同的 I/Q 路径延迟而变得失配。此外,时钟的占空度由于时钟缓冲器设备中的失配和延迟差异而可能变得不准确。

[0010] 参照图 3,时序图图示了正交时钟。时钟波形交叉时间 T1、T2、T3 和 T4 可以通过以下定义和公式与所产生的占空度和正交关系误差相关:

$$[0011] \quad T = \text{平均时钟 } 1/2 \text{ 周期} = T4/2 \quad (1)$$

$$[0012] \quad \text{DUTYI} = T2/(2*T)*100\% \quad (2)$$

$$[0013] \quad \text{DUTYQ} = (T3-T1)/(2*T)*100\% \quad (3)$$

$$[0014] \quad \text{IQ} = \text{integ}(I*Q) (T3-T2+T1)/T*90\text{deg} \quad (4)$$

[0015] 完美的 IQ 时钟具有  $\text{DUTYI} = 50\%$ ,  $\text{DUTYQ} = 50\%$ , 并且  $\text{IQ} = 90$  度,这意味着 I 和 Q 时钟的 + 和 - 极性的持续时间是相同的,并且 Q 时钟被从 I 时钟精确地延迟 90 度,其对应于完整时钟周期  $2*T$  的 1/4。为了查看在时钟发生器中非 50% 的占空度和非 90 度的正交如何转换为时间抖动,值 T1、T2、T3 和 T4 可以被如下表示为占空度和正交关系的函数:

$$[0016] \quad T1 = (\text{IQ}/180\text{deg} + (\text{DUTYI} - \text{DUTYQ})/100\%) * T \quad (5)$$

$$[0017] \quad T2 = \text{DUTYI}/50\% * T \quad (6)$$

$$[0018] \quad T3 = T1 + \text{DUTYQ}/50\% * T \quad (7)$$

$$[0019] \quad T4 = 2*T \quad (8)$$

[0020] 为了简化抖动分析,在图 3 中可以假定相位旋转器在时钟交叉间隔 0、T1、T2、T3 和 T4 分别根据 I 或 Q 信号创建边缘时钟和根据 Q 或 I 信号创建数据时钟。由于边缘时钟设置用于采样系统的时间基准,所以数据时钟抖动可以被计算为从理想的采样位置 (在本说明书中从边缘时钟延迟 T/2) 到实际的采样位置 (延迟 T/2+ 误差) 的差异。

[0021] 在异步时钟恢复系统中,因为接收器系统利用不相干 (与本地 PLL 不同的频率) 时钟跟踪输入数据信号,所以边缘相位随时间推移从 0 变换到 T4。因此,在波形交叉间隔,如表 1 所示,给出了可能的边缘和数据采样位置:

| [0022] | 边缘采样 | 数据采样 | 数据采样抖动      |
|--------|------|------|-------------|
| [0023] | 0    | T1   | (T1-T/2)    |
| [0024] | T1   | T2   | (T2-T1-T/2) |
| [0025] | T2   | T3   | (T3-T2-T/2) |
| [0026] | T3   | T4   | (T4-T3-T/2) |

[0027] 表 1. 数据采样抖动

[0028] 由非理想的正交时钟添加的峰到峰数据采样抖动可以被表示为表 1 中的采样抖

动的最大值减去采样抖动的最小值,其可以被简洁地计算为:

[0029] 数据采样抖动 =  $\max(T1, T2-T1, T3-T2, T4-T3) - \min(T1, T2-T1, T3-T2, T4-T3)$  (9)

[0030] 只有当 T1 和 T2 与 T1、T3 与 T2 以及 T4 与 T3 之间的间隔均等于 T/2 时,抖动才为零。只有当 I 和 Q 时钟处于完美正交 (Q 从 I 延迟 T/2) 并且具有 50% 占空度时才出现此条件。

[0031] 在现有技术中,在信号被施加到相位旋转器之前,为了正交准确性和占空度,在每个本地时钟发生器的本地开环“粗略清理 (coarse clean up)”缓冲器 16 (图 1) 一般用来尽可能地清理 IQ 时钟。

[0032] 参照图 4,示出了现有技术中“粗略清理”缓冲器的一般实现方式,用于提供两个输出路径,所述输出路径从具有两个电流模式逻辑 (current-mode-logic, CML) 时钟输入 I 和 Q 的求和器 40 形成 I+Q 和 Q-I,利用在输出上的 DC 阻塞时钟缓冲器 41 增大以便改进占空度。此操作改进了输出时钟信号的正交关系和占空度。然而,在“粗略清理”缓冲器自身中的匹配准确性的限制 (由于用来构建它的设备的变化而导致) 对可达到的准确性带来基本限制。特别地是,当用深亚微 CMOS 技术实现时,负载电阻 42、设备增益 43 和缓冲级偏压电流 44 均对显著的失配效应敏感。这些失配效应有效地在输出上产生了不想要的 DC 偏移,这对 I 和 Q 时钟的占空度和正交关系增加了误差。

[0033] 对所实现的集成电路的研究表明,即便在“粗略清理”缓冲器和任何相关联的开环占空度清理时钟缓冲器之后,由于设备失配所引起的基准时钟误差也可能诱发如公式 (9) 所预测的、接收位宽 (等于半速率计时体系结构中的时间间隔 T) 的 20% 或更多的数量级的数据采样时间抖动。这种劣化的级别对高数据速率 (5-10Gb/s 以及更高) SERDES 的应用来说一般是不可接受的,这是因为由于来自串扰、反射、码元间干扰 (ISI) 的大抖动以及包括来自 PLL 的随机时钟抖动的其它核心劣化源所导致的抖动预算中,20% 的时间抖动是不可用的。在许多常见的数据传输应用中,信道和核心引发的抖动将在一比特间隔采样间隔内产生 15% 或更少的剩余抖动余量,即便是完美的线性相位产生子系统也是如此。除失配问题之外,开环系统不能真正地补偿由于基本的 I+Q/Q-I 算法所导致的 I/Q 分隔误差效应,该算法只是将此误差从时间域传播到幅度域,在幅度域它仍然会负面地影响旋转器的准确性。

## 发明内容

[0034] 一种用于时钟校正的系统和方法,包括调整包括至少一个同相时钟和一个正交时钟的两个或多个输入信号,并且向能够产生 4 象限内插输出时钟相位的设备施加调整的正交时钟信号。延迟内插输出时钟相位以便形成用于测量设备的时钟。在多个内插输出时钟相位的范围内在测量设备上测量两个或多个调整的输入信号。使用来自测量设备的采样信息来确定同相时钟和正交时钟上的误差。使用确定的误差信息来调适 (adapt) 同相时钟和正交时钟。

[0035] 一种用于在闭环正交时钟相位产生系统中动态校正时钟的方法包括:接收两个或多个输入信号,所述两个或多个输入信号包括同相和正交时钟;针对正交、占空度和幅度中的至少一个调整所述同相时钟和正交时钟;向能够产生 4 象限内插输出时钟相位的旋转器施加调整的正交时钟信号;延迟内插输出时钟相位以便形成用于测量设备的时钟;在所述

测量设备中在多个内插输出时钟相位的范围内测量包括同相和正交时钟的两个或多个调整的输入信号；使用来自所述测量设备的采样信息确定关于所述同相和正交时钟的误差信息，所述误差信息包括占空度误差、正交误差和幅度误差；并且在闭环反馈配置中使用误差信息来调适对所述同相和正交时钟的正交、占空度和幅度调整。

[0036] 一种用于在正交时钟相位产生系统中调适闭环时钟校正控制系统的设备，包括时钟校正设备，被配置为接收包括同相和正交时钟的两个或多个输入信号，所述时钟校正设备被配置为根据来自控制模块的闭环反馈来调整所述同相和正交时钟，所述控制模块用于校正正交、占空度和幅度中的至少一个。旋转器被耦合到时钟校正设备并且被配置为调整正交时钟信号以便产生 4 象限的内插输出时钟相位。延迟被耦合到旋转器以便接收内插输出时钟相位从而形成用于测量设备的时钟。测量设备在多个内插输出时钟相位的范围内接收调整的同相和正交时钟以便使用采样信息来确定所述同相和正交时钟的占空度误差、正交误差和幅度误差。控制模块被配置为接收测量设备的输出并且调适正交误差、占空度误差和幅度误差以便使用误差信息在时钟校正设备处提供对同相和正交时钟的调整。

[0037] 结合附图阅读以下示例性实施例的具体描述，这些及其它特征和优点将变得更加清楚。

#### 附图说明

- [0038] 本公开内容参考以下附图在下面的具体实施方式中提供了细节，其中：
- [0039] 图 1 是示出根据现有技术的基于相位旋转器的时钟产生系统的框图；
- [0040] 图 2 是示出根据现有技术的相位旋转器和相位旋转表的框图；
- [0041] 图 3 是示出用于说明目的的 I 和 Q 时钟波形的时序图；
- [0042] 图 4 是示出根据现有技术的开环 CML 正交时钟校正系统的框图 / 示意图；
- [0043] 图 5 是示出根据一个示例性实施例的闭环动态时钟校正系统的框图；
- [0044] 图 6 是示出根据一个示例性实施例的时钟校正方法的框图 / 流程图；
- [0045] 图 7 是示出根据本发明原理的时钟校正设备的电路的示意图；
- [0046] 图 8 是可以根据本发明原理使用的示例性可变时间延迟缓冲器；和
- [0047] 图 9 是示出根据一个示例性实施例的时钟 / 信号多路复用器和信号测量系统的框图 / 示意图。

#### 具体实施方式

[0048] 本发明原理解决了在数据输入和输出系统和方法的时钟路径中可能出现的静态失配和电压 / 温度引发的漂移误差。本发明原理把相位产生器子系统的线性度改进到好于现有技术开环校正器可达到性能的级别。本发明的实施例以对系统较低的功率和芯片面积开销动态地校正由于工艺、电压和温度变化所导致的时钟误差。本发明的实施例解决了跨越工艺、电压和温度 (PVT) 变化实现理想正交的问题 (开环方案即使在设备匹配 (P) 完美的情况下也不能完美实现)，并且特别是在操作数据速率范围内。减小的基准时钟误差在时钟相位产生子系统中直接导致较小的时钟抖动。较小的时钟抖动进而转换为对于例如高速串行 I/O 互连的应用的改进操作余量。

[0049] 这些原理可以被应用于需要准确的正交基准时钟或准确的占空度时钟的任何应

用,包括在串行器 / 解串器 (SERDES) 中的发送器和接收器系统、I/O 核心、在无线电中普遍使用的正交混合器子系统、SERDES 时钟相位产生、IQ 混合器、闭环传输占空度校正系统、闭环接收器锁存占空度校正系统等。

[0050] 针对基于 IQ 内插的相位发生器,本发明原理从开环正交和占空度校正移转到新颖的闭环 / 调适的 (adpated) 方法。当使用开环校正方案时,IC 技术中的设备失配不足以提供足够的性能。

[0051] 本领域技术人员应当理解,本发明的各方面可以实现为系统、方法或计算机程序产品。据此,本发明的各方面可以采取全硬件实施例、全软件实施例 (包括固件、常驻软件、微代码等) 或组合软件和硬件方面的实施例的形式,它们在这里通常可以均被称作“电路”、“模块”或“系统”。此外,本发明的各方面可以采取用一个或多个计算机可读介质实现的计算机程序产品的形式,其上具有计算机可读程序代码。

[0052] 可以利用一个或多个计算机可读介质的任何组合。计算机可读介质可以是计算机可读信号介质或计算机可读存储介质。计算机可读存储介质可以例如但不限于电子、磁、光、电磁、红外或半导体系统、设备或装置,或者上述任何适当的组合。计算机可读存储介质的更具体例子 (非穷举列表) 包括以下内容:具有一个或多个导线的电连接,便携式计算机盘片,硬盘,随机存取存储器 (RAM),只读存储器 (ROM),可擦除可编程只读存储器 (EPROM 或闪速存储器),光纤,便携式压缩光盘只读存储器 (CD-ROM),光存储设备,磁存储器或上述的任何适当组合。在本文档的上下文中,计算机可读存储介质可以是任何有形的介质,其可以包含或存储程序以供指令执行系统、设备或装置使用或与其相结合使用。

[0053] 计算机可读信号介质可以包括其中实现有计算机可读程序代码的传播数据信号,例如在基带中或作为载波的一部分。这种传播信号可以采取各种形式,包括但不限于电磁的、光的或其任何适当的组合。计算机可读信号介质可以是并非计算机可读存储介质的任何计算机可读介质,并且可以传送、传播或传输程序以供指令执行系统、设备或装置使用或与其相结合使用。

[0054] 在计算机可读介质上实现的程序代码可以使用任何适当的介质发送,包括但不限于无线、有线线路、光缆、RF 等或者上述任何适当的组合。用于执行本发明各方面的操作的计算机程序代码可以用一种或多种编程语言的任何组合来编写,包括诸如 Java、Smalltalk、C++ 等面向对象编程语言和诸如“C”编程语言或类似的编程语言之类的常规的过程编程语言。程序代码可以完全地在用户计算机上,部分地在用户计算机上作为独立软件包执行,部分地在用户计算机上并且部分地在远程计算机上或者完全在远程计算机或服务器上执行。在后一种方案中,远程计算机可以通过任何类型的网络连接到用户计算机,包括局域网 (LAN) 或广域网 (WAN),或者可以连接到外部计算机 (例如,使用因特网服务供应商通过因特网连接)。

[0055] 参考根据本发明实施例的方法、设备 (系统) 和计算机程序产品的流程图说明和 / 或框图,下面描述本发明的各个方面。应当理解,流程图说明和 / 或框图的每个块以及在流程图说明和 / 或框图中的块组合可以由计算机程序指令来实现。这些计算机程序指令可以被提供给通用计算机、专用计算机或其它可编程数据处理设备的处理器来制造机器,使得经由计算机或其它可编程数据处理设备的处理器执行的指令建立用于实现在一个或多个流程图和 / 或框图块中所指定的功能 / 动作的装置。

[0056] 这些计算机程序指令也可以被存储在计算机可读介质中,其可以指示计算机、其它可编程数据处理设备或其它设备根据特定方式工作,使得在计算机可读介质中所存储的指令生成包括用于实现在一个或多个流程图和 / 或框图块中所指定的功能 / 动作的指令的制造产品。计算机程序指令也可以被加载到计算机、其它可编程数据处理设备或其它设备上,以便在计算机、其它可编程设备或其它设备上执行一系列操作步骤以生成计算机实现的过程,使得在计算机或其它可编程设备上执行的指令提供了用于实现在一个或多个流程图和 / 或框图块中所指定的功能 / 动作。

[0057] 图中的流程图和框图根据本发明的各个实施例图示了系统、方法和计算机程序产品的可能实现方式的体系结构、功能和操作。在这方面,流程图或框图中的每个块可以表示代码的模块、段或部分,包括用于实现所指定逻辑功能的一个或多个可执行指令。还应当注意,在一些候选实现方式中,在块中所表明功能可以以不同于附图中的次序出现。例如,连续示出的两个块实际上可以基本上同时执行,或者取决于所涉及的功能,所述块有时可以依照相反次序执行。还应当注意,框图和 / 或流程图说明的每个块和在所述框图和 / 或流程图说明中的块组合可以借助基于专用硬件的系统或者专用硬件和计算机指令的组合来实现,所述基于专用硬件的系统执行所指定的功能或动作。

[0058] 如这里所描述的电路可以是集成电路芯片设计的一部分。芯片设计用图形计算机程序设计语言来建立,并且存储在计算机存储介质中(诸如盘片、磁带、硬盘驱动器或诸如在存储访问网络中的虚拟硬盘驱动器)。如果设计者没有制造芯片或者用于制造芯片的光刻掩模,那么所述设计者就直接或间接地借助物理手段(例如,通过提供用于存储设计的存储介质拷贝)或借助电子手段(例如,通过因特网)向这种实体发送所产生的设计。然后把所存储的设计转换为适当的格式(例如,图形数据系统 II (GDSII)) 以便制造光刻掩模,所述光刻掩模一般包括将在晶片上形成的上述芯片设计的多个拷贝。利用光刻掩模来定义要蚀刻或以其他方式处理的晶片(和 / 或其上的层)的面积。

[0059] 所产生的集成电路芯片可以由制造者以原始晶片形式(即,作为具有多个未封装芯片的单个晶片),作为裸管芯,或者以封装形式分送。在后一种情况中,芯片被安装在单芯片封装(诸如具有被贴到主板的引线的塑料载体,或其它更高级的载体)中,或者被安装在多芯片封装(例如陶瓷载体,其具有表面互连和 / 或掩埋互连)中。在任何情况下,然后把该芯片作为(a) 例如主板之类的中间产品或(b) 最终产品的一部分与其它芯片、分立电路元件和 / 或其它信号处理器件集成。最终产品可以是包括集成电路芯片的任何产品,从玩具和其它低端应用到具有显示器、键盘或其它输入设备和中央处理器的高级计算机产品。

[0060] 现在参照附图,其中同样的数字表示相同或类似的元件并且最初参照图 5,在高级框图中示出了闭环动态时钟校正系统 100。动态时钟校正系统 100 以数字方式测量 I 和 Q 时钟占空度 / 相位关系并且使用连续调适的控制回路来校正时钟的占空度和正交准确性。另外,系统 100 具有平衡 I 和 Q 时钟幅度的能力,如果所述 I 和 Q 时钟幅度变得不平衡,那么可能会不利地影响在相位旋转器中所实现的相位线性度。在这种情况下,系统 100 补偿在时钟分送电路中的失配效应以便能够减少数据采样时钟抖动,所述数据采样时钟抖动可能源于用于驱动相位旋转器的 IQ 时钟的正交误差、占空度误差和 / 或幅度失配。

[0061] 示例性的系统 100 接受正交时钟 I 时钟 13 和 Q 时钟 14 并且使用正交时钟调整设备或级 150 来调整这些时钟的正交关系、占空度以及可选地还有幅度,以便产生校正的输

出时钟  $I_c$  和  $Q_c$  155。来自时钟调整级 150 的校正时钟被路由到相位旋转器设备 160 和信号多路复用设备 156, 信号多路复用设备 156 向信号测量块或设备 157 的输入传送校正的  $I$  时钟、 $Q$  时钟、“0”(时钟基线基准)、或可选地还有其它信号。

[0062] 在一个实施例中, 信号测量块 157 调节输入信号的偏移 158 以及可选地调节输入信号的增益 159, 并且生成输入信号的数字输出测量值(信号)。使用由相位旋转器设备 160 产生的时钟来采样信号测量值(157), 其进而被延迟元件 161 延迟。在一个实施例中, 可以在不同延迟的范围内编程延迟元件 161。

[0063] 控制模块 163 产生测量触发 162 以便在信号测量块 157 中生成信号测量值。信号测量结果由控制模块 163 处理以便为时钟调整模块 150 产生更新的时钟校正输入, 所述时钟调整模块 150 分别包括用于校正时钟正交误差的 PHASE\_IQ 控制 153、用于校正  $I$  时钟的占空度误差的 DUTY\_I 控制 154、用于校正  $Q$  时钟的占空度误差的 DUTY\_Q 控制 164、和用于校正  $I$  或  $Q$  时钟的增益误差的 GAIN\_I152 和 / 或 GAIN\_Q151。

[0064] 控制模块 163 使用一种控制方法来对旋转器 160 的相位、延迟元件 161 的延迟和测量采样触发控制 162 定序, 所述控制方法实现了检测并校正输入正交时钟占空度误差、正交误差以及可选地增益误差。控制模块 163 可以可选地用来通过经由信号多路复用器 156 路由其它信号 165 并且使用适当的控制 166 来控制这些其它信号的相关联的占空度、增益或正交关系, 来在系统实施例中检测并校正其它时钟中的误差。

[0065] 在简单的实施例中, 没有其它信号被测量或控制, 并且校正的  $I$  和  $Q$  时钟 155 可以被发送到数据和边缘相位旋转器输入 17 和 18(图 1) 以便在数据接收器系统中产生具有改进的相位线性度的内插时钟相位。

[0066] 由控制模块 163 实现的时钟校正方法可以在  $I_c$  和  $Q_c$  时钟的整个周期内测量它们的符号, 对应于  $2 * T$  的持续时间或 360 度的相位。为了确定正交误差, 控制方法累加  $I_c$  和  $Q_c$  波形的符号的乘积积分, 同时在离散的梯级中跨过  $2 * T$  时间段步进旋转器 160 的相位。为了确定占空度误差, 所述方法在相同的  $2 * T$  周期上累加  $I_c$  和  $Q_c$  波形符号的积分。借助以下的误差测量控制方法来描述在一个实施例中用来确定这些误差积分的过程。

[0067] 参考图 5 后继续参考图 6, 示例性地描绘了用于确定误差积分的方法。在块 170 中, 时钟延迟缓冲器 161 被循环推进一个延迟单位。在块 171 中, 把旋转器 160 的相位初始化为 0。在块 172 中, 选择“0”或信号多路复用器 156 的时钟基线输入。在块 173 中, 确定信号是否大于 0, 生成波形符号 +1 或 -1。在块 174 中, 根据来自块 173 的确定来更新信号偏移控制 158。在块 175 中, 选择信号多路复用器 156 的  $I_c$  波形输入。在块 176 中, 确定信号是否大于 0, 生成  $I_c$  波形符号 +1 或 -1。在块 177 中, 在模块 163 的  $I\_Duty\_Error$  累加器中累加  $I$  符号值的和, 保存  $I$  符号。在块 178 中, 选择信号多路复用器 156 的  $Q_c$  波形输入。在块 179 中, 确定信号是否大于 0, 生成  $Q_c$  波形符号 +1 或 -1。在块 180 中, 在模块 163 中的  $Q\_Duty\_Error$  累加器中累加  $Q_c$  符号值的和。

[0068] 在块 181 中, 把来自块 177 的保存的  $I$  符号乘以  $Q_c$  波形极性值, 并且在模块 163 的  $IQ\_Error$  累加器中累加和。在块 182 中, 把相位旋转器 160 增大一个离散的相位梯级。在块 183 中, 重复块 175 到 182 直到相位旋转器已经完成完整的 360 度扫描或  $I_c$  和  $Q_c$  输入时钟的完整  $2 * T$  周期的覆盖范围。这提供了预定操作周期的误差积分。

[0069] 误差测量控制方法的块 170 对每个误差确定序列的符号采样锁存实现了可变的

时间延迟。为了使时钟校正方法适当地工作,由相位旋转器 160 提供的时钟从输入到相位旋转器 160 的 Ic 和 Qc 时钟被延迟或去相关 (de-correlate)。此延迟允许测量在旋转器相位的 Ic 和 Qc 时钟交叉时间 (或边缘),所述旋转器相位用于混合或内插 Ic 和 Qc 信息以便确定 Ic 和 Qc 时钟边缘交叉点。通过提供用于测量在内插旋转器相位位置的 Ic 和 Qc 波形边缘的能力,测量系统能够检测在边缘交叉时间的误差。

[0070] 在一个实施例中旋转器 160 的相位调整被量化为比方说近似 5 度的数字梯级 (例如,对于完整的 360 度相位调整范围来说 64 个离散的相位梯级产生 5.625 度的相位量化)。此量化可能限制能够测量 I 和 Q 波形的边缘交叉的准确性。通过引入具有可编程精细延迟的延迟缓冲器 161,测量系统能够将边缘交叉解析到好于相位旋转器本身的梯级分辨率的准确性。

[0071] 在一个实施例中,可变的时间延迟将按照小于对应于一个相位旋转器梯级的时间延迟的 1/2 的时间梯级推进延迟,并且提供最小延迟和完整的 2\*T 时钟周期的至少 1/16 的延迟范围。在块 170 中,循环推进延迟缓冲器意味着增加缓冲延迟直到延迟为由缓冲器所提供的最大值,在此之后编程的延迟被约束为最小延迟。

[0072] 在误差测量控制过程中的块 172 到 174 定义了 DC 偏移校正处理,用于移除信号测量块 157 中的任何偏移。信号测量块 157 中的未补偿偏移向占空度和相位误差确定增加了误差。DC 偏移校正处理有效地调整了 Signal\_Offset 控制 158,使得当时钟或信号多路复用器 156 被配置为选择“0” (时钟基线) 输入时由信号测量块 157 获得为 0 的平均信号测量值。通过在所测量的信号符号的相反方向上集成 Signal\_Offset 控制 (158) 来实现此状态,由此实现经调适的 DC 偏移补偿控制回路。

[0073] 在一个实施例中通过平均来自至少 16 个独立测量的结果以便减少在单个符号测量结果上的噪声效应,来实现在误差测量控制过程中的块 173、176 和 179 中执行的波形符号确定。如果 16 个测量值中的大部分是 +1,那么确定正的波形值;否则确定负的波形值。

[0074] 在使用具有 64 个离散相位位置的相位旋转器 160 的实施例中,块 175 到 182 被重复 64 次以便实现以下计算:

[0075]

$$\text{PHASE\_IQ\_SUM} = \boxtimes (\text{SGN}(I_c) * \text{SGN}(Q_c)) \quad (10)$$

[0076]

$$\text{DUTY\_I\_SUM} = \boxtimes (\text{SGN}(I_c)) \quad (11)$$

[0077]

$$\text{DUTY\_Q\_SUM} = \boxtimes (\text{SGN}(Q_c)) \quad (12)$$

[0078] 如果所测量的时钟波形大于基线 (0) 值,那么等式 (10) 到 (12) 中的 SGN() 函数输出 1,并且如果波形小于或等于基线值,那么该函数输出 -1。在图 5 中,通过信号测量块 157 来确定 SGN() 函数,其对应于 SGN 函数值 1 确定所测量的波形是否大于或等于 0,或者对应于 SGN 函数值 -1 确定所测量的波形是否小于 0。如果 I 和 Q 波形具有 50% 的占空度并且处于理想正交,那么等式 (10) 到 (12) 均产生值 0。

[0079] 在借助图 6 的误差测量控制方法计算由等式 (10) 到 (12) 确定的误差信号之后,使用以下时钟校正控制过程来更新控制变量 PHASE\_IQ153、DUTY\_I154 和 DUTY\_Q164,其中从控制模块 163 提供控制信号并且由时钟校正电路 160 执行时钟校正控制过程。控制模块

163 和时钟校正控制 160 优选包括逻辑电路和设备（和 / 或软件）来实现在时钟校正控制过程中的以下功能。

[0080] 时钟校正控制过程：

[0081] 1) 如果快速收敛模式，那么把 ADJ 设置为值  $> 1$ ，否则把 ADJ 设置为 1

[0082] 2) 如果  $DUTY\_I\_SUM > 0$ ，那么  $DUTY\_I = DUTY\_I - ADJ$

[0083] 3) 如果  $DUTY\_I\_SUM < 0$ ，那么  $DUTY\_I = DUTY\_I + ADJ$

[0084] 4) 如果  $DUTY\_Q\_SUM > 0$ ，那么  $DUTY\_Q = DUTY\_Q - ADJ$

[0085] 5) 如果  $DUTY\_Q\_SUM < 0$ ，那么  $DUTY\_Q = DUTY\_Q + ADJ$

[0086] 6) 如果  $PHASE\_IQ\_SUM > 0$ ，那么  $PHASE\_IQ = PHASE\_IQ + ADJ$

[0087] 7) 如果  $PHASE\_IQ\_SUM < 0$ ，那么  $PHASE\_IQ = PHASE\_IQ - ADJ$

[0088] 时钟校正控制过程的步骤 1) 设置方法的收敛速度。对于快速收敛采集来说，作为所确定误差的结果迅速地 (ADJ 值  $> 1$ ) 更新校正项  $PHASE\_IQ$ 、 $DUTY\_I$  和  $DUTY\_Q$ ，而在非采集（或跟踪）模式中，以较慢的速率 (ADJ = 1) 更新所述项以便能够滤波所测量的信号值上的噪声。

[0089] 时钟校正控制过程的步骤 2) 到 5) 根据  $DUTY\_I\_SUM$  和  $DUTY\_Q\_SUM$  误差项来修改  $DUTY\_I$  和  $DUTY\_Q$  控制。选择根据所确定的占空度误差来调整占空度的符号规范以便当应用占空度调整时降低占空度误差，并且可以根据相位调整方法的实现方式来改变极性。

[0090] 时钟校正控制过程的步骤 6) 和 7) 根据  $PHASE\_IQ\_SUM$  误差项来更新  $PHASE\_IQ$  控制。选择用于根据所确定的正交误差调整 IQ 正交的符号规范以便当应用校正时降低正交误差（即，使 Q 接近于从 I 延迟 90 度），并且可以根据正交调整方法的实现方式来改变极性。

[0091] 在一个实施例中，控制项  $PHASE\_IQ$ 、 $DUTY\_I$  和  $DUTY\_Q$  由整数寄存器值表示，其直接对应于在最高有效比特中的硬件正交调整和占空度调整数模转换器 (DAC)。使逻辑状态机内的寄存器大小大于硬件 DAC，使得在必须更新硬件占空度或正交之前，所述寄存器可以自动平均许多测量值。

[0092] 在一个实施例中，所述寄存器具有低于硬件 DAC 精度的至少 4 比特的精度。作为一个例子，如果硬件 DAC 具有 5 比特的精度，那么往往在逻辑实现方式中使用 9 比特累加器来表示控制值，并且往往需要最少 16 个 ADJ = 1 的连续测量值来影响硬件调整。

[0093] 时钟校正控制过程的可选增强实现了控制回路，用于平衡被分送给系统相位旋转器的  $I_c$  和  $Q_c$  输出时钟的幅度。在这些时钟中的幅度不平衡可能由于粗略相位校正级 40 (图 4) 可能引入的幅度失配而出现，在一些实施例中，所述粗略相位校正级 40 可能在所描述的时钟校正设备之前。特别地是，如果到缓冲器的输入信号并不是正交的，那么粗略校正缓冲器 40 可以生成具有不同幅度的输出信号。

[0094] 另一幅度失配的来源由于在独立的 I 和 Q 路径的电路实现中的设备匹配差异而出现，所述 I 和 Q 路径包括用于实现时钟校正缓冲器 150 的设备和电路 (图 5)。

[0095] 可以使用信号测量块 157 来检测  $I_c$  和  $Q_c$  波形的幅度失配来确定所选择  $I_c$  或  $Q_c$  波形的峰值或所述波形的平均幅度。由于其简单性，在优选实施例中，可以使用以下幅度校正控制过程来确定波形的峰值：

[0096] a) 选择时钟 / 信号多路复用器 156 的  $I_c$  波形输入。

[0097] b) 如果必要的话把信号测量块 157 配置为较低的信号增益状态使得块 157 可以测量输入时钟的峰值。

[0098] c) 把 Signal\_Offset 偏移控制值初始化为在误差积分过程中确定的校准 DC 偏移。

[0099] d) 把旋转器 160 的相位初始化为 0。

[0100] e) 确定信号是否大于 0, 生成测量结果 1 或 -1。

[0101] f) 如果测量值小于 0, 那么增大 Signal\_Offset 控制值并且转到步骤 e), 否则继续至步骤 g)。如果 Signal\_Offset 控制值处于其最大值, 那么也继续至步骤 g)。

[0102] g) 把相位旋转器增大一个梯级位置。

[0103] h) 对于相位旋转器的完整 360 度扫描 (2\*T 持续时间) 重复步骤 e) 到 g)。

[0104] i) 把 Signal\_Offset 偏移值保存到临时值 PEAK\_I

[0105] j) 选择时钟 / 信号多路复用器的 Qc 波形输入。

[0106] k) 重复步骤 c) 到 h) 以便确定 Qc 波形 PEAK\_Q 的峰值。

[0107] l) 如果  $PEAK_I > PEAK_Q$ , 那么如果 GAIN\_Q 并不处于其最大值, 那么增大 GAIN\_Q 控制参数, 否则减小 GAIN\_I 控制参数

[0108] m) 如果  $PEAK_Q > PEAK_I$ , 那么如果 GAIN\_I 并不处于其最大值, 那么增大 GAIN\_I 控制参数, 否则减小 GAIN\_Q 控制参数

[0109] 与占空度和正交硬件调整控制类似, Ic 和 Qc 增益控制 GAIN\_I 和 GAIN\_Q 可以由寄存器值表示, 所述寄存器值对应于利用额外比特扩充的硬件 DAC 以便实现测量值平均。作为一个例子, 在一个实施例中如果使用 4 比特 DAC 来以 0.025 的梯级在例如从 0.8 到 1.2 的范围内调整 I 和 Q 增益, 在控制逻辑中的寄存器值可能会为 8 比特的大小, 使得可以平均来自单独的峰值测量值的结果。希望此平均以减少测量中的噪声并且避免根据噪声调整 Ic 和 Qc 波形增益控制。

[0110] 在一个示例性实施例中, 用于正交时钟校正的控制方法包括在高回路带宽收敛模式 ( $ADJ > 1$ ) 中执行的加电复位初始时钟对准, 接着是此后在低回路带宽跟踪模式 ( $ADJ = 1$ ) 中执行的校正的周期刷新。低带宽周期性刷新补偿或跟踪在电路的 DC 偏移中跨越温度和电压变化的漂移 (在扩展的系统操作期间可能会遇到所述温度和电压变化), 由此跨越工艺、电压和温度变化实现改进的正交时钟准确性。改进的正交时钟准确性进而直接转换为例如在数据接收器中的减少的数据采样时钟抖动。还可以使用其它硬件子系统。

[0111] 时钟校正电路或级 150 (图 1) 可以用于提供 Ic 时钟、Qc 时钟的占空度的调整、Ic 和 Qc 时钟的正交关系、和 Ic 时钟和 / 或 Qc 时钟的幅度中的一个或多个。为了使时钟校正系统 100 (图 1) 按需要工作, 时钟校正级 150 需要提供足够的时钟参数调整范围以便覆盖具有足够分辨率的预期制造变化, 以实现所想要的最大残留数据时钟采样抖动。在示例性实施例中, 期望至少 +/-15 度的 IQ 相位调整范围、覆盖至少 45 : 55 占空度的占空度误差 (或 10% 峰值 - 峰值占空度误差) 的占空度调整范围、和至少 1.2/0.8 (+/-20% 幅度失配) 的幅度平衡范围。还构想了其它范围。例如, 在一个实施例中可以使用 1 度相位误差、0.5% 占空度误差、和 2% 幅度匹配分辨率的相应调整分辨率。

[0112] 参照图 7, 示例性地示出了示例性电流模式逻辑 (CML) 时钟校正缓冲器 200 的示意图。缓冲器 200 使用两个 CML 混合器 202 和 204 的级联来提供正交的“开环”调整, 所述两个 CML 混合器 202 和 204 用于 (例如向 I+Q/Q-I 补偿电路) 提供 45 度的标称固定 I 和

Q 延迟。以两级实现 45 度相位延迟比单级开环正交校正缓冲器有改进,这是由于在单级电路 ( $I_c = I+Q$ ,  $Q_c = Q-I$ ) 的情况下,生成通常不适当的信号形状(具有接近过零点的平坦部分,所述过零点导致增加抖动和旋转器非线性)。因此取代单级而通过两级来简单地散布所想要的 45 度延迟使得相当大地改进了输出时钟波形的形状和回转速率(slewrate)控制。

[0113] 偏置电流比率  $IB_4/IB_3$  控制在第一级时钟缓冲器 288 中的混合率并且偏置电流比率  $IB_2/IB_1$  控制在第二级时钟缓冲器 280 和 282 中的混合率。通过把 Q2 信号的可变量混合到 I2 时钟输出并且把 I2 信号的可变量混合到 Q2 时钟输出上来调整在时钟校正级 200 中的输出时钟  $I_c(I_{c+}, I_{c-})$  和  $Q_c(Q_{c+}, Q_{c-})$  的正交关系。差分电流 DAC 290 被反映到 CML 缓冲器 280 和正交混合缓冲器 282 中的尾电流。

[0114] 通过向输出信号施加 DC 偏移来控制校正的输出时钟  $I_c$  和  $Q_c$  的占空度。只要 CML 时钟被时钟缓冲器级(第一和第二级)调节以便通过在缓冲器级中适当设计和/或调整负载电阻和电流而具有不为零的上升时间,调整 DC 偏移就导致时钟占空度的按比例调整。差分电流 DAC 286 和 287 能够在不改变输出时钟的共模级别的情况下调整 DC 偏移/占空比。类似地,差分电流 DAC 284 和 285 允许调整输出时钟的增益。

[0115] 通过把偏置电流从缓冲器级 280 中的输入信号差分对移动到零差分输入信号级 281 来减少输出时钟  $I_c$  和  $Q_c$  的幅度。在实例化幅度控制回路的一个实施例中, $I_c$  或  $Q_c$  时钟被减小为两者中的较小一个的水平以便产生平衡的时钟幅度。

[0116] 在一个实施例中,IQ 调整和占空度调整产生大体类似的时间分辨率。由于它向占空度和正交调整反馈控制回路这两者提供了类似的回路增益所以这是优选的,这对反馈回路的最优收敛来说是期望的。可以设计占空度和正交调整 DAC,使得它们可以被更新而不由于 DAC 代码中的变化而向时钟增加噪声干扰。诸如使用跟踪保持电路或温度计编码的 DAC 之类的低干扰 DAC 实现技术是在本领域中可以被应用来实现下述 DAC 的一些技术,在更新相应的调整值时所述 DAC 能够被更新而不在输出时钟  $I_c$  和  $Q_c$  上产生瞬态噪声干扰。

[0117] 参照图 8,示例性地描绘了可以根据本发明原理实现的时间延迟缓冲器 300。在例如从约 3 到 12Gb/s 的数据速率范围内操作的数据接收器系统的应用中,例如使用 100ps CMOS 延迟线 301 来实现时间延迟缓冲器 300,所述延迟线 301 在各个延迟点被粗略抽头然后被内插以便提供所需要的时间分辨率。使用 CML 到 CMOS 转换缓冲器 307 把一般产生 CML 信号的相位旋转器 160 转换为 CMOS 级。转换缓冲器的输出馈给粗略延迟块 301 中的一连串 CMOS 反相器。一种实现方式提供了具有例如约 12ps 的延迟的平均梯级大小的八个粗略延迟梯级,从而提供约 100ps 的延迟覆盖范围。多路复用器 302 从粗略延迟线 301 选择早和迟延迟(其例如对应于大致相隔 12ps 的时钟信号)。使用 CMOS 延迟内插器 303 来把这些早和迟延迟内插为八个较小梯级,提供例如约 1.5ps 的可调整的延迟分辨率。优化延迟线 301 的延迟范围和分辨率来对应于  $< 1$  的相位旋转器梯级覆盖所想要的最小延迟  $T/16$ 、最小跨度  $T/16$ 、和  $1/2$  时间延迟的最小分辨率。只要能实现所想要的最小延迟、范围和分辨率,可以使用各种替换的技术来产生可变的延迟功能。

[0118] 参照图 9,更加详细地描绘了信号多路复用器 156 和信号测量系统 157。信号多路复用器 156 用于把  $I_c$  和  $Q_c$  时钟路由到信号测量块 157。因为使用相同的信号测量块 157 来测量  $I_c$  和  $Q_c$  波形,只要信号多路复用器 156 提供从  $I_c$  时钟和  $Q_c$  时钟到信号测量块 157

的恒定延迟,它就不会在测量/校正系统 100 中引入正交误差(图 1)。

[0119] 在使用 CML  $I_c$  和  $Q_c$  时钟的实施例中,信号多路复用器 156 还输入时钟基线电平,其对应于差分 CML 电压 0。此时钟基线电平用来移除信号测量块 157 中的任何 DC 偏移,该 DC 偏移进而可能在时钟信号的边缘交叉测量中引入误差。如图 5 所示,除  $I_c$  和  $Q_c$  输入时钟之外,信号多路复用器 156 还可以选择任意数目的其它测量信号。

[0120] 图 9 示出了使用 CMOS 电路的信号多路复用器 156 和信号测量块 157。通路栅(passgate)模拟多路复用器结构 420 把 I 和 Q 信号的差分 I( $I_p$ )、差分  $-I$ ( $I_n$ )、差分 Q( $Q_p$ )、差分  $-Q$ ( $Q_n$ ) 或标称的 DC 共模电平  $V_{cm}$ (对于 CML I 和 Q 时钟) 连接到信号测量偏移空缓冲器的输入。互补输入时钟(I 和 Q) 被多路复用以便改进泄露到输入 I 时钟的所选 Q 时钟的差分绝缘,反之亦然。作为一个例子,如果切断 I 时钟并且开启 Q 时钟,那么通过到  $I+$  和  $I-$  的断开状态通路栅来对称地平衡来自  $Q+$  和  $Q-$  的泄露,由此能够通过寄生通路泄露来减少差分噪声。

[0121] 时钟多路复用器 120 的性能要求包括:使在 I 和 Q 时钟路径之间的差分延迟最小化,增加在 I、Q 之间无差分的 DC 偏移和时钟基线基准输入,从输出到未选择路径输入的良好隔离,以及尽可能恒定地向输入 I 和 Q 时钟提供负载。特别地是,在  $I_c$  测量、 $Q_c$  测量和时钟基线测量配置中,应当由通路栅多路复用器把类似的负载提供给  $I_c$  和  $Q_c$  线。当其并未连接到真偏移空缓冲器(offset null buffer) 422 时通过增加用于把  $I_c$  或  $Q_c$  连接到虚拟(dummy)“偏移空”缓冲器 421 的通路栅(晶体管 402) 来实现这点,以便独立于时钟多路复用器 420 的配置来向时钟线提供相同的电容负载。

[0122] 当重新配置多路复用器 420 或采样所选信号时,多路复用器设计在  $I_c$  和  $Q_c$  时钟上提供了最小的干扰(glitching)。由于互补控制线生成通过通路栅设备 404 耦合到时钟信号的相反极性噪声,实现开关噪声的差分消除,所以时钟多路复用器 420 使来自多路复用器控制线(例如, QMUX, ZMUX 和 IMUX) 的在时钟线上的干扰最小化。在其它实施例中,可以从  $I_c$  时钟或  $Q_c$  时钟的边缘以同步的相位偏移更新多路复用器重新配置线,使得任何噪声干扰均远离于时钟边缘出现。

[0123] 借助偏移缓冲器 422、偏移 DAC 423 和判定锁存器 424 的组合来实现信号测量功能(157)。偏移缓冲器 422 提供了使校准的 DC 偏移能够被添加到信号波形的功能以便消除在锁存器 424 判定设备中的偏移。偏移缓冲器 422 还从锁存器“回扫(kickback)”或噪声(可能在锁存器 424 计时的时候出现) 向所选多路复用器输入提供反向隔离。偏移 DAC 423 提供了足够的范围来补偿模拟电路中的预想偏移。可选的增益调整(Signal gain) 可以被添加到偏移缓冲器 422 以便增加其测量较大幅度的输入信号的能力,同时使所需要的偏移 DAC 423 的范围最小化。在图 9 的示例性实施例中,偏移缓冲器 422 通过打开短接开关 405 被设置为低增益状态,所述短接开关 405 在该级上引入电阻衰退(de-generation),由此降低了其增益。在一个实施例中,偏移缓冲器 422 当测量波形边缘时被设置为高增益并且当可选地测量波形峰值或幅度时被设置为低增益。

[0124] 锁存器 424 优选是使用已知技术构造的二值判定设备,诸如差分级联电压开关(DCVS) 锁存器结构。控制方法更新 Signal\_offset 电平以便把锁存器 424 驱动到“亚稳”状态,其中它输出相等数量的 1 和 0 输出以便确定测量的输入波形电平。此测量技术在本领域中是已知的并且能够利用高效的 1 比特 A/D 检测设备来确定模拟控制电压。如果只需

要测量信号的符号,那么偏移 DAC 423 的 Signal\_offset 控制值被配置为经调适的偏移并且锁存器 424 直接输出 1 以便表明信号大于 0,否则信号等于 0。

[0125] 已经描述了用于对相位旋转器系统进行动态正交时钟校正的系统和方法的优选实施例(其旨在是示例性的而并非是限制性的),应当注意按照以上教导本领域技术人员可以进行修改和改变。因此应当理解,在所附权利要求概述的本发明的范围和精神内可以对所公开的特定实施例进行改变。从而已经描述了本发明的各方面,在专利法所要求的细节和特性的情况下,在所附权利要求中阐明了本专利所要求和想要保护的内容。

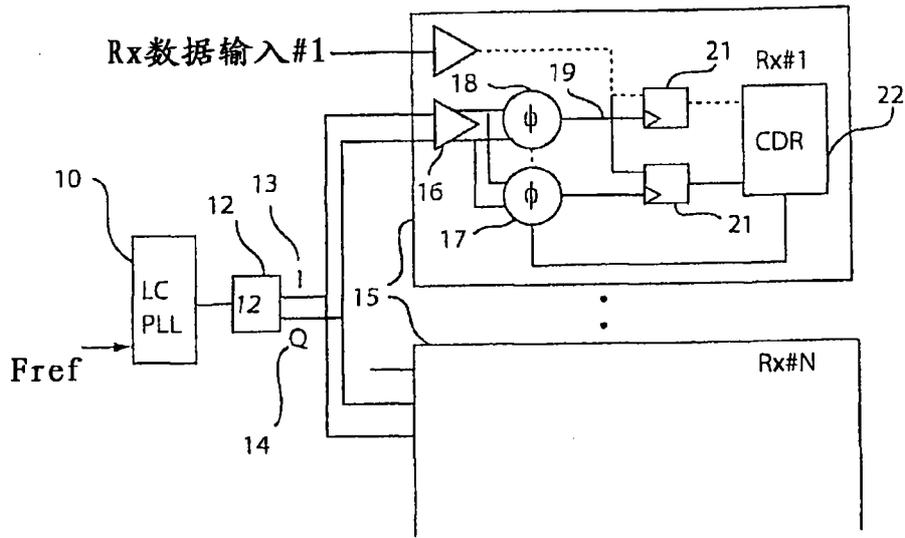


图 1(现有技术)

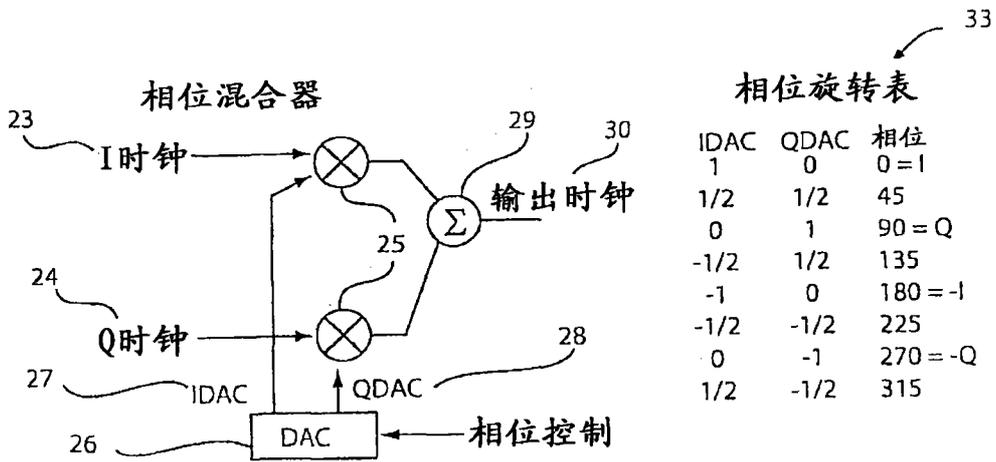


图 2(现有技术)

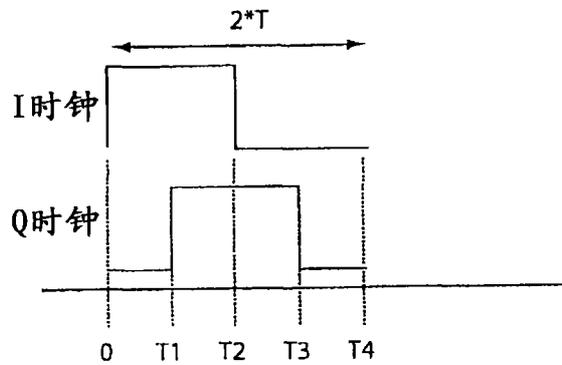


图 3(现有技术)

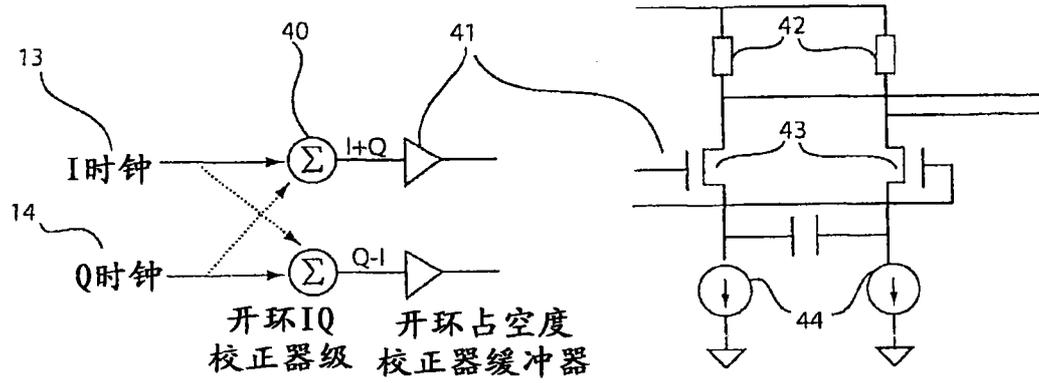


图4(现有技术)

100

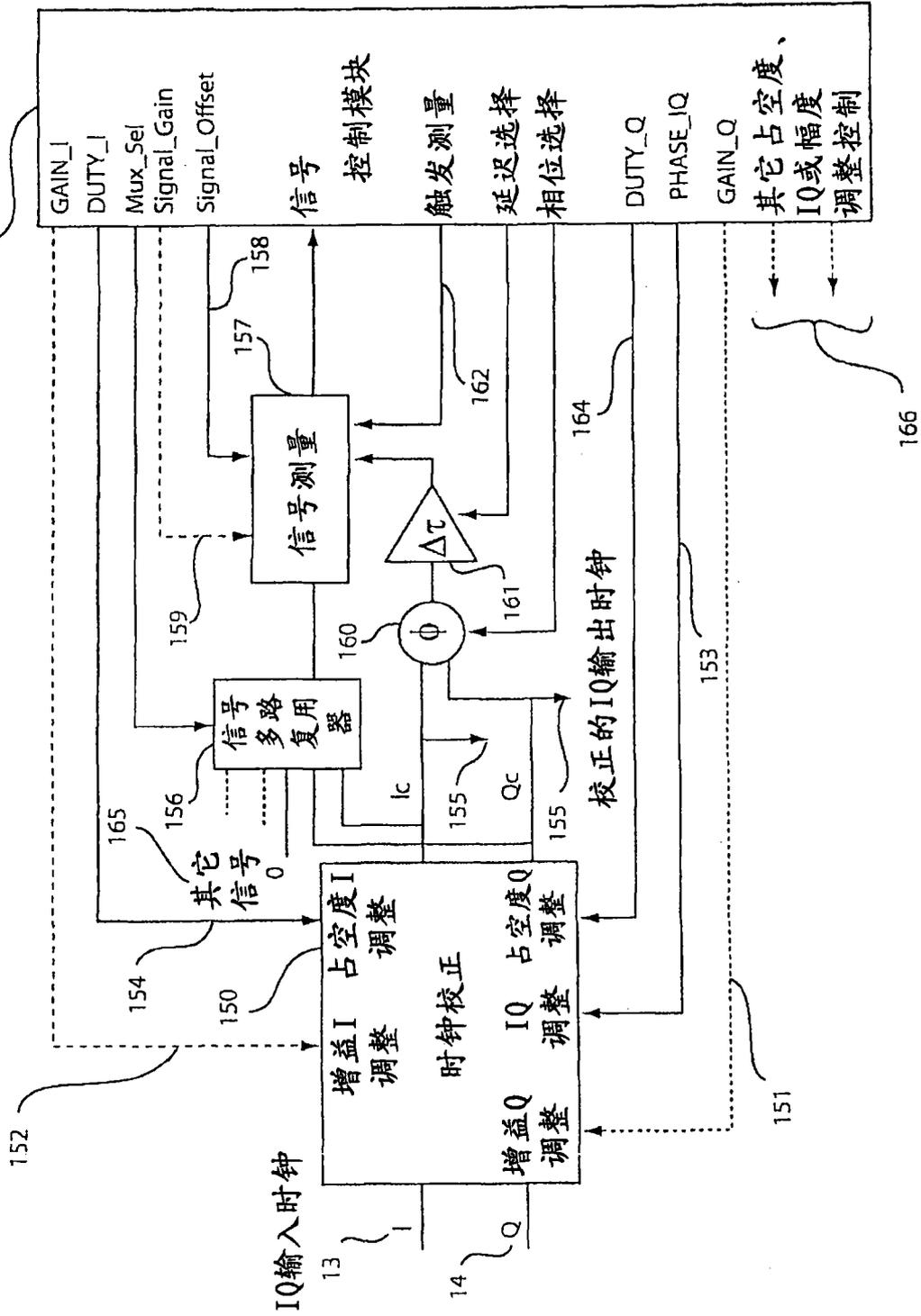


图 5

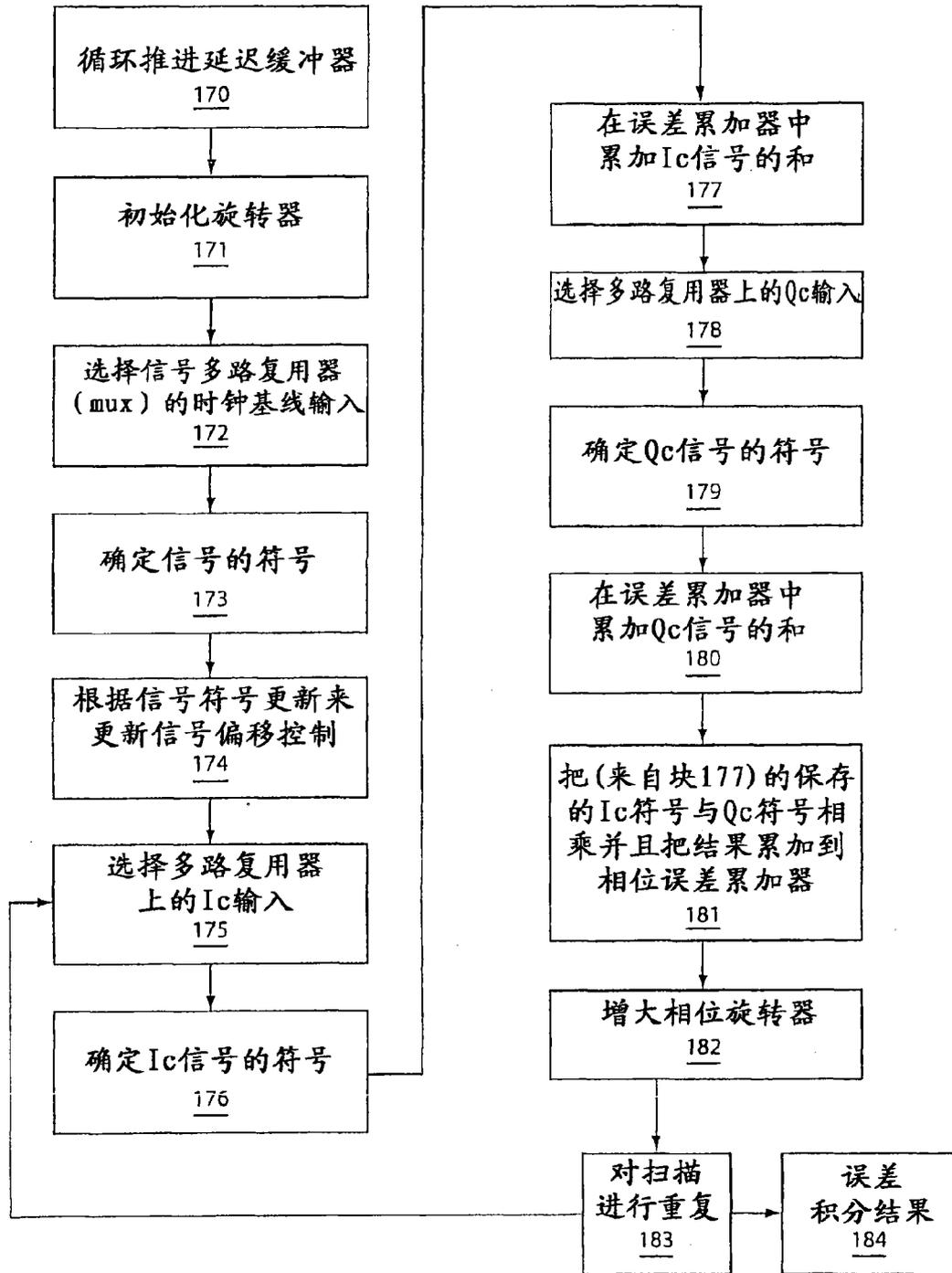


图 6



300

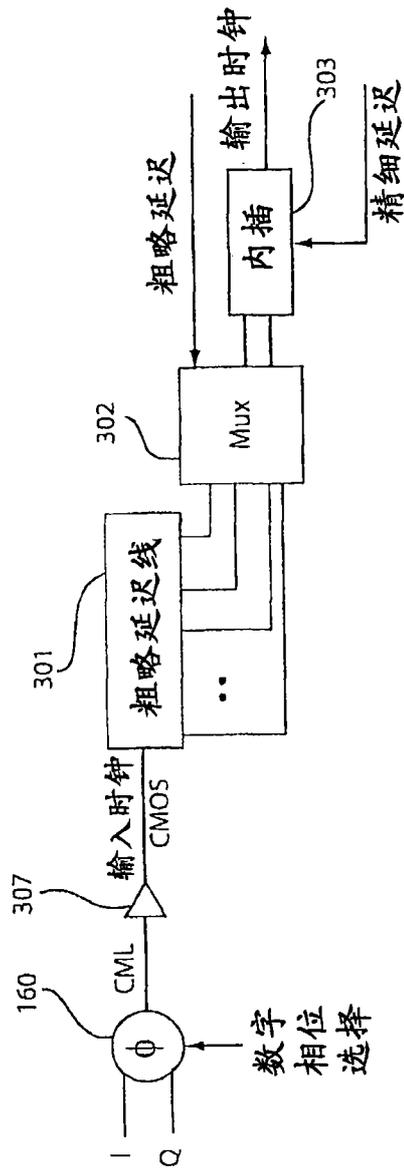


图 8

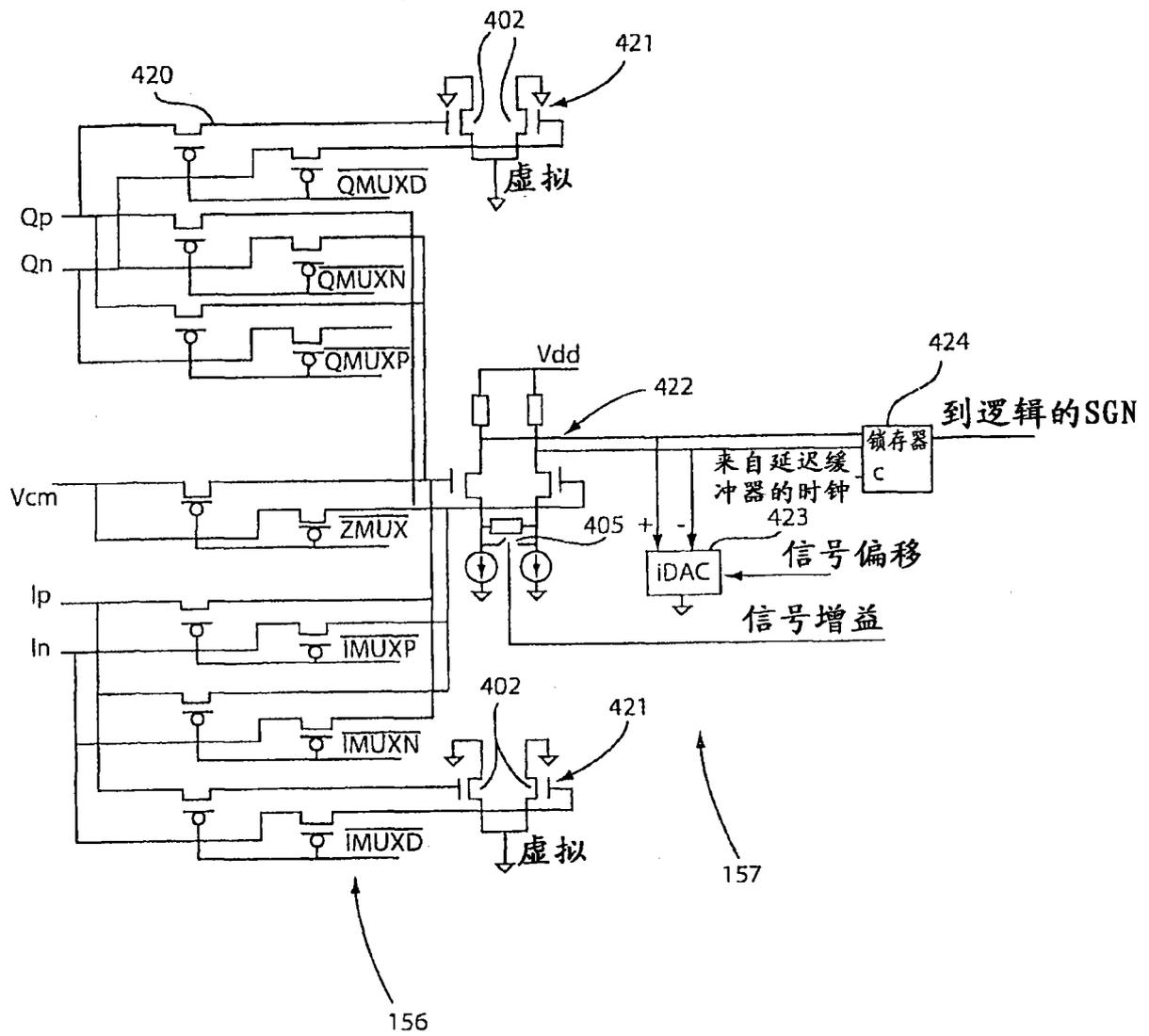


图 9