

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
6. April 2006 (06.04.2006)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2006/034704 A1

(51) Internationale Patentklassifikation:
GI1C 29/00 (2006.01) *GI1C 16/20* (2006.01)

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): OSSIMITZ, Peter
[AT/DE]; Gilmstr. 58 A, 81377 München (DE).

(21) Internationales Aktenzeichen: PCT/DE2005/001737

(22) Internationales Anmeldedatum:
29. September 2005 (29.09.2005)

(74) Anwalt: SCHÄFER, Horst; c/o Kanzlei Schweiger &
Partner, Karlstr. 35, 80333 München (DE).

(25) Einreichungssprache: Deutsch

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY,
MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO,
NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK,
SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

(26) Veröffentlichungssprache: Deutsch

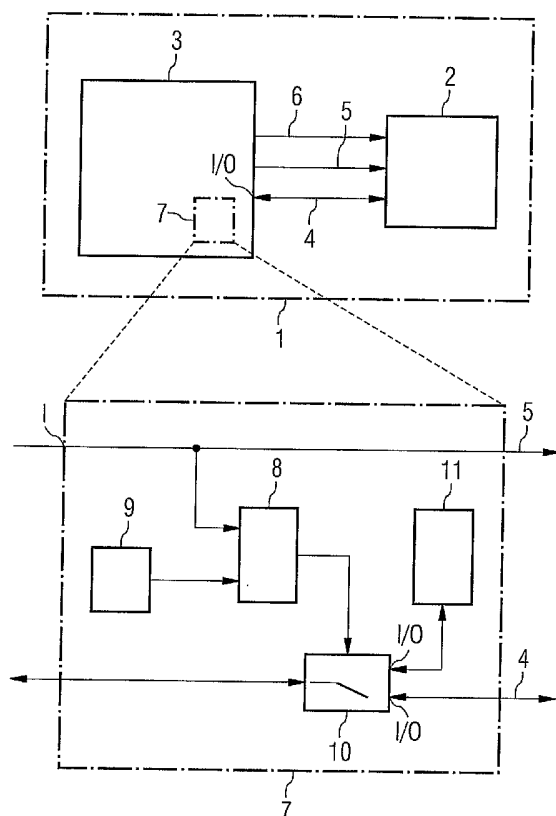
(30) Angaben zur Priorität:
10 2004 047 813.9
29. September 2004 (29.09.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: SEMICONDUCTOR MEMORY CHIP COMPRISING A REROUTING CIRCUIT

(54) Bezeichnung: HALBLEITERSPEICHERBAUSTEIN MIT EINER UMLENKSCHALTUNG



(57) Abstract: Disclosed is a method for correcting faults of semiconductor memory chips, which creates an application system with a multichip module (1) that is provided with a semiconductor memory chip (2) encompassing a volatile memory and a rerouting circuit (7). Addresses of faulty memory cells of the semiconductor memory chip (2) are loaded into the multichip module (1) during booting of the application system such that the rerouting circuit (7) reroutes access to a memory cell into the backup data memory in case a faulty memory cell of the semiconductor memory chip (2) is accessed.

(57) Zusammenfassung: Das erfindungsgemäße Verfahren zur Fehlerkorrektur von Halbleiterspeicherbausteinen stellt ein Anwendungssystem mit einem Multi-Chip-Modul (1) bereit, das einen Halbleiterspeicherbaustein (2) mit einem flüchtigen Speicher und eine Umlenkschaltung (7) aufweist. Beim Booten des Anwendungssystems werden Adressen von fehlerhaften Speicherzellen des Halbleiterspeicherbausteins (2) in das Multi-Chip-Modul (1) geladen, sodass die Umlenkschaltung (7) den Zugriff auf eine Speicherzelle in den Ersatzdatenspeicher umlenkt, falls auf eine fehlerhafte Speicherzelle des Halbleiterspeicherbausteins (2) zugegriffen wird.

WO 2006/034704 A1



(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Halbleiterspeicherbaustein mit einer Umlenkschaltung

Die Erfindung betrifft ein Verfahren zur Fehlerkorrektur von Halbleiterspeicherbausteinen

Aufgrund der physikalischen Gegebenheiten bei der Fertigung von integrierten Halbleiterchips auf Wafer-Ebene und bei den weiteren Fertigungsschritten, bis die Halbleiterspeicherbausteine im Package vorliegen, ist es praktisch unmöglich, zu vermeiden, dass einige der Vielzahl der Speicherzellen der integrierten Halbleiterspeicherbausteine bereits während oder nach der Fertigung defekt sind. Um eine korrekte und zuverlässige Funktion dieser Halbleiterspeicherbausteine in der Anwendungs-Systemumgebung, in der diese eingesetzt werden, zu ermöglichen, beispielsweise in Mobiltelefonen, Notebooks, PC's etc., werden die defekten Speicherzellen oft durch redundante Speicherzellen ersetzt, die ebenfalls auf dem integrierten Halbleiterspeicherbaustein vorhanden sind.

Die DE 10 2004 039 831 geht dabei den Weg, redundante Speicherzellen für den betroffenen integrierten Halbleiterspeicherbaustein, der flüchtigen Speicher wie Dynamischen RAM (DRAM) - Speicher aufweist, nicht in diesem selbst, sondern in dem insbesondere als digitalen Signalprozessor oder als Prozessor/CPU ausgeführten Logikchip eines Multi-Chip-Moduls anzuordnen. Der zum Einsatz kommende nichtflüchtige Speicherbereich kann insbesondere auch als elektrisch programmierbare Verbindung zum dauerhaften Speichern eines Datums ausgebildet sein, die auch als E-Fuses bezeichnet wird. Dabei erfolgt eine

Umleitung derart, dass bei Zugriffen auf die defekten Speicherzellen eine Umlenkung auf diese E-Fuses erfolgt. Hierbei ist von Nachteil, dass solche E-Fuses in dem verwendeten Multi-Chip-Modul oft nicht zur Verfügung stehen oder zusätzlich vorgesehen werden müssten, was oft nicht möglich ist.

Die DD 239 061 zeigt einen Multichip-Hybridspeicher mit zwei Speicherchips und zwei programmierbaren Logikblöcken. Diese erkennen defekte Spalten und Zeilen und schalten zwischen einem Grundspeicher und einem Redundanzchip hin und her.

Die US 2004/0006404 zeigt "ID"-Speicher, die Informationen über die Herstellung, den Test und die Leistungsfähigkeit eines Chips speichern. In der US 4,473,895 werden gleichzeitig Hauptspeicherzellen und Redundanzspeicherzellen aktiviert.

Es ist daher Aufgabe der vorliegenden Erfindung, einen integrierten Halbleiterspeicherbaustein bereitzustellen, bei dem defekte Speicherzellen auf einfache und zuverlässige Weise durch funktionstüchtige Speicherzellen ersetzt werden können.

Diese Aufgaben werden durch den Gegenstand der unabhängigen Patentansprüche gelöst. Vorteilhafte Weiterbildungen ergeben sich aus den Unteransprüchen.

Die Erfindung betrifft ein Verfahren zur Fehlerkorrektur von Halbleiterspeicherbausteinen. Diese befinden sich in einem Anwendungssystem, beispielsweise einem Mikrocomputer oder einem Mobiltelefon. Zunächst wird ein Anwendungssystem bereitgestellt, das ein Multi-Chip-Modul aufweist. Das Multi-Chip-Modul enthält einen Ersatzdatenspeicher und einen Halbleiter-

speicherbaustein mit einem flüchtigen Speicher. Der Ersatzdatenspeicher kann aus unterschiedlichen Speichertypen wie SRAM, Register-Flip-Flops oder DRAM aufgebaut sein. Der Halbleiterspeicherbaustein ist als ein Chip ausgeführt.

Zudem enthält das Multi-Chip-Modul einen Logikbaustein, bei dem es sich insbesondere um einen Prozessor/CPU und/oder einen digitalen Signalprozessor handelt, und eine Umlenkschaltung. Die Umlenkschaltung und der Ersatzdatenspeicher befinden sich außerhalb des Halbleiterspeicherbausteins und sind insbesondere auf dem Logikbaustein angebracht. Nach dem Bereitstellen des Anwendungssystems wird das Anwendungssystem gebootet, indem beispielsweise durch das Neuanlegen der Spannungsversorgung oder durch das Betätigen einer Resettaste das Anwendungssystem neu gestartet und initialisiert wird. Nach dem Booten werden die Adressen von vorgemerkten, fehleraufweisenden Speicherzellen des Halbleiterspeicherbausteins von dem Anwendungssystem in das Multi-Chip-Modul eingelesen. Die vorgemerkten Adressen können beispielsweise in Flip-Flop-Registern auf dem Logikchip gespeichert werden.

Anschließend wird das Anwendungssystem mit dem Halbleiterspeicherbaustein derart betrieben, dass eine Umlenkschaltung den Zugriff auf eine Speicherzelle in den Ersatzdatenspeicher umlenkt, falls auf eine vorgemerkte Speicherzelle des Halbleiterspeicherbausteins zugegriffen wird. Dadurch brauchen vorteilhafterweise in dem Multi-Chip-Modul keine E-Fuse oder Flash-Speicher vorgesehen zu werden. Für E-Fuses und Flash-Speicher werden gewöhnlicherweise zusätzliche spezielle Fertigungsschritte benötigt, die die Fertigungstechnologie eines Halbleiterbausteins komplizierter machen und somit verteuern.

Zum Programmieren von E-Fuses oder Flash-Speichern werden häufig besonders hohe oder besonders niedrige Spannungen, beispielsweise von +12 V oder -12 V benötigt, für die eigene Spannungsversorgungen wie Pumpen vorgesehen werden müssen. Gemäß der Erfindung brauchen auch diese Spannungsversorgungsschaltungen nicht in dem Multi-Chip-Modul, in dem der Platz begrenzt ist, vorgesehen werden. Beispielsweise ist in Mobiltelefonen häufig ohnehin ein Flash bereits vorhanden, der genutzt werden kann.

In einer Ausführungsform der Erfindung werden die Adressen der vorgemerkten, fehleraufweisenden Speicherzellen des Halbleiterspeicherbausteins über eine elektronische Datenverbindung von einer externen Datenbank über das Anwendungssystem in das Multi-Chip-Modul eingelesen.

Das Einlesen der Speicherzellenadressen und der Identifikationsnummer des Halbleiterspeicherbausteins in das Anwendungssystem kann in einer einfachen Ausführungsform derart erfolgen, dass diese Daten beispielsweise von einer Beschriftung, einem Etikett oder einem Datenblatt abgelesen und manuell in das Anwendungssystem eingegeben werden.

Wenn die bereitgestellte externe Datenbank eine festgelegte Anzahl von Speicherzellenadressen aufweist, von denen nur ein Teil fehlerhaft ist, bringt dies den Vorteil mit sich, dass grundsätzlich eine Umlenkung für eine definierte Anzahl von Speicherzellen erfolgt, ohne dass der Benutzer des Anwendungssystems erfährt oder sich damit beschäftigen muss, wie viele und welche Speicherzellen defekt sind.

Dies kann noch zusätzlich dadurch sichergestellt werden, indem die Adressen der Speicherzellen in der bereitgestellten externen Datenbank verschlüsselt abgelegt sind und eine Entschlüsselung dieser Adressen beispielsweise durch den Logikbaustein erfolgt.

Vorzugsweise wird zusätzlich eine Identifikationsnummer von dem Anwendungssystem in das Multi-Chip-Modul eingelesen. Dies ist notwendig, falls das Multi-Chip-Modul mehrere Halbleiterspeicherbausteine mit flüchtigem Speicher enthält, um die vorgemerkten Adressen richtig zuzuordnen.

Des weiteren kann noch ein Überprüfungsschritt vorgesehen werden, in dem festgestellt wird, ob die eingelesene Identifikationsnummer des Halbleiterspeicherbausteins mit der tatsächlichen Identifikationsnummer des Halbleiterspeicherbausteins in dem Anwendungssystem übereinstimmt. Dadurch können Zuordnungsfehler zuverlässig vermieden werden.

Die Adressen der vorgemerkten Speicherzellen können nach dem Booten direkt an die Umlenkschaltung angelegt werden. Alternativ dazu ist es möglich, die Adressen der vorgemerkten Speicherzellen in der lokalen Speichereinheit abzulegen, die selbst an die Umlenkschaltung angeschlossen ist oder Teil dieser ist. Dann werden die Adressen der vorgemerkten Speicherzellen von der lokalen Speichereinheit an die Umlenkschaltung angelegt. Dies birgt die Vorteile, dass die Adressen der umzulenkenden Speicherzellen in komprimierter Form abgelegt sind und ein besonders schneller Zugriff möglich ist.

Zum Erzeugen der Adressen der fehlerhaften Speicherzellen wird zunächst ein Halbleiterspeicherbaustein auf Waferebene oder in dem Multichip-Package bereitgestellt und anschließend getestet. Dazu wird auch die Identifikationsnummer ausgelesen. Die bei dem Test als fehlerhaft erkannten Speicherzellen werden zusammen mit der Identifikationsnummer in einer externen Datenbank, oder einem Etikett oder einer Beschriftung an dem Multi-Chip-Modul abgespeichert. Eine externe Datenbank ist eine Datenbank außerhalb des Multi-Chip-Moduls. Auf diese kann z. B. beim Zusammenbau des Anwendungssystems zugegriffen werden, um die Adressen in das Anwendungssystem zu laden. Es ist auch möglich, die externe Datenbank über ein Datennetz während des möglichen Betriebs des Anwendungssystems bereitzustellen, sodass bei jedem Booten des Anwendungssystems auf die externe Datenbank über ein Mobilfunknetz oder Internet zugegriffen wird, um die Adressen fehlerhafter Speicherzellen abzurufen.

Durch dieses Verfahren ist es möglich, die Fehlerinformationen eines Halbleiterspeicherbausteins in kompakter Form zu generieren. Vorteilhafterweise werden dabei die Informationen über fehlerhafte Speicherzellen dauerhaft abgespeichert und nicht, wie nach einem herkömmlichen Testverfahren, gelöscht. Dabei werden erfindungsgemäß auf die Ergebnisse sämtlicher während des Herstellungsverfahrens durchgeführter Tests zugegriffen, insbesondere auf produktionsbegleitende Tests des bzw. der Halbleiterchips auf Wafer-Ebene, auf Speicherfunktionstest der bereits zersägten Halbleiterspeicherbausteine und/oder der bereits im Package vorliegenden Halbleiterspeicherbausteine sowie der Burn-In-Tests der Halbleiterspeicherbausteine, bei denen diese unter Stress- und Temperaturbelastung getestet werden. Dabei werden die Ergebnisse eines oder mehrerer dieser

Tests zusammengefasst und die Adressen der als fehlerhaft erkannten Speicherzellen komprimiert abgelegt.

Die Fehlerinformationen werden bei jedem Messvorgang von jedem Halbleiterspeicherbaustein in einer Datei abgelegt. Sie werden unter der Seriennummer des Halbleiterbauteils in einer Datenbank bereitgestellt. Alternativ dazu können diese Informationen in einer maschinenlesbaren Sprache, beispielsweise mittels eines Barcodes mit dem Modul weitergegeben werden.

Diese Daten werden vom Benutzer der Bausteine beim Aufbau des Anwendungssystems in einen Speicher dieses Anwendungssystems geladen. Dieser Speicher enthält beispielsweise Flash-Speicherzellen.

Dies erfolgt vorzugsweise dadurch, dass anhand einer vom Halbleiterspeicherbaustein ausgelesenen Identifikationsnummer die fehlerhaften Adressen dieses Halbleiterspeicherbausteins von der externen Datenbank ausgelesen oder von dem Etikett oder der Beschriftung abgelesen werden. Dabei wird derjenige Datensatz, der zu dem Halbleiterspeicherbaustein des Anwendungssystems gehört, in der Datenbank bzw. auf dem Etikett mittels der Identifikationsnummer gefunden. Die Fehleradressen werden dann wie oben beschrieben in den Speicher des Anwendungssystems geladen.

In einer weiteren Ausführungsform dieses Verfahrens, bei der das Abspeichern in einer externen Datenbank erfolgt, wird eine weitere externe Datenbank angelegt, in welcher die Adressen der als fehlerhaft erkannten Speicherzellen des Halbleiterspeicherbausteins übernommen werden, wobei diese weitere ex-

terne Datenbank zusätzlich mit weiteren Adressen von funktionsfähigen Speicherzellen des Halbleiterspeicherbausteins aufgefüllt wird, bis eine definierte vorgebbare Anzahl von Adressen von Speicherzellen erreicht ist. Durch dieses Verfahren wird ein generisches Datenpaket von Speicherzellenadressen erzeugt, das für alle Halbleiterspeicherbausteine den gleichen Datenumfang aufweist. Dadurch wird sichergestellt, dass sich der Anwender des hergestellten Halbleiterspeicherbausteins nicht im einzelnen erfährt oder damit beschäftigen muss, welche Speicherzellen genau fehlerhaft sind.

Des weiteren kann es vorteilhaft sein, die in der externen Datenbank bzw. in den beiden externen Datenbanken abzulegenden Adressen der Speicherzellen zuvor mit einem Verschlüsselungscode zu beaufschlagen, um die Informationen, welche Speicherzellen nun im einzelnen fehlerhaft sind, nicht jedermann zugänglich zu machen.

Das Etikett am Chip oder dessen Verpackung kann mit einem maschinenlesbaren Code versehen werden, bspw. einem zweidimensionalen Barcode. Um eine fehlerfreie Funktion des an sich fehlerbehafteten Halbleiterspeicherbausteins sicherzustellen, ist es erforderlich, dass die so generierten Fehlerinformationen zusammen mit dem entsprechenden Halbleiterspeicherbaustein vorgesehen oder ausgeliefert werden. Dabei handelt es sich quasi um einen Import der Reparaturdaten auf Anwendungs- bzw. Applikationsebene. Diese Daten können auch auf einem transportablen Datenträger wie CD oder DVD o. ä. ausgeliefert werden.

Vorzugsweise werden aber vor dem Bereitstellen des Anwendungssystems die Adressen der fehlerhaften Speicherzellen in einem

nichtflüchtigen Speicher, der sich innerhalb des Anwendungssystems, allerdings außerhalb des Multi-Chip-Moduls, befindet, abgelegt. Dadurch stehen die Adressdaten stets innerhalb des Anwendungssystems zur Verfügung und brauchen nicht bei jedem Booten jeweils neu in das Anwendungssystem geladen zu werden.

Die Erfindung betrifft ein Multi-Chip-Modul (MCM), das die Fähigkeit hat, bei einem Zugriff auf eine vorgemerkte, fehlerhafte Speicherzelle eine automatische Umlenkung auf eine funktionstüchtige Speicherzelle in einem Ersatzdatenspeicher vorzunehmen. Ein solches MCM hat einen ersten Außenkontakt zum Anschluss an einen Adressbus zum Übertragen von Adressen von Speicherzellen an einen Halbleiter-Speicherbaustein und einen zweiten Außenkontakt zum Senden von Daten an den Halbleiter-Speicherbaustein und zum Empfangen von Daten von diesem über einen Datenbus. Des weiteren weist das erfindungsgemäße MCM eine Umlenkschaltung auf, die mit dem ersten Außenkontakt zum Einlesen von Speicherzellenadressen verbunden ist und die über einen Speicherbereich zur Aufnahme von vorgemerkten Adressen von fehlerhaften Speicherzellen des Halbleiter-Speicherbausteins verfügt. Diese Umlenkschaltung ist in der Lage, den Datenbus in den Ersatzdatenspeicher umzulenken, falls eine an dem Adressbus anliegende Speicherzellenadresse des Halbleiter-Speicherbausteins vorgemerkt und die entsprechende Speicherzelle somit fehlerhaft ist.

Gemäß einem Grundgedanken der vorliegenden Erfindung sind die Fehlerinformationen, die zur Reparatur des Halbleiter-Speicherbausteins erforderlich sind, in einem Speicherbereich außerhalb des MCM ausgelagert. Vor dem Betrieb des MCM mit dem Halbleiter-Speicherbaustein ist es daher erforderlich, dass

die Fehlerinformationen, insbesondere die Adressen der als fehlerhaft bekannten Speicherzellen des Halbleiter-Speicherbausteins in den Speicher in dem MCM abgelegt werden.

Die Adresse kann auch als Adressbereich mit mehr als einer einzigen Adresse angesprochen werden. So können Bytes, Byte-Bereiche oder sogar einzelne Bits ersetzt werden. Es können auch ganze Speicherseiten auf einmal ersetzt werden.

Durch einen derartig erfindungsgemäß ausgestalteten MCM kann die kosten- und zeitintensive Reparatur von fehlerhaften Speicherzellen des Halbleiter-Speicherbausteins, beispielsweise mittels E-Fuses, entfallen. Anstelle dessen werden die Adressen der während des Herstellungsprozesses als fehlerhaft erkannten Speicherzellen des Halbleiter-Speicherbausteins gemerkt und in geeigneter Form abgelegt, damit die Umlenkschaltung des in die Anwendungsumgebung eingebrachten MCM wahlweise auf den Halbleiter-Speicherbaustein oder auf den Ersatzdatenspeicher zugreifen kann. Die fehlerhaften Speicherzellen beeinträchtigen die Funktion des Anwendungssystems nicht, da bei einem Zugriff auf die defekte Speicherzelle durch die Umlenkschaltung eine Umlenkung auf intakte Speicherzellen des Ersatzdatenspeichers erfolgt. Erfindungsgemäß wird ein fehlertolerantes Anwendungssystem bereitgestellt, in dem die individuellen Speicherzellenfehler erst bei der Anwendung des Systems ausgewertet und korrigiert werden. Die dazu notwendigen Fehlerinformationen werden extern bereitgestellt.

Somit kann die Produktionsausbeute gesteigert werden, indem Speicherbausteine, die mit einzelnen fehlerhaften Speicherzellen behaftet sind und unter normalen Bedingungen nicht funkti-

onsfähig und damit auch nicht verkaufsfähig wären, trotzdem zum Einsatz kommen, wobei die fehlerhaften Speicherzellen durch die erfindungsgemäße Umlenkschaltung umgangen werden.

Gemäß einer ersten Ausführungsform der Erfindung umfasst die Umlenkschaltung einen Komparator, dessen erster Eingang mit dem Adressbus verbunden ist und an dessen zweiten Eingang vorgemerkte Speicherzellenadressen des Halbleiter-Speicherbausteins angelegt werden können. Dieser Komparator vergleicht die an seinen Eingängen anliegenden Speicherzellenadressen zuverlässig auf Übereinstimmungen oder auf Abweichungen.

Gemäß einer weiteren Ausführungsform der Erfindung weist die Umlenkschaltung eine mit dem zweiten Eingang des Komparators verbundene lokale Speichereinheit auf, in der die vorgemerkten Speicherzellenadressen abgelegt werden. Dabei ist von Vorteil, dass die Fehlerinformationen in komprimierter Form vorliegen und dass dementsprechend der nicht im gesamten Adressbereich voll funktionsfähige Speicherbaustein dadurch repariert wird, indem bei einem Zugriff auf eine in der lokalen Speichereinheit vorgemerkte Speicherzelle eine Umlenkung auf eine funktionstüchtige Speicherzelle im Ersatzdatenspeicher erfolgt. Ein weiterer Vorteil, der durch das Vorsehen einer an der Umlenkschaltung anliegenden lokalen Speichereinheit gewährleistet wird, liegt in dem schnellen Zugriff auf die Speicherzellenadressen.

Anstelle des Vorsehens einer lokalen Speichereinheit können die fehlerhaften Speicherzellenadressen auch direkt an den zweiten Eingang des Komparators angelegt werden.

Zur Gewährleistung der Umlenkfunktion kann die Umlenkschaltung zusätzlich über einen auf dem Datenbus liegenden Multiplexer verfügen, dessen Steuereingang mit dem Ausgang des Komparators verbunden ist. Dabei ist der Multiplexer so ausgebildet, dass der Datenbus dann mit dem Ersatzdatenspeicher verbunden wird, wenn der Komparator eine Übereinstimmung der an seinen Eingängen anliegenden Speicherzellenadressen und somit den Zugriff auf eine vorgemerkte, fehlerhafte Speicherzelle feststellt. Andernfalls wird der Datenbus mit dem Halbleiter-Speicherbaustein verbunden. Eine derartig ausgestaltete Umlenkschaltung funktioniert besonders zuverlässig.

Wenn des weiteren eine Entschlüsselungseinheit vorgesehen ist, welche die Fähigkeit hat, vorgemerkte verschlüsselte Speicherzellenadressen des Halbleiter-Speicherbausteins zu entschlüsseln, so können die Fehlerinformationen zwischen dem Hersteller der Halbleiterspeicherbausteine und dem Verwender in verschlüsselter Form ausgetauscht werden, was für den Hersteller den Vorteil bietet, dass dem Anwender die fehlerhaften Speicherzellen nicht im Einzelnen bekannt werden.

Um sicherheitshalber die Zuordnung der fehlerhaften Speicherzellen zu dem jeweiligen Halbleiter-Speicherbaustein zu überprüfen, kann neben den vorgemerkten Speicherzellenadressen des Halbleiter-Speicherbausteins weiterhin dessen Identifikationsnummer abgelegt werden, die durch den Halbleiterspeicherbaustein mit der tatsächlichen Identifikationsnummer des in das Anwendungssystem eingesetzten Halbleiter-Speicherbausteins verglichen werden kann. Dadurch können Zuordnungsfehler sicher vermieden werden.

Die erfindungsgemäße Umlenkschaltung kann auf verschiedenen Halbleiterspeicherbausteinen vorgesehen werden, beispielsweise auf einem Logikbaustein, insbesondere auf einem Prozessor/CPU oder auf einem digitalen Signalprozessor/DSP. Es ist ebenfalls möglich, die Umlenkschaltung auf einem weiteren Halbleiterspeicherbaustein auszubilden.

Insbesondere kann die Umlenkschaltung vom Anwender als Makro in mindestens einem seiner Logikblöcke integriert werden. Alternativ dazu kann die Umlenkschaltung in einem eigenen Halbleiterspeicherbaustein im MCM eingebaut sein.

Die Erfindung ist in der Figur anhand eines Ausführungsbeispiels näher veranschaulicht.

Die Figur zeigt ein Blockschaltbild eines Multi-Chip-Moduls 1 mit einem integrierten Halbleiter-Speicherbaustein 2 und mit einem Logikbaustein 3, der über eine vergrößert dargestellte Umlenkschaltung 7 verfügt.

Der integrierte Halbleiter-Speicherbaustein 2 und der beispielsweise als CPU oder DSP ausgeführte Logikbaustein 3 z. B. mit integriertem DSP und/oder CPU sind als separate integrierte Schaltkreise ausgeführt, die auf einem gemeinsamen Multi-Chip-Modul 1 angeordnet sind.

Der Logikbaustein 3 und der integrierte Halbleiter-Speicherbaustein 2 sind miteinander über einen bidirektionalen Datenbus 4, über einen Adressbus 5 vom Logikbaustein 3 zum integrierten Halbleiter-Speicherbaustein 2 und über eine Befehls-

leitung 6 vom Logikbaustein 3 zum integrierten Halbleiter-Speicherbaustein 2 verbunden.

Die Umlenkschaltung 7 umfasst eine lokale Speichereinheit 9, in der vorgemerkte Speicherzellenadressen abgelegt sind, die über eine in der Figur nicht gezeigte Datenverbindung auf der lokalen Speichereinheit 9 abgespeichert worden sind. Die Umlenkschaltung 7 beinhaltet weiterhin einen Komparator 8, dessen erster Eingang mit dem Adressbus 5 und dessen zweiter Eingang mit der lokalen Speichereinheit 9 verbunden ist. Der interne Adressdateneingang des Adressbus 5 in der Umlenkschaltung 7 ist mit dem Bezugszeichen I versehen. Die Umlenkschaltung 7 weist des weiteren einen Multiplexer 10 auf, der auf dem Datenbus 4 angeordnet ist und dessen Steuerleitung mit dem Ausgang des Komparators 8 in Verbindung steht. Die Umlenkschaltung 7 verfügt ferner über einen Ersatzdatenspeicher 11, in dem funktionsfähige Speicherzellen vorhanden sind. Der erste Ausgang des Multiplexers 10 ist mit dem Ersatzdatenspeicher 11 und der zweite Ausgang des Multiplexers 10 über den Datenbus 4 mit dem integrierten Halbleiterspeicherbaustein 2 verbunden. Die beiden Ausgänge des Multiplexers 10 sind mit dem Bezugszeichen I/O versehen und bilden eine Datenschnittstelle.

Die Umlenkschaltung 7 braucht nicht notwendigerweise auf einem Logikbaustein 3 ausgebildet zu sein. Vielmehr kann sie auch auf einem zweiten Halbleiter-Speicherbaustein vorliegen.

Nachfolgend ist die Funktion des erfindungsgemäßen Multi-Chip-Moduls 1 aufgezeigt.

Bei der Fertigung des integrierten Halbleiter-Speicherbausteins 2 werden die Adressdaten der fehlerhaften Speicherzellen gesammelt, und zwar bei sämtlichen im Herstellungsprozess durchgeführten Tests, nämlich bei den produktionsbegleitenden Tests der Halbleiterchips auf Wafer-Ebene, bei Speichertests auf Halbleiter-Bausteinebene, mit denen Speicher- und Logikbausteine üblicherweise getestet werden können, bei Burn-In-Tests, bei denen die Halbleiterspeicherbausteine auf ihre Funktionalität unter extremen Stress- und Temperaturbelastungen getestet werden und bei den nachfolgenden üblichen Speichertests.

Bei dem vorliegenden integrierten Halbleiter-Speicherbaustein 2 wurde z. B. in einem Speichertest die Speicherzelle mit der Adresse "3ff" als fehlerhaft erkannt. Diese Adresse wird zusammen mit der Identifikationsnummer des integrierten Halbleiterspeicherbausteins 2 abgespeichert.

Beim Zusammenbau des Anwendungssystems werden diese Informationen in einem Speicher des Anwendungssystems abgelegt, wobei sich dieser Speicher außerhalb des Multi-Chip-Moduls 1 befindet und in der Figur nicht gezeigt ist. Dabei wird die Identifikationsnummer des Halbleiterspeicherbausteins 2 ausgelesen. Der in der externen Datenbank befindliche Datensatz, der diese Identifikationsnummer enthält, weist auch die fehlerhaften Adressen des Halbleiterspeicherbausteins 2 auf. Diese werden denn in dem Anwendungssystem abgelegt.

Beim Booten des Anwendungssystems werden diese Informationen von diesem Speicher des Anwendungssystems in die lokale Speichereinheit 9 des Multi-Chip-Moduls 1 geladen.

Nach dem Abspeichern der aktuellen Fehlerdaten auf der lokalen Speichereinheit 9 ist die Umlenkschaltung 7 betriebsbereit. Bei der normalen Funktion des Multi-Chip-Moduls 1 erfolgt eine Vielzahl von Zugriffen von dem Logikbaustein 3 auf die in dem integrierten Halbleiter-Speicherbaustein 2 abgelegten Daten. Die über den Adressbus 5 jeweils an den Komparator 8 angelegten Adressen der Speicherzellen des integrierten Halbleiter-Speicherbausteins 2 werden durch den Komparator 8 daraufhin verglichen, ob eine jeweils übereinstimmende Adresse in der lokalen Speichereinheit 9 abgelegt ist.

Bei einem versuchten Zugriff auf die fehlerhafte Speicherzelle mit der Adresse "3ff" in dem Halbleiter-Speicherbaustein 2 erkennt der Komparator 8 die Übereinstimmung mit der in der lokalen Speichereinheit 9 abgelegten Speicherzellenadresse und steuert den Multiplexer 10 so an, dass durch den Logikbaustein 3 nicht ein Zugriff auf die ausgewählte Speicherzelle des integrierten Halbleiter-Speicherbausteins 2, sondern vielmehr ein Zugriff auf eine funktionsfähige Speicherzelle im Ersatzdatenspeicher 11 erfolgt.

Bei Zugriffen auf Speicherzellen des Halbleiter-Speicherbaustein 2 mit anderen Adressen stellt der Komparator 8 keine Übereinstimmungen fest. In diesen Fällen verbleibt der Multiplexer 10 in seiner Standardeinstellung, in welcher der Datenbus 4 direkt mit dem integrierten Halbleiter-Speicherbaustein 2 verbunden ist.

Das Verfahren lässt sich in die folgenden sechs Schritte gliedern:

1. Testen des Speicherbausteins
2. Speichern der fehlerhaften Adressen z. B. in einer Datenbank
3. Einbau von Speicher und Logikbaustein in die Applikation
4. Einlesen der fehlerhaften Adressen in der Applikationsprogrammierung
5. Inbetriebnahme der Applikation
6. Korrektur der fehlerhaften Speicheradressen während des Betriebs (= Umschalten des MUX von fehlerhaften Speicheradressen).

Bezugszeichenliste

1	Multi-Chip-Modul
2	integrierter Halbleiter-Speicherbaustein
3	Logik-Baustein
4	Daten-Bus
5	Adress-Bus
6	Befehlsleitung
7	Umlenkschaltung
8	Komparator
9	lokale Speichereinheit
10	Multiplexer
11	Ersatzdatenspeicher
I	Adressdateneingang
I/O	Datenschnittstelle

Patentansprüche

1. Verfahren zur Fehlerkorrektur von Halbleiterspeicherbausteinen in einem Anwendungssystem mit den folgenden nacheinander abfolgenden Schritten a) bis d):
 - a) Bereitstellen eines Anwendungssystems, das ein Multi-Chip-Modul (1) aufweist, wobei das Multi-Chip-Modul (1)
 - wenigstens einen Halbleiterspeicherbaustein (2), der einen flüchtigen Speicher enthält,
 - sowie einen Logikbaustein (3), insbesondere einen Prozessor/CPU oder einen digitalen Signalprozessor,
 - sowie eine Umlenkschaltung (7) und einen Ersatzdatenspeicher (11), die insbesondere auf dem Logikbaustein (3) vorliegen,aufweist,
 - b) Booten des Anwendungssystems,
 - c) Einlesen von Adressen von vorgemerkten, Fehler aufweisenden Speicherzellen des Halbleiterspeicherbausteins (2) von dem Anwendungssystem in das Multi-Chip-Modul (1),
 - d) Betrieb des Anwendungssystems mit dem Halbleiterspeicherbaustein (2) derart, dass, falls auf eine vorgemerkte Speicherzelle des Halbleiterspeicherbausteins (2) zugegriffen wird, die Umlenkschaltung (7) den Zugriff auf eine Speicherzelle in den Ersatzdatenspeicher (11) umlenkt.
2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet, dass
die Adressen der vorgemerkten, Fehler aufweisenden Speicherzellen des Halbleiterspeicherbausteins (2) in Schritt

- c) über eine elektronische Datenverbindung von einer externen Datenbank in das Multi-Chip-Modul (1) eingelesen werden.
3. Verfahren nach Anspruch 2,
dadurch gekennzeichnet, dass
die in Schritt c) bereitgestellte externe Datenbank eine festgelegte Anzahl von Adressen von Speicherzellen aufweist, von denen nur ein Teil fehlerhaft ist.
4. Verfahren nach einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet, dass
dass im Schritt c) zusätzlich eine Identifikationsnummer des Halbleiterspeicherbausteins (2) in das Multi-Chip-Modul (1) eingelesen wird.
5. Verfahren nach Anspruch 4,
dadurch gekennzeichnet, dass
nach Schritt c) ein Überprüfungsschritt erfolgt, in dem festgestellt wird, ob die eingelesene Identifikationsnummer des Halbleiterspeicherbausteins (2) mit der tatsächlichen Identifikationsnummer des Halbleiterspeicherbausteins (2) in dem Anwendungssystem übereinstimmt.
6. Verfahren nach einem der Ansprüche 2 bis 5,
dadurch gekennzeichnet, dass
die Adressen der Speicherzellen des Halbleiterspeicherbausteins (2) in der in Schritt c) bereitgestellten externen Datenbank verschlüsselt abgelegt sind, wobei durch den Logikbaustein (3) vor Schritt d) eine Entschlüsselung dieser verschlüsselten Adressen erfolgt.

7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass
in Schritt d) die Adressen der vorgemerkten Speicherzellen direkt an die Umlenkschaltung (7) angelegt werden.
8. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass
in Schritt d) die Adressen der vorgemerkten Speicherzellen in einer lokalen Speichereinheit (9) abgelegt werden, die selbst an der Umlenkschaltung (7) anliegt oder Teil dieser ist, und wobei die Adressen der vorgemerkten Speicherzellen von der lokalen Speichereinheit (9) an die Umlenkschaltung (7) angelegt werden.
9. Verfahren nach einem der Ansprüche 1 bis 8 mit den folgenden Schritten I bis IV, die vor den Schritten a) bis d) durchgeführt werden:
 - I) Bereitstellen eines Halbleiterspeicherbausteins auf Waferenebene oder eines Multi-Chip-Moduls (1) mit einem Halbleiterspeicherbaustein (2) mit einem flüchtigen Speicher,
 - II) Testen des Halbleiterspeicherbausteins auf Waferenebene oder des Multi-Chip-Moduls (1) und Erkennen von fehlerhaften Speicherzellen des Halbleiterspeicherbausteins (2),
 - III) Auslesen der Identifikationsnummer des Halbleiterspeicherbausteins (2),
 - IV) Ablegen der Adressen der in Schritt a) als fehlerhaft erkannten Speicherzellen zusammen mit der Identifikationsnummer des Halbleiterspeicherbausteins (2), durch

Abspeichern in einer externen Datenbank oder durch Anbringen eines Etiketts oder einer Beschriftung an dem Multi-Chip-Modul (1).

10. Verfahren nach Anspruch 9,

bei dem vor dem Schritt a) die Adressen der als fehlerhaft erkannten Speicherzellen in einem nichtflüchtigen Speicher, der Teil des Anwendungssystems ist und der sich gleichzeitig außerhalb des Multi-Chip-Moduls (1) befindet, abgespeichert werden.

11. Verfahren nach Anspruch 10,

bei dem beim Zusammenbau des Anwendungssystems die Identifikationsnummer des Halbleiterspeicherbausteins ausgelesen wird und anhand dieser Identifikationsnummer die in Schritt IV) abgespeicherten Adressen fehlerhafter Speicherzellen des Halbleiterspeicherbausteins von der externen Datenbank oder von dem Etiketts oder von der Beschriftung gelesen und in dem Speicher des Anwendungssystems gespeichert werden.

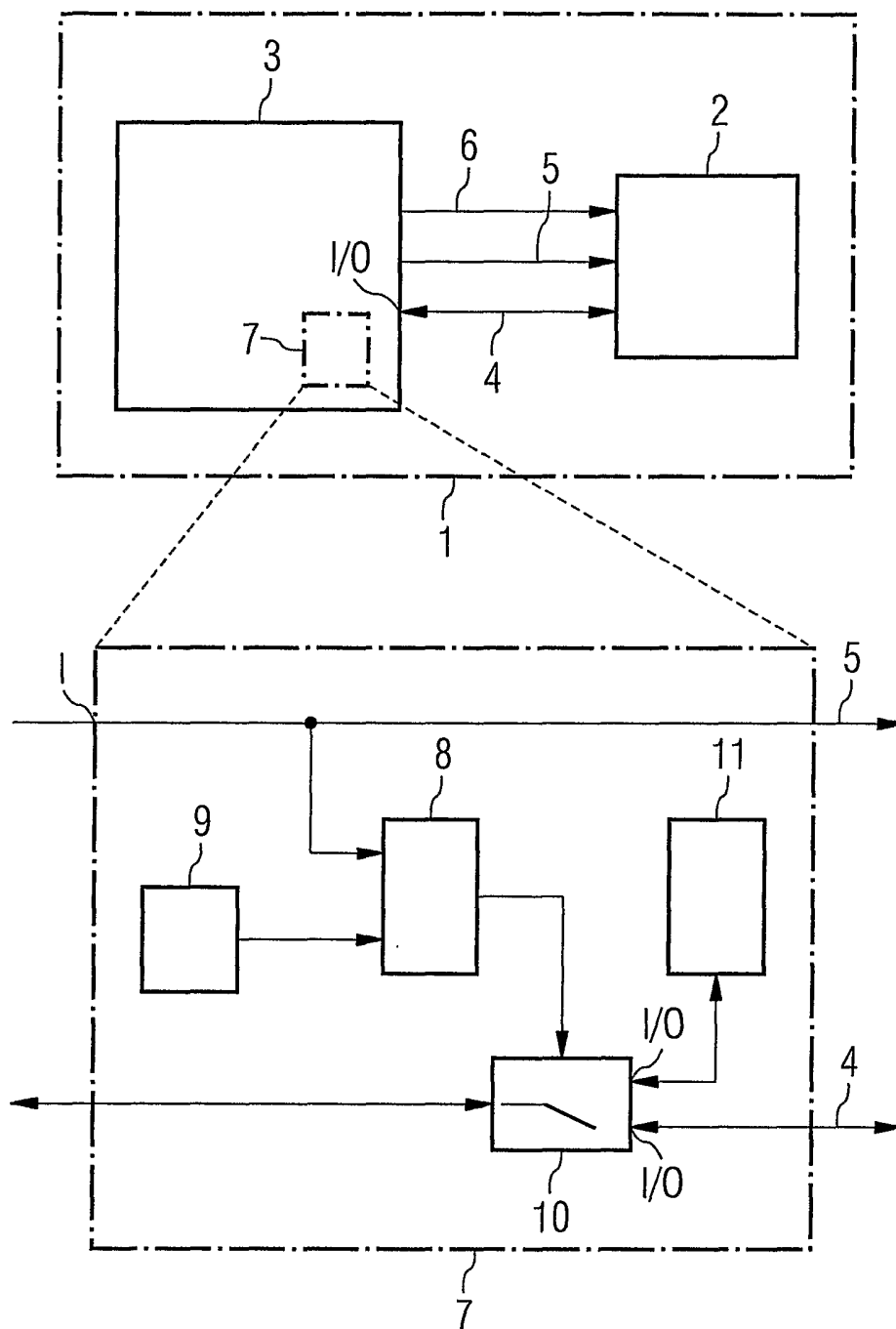
12. Verfahren nach einem der Ansprüche 9 bis 11,

dadurch gekennzeichnet, dass
in Schritt II) ein produktionsbegleitender Tests des Halbleiterspeicherbausteins (2) auf Waferenebene erfolgt.

13. Verfahren nach einem der Ansprüche 9 bis 12,

dadurch gekennzeichnet, dass
in Schritt II) ein Speicher-Funktionstests des Halbleiterspeicherbausteins (2) im Package des Multi-Chip-Moduls (1) erfolgt.

14. Verfahren nach einem der Ansprüche 9 bis 13,
dadurch gekennzeichnet, dass
in Schritt II) ein Burn-In-Test des Halbleiterspeicherbausteins (2) im Package erfolgt.
15. Verfahren nach einem der Ansprüche 9 bis 14,
dadurch gekennzeichnet, dass
falls die Adressen der in Schritt II) als fehlerhaft erkannten Speicherzellen zusammen mit der Identifikationsnummer des Halbleiterspeicherbausteins (2) in einer externen Datenbank abgespeichert werden,
nach Schritt IV) und vor Schritt a) der folgende Schritt V) ausgeführt wird:
V) Erzeugen einer weiteren externen Datenbank, in der die Adressen der in Schritt b) als fehlerhaft erkannten Speicherzellen des Halbleiterspeicherbausteins (2) übernommen werden und die zusätzlich mit weiteren Adressen von funktionsfähigen Speicherzellen des Halbleiterspeicherbausteins (2) aufgefüllt wird, bis eine definierte Anzahl von Adressen von Speicherzellen erreicht ist.
16. Verfahren nach einem der Ansprüche 9 bis 15,
dadurch gekennzeichnet, dass
die in Schritt IV) oder V) in der/einer externen Datenbank abzulegenden Adressen der Speicherzellen zuvor mit einem Verschlüsselungscode verschlüsselt werden.



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE2005/001737

A. CLASSIFICATION OF SUBJECT MATTER
G11C29/00 G11C16/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 141 267 A (KIRIHATA ET AL) 31 October 2000 (2000-10-31)	1,2
A	abstract; figures 2,7,9,12 column 9, line 40 - column 8, line 4 column 10, line 44 - line 67 column 12, line 23 - line 63	3-16
X	US 6 009 536 A (ROHWER ET AL) 28 December 1999 (1999-12-28)	1,2
A	abstract; figures 1,5b	3-16
A	EP 0 957 430 A (SIEMENS AKTIENGESELLSCHAFT) 17 November 1999 (1999-11-17) paragraph '0019!; figure 1	1-16

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

10 January 2006

Date of mailing of the international search report

18/01/2006

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Ríos Báez, A

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE2005/001737

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 6141267	A	31-10-2000	NONE		
US 6009536	A	28-12-1999	US	5913020 A	15-06-1999
EP 0957430	A	17-11-1999	CN	1236172 A	24-11-1999
			DE	19821459 A1	18-11-1999
			JP	11353896 A	24-12-1999

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2005/001737

A. KLASSTIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

G11C29/00 G11C16/20

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Beitr. Anspruch Nr.
X	US 6 141 267 A (KIRIHATA ET AL) 31. Oktober 2000 (2000-10-31)	1,2
A	Zusammenfassung; Abbildungen 2,7,9,12 Spalte 9, Zeile 40 - Spalte 8, Zeile 4 Spalte 10, Zeile 44 - Zeile 67 Spalte 12, Zeile 23 - Zeile 63	3-16
X	US 6 009 536 A (ROHWER ET AL) 28. Dezember 1999 (1999-12-28)	1,2
A	Zusammenfassung; Abbildungen 1,5b	3-16
A	EP 0 957 430 A (SIEMENS AKTIENGESELLSCHAFT) 17. November 1999 (1999-11-17) Absatz '0019!; Abbildung 1	1-16

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

10. Januar 2006

Absenddatum des internationalen Recherchenberichts

18/01/2006

Name und Postanschrift der internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5816 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Ríos Báez, A

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2005/001737

Im Recherchenbericht angeführtes Patentedokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 6141267	A	31-10-2000	KEINE		
US 6009536	A	28-12-1999	US	5913020 A	15-06-1999
EP 0957430	A	17-11-1999	CN	1236172 A	24-11-1999
			DE	19821459 A1	18-11-1999
			JP	11353896 A	24-12-1999