

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-199533

(P2012-199533A)

(43) 公開日 平成24年10月18日(2012.10.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 B	
HO 1 L 25/00 (2006.01)	HO 1 L 25/00 B	

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号	特願2012-47950 (P2012-47950)	(71) 出願人	000005496
(22) 出願日	平成24年3月5日 (2012.3.5)		富士ゼロックス株式会社
(31) 優先権主張番号	特願2011-47782 (P2011-47782)		東京都港区赤坂九丁目7番3号
(32) 優先日	平成23年3月4日 (2011.3.4)	(74) 代理人	100071526
(33) 優先権主張国	日本国 (JP)		弁理士 平田 忠雄
		(74) 代理人	100124246
			弁理士 遠藤 和光
		(72) 発明者	井口 大介
			神奈川県海老名市本郷2274番地 富士
			ゼロックス株式会社内

(54) 【発明の名称】 パッケージ基板及び半導体パッケージ

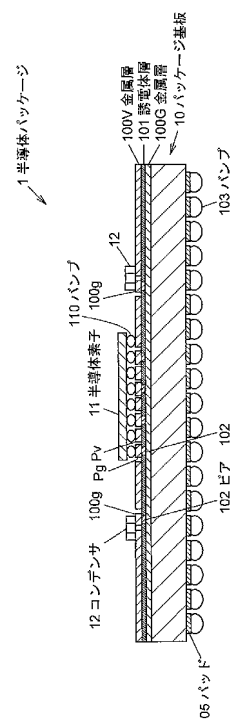
(57) 【要約】

【課題】半導体素子に内装されるコンデンサ及びプリント配線基板上に実装される半導体素子の高速動作に過渡電流を供給するために必要なデカップリング用のコンデンサの数を減少するパッケージ基板及び半導体パッケージを提供する。

【解決手段】半導体パッケージ1は、上面に金属層100Vと、金属層100Vの下に設けられた誘電体層101と、誘電体層101の下に設けられる金属層100Gとを有し、金属層100Vの半導体素子搭載領域に半導体素子11を実装し、コンデンサ素子搭載領域に、一端を金属層100Vと接続され、他端をビア102を介して金属層100Gと接続されたコンデンサ12を実装する。

【選択図】 図1A

図1A



【特許請求の範囲】

【請求項 1】

上面に半導体素子搭載領域及びコンデンサ素子搭載領域を有する第 1 の金属層と、
前記第 1 の金属層の下に設けられた誘電体層と、

前記誘電体層の下に設けられ、前記第 1 の金属層の前記半導体素子搭載領域と前記コンデンサ素子搭載領域とを前記誘電体層中に設けられたビアによって電氣的に接続する第 2 の金属層と、

下面に設けられ、前記第 1 の金属層及び前記第 2 の金属層とそれぞれビアによって電氣的に接続される複数のバンプとを有するパッケージ基板。

【請求項 2】

請求項 1 に記載のパッケージ基板と、

前記半導体素子搭載領域に搭載される半導体素子と、

前記コンデンサ素子搭載領域に搭載されて、一端を前記第 1 の金属層と接続され、他端を前記第 2 の金属層とビアを介して接続され、前記第 1 の金属層、前記誘電体層及び前記第 2 の金属層から構成されるコンデンサを伝送路として前記半導体素子に過渡電流を供給するコンデンサ素子とを備える半導体パッケージ。

【請求項 3】

前記コンデンサ素子から前記半導体素子の電源供給のための接点に至る前記伝送路のインピーダンスが、周波数 2.0 GHz 以下において 0.1Ω 以下である請求項 2 に記載の半導体パッケージ。

【請求項 4】

前記半導体素子は、ボンディングワイヤにて接続するよう設計された半導体素子の電源パッド及び電源配線層の少なくとも一方を変更して形成され、前記パッケージ基板の前記半導体素子搭載領域にフリップチップ接続により搭載される請求項 2 又は 3 に記載の半導体パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パッケージ基板及び半導体パッケージに関する。

【背景技術】

【0002】

半導体パッケージを実装するプリント配線基板であって内層にコンデンサを有するものが提案されている（例えば、特許文献 1 参照）。

【0003】

これに関連する技術として、特許文献 1 には、半導体パッケージ 4 が実装されるプリント配線基板 6 であって、その内層に金属層 600G 及び 600V と誘電層 601 とからコンデンサを構成するものが開示されている（図 7）。このプリント配線基板 6 の金属層 600G 及び 600V と誘電層 601 とから構成されるコンデンサは、半導体素子 11 の動作に起因するノイズやそれに伴う放射電磁雑音（EMI）を抑制（以下、「デカップリング」という）するとともに半導体素子 11 に動作に必要な過渡電流を供給する。このプリント配線基板 6 は、半導体素子 11 の近傍にデカップリングのためのコンデンサを実装するスペースが確保できない場合に有効なものである。

【0004】

また、プリント配線基板 6 の金属層 600G 及び 600V と誘電層 601 とから構成されるコンデンサから半導体素子 11 に供給される電源は、コンデンサと半導体素子 11 との間に半導体素子 11 とパッケージ基板 40 の実装インピーダンス、半導体パッケージ 4 とプリント配線基板 6 の実装インピーダンス及びプリント配線基板 6 のビア 602 のインピーダンスを介しているため高周波特性が阻害される。

10

20

30

40

50

【0005】

そのため、半導体素子11は、計算動作等を実行する計算回路を有するセル以外の領域に設けられたセルに高速動作時に必要な過渡電流を供給するコンデンサを有する。このコンデンサを有するセルが占有する面積は、動作に必要な過渡電流を全てこれから供給する場合は計算回路が占有する面積以上の面積となるため、半導体素子11の小型化を妨げると同時に大きなコスト上昇をもたらす。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特許2738590号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の目的は、半導体素子に内装されるコンデンサ及びプリント配線基板上に実装される半導体素子の高速動作に過渡電流を供給するために必要なデカップリング用のコンデンサ素子の数を減少するパッケージ基板及び半導体パッケージを提供することにある。

【課題を解決するための手段】

【0008】

本発明の一態様は、上記目的を達成するため、以下のパッケージ基板及び半導体パッケージを提供する。

20

【0009】

[1] 上面に半導体素子搭載領域及びコンデンサ素子搭載領域を有する第1の金属層と、前記第1の金属層の下に設けられた誘電体層と、

前記誘電体層の下に設けられ、前記第1の金属層の前記半導体素子搭載領域と前記コンデンサ素子搭載領域とを前記誘電体層中に設けられたビアによって電氣的に接続する第2の金属層と、

下面に設けられ、前記第1の金属層及び前記第2の金属層とそれぞれビアによって電氣的に接続される複数のバンプとを有するパッケージ基板。

【0010】

[2] 前記[1]に記載のパッケージ基板と、

30

前記半導体素子搭載領域に搭載される半導体素子と、

前記コンデンサ素子搭載領域に搭載されて、一端を前記第1の金属層と接続され、他端を前記第2の金属層とビアを介して接続され、前記第1の金属層、前記誘電体層及び前記第2の金属層から構成されるコンデンサを伝送路として前記半導体素子に過渡電流を供給するコンデンサ素子とを備える半導体パッケージ。

【0011】

[3] 前記コンデンサ素子から前記半導体素子の電源供給のための接点に至る前記伝送路のインピーダンスが、周波数2.0GHz以下において0.1Ω以下である前記[2]に記載の半導体パッケージ。

【0012】

40

[4] 前記半導体素子は、ボンディングワイヤにて接続するよう設計された半導体素子の電源パッド及び電源配線層の少なくとも一方を変更して形成され、前記パッケージ基板の前記半導体素子搭載領域にフリップチップ接続により搭載される前記[2]又は[3]に記載の半導体パッケージ。

【発明の効果】

【0013】

請求項1又は2に係る発明によれば、半導体素子に内装されるコンデンサ及びプリント配線基板上に実装される半導体素子の高速動作に過渡電流を供給するために必要なデカップリング用のコンデンサの数を減少することができる。

【0014】

50

請求項 3 に係る発明によれば、周波数 2. 0 G H z 以下において動作する半導体素子に対し、コンデンサ素子から過渡電流を十分に供給することができる。

【0015】

請求項 4 に係る発明によれば、ボンディングワイヤにて接続するよう設計された半導体素子に対して、半導体素子に内装されるコンデンサ及びプリント配線基板上に実装される半導体素子の高速動作に過渡電流を供給するために必要なデカップリング用のコンデンサの数を減少することができる。

【図面の簡単な説明】

【0016】

【図 1 A】図 1 A は、本発明の実施の形態に係る半導体パッケージの構成の一例を示す断面図である。

10

【図 1 B】図 1 B は、本発明の実施の形態に係る半導体パッケージの構成の一例を示す平面図である。

【図 2】図 2 は、本発明の実施の形態に係る半導体パッケージのインピーダンス特性の一例を示すグラフ図である。

【図 3】図 3 は、従来の半導体パッケージの構成の一例を示す断面図である。

【図 4】図 4 は、従来の半導体パッケージのインピーダンス特性の一例を示すグラフ図である。

【図 5】図 5 は、従来の半導体パッケージの構成の一例を示す断面図である。

【図 6】図 6 は、従来の半導体パッケージのインピーダンス特性の一例を示すグラフ図である。

20

【図 7】図 7 は、従来の半導体パッケージの構成の一例を示す断面図である。

【図 8】図 8 (a) はワイヤボンド用に設計した半導体素子の構成の一例を示す平面図、図 8 (b) は B - B における断面図である。

【図 9】図 9 (a) はパッケージ基板に実装するために半導体素子の構成を一部変更した半導体素子の一例を示す平面図、図 9 (b) は C - C における断面図である。

【図 10】図 10 は、コンデンサを表面に実装したパッケージ基板に半導体素子を実装した半導体パッケージの構成の一例を示す断面図である。

【発明を実施するための形態】

【0017】

30

(半導体パッケージの構成)

図 1 A は、本発明の実施の形態に係る半導体パッケージの構成の一例を示す断面図であり、図 1 B の A - A における断面を表す。また、図 1 B は、本発明の実施の形態に係る半導体パッケージの構成の一例を示す平面図である。

【0018】

この半導体パッケージ 1 は、多層構造の基板であって一方の面に半導体素子搭載領域及びコンデンサ素子搭載領域を有する金属層 100 V、金属層 100 V の下に設けられる誘電体層 101、誘電体層 101 の下に設けられる金属層 100 G を有するパッケージ基板 10 を備え、金属層 100 V の半導体素子搭載領域に L S I (L a r g e S c a l e I n t e g r a t i o n) 等の集積回路を有する半導体素子 11 を、コンデンサ素子搭載領域に半導体素子 11 に過渡電流を供給するためのコンデンサ 12 等を備える。

40

【0019】

パッケージ基板 10 の金属層 100 V 及び 100 G は、銅等を用いて通常の積層方法によって形成される。また、誘電体層 101 は、例えば、ポリイミド等の樹脂薄膜、さらに埋め込みキャパシタ専用として市販されている F a r a d F l e x B C 12 T M、B C 8 等を用いることができ、その厚さは、数 μm ~ 数十 μm 程度であって、従来例のように内蔵デカップリングコンデンサとして実用化された例としては、例えば、比誘電率 4. 4 で厚さ 8 μm のもの、比誘電率 30 で厚さ 8 μm のものがある。

【0020】

また、パッケージ基板 10 の下面には、パッド 105 及びバンプ 103 を有し、金属層

50

100 V及び100 Gとそれぞれパッケージ基板10の内装に設けられたビア等によって電氣的に接続される。

【0021】

また、この半導体パッケージ1は、図示しないプリント配線基板上に搭載され、 bumps 103を介してプリント配線基板上のパッドに電氣的に接続される。プリント配線基板は、電源回路を有し、電源回路供給される電力は bumps 103を介して金属層100 V及び100 Gに供給され、例えば、金属層100 Vが電源の電位、金属層100 Gが基準電位となる。

【0022】

半導体素子11は、複数の bumps 110を介してパッケージ基板10のパッド P_v及び P_gに実装される。パッド P_v及び P_gに金属層100 V及び100 Gから電源が供給され、半導体素子11は、電力の供給を受ける。また、半導体素子11は、図示しないパッド及び図示しないパッケージ基板10中の他の層と電氣的に接続されて電源以外の信号を送受信する。

【0023】

コンデンサ12は、一端が金属層100 Vに実装され、他端が金属層100 Vのうちビア102を介して金属層100 Gに接続されるパッド100 gに実装される。また、コンデンサ12は、例えば、低ESLの積層セラミックコンデンサ素子であり、容量は後述するように0.25 μ F又は1 μ Fであり、パッケージ基板10の半導体素子11搭載面に4つ搭載されるが、容量や個数等はこれに限られるものではない。

【0024】

つまり、以上の構成から、金属層100 V、誘電体層101及び100 Gは、コンデンサを形成するが、本実施の形態において、半導体素子11に過渡電流を供給する電荷を蓄電するために用いるのではなく、コンデンサ12から半導体素子11に過渡電流を供給するための伝送路として用いられる。

【0025】

また、半導体素子11は、図1Bに示すように、金属層100 Vと連続的に形成されるパッド P_v及び金属層100 Gと接続されるパッド P_gと bumps 110を介して電氣的に接続されるが、P_vと P_gのペアは、一例として、20組であるとする。

【実施例1】

【0026】

誘電体層101として、比誘電率30で厚さ10 μ m、サイズ19.2 m²の条件において、金属層100 G、100 V及び誘電体層101とから構成されるコンデンサとしての静電容量Cは、3264 pFであり、コンデンサ12と半導体素子11間の伝送路としてのインピーダンスZは、4.87 Ω (10 MHz)、0.487 Ω (100 MHz)となる。

【0027】

上記の条件において、静電容量0.25 μ F又は1 μ Fのコンデンサ12 (ESL=0.1 nH、ESR=0.1 Ω)を4つ、図1Bに示すように、パッケージ基板10上に配置した場合の、コンデンサ12と半導体素子11間の伝送路のインピーダンス特性を以下に示す。

【0028】

図2は、本発明の実施の形態に係る半導体パッケージ1のインピーダンス特性の一例を示すグラフ図である。

【0029】

半導体パッケージ1は、コンデンサ12の容量 (0.25 μ F又は1 μ F)に関わらず、同様のインピーダンス特性を有し、0.5 GHz付近に反共振のピークを有するものの2 GHz以下の全域で0.3 Ω 以下という特性を示す。なお、この特性は金属層100 V、100 Gからの電源供給が20組の接点によって半導体素子11と接続される場合であり、例えば、100組の接点であればインピーダンス特性は1/5の0.1 Ω 以下となり

10

20

30

40

50

、2 GHz 以下の高周波領域における動作において十分な値となる。

【0030】

なお、後述する比較例1及び図7に示す従来の例に比べて、コンデンサ12から供給される、放射電磁雑音の原因となる、過渡電流がプリント配線基板内に流れない。

【0031】

以下、本実施例と従来の構成におけるインピーダンス特性の比較を示す。

【0032】

[比較例1]

図3は、従来の半導体パッケージの構成の一例を示す断面図である。

【0033】

この半導体パッケージ2は、多層基板であって金属層200V及び200Gを有するパッケージ基板20並びに半導体素子11等を備え、コンデンサ12とともにプリント配線基板5に実装される。

【0034】

パッケージ基板20は、金属層200V及び200Gと、パッケージ基板20の下面に設けられたパッド205及びバンプ203とを有し、金属層200V及び200Gとパッド205の一部は、ビア202を介して電氣的に接続されている。金属層200V及び200Gは、プリント配線基板5のパッド504を介して図示しない電源回路等から電源が供給され、金属層200Vが電源の電位、金属層200Gが基準電位となる。

【0035】

また、パッケージ基板20は、半導体素子11とバンプ110及びパッド204を介して電氣的に接続される。パッド204の一部は、金属層200V及び200Gとビア202を介して電氣的に接続される。

【0036】

プリント配線基板5は、図示しない電源回路と接続される金属層500G及び500Vと、下面のパッド505に実装されたコンデンサ12とを有し、金属層500G及び500Vとコンデンサ12とはビア502を介して電氣的に接続されている。

【0037】

上記の構成において、静電容量1 μ Fのコンデンサ12 ($ESR = 0.1 \Omega$) を30個、プリント配線基板5上に配置した場合にバンプ110及び203、パッド204、205、504及び505、ビア202及び502及びコンデンサ12自体の実装インダクタンスが $ESL = 2 \text{ nH}$ とした場合のコンデンサ12と半導体素子11間の伝送路としてのインピーダンス特性を以下に示す。

【0038】

図4は、従来の半導体パッケージ2及びプリント配線基板5のインピーダンス特性の一例を示すグラフ図である。

【0039】

半導体パッケージ2及びプリント配線基板5のインピーダンス特性は、0.9 GHz 付近に反共振のピークを有し、その値は5.6 Ω と、コンデンサ12の数を7倍以上にしているにもかかわらず、本実施例に比べて20倍の値となる。この場合、半導体素子11を高速動作させるためには、半導体素子11の計算回路を有するセル以外に、高速動作時に必要な過渡電流を供給するコンデンサを有するセル設ける必要がある。

【0040】

[比較例2]

図5は、従来の半導体パッケージの構成の一例を示す断面図である。

【0041】

この半導体パッケージ3は、多層基板であって金属層300V及び300Gを有するパッケージ基板30、パッケージ基板30に実装される半導体素子11及びコンデンサ12を有し、コンデンサ12は、パッド304及びビア302を介して一端が金属層300Vに接続され、他端が金属層300Gに接続される。

【0042】

またパッケージ基板30は、下面にパッド305及びバンプ303を有し、金属層300V及び300Gとパッド305とは、図示しないビアを介して電氣的に接続されている。金属層300V及び300Gは、図示しない電源回路等から電源が供給され、金属層300Vが電源の電位、金属層300Gが基準電位となる。

【0043】

上記の構成において、静電容量1 μ Fのコンデンサ12（ESR=0.1 Ω ）を4個、パッケージ基板30上に配置した場合にバンプ110、パッド304、ビア302及びコンデンサ12自体の実装インダクタンスがESL=0.1nHとした場合のコンデンサ12と半導体素子11間の伝送路としてのインピーダンス特性を以下に示す。

10

【0044】

図6は、従来の半導体パッケージのインピーダンス特性の一例を示すグラフ図である。

【0045】

半導体パッケージ3のインピーダンス特性は、1GHz付近に反共振のピークを有し、その値は3.4 Ω と、本実施の形態と同様にパッケージ基板30上にコンデンサ12を配置したにもかかわらず本実施例に比べて10倍の値となる。この場合、半導体素子11を高速動作させるためには、半導体素子11の計算回路を有するセル以外に、高速動作時に必要な過渡電流を供給するコンデンサを有するセルを設ける必要がある。

【実施例2】

【0046】

20

以下、実施の形態において説明したコンデンサ12を表面に実装したパッケージ基板10にワイヤボンド用に設計した半導体素子を実装する実施例について説明する。

【0047】

図8（a）はワイヤボンド用に設計した半導体素子の構成の一例を示す平面図、図8（b）はB-Bにおける断面図である。

【0048】

半導体素子14は、シリコン基板140と、シリコン基板140上に形成されたトランジスタ層141と、トランジスタ層141を外周から絶縁する絶縁層142と、絶縁層142中に配されてトランジスタ層141に電力を供給する電源配線層143v及び143gと、電源配線層143v及び143gに電氣的に接続されてワイヤボンド用のワイヤと接続される電源パッド144v及び144gとを有する。

30

【0049】

電源配線層143v及び143gは、一例として、平面視における半導体素子14の中央から四方向に向かって伸びており、断面視において階段状に複数の層で形成される。また、電源配線層143v及び143gは平面視において交互に配置される。

【0050】

電源パッド144v及び144gは、平面視において半導体素子14の表面の縁付近に交互に配置される。なお、図8（a）及び（b）においては、説明のため信号線については図示を省略し、電力供給に用いられる給電構造のみ図示している。

【0051】

40

図9（a）はパッケージ基板10に実装するために半導体素子14の構成を一部変更した半導体素子の一例を示す平面図、図9（b）はC-Cにおける断面図である。

【0052】

半導体素子13は、図8に示す半導体素子14に電源配線層133v及び133gと、電源パッド134v及び134gとを追加したものである。電源配線層133v及び133gは電源配線層143v及び143gから断面視において上方に配線を伸ばして設けられ、電源パッド134v及び134gは電源配線層133v及び133gに対応して半導体素子13の表面に設けられる。

【0053】

なお、電源配線層133v及び133g並びに電源パッド134v及び134gの配置

50

は、トランジスタ層 1 4 1 への給電経路におけるインピーダンスが低減されるように、トランジスタ層 1 4 1 の電源配線層 1 4 3 v 及び 1 4 3 g との接点への経路がなるべく短くなるように配置することが好ましい。

【0054】

電源配線層 1 3 3 v 及び 1 3 3 g は、図 8 の半導体素子 1 4 の電源配線層 1 4 3 v 及び 1 4 3 g を形成した工程の後に形成してもよいし、フォトリソグラフィ等において新たなマスクを用意して電源配線層 1 4 3 v 及び 1 4 3 g と同時に形成してもよい。

【0055】

電源パッド 1 3 4 v 及び 1 3 4 g は、図 8 の半導体素子 1 4 の電源パッド 1 4 4 v 及び 1 4 4 g を形成した工程の後に形成してもよいし、新たなマスクを用意して電源パッド 1 4 4 v 及び 1 4 4 g と同時に形成してもよい。

10

【0056】

なお、図 9 (a) 及び (b) においては、説明のため信号線については図示しておらず、電力供給に用いられる給電構造のみ図示しているが、電源配線層 1 3 3 v 及び 1 3 3 g 並びに電源パッド 1 3 4 v 及び 1 3 4 g を電源配線層 1 4 3 v 及び 1 4 3 g 並びに電源パッド 1 4 4 v 及び 1 4 4 g と同時に形成しなす場合は、信号線についても信号経路におけるインピーダンスが軽減されるように再配線してもよい。

【0057】

また、電源配線層 1 4 3 v 及び 1 4 3 g 並びに電源パッド 1 4 4 v 及び 1 4 4 g を利用せず、電源配線層 1 3 3 v 及び 1 3 3 g 並びに電源パッド 1 3 4 v 及び 1 3 4 g のみ用いてトランジスタ層 1 4 1 への給電経路を再配線してもよい。

20

【0058】

図 10 は、コンデンサ 1 2 を表面に実装したパッケージ基板 1 0 A に半導体素子 1 3 を実装した半導体パッケージの構成の一例を示す断面図である。

【0059】

この半導体パッケージ 1 A は、半導体素子搭載領域及びコンデンサ素子搭載領域を有する金属層 1 0 0 V、金属層 1 0 0 V の下に設けられる誘電体層 1 0 1、誘電体層 1 0 1 の下に設けられる金属層 1 0 0 G を有するパッケージ基板 1 0 A と、半導体素子搭載領域に半導体素子 1 3 と、コンデンサ素子搭載領域に半導体素子 1 1 に過渡電流を供給するためのコンデンサ 1 2 とを備える。

30

【0060】

また、バンプ 1 0 3 を介して金属層 1 0 0 V 及び 1 0 0 G に電力が供給され、例えば、金属層 1 0 0 V が電源の電位、金属層 1 0 0 G が基準電位となる。

【0061】

半導体素子 1 3 は、複数のバンプ 1 1 0 を介してパッケージ基板 1 0 A のパッド P v 及び P g に実装される。パッド P v 及び P g に金属層 1 0 0 V 及び 1 0 0 G から電源が供給され、半導体素子 1 3 は、電力の供給を受ける。また、半導体素子 1 3 の図示しない信号線用のパッドは、図示しないパッド及び図示しないパッケージ基板 1 0 A 中の他の層と電気的に接続されて電源以外の信号を送受信する。

【0062】

40

以上の構成から、金属層 1 0 0 V、誘電体層 1 0 1 及び 1 0 0 G は、コンデンサを形成し、コンデンサ 1 2 から半導体素子 1 3 に過渡電流を供給するための伝送路として用いられる。

【0063】

上記した構成において、ワイヤボンド用に設計された半導体素子 1 4 のトランジスタ層 1 4 1 の設計を変更することなく、電源配線層 1 3 3 v 及び 1 3 3 g 並びに電源パッド 1 3 4 v 及び 1 3 4 g を追加して半導体素子 1 3 とすることで、パッケージ基板 1 0 A に半導体素子 1 3 を実装することができ、半導体素子 1 3 へ過渡電流を供給するための伝送路のインピーダンスを従来のパッケージ基板 (20、30、40) に半導体素子 1 3 を実装する場合と比べて減少することができる。

50

【0064】

[他の実施の形態]

なお、本発明は、上記実施の形態に限定されず、本発明の趣旨を逸脱しない範囲で種々な変形が可能である。

【0065】

例えば、金属層100Vの表面のうちコンデンサ12及び半導体素子11が実装される領域以外に絶縁膜等を形成してもよい。

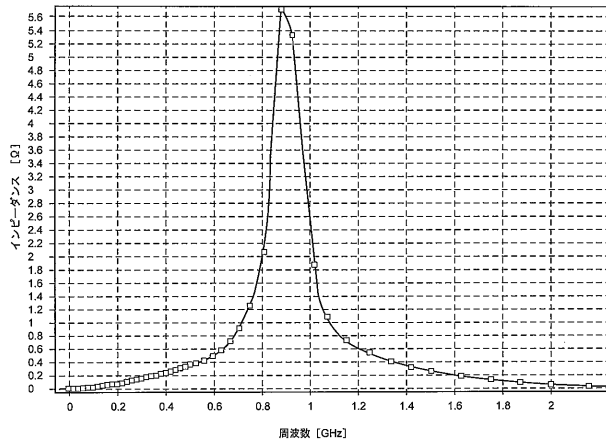
【符号の説明】

【0066】

1-4、1A	半導体パッケージ	10
5、6	プリント配線基板	
10、10A、20、30、40	パッケージ基板	
11、13、14	半導体素子	
12	コンデンサ	
100G、100V	金属層	
100g	パッド	
101	誘電体層	
102	ビア	
103	バンブ	
105	パッド	20
110	バンブ	
133g、133v	電源配線層	
134g、134v	電源パッド	
140	シリコン基板	
141	トランジスタ層	
142	絶縁層	
143g、143v	電源配線層	
144g、144v	電源パッド	
200G、200V	金属層	
202	ビア	30
203	バンブ	
204、205	パッド	
300G、300V	金属層	
302	ビア	
303	バンブ	
304、305	パッド	
500G、500V	金属層	
502	ビア	
504、505	パッド	
600G、600V	金属層	40
601	誘電層	
602	ビア	
Pg、Pv	パッド	

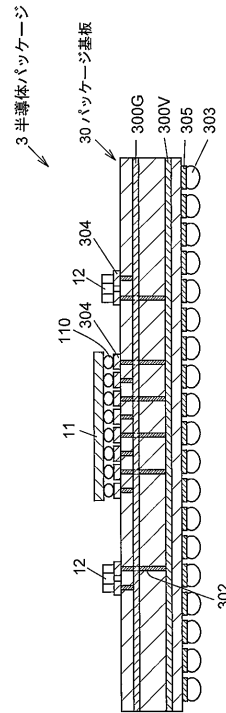
【図 4】

図 4



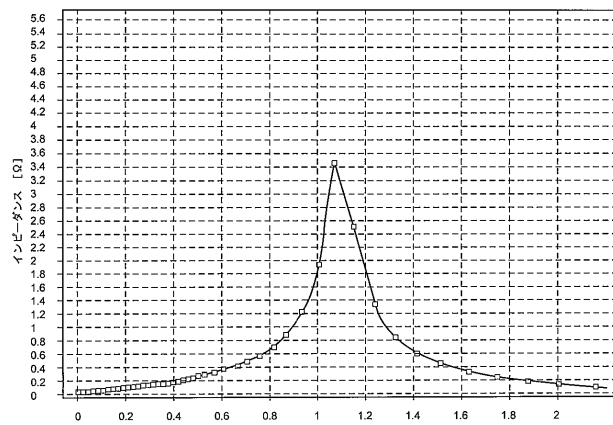
【図 5】

図 5



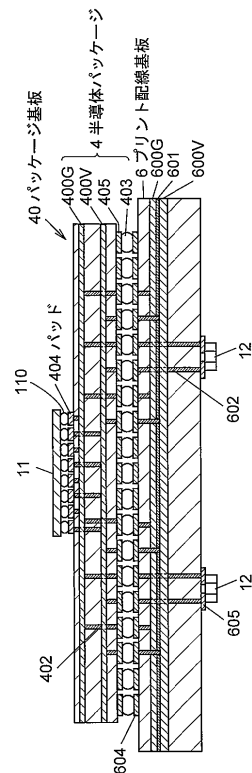
【図 6】

図 6

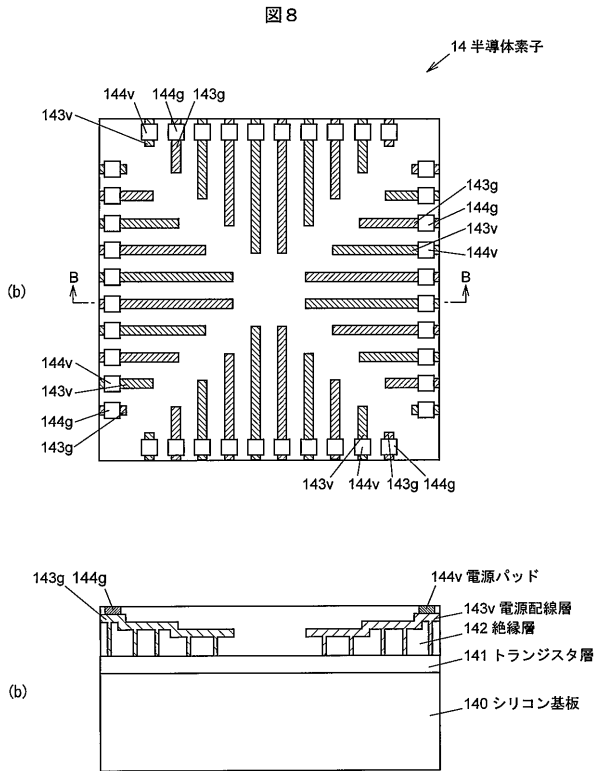


【図 7】

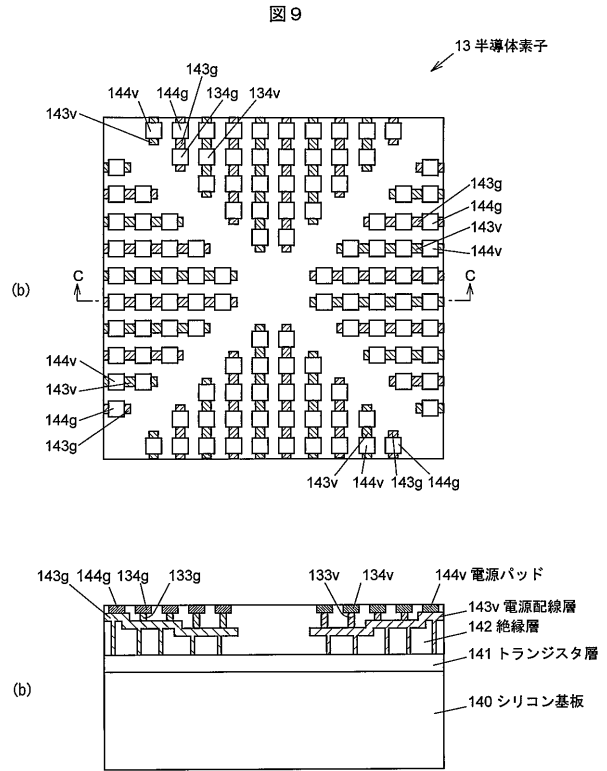
図 7



【図 8】



【图 9】



【图 10】

