

〔10〕中华人民共和国专利局

〔11〕审定号 CN 1003549B



〔12〕发明专利申请审定说明书

〔21〕申请号 85108621

〔51〕Int.Cl⁴

H01L 27/02

〔44〕审定公告日 1989年3月8日

〔22〕申请日 85.1.23

〔30〕优先权

32J85.1.25 33JP (31)10832-8;

32J85.1.17 33JP (31)103727/85

〔71〕申请人 株式会社日立制作所

名称未定

〔72〕发明人 铃木康雄 松原俊明 河明田治和

浦上宽

〔54〕H01L 27/02

〔73〕专利代理机构 中国国际贸易促进委员会专利

代理部

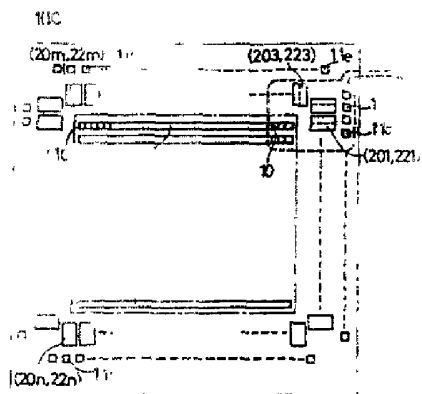
代理人 刘 强

说明书页数: 10 附图张数: 1

〔54〕发明名称 半导体集成电路器件

〔57〕摘要

本发明公布了一种半导体集成电路器件。该电路器件用改进的 $(m+n)$ 个输入单元, 每个单元都装配有高负载驱动功能元件。将元件布置在单元周围, 并且在该单元内有 n 个信号输入端, 另外还有 m 个常规信号输入端, 一并置入该单元内。



1. 一种半导体集成电路器件，包括：

(1) 基本单元，每个基本单元包括至少一对双极晶体管和至少两个绝缘门场效应晶体管；

(2) 基本单元阵列，每个基本单元阵列是由在预定方向上布置的许多上述基本单元形成的；以及

(3) 一个基本单元矩阵，是由许多基本垂直上述预定方向布置的许多上述基本单元阵列形成的，在基本单元阵列之间设有预定间隙；

(4) 一个把运行电位施加到上述基本单元上的第一运行电位线和一个第二运行电位线；其特征在于，把上述一对双极晶体管布置在每个上述基本单元的相对的周边上，在上述一对双极晶体管之间至少布置一个上述绝缘门场效应晶体管，将上述第一和第二运行电位线沿着上述基本单元阵列并基本平行于上述预定的方向延伸，使其穿过每个上述基本单元的上述相对的周边，并连接到上述基本单元中形成的上述一对双极晶体管中所选定的一个晶体管上。

2. 按照权利要求 1 所述的一种半导体集成电路器件，进一步包括：

(5) 在上述基本单元阵列中延伸的第一布线，连接上述双极晶体管和绝缘门场效应晶体管，形成由上述双极晶体管和绝缘门场效应晶体管相结合组成的一个基本复合电路，用来连接构成上述基本单元阵列的上述基本单元；

(6) 在上述基本单元阵列之间的预定空隙区域内延伸的第二布

线，用来在上述基本单元阵列之间，或构成几个上述基本复合电路的上述基本复合电路之间传输信号；

其中，每个上述基本复合电路包括一个第一输入端，耦合到一个上述绝缘门场效应晶体管的一个门电极上，并且布置在上述第二布线与上述第一运行电位线之间或第二布线与上述第二运行电位线之间或第二布线与上述第二运行电位线之间，耦合到选定的一个上述第二布线上；还包括一个第二输入端，将其耦合到其他上述绝缘门场效应晶体管的一个门电极上，并将其排列在上述第一和第二运行电位线之间的区域内，且耦合到选定的一个上述第一布线上。

3.按照权利要求2所述的一种半导体集成电路器件，其中上述第一布线是由与上述第一运行电位线和第二运行电位线处于同一层内的导电金属形成的。

4.按照权利要求1所述的一种半导体集成电路器件，其特征在于：每个上述基本单元是由上述一对双极晶体管和彼此具有不同导电类型的两个绝缘门场效应晶体管组成的；上述双极晶体管对的发射极—收集极通路是放在彼此串联的上述第一和第二运行电位线之间。

5.按照权利要求2所述的一种半导体集成电路器件，其中上述基本复合电路中的一个基本单元是一个三输入端“与非”电路。

6.按照权利要求4所述的一种半导体集成电路器件，其中上述双极晶体管对是NPN晶体管，上述两个绝缘门场效应晶体管是硅门型P沟道和N沟道的MOSFETs晶体管。

7.一种半导体集成电路器件，包括：

(1)一个半导体衬底；

(2)基本单元，每个基本单元包括在上述半导体衬底的内部或表

面上形成一系列电路组成元件；

(3)基本单元阵列，每个基本单元阵列是由在X方向上排列上述基本单元形成的；

(4)一个基本单元矩阵，是由在基本垂直X方向的Y方向上排列的上述基本单元阵列形成的，在基本单元阵列之间留有预定空隙；

(5)一个第一运行电位线和一个第二运行电位线，将运行电位施加到上述基本单元上；

(6)在上述基本单元阵列中延长第一布线，连接上述基本单元内部形成的上述电路组成元件，使其形成基本电路，并连接上述基本单元阵列的上述基本单元；

(7)在上述基本单元阵列之间的预定空隙的区域内延伸第二布线，主要用做在上述基本单元阵列之间传输信号；

其特征在於：每个上述基本单元包括m个可以仅仅连接到上述第二布线上的第一信号输入端，n个连接到上述第一布线的第二信号输入端。

8.按照权利要求7所述的一种半导体集成电路器件，其中上述基本单元是由许多P型和N型的MOSFET晶体管以及至少一个双极晶体管足以形成的构成元件形成的；其特征在於：许多上述P型和N型MOSFET晶体管是沿Y方向排列的，上述每个门是由一个第一门和一个第二门组成的，第二门在Y方向上有效门长度小于上述第一门的有效门长度。

9.按照权利要求8所述的一种半导体集成电路器件，其特征在於：上述n个第一信号输入端是上述第二门的终端部位，m个第二信号输入端是上述第一门的终端部位。

10. 按照权利要求 8 所述的一种半导体集成电路器件，其中上述门是由多晶硅构成的。

11. 按照权利要求 8 所述的一种半导体集成电路器件，其特征在于：上述基本单元装有足以形成 3 输入端“与非”电路的构成元件，该电路是由一个双极晶体管和 CMOS E F F 晶体管以复合方式组成的。

12. 按照权利要求 11 所述的一种半导体集成电路器件，其特征在于：上述 3 输入端“与非”电路具有两个输入端做上述第一输入端，以及一个输入端做上述第二输入端，从而上述 3 输入端“与非”电路可以用做 2 输入端“与非”电路。

半导体集成电路器件

本发明涉及到半导体集成电路器件 (IC)，特别是涉及适用于门阵列中做为一种半常规集成电路的技术。

门阵列包括的，例如有：输入——输出缓冲器部分和内部电路部分以及在内电路部分里面形成许多单元。每个微单元内又包括许多门。

按照该类型的半导体集成电路器件，由于可以把连线分别连到大量的主片上去，因此有可能将门阵列用各种变化形式的半导体集成电路器件制成。这就是生产中的一大优越性。阵列还有其他优越性，例如，由于大量生产主片，可以减小生产的花费，布线可以自动化进行，当只要求一层布线时，还可减小生产工艺的循环周期。

这里使用的术语“门”意味着构成逻辑电路的一个最小单元，也就是不能再分割的一个逻辑功能块，术语“微单位”意指用许多门构成的逻辑功能块，例如多路调制器，触发器及其类似物。

同时，集成电路的制造厂商还能够按照用户说明的在微单位之间做连线的要求制作每个门的内部连线。在门阵列中每个单元和线的布置都是使用计算机辅助设计 (CAD) 或自动设计 (DA) 进行的。

日立公司显著地发展了一种双极——互补——金属——氧化物——半导体 (下面简称 B₁——CMOS) 类型的门阵列，其中双极元件和 CMOSFET (互补绝缘门场效应晶体管) 是放在一个片子里面的，其详细内容在日本专利申请号 152886/1984 中给以描述过。本发明主要关系到如上所述的 B₁——CMOS 门阵列改进的集成密度和布线技术，这种布线技术可以使门阵列的单元有效地加以使用。

为了改进门阵列的集成密度，必须满足下列要求。

(1) 在一个有限的半导体衬底上面必须形成较多数目的基本单元(有关这方面情况将在后面说明)。

(2) 必须有效地使用所有的基本单元。

然而，在上面描述的双极—CMOS复合门阵列中，很难满足上述(1)与(2)的要求，因为一个基本单元的面积趋向大于一个单纯的CMOS单元的面积，而且还要保证布线区域。

本发明的目的是提供一种新型的半导体集成电路器件，该器件具有极好的高速运算的性能，低的功率损耗和高的集成度。

下面是本发明的典型实例。

1、沿一个预定方向例如X方向，在一片半导体衬底上需要布置大量的基本单元，一个基本单元包括一个高负载驱动容量的元件(也就是双极晶体管)，并且该元件具有低的功率损耗，也就是互补—金属—本征—半导体场效应晶体管(下面简称CMIS EFTs)。

将具有高负载驱动容量的该元件布置在基本单元的外围部位，电源线布置在基本单元排列的X方向上，并可以连接到高负载驱动元件上。将低功率损耗元件布置在基本单元的中央，并将基本单元阵列的内部引线在X方向或在同一层内的与X方向垂直的Y方向上延长，从而能使电源线连到低功率损耗的元件上。

按照前面的所述的布置，当基本单元阵列的内部引线被延长时，电源线是沿基本单元的外围部位延长，这样就不会出现什么问题。因此可以简化布线结构，并且可以实现更高的集成电路的集成密度。

2、许多基本单元阵列，其中每个阵列都由许多沿X方向排列的基本单元依次组成的，沿Y方向这些基本单元之间以预定的间隔排列，构成一个基本单元矩阵。用来连接该基本单元与另一个基本单元的连线有

下列两种：第一个是内部布线（第二布线）在基本单元阵列里面用来把沿X方向排列的基本单元连接起来构成该基本单元阵列；第二个是外部布线（第一布线），这些线沿着上述基本单元阵列之间预定宽度上延长，并且传送基本单元阵列之间的信号。每个基本单元都有 m 个第一信号输入端，可将其连到外部布线上，以及 n 个第二信号输入端，只将其连到基本单元阵列的内部布线上。按照这种布置方法，每个基本单元包括电路元件例如扩散层和电阻层，足以充分构成一个基本电路，该电路可以基本上接收最大的 $m+n$ 个信号输入。

代替这种 $m+n$ 个端点的布置方法是可以连到外部布线上，除了 m 个第一信号输入端以外，每个基本单元都埋置 n 个第二信号输入端，并有效地使用这些输入端，以便简化布线的叠层布置和布线结构，并且为了改进集成密度的单元的利用效率。

图1表示一个门阵列的整个系统构造和各个方框中信号的逻辑级；

图2是电路框图进一步详细表示图1所示的一个门阵列中微单位级的电路结构；

图3是电路框图表示图3所示一个方框211的详细结构；其中

图3(A)表示逻辑符号；

图3(B)表示一个详细的电路结构；

图4表示图2所示的一个方框213的详细结构；其中

图4(a)是一个电路框图表示使用一个R-S触发器逻辑符号的微单位实例；

图4(b)是图4(a)所示R-S触发器电路的详细电路图；

图5(a)表示一个门阵列的整个平面电路设计；

图5(b)更详细地表示图5(a)中所示的A区域的详细电路设计；

图 6 (a) 是一个平面电路设计框图主要表示在一个微单位中扩散层和多晶硅层的排列情况,

图 6 (b) 是器件的横断面视图, 表示图 6 (a) 所示的一个基本单元沿 X—X 线剖开的横断面;

图 6 (c) 是图 6 (a) 所示基本单元的符号图;

图 7 (a) 是一个电路图表示一个基本单元的结构;

图 7 (b) 是用逻辑符号表示基本单元的结构图;

图 8 是一个平面电路设计框图, 表示按照本发明的一个实施方案的一个基本单元的内部情况和基本单元之间和基本单元阵列之间的布线情况;

图 9、10 和 11 是解释图表示本发明具有的特征; 其中

图 9 (a) 是平面视图用符号形式表示一个 2 端输入“与非”基本单元;

图 9 (b) 是一个平面视图用符号形式表示一个 3 端输入“与非”基本单元;

图 9 (c) 表示 2 端输入的“与非”微单位的逻辑符号;

图 9 (d) 表示 3 端输入的“与非”微单位的逻辑符号;

图 9 (e) 是一个用 3 端“与非”电路的 D 型触发器的电路框图;

图 10 (a) ——(d) 是符号示意图, 对于解释有效使用 2 端输入“与非”型单元和 3 个输入“与非”型单元是有用的;

图 10 (e) ——(h) 是分别相应于图 10 (a) ——10 (d) 的逻辑符号示意图;

图 10 (i) 是一个用 2 端输入“与非”电路和一个反转器构成的 2 位译码器的电路框图;

图 11 (a)、11 (b) 和 11 (c) 是解释图，对于解释当使用 3 端输入“与非”型单元的特点和问题是有用的，其中

图 11 (a) 是一个 3 端输入“与非”单元的逻辑符号框图；

图 11 (b) 是一个电路设计图；

图 11 (c) 是一个电路设计图表示在基本单元阵列之间的布线情况；

图 11 (d) —— 11 (f) 表示当使用 2 端输入“与非”型单元时的特点，并分别相应于图 11 (a) —— 11 (c)；

图 11 (g) —— 11 (i) 表示当使用本发明改进的 2 端输入单元时的特点，并分别相应于图 11 (a) —— 11 (c)；

图 12 是一个门阵列的平面视图，表示本发明的四个特点 (1) —— (1v)；

图 13 是一个基本单元的电路设计框图，对于解释没有使用本发明时存在的问题是有用的；

图 14 是一个平面电路设计图，对于解释本发明的门阵列的布线规则是有用的；

下面叙述最佳实施方案。

a) 在本发明之前发明人觉察到的问题

为了改进集成密度，下列概念是很重要的。

(1) 为了在一个半导体衬底上组装最大可能数目的基本单元，在布线层上包括足以构成一个门的电路元件，例如，扩散层，电阻，或类似物。为了实现此目的，必须缩小一个基本单元占据的面积。一个门阵列是集成电路时，其中排列着大量的成千上万个基本单元（有时这些基本单元就做为单元），尽管一个基本单元占据的面积差别非常小，但是当集成大量的基本单元时，这些小的差别被积累起来，使最后的集成密

度会有显著的差别。

(2) 在衬底中形成的基本单元必须有效地加以使用。即使在半导体衬底中形成的大量基本单元, 如果对形成的实际电路不能充分利用这些基本单元的话, 就失去其技术意义了。有效地利用单元主要取决于连接大量单元中的每一个所用的布线实际上可以在一个有限的布线空间内延长。因此, 除了可以延长布线之外, 不能利用这些单元也是使劳的。当然, 用保证充分的空间容纳延长线, 也可以改进单元的利用率, 但是集成密度会大大下降。

(3) 一个逻辑电路, 可以用合并在一个单元里的一些元件(扩散层等等)构成, 必须细心地选择一个逻辑电路

例如, 虽然一个2端输入“与非”电路和一个3端输入“与非”电路可以分别用一个基本单元构成。当设计一个门阵列时, 这些电路之间会有各种各样差别。换言之, 由于3端输入“与非”型单元的输入端数目比2端输入“与非”型单元的多一个输入端。因此, 前者占据的面积将变得大的多。然而, 一般来说, 如果用户要求的所有电路都可以基本上由3端输入“与非”型构成。当然, 用3端输入的“与非”型单元可以改进该单元的使用效率。相反, 如果用户要求的电路可以主要由2端输入型单元构成的话, 用2端输入“与非”型单元, 集成密度能得到更多的改进。

因此每种类型的单元都各有其优点和缺点。而用户实际要求的电路也是多样化的。有一些基本上由3端输入“与非”电路组成。同时另外一些基本上由2端输入“与非”电路组成。因此, 根据过去的经验, 必须考虑每种类型单元的优缺点, 同时进行细心地选择和比较它们之间的优缺点。

b) 门阵列的布线规则:

参照图 14 解释布线规则。如图中所示，在 X 方向上排列着基本单元阵列 (B C) 10 形成一个基本单元阵列。在 Y 方向上排列的基本单元阵列，做为整体看，就构成了一个基本单元矩阵。

在 B、C 阵列之间的空间间隔 (W_1 , W_1') 是外部布线的延长区域。在 X 方向的外部布线 (1000, 1000') 和 Y 方向的外部布线 (1001, 1001', 1001'') 是在这些区域的延长线。

在 B、C 阵列里面的内部布线 $\sim_{IN}$ 是在每个 B、C 阵列里面 X 和 Y 的两个方向上布置的，以便为了电连接每个基本单元。

如图所示，在 X 方向上的内部布线 $\sim_{IN}$ 和外部布线 (1000, 1000') 是由第一层铝线 (A1 1) 组成的，而在 Y 方向上的外部布线 (1001, 1001') 是由第二层铝线 (A2 2) 组成。

C) 本发明的特点:

为了使本发明更容易地理解，在详细描述本发明的实施方案之前，参照图 9—12 解释一下本发明的特点。

首先，假设一个 D 型触发器电路，例如图 9 所示的，是用 3 端输入“与非”型单元构成的。如果使用的是如图 9 (b) 和 9 (d) 所示的 3 端输入“与非”型单元，上述触发器电路可以用 6 个基本单元构成。如果使用如图 9 (a) 和 9 (c) 所示的 2 端输入“与非”单元，那么需要 9 个基本单元 ($1.5 \times 6 = 9$) 才能得到该触发器电路。因此，如果使用 3 端输入“与非”单元，使用单元的数目是 $2/3$ ，这是十分有效的。

其次，假设一个 2 位译码器是用如图 10 (1) 所示的 2 端输入“与非”单元构成的。该 2 位译码器是由 6 个电路元件 G—I 组成。在此情况下，用一个基本单元构成一个电路元件。

现参照图 10 (a) — 10 (c) 解释当使用 2 端输入“与非”单元时，单元的使用效率。在实践中，只有 5 个基本单元 ($0.5 \times 2 + 1 \times 4$) 对于 2 位译码器是有效地被使用。相反，当使用 3 端“与非”单元时，单元的使用效率将参照图 10 (b) 和 10 (d) 加以解释。在这种情况下，只有 3 个基本单元 ($0.33 \times 2 + 0.66 \times 4 = 3.3$) 是有效地加以使用。换言之，对 2 端输入“与非”单元，其使用效率是 $5/6$ ，而对于 3 端输入“与非”单元，其使用效率是 $3.3/6$ ，可见前者的使用效率大于后者。因此，基本单元优缺点的变化视制造的电路（微单元）而定。

本发明的特征之一是，所使用的单元类型可以根据要制造的电路及每个单元类型的优缺点适当地改变，并且可以最有效地形成所需要的门阵列。

本发明的这个特点将参照图 10 和 11 加以解释。

图 11 (a) — 11 (c) 表示当使用 3 端输入“与非”型单元时本发明的特点，其中的 11 (a) 是一个逻辑符号图，11 (b) 是它的详细布线图，11 (c) 表示在单元阵列之间延长的外部布线的通道数目。图 11 (d) — 11 (f) 表示当使用的是 2 端输入“与非”单元时本发明的特点，分别相应于图 11 (a) — 11 (c)。图 11 (g) — 11 (i) 表示按照本发明使用改进的 2 端输入单元时本发明的特点，并分别相应于图 11 (a) — 11 (c)。

首先，参照图 11 (b)，(e) 和 (h) 比较一下一个单元占据的面积。这里忽略了详细结构的解释，因为这将在其他地方描述。

图中用画有斜线的部位表示用多晶硅形成的每个 MOSFET（金属—氧化物—半导体场效应晶体管）的门，起信号输入端的作用。

用。从图 1 1 (a) 中可见, 在 3 端输入“与非”单元的情况, 单元的横向宽度随着第三信号输入端 X_3 的宽度的增加而增加, 而整个横向宽度为 $L_1 + L_2$ 。为了有效地利用如图 1 1 (c) 所示的三个信号输入端, 需要做 2 1 条外部布线。

另一方面 2 端输入“与非”单元的横向宽度也可以如图 1 1 (a) 所示的只有 L_2 。因为从图 1 1 (e) 中可以看到每个单元地址的信号输入端的数目, 所需要的外部布线的总数目可以只有 1 6 个, 所以 B、C 阵列之间的宽度是 W_1 , 可以认为它小于图 1 1 (c) 中的宽度 W_2 。

改进的 2 端输入单元是基于上述 2 端输入“与非”单元, 所占据的面积以及其布线通道数目如原来的一样。其差别在于改进的 2 端输入单元中制作了第三信号输入端, 并且可以把该单元用作 3 端输入“与非”单元, 无论何时需要, 就能使用这第三端。

从未把第三端与外部布线相连, 只有基本单元阵列的内部布线 L_1 可以与其相连。

本发明的另一个特征在于改进的 2 端输入单元的电路设计。如图 1 2 (a) 所示, 双极晶体管做为高负载驱动功能元件是布置在一个单元中的单元两侧, 同时把一个 MOS 元件布置在该单元的中央。按照这种布置方法, V_{CC} 线和地线 (GND) 沿着该单元的两个边缘延长, 关于内部布线的延长没有任何问题。如果双极元件布置在单元的中心, MOS 元件布置在单元两侧, 如图 1 3 所示的那样, 那么 V_{CC} 线和 GND 线必须通过该单元的中央延长, 以致妨碍了内部布线的延长。

上述的发明特点可以参看图 1 2 归纳如下,

1) 单元通常做为 2 端输入“与非”单元运用;

2) 无论如何需要, 可以用做 3 端输入“与非”单元;

3) 其外部布线可以与 2 端输入“与非”单元的布线一样, 从而, 可以减小基本单元阵列之间的空隙 w_1 ;

4) 可以简化引线结构, 因为双极元件是布置在外部位置上, 而 MOS 元件是布置在内部位置上。

(d) 本发明的实施方案:

下面将参照附图解释本发明的详细内容。

图 1 表示本发明的门阵列 (IC) 的全部系统结构和门阵列的各个部位上的信号电平。从图中可以看到, 该集成电路是由一个输入缓冲器 20, 一个逻辑部分 21 基本上包括 CMOS 和输出缓冲器 22 组成的。输入缓冲器 20 有电平转换功能 (如果必要的话, 还有逻辑运算功能)。例如, 它可以把从外面接收到的 TTL 电平的输入信号 IN_A , IN_B 和 IN_C 转换成 CMOS 电平的信号, 并且将它的输出信号加到基本由 CMOS 组成的逻辑部分 21 上。另一方面, 例如输出缓冲器 22 有把 CMOS 电平的信号转换成 TTL 电平信号的电平转换功能, (如果必要的话, 还有一个逻辑运算功能,) 最后, 例如还能生产 TTL 电平的输出信号 OUT_1 , OUT_2 …… , OUT_m 。

图 2 表示如图 1 所示系统更详细的内部结构。图中的逻辑部分 21 中的编号 211—21n 表示微单位, 黑点或黑色尖梢部分表示用双极电路构成的输出级的电路。(其余部分是用低功率耗尽型 CMOS 构成的。) 术语微单位 (原文是 “unit cell” 或 macro-cell) 意指用许多逻辑元件构成的一个逻辑功能块 (该逻辑元件是构成一个逻辑电路和一个逻辑功能块的最小的和不可再分割的单元), 例如表示一个多路调制器或是一个触发器。微单位的内部布线是用集成电路 (IC) 制成的, 同时微单元之间的布线

是按照用户的说明制造的。对每个单元的布置和进行布线都是用自动设计进行的。

如已描述过的，每个微单位 $211-21n$ 的输出门（输出缓冲器），输入缓冲器 $201-20n$ 和输出缓冲器 $221-22m$ 都是由双极电路组成的高负载驱动类型的门。正是这个原因，可以使信号延迟量基本上等于一个内部门的小信号延迟量，而与一个单元连到另一单元的连线长短或负载的大小无关，这样就显著地提高了设计的灵活性。

图2所示方框 211 有一个在图3 (A) 和图3 (B) 中所示的结构，其中 (A) 表示逻辑符号，(B) 是详细的电路结构。

图2中的方框 213 ，例如是如图4 (a) 和4 (b) 构成的一个R—S触发器电路。

其次，图1和2所示的集成电路（门阵列）的硅片1上的平面布线将参照图5 (a) 和图5 (b) 加以解释。如图5 (a) 所示，在该硅片内有规则地排列着双极——CMOS单元（基本单元）的阵列，围绕着该阵列排列着输入—输出缓冲器 20 、 22 。围绕着最外一圈布列着焊接垫片。

图5 (b) 是平面电路设计图，更详细地表示图5 (a) 中用虚线圈起来的部分的布线结构。焊线12连到垫片11，垫片和输入—输出缓冲器 ($20n$ 、 $22n$) 用第一层铝 (Al) 线12相连接，一条电源线 V_{cc} 和一条地线 (GND) 由在输入—输出缓冲器 ($20n$ 、 $22n$) 上被延长的第二层铝 (Al) 线组成，并且通过各自的穿孔连到第一层铝线上。因此， V_{cc} 线13和GND线14都被延长共同到输入—输出缓冲器，和基本单元阵列上。

上面解释了集成电路 (IC) 的全部结构。

然后，再一次解释本发明的改进特点。

图8详细表明在图5(b)中用虚线圈住的区域B的平面电路设计，图6(a)表示图5(a)和图5(b)中所示的基本单元(有时写成“B、C”)的平面布线，该基本单元在所示的主要片子中有扩散层。图6(b)是图6(a)中沿线X-X'取的横断面视图。图6(c)是图6(a)所示基本单元的一个符号图。图7(a)表示该基本单元的电路，而图7(b)表示为逻辑符号的基本单元。

术语“基本单元”意指在逻辑部分上电路设计结构的基本单位。该逻辑部分是以预先设计好的图形为了构成一个电路所必须布置的构件。

参照图6(a)将解释基本单元10的布线结构。如图所示，基本单元10由 $\square$ 30, 31, 32和多晶硅组成的MOSFET的 n 井50和 p 井51组成的， p^+ 扩散层35做为 p -MOSFET的源-漏， n^+ 扩散层36做为 n -MOSFET的源漏，扩散层37, 4、(作为发射极E)构成两个双极 $n-p-n$ 晶体管 Q_1, Q_2 ，扩散层38, 41(作为基极B)，扩散层39, 42(做为收集极C)，和两个阻抗元件，此处是电阻 R_1, R_2 。图10是图6(a)所示的基本单元10沿X-X'线剖开的断面图。

图7是表示基本单元10的电路，从这个电路图中可以看到，表面上看该“与非”门是一个2端输入型，但实质上却是一个3端输入型，可以用预先布置的线加到基本单元10内部形成的元件上来构成。图7(b)是用符号型式表示的基本单元10。

图8表示在布线以后的基本单元10。

参照图1再次解释布线规则。在图中的区域I, I'里面把基本单元10沿X方向(图纸的水平方向)规则地排列，下面称其为“基本单元阵列”。

在基本单元内侧的布线是沿 X 方向和 Y 方向（垂直于 X 方向）用第一层铝线 3 4 制成的，在图中用粗线表示。

在基本单元阵列之间的引线（或称为微单位引线）是沿着图 1 所示的 X 方向用第一层铝线 5 1 以及沿 Y 方向用虚线表示的第二层铝线 5 0 制成的。图中的区域 II 是一个布线区，其中在 X 方向上将第一层铝引线（微单位布线）加以延长。

上面解释了门阵列的基本结构。

然后，将说明本发明的效果和为什么可以得到这样的效果的原因。

如已经描述过的，现在这里的基本单元是一个 2 端输入“与非”门，但是在此处多合并了一个门，实际上的功能如一个 3 端输入“与非”门。

该基本单元的平面布线情况如图 2 (a) 所示，当使用这种改进的 2 端输入结构时，由于下面原因可以减小单元占据面积。

参照图 11 (b)，(e) 和 (f)，在 (b) 中单元面积增加是因为用这种方法形成的门如同向双极元件的右边延长（用符号 X a 表示的部分）。本发明人经所做的研究揭示了当图中的 $l_1 = 3.2$ 微米， $l_1 + l_2$ 变成 4.0 微米。因此，如果使用改进的 2 端输入单元，该单元面积可以减小 20%。

按照上面描述的结构，还可以改进单元的有效使用效率。

换言之，当形成一个电路（微单位）时，可以大大改进布线的自由度，并且用 3 端输入“与非”型单元代替用 2 端输入“与非”型单元可以减少门的数量，因为前者的输入端的数目大于后者的，从而布线的自由度可以大大改进。然而，从单元使用效率这方面看，在 3 端输入“与非”型单元的情况下，布线通道数目变得比

较大，并且当构成各种微单位时，相反地， Al 线的延长变成一个极需解决的问题，单元浪费的数目变得比较大，片子的面积也增加了。

当使用该基本单元阵列里面的一个内部引线连到合并了的第二信号输入端时，上面描述的改进的 2 端输入实质上变成了一个 3 端输入“与非”型单元。因此，可以减小电路结构中门的数目，由于第三信号输入端从未连到延长区内的延长线上，所以引线通道的数目如同使用 2 端输入“与非”单元时的一样，其结果，可以避免由于增加引线通道数目而增加片子的面积。

如前所述，本发明的一个特征在于减小一个单元本身占据的面积并且用一个简单的线路结构可以在该单元内能够使使用效率得到改进。

本发明还有一个特点。

如图 1 所示，双极元件是放在 $MOSFET$ 的两侧，从而 V_{cc} 线 13 和 GND 线 14 在平行于基本单元阵列中被垂直地延长。换言之，在基本单元的输出级上，把图腾柱（推拉输出电路）连接的 NPN 晶体管 Q_1 和 Q_2 放在 $MOSFET$ 的两侧，沿着该排列方向， V_{cc} 线和 GND 线在单元的上部和下部延长。然而，可以在基本单元 10 的中央部位以相同方式任意延长的第一层铝线与基本单元阵列平行，也就是，该区域插在 V_{cc} 线 13 和 GND 线 14 之间，布线的自由度并没有因为存在 V_{cc} 线 13 和 GND 线 14 受到限制。假如 V_{cc} 线 13 和 GND 线 14 是在单元 10 的中央延长的，那么在基本单元阵列 ($I, II, \dots$) 内部引线之中沿 Y 方向的线必须比 V_{cc} 线和 GND 线高出一阶，从而必须使用两层布线。因此，布线自由度要下降，布线结构变得极为复杂。

甚至当双极元件 Q_1, Q_2 布置在 $MOSFET$ ($M_1—M_2$)

的两个外侧（在单元的上边和下边），如同本发明的那样，MOSFET（ $M_1 \sim M_6$ ）的门宽度 M 与单纯的CMOS单元相比要减小许多微米，这意味着在减小的区域中要重新布置双极元件 Q_1, Q_2 。因此，基本单元由于置有双极元件 Q_1, Q_2 所增加的占据面积可以被减小。

另外，由于基本单元阵列 I, I' 的宽度 $w_I, w_{I'}$ 必须是使一些第一层铝布线34（也就是有16个通道）可以沿 X 方向在基本单元阵列 I, I' 中延长。这种容许在 Y 方向放置双极元件的结构提供了保证足够的宽度 $w_I, w_{I'}$ 的优点，由于单元的小型化从而有可能复制增加基本阵列内部布线的通道。如前所述，本发明能提供需要很小消耗功率的，以高运转速度工作的和高集成密度的集成电路。

本发明适合应用具有许多单元并且必须有效使用它们的集成电路。特别适用于门阵列。

图. 1

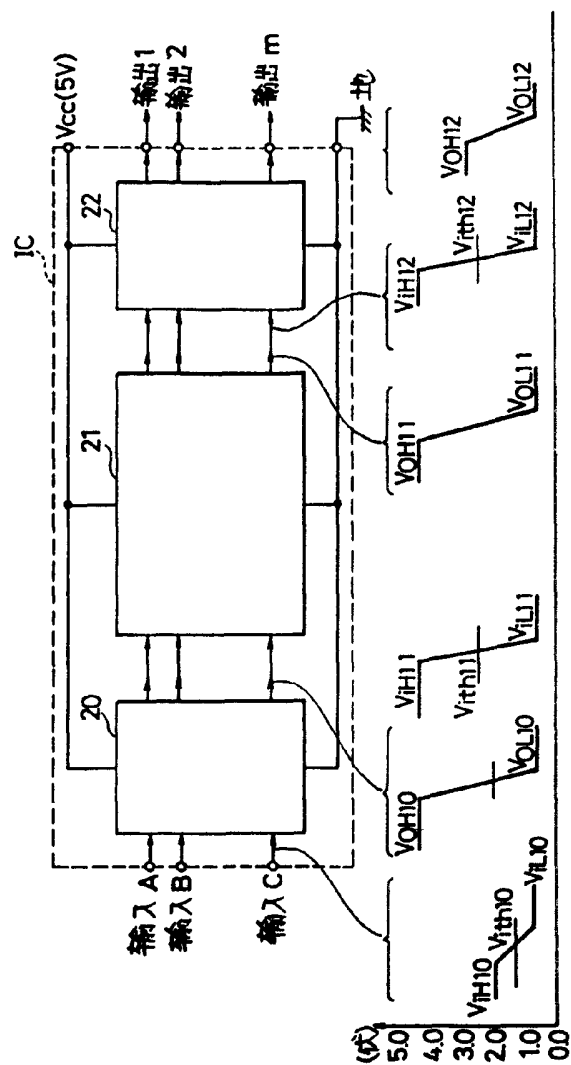


图. 2

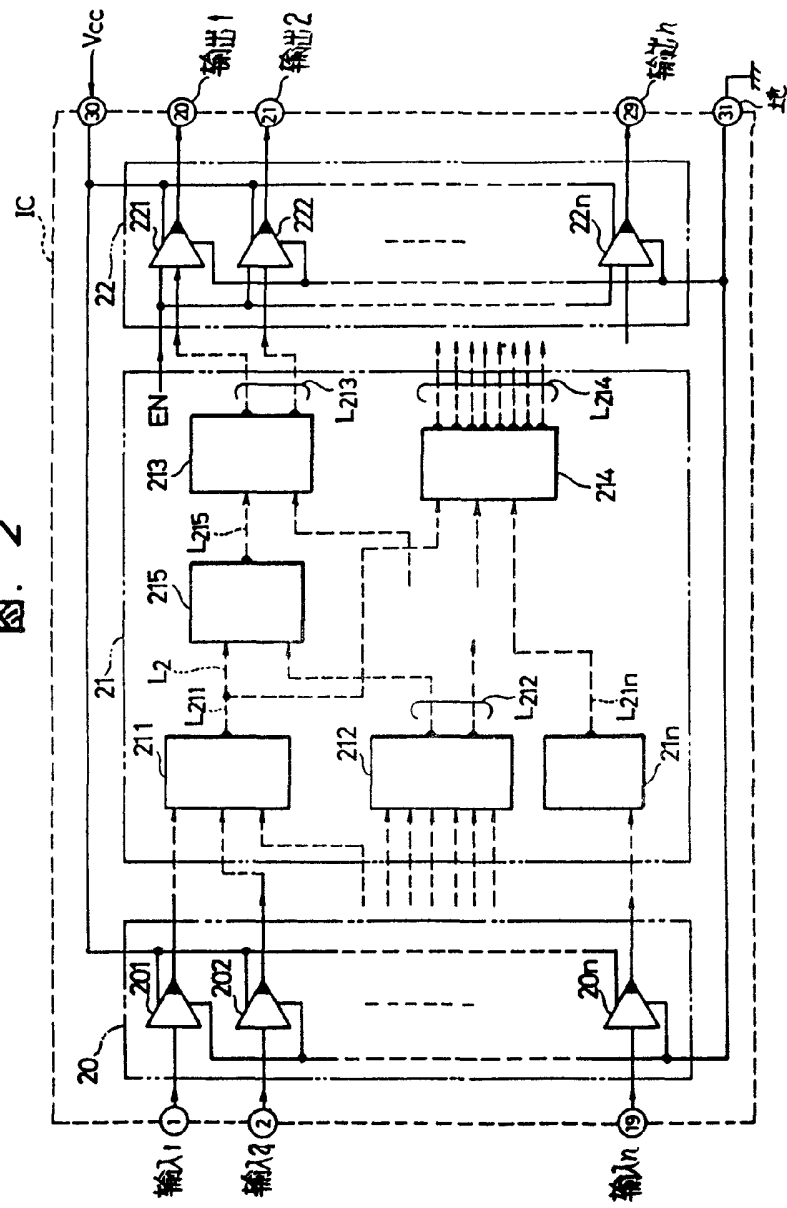


图. 3(a)

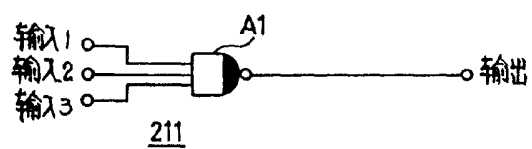


圖. 3(b)

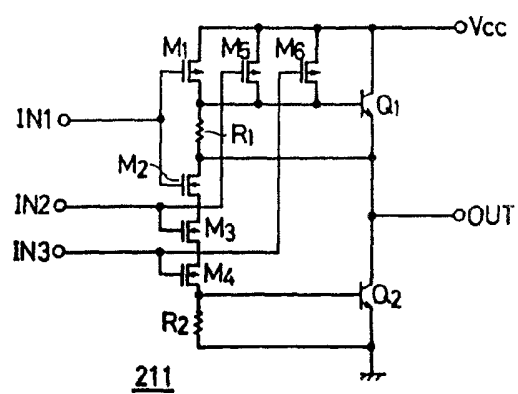


图 4(a)

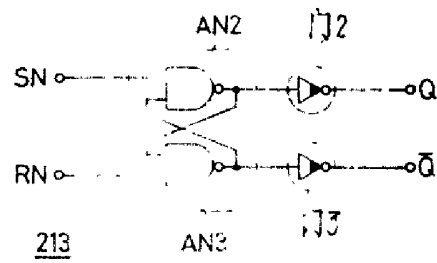


图 4(b)

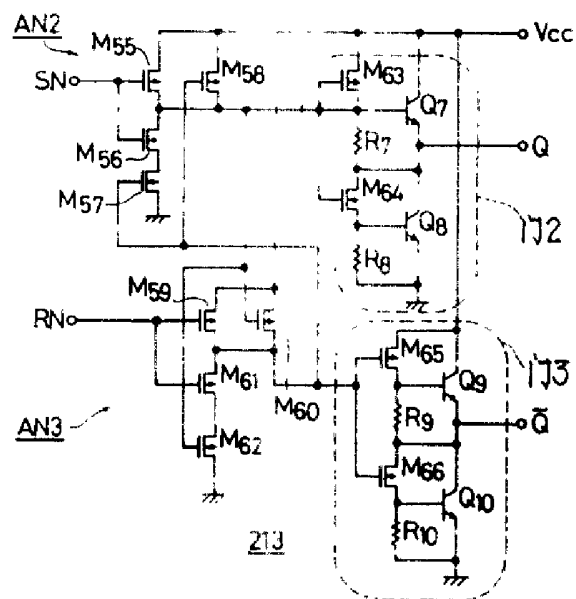


图. 5(a)

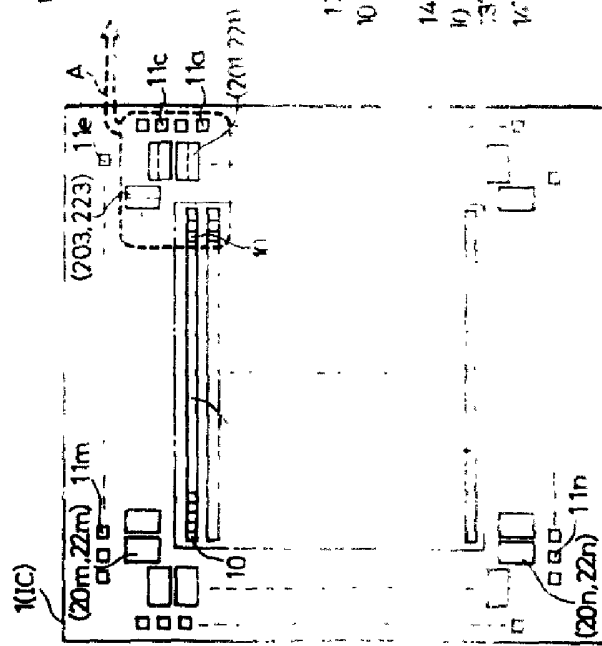


图. 5(b)

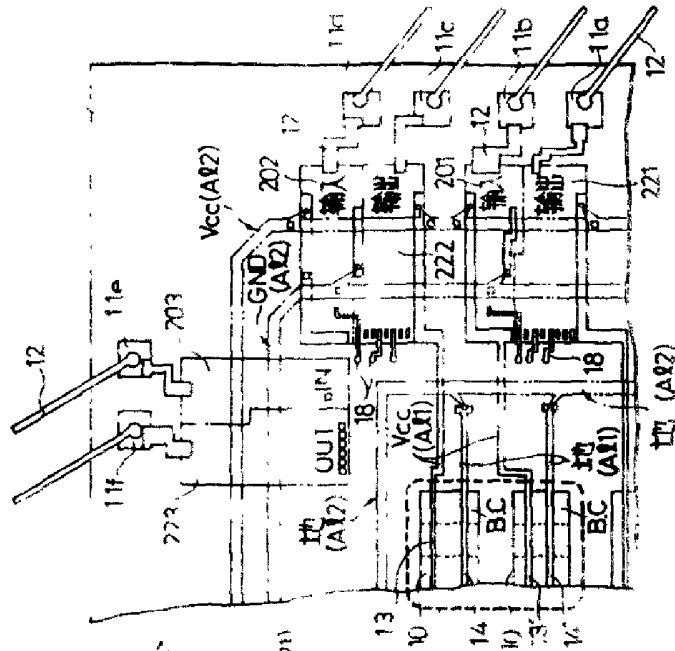


Fig. 6(a)

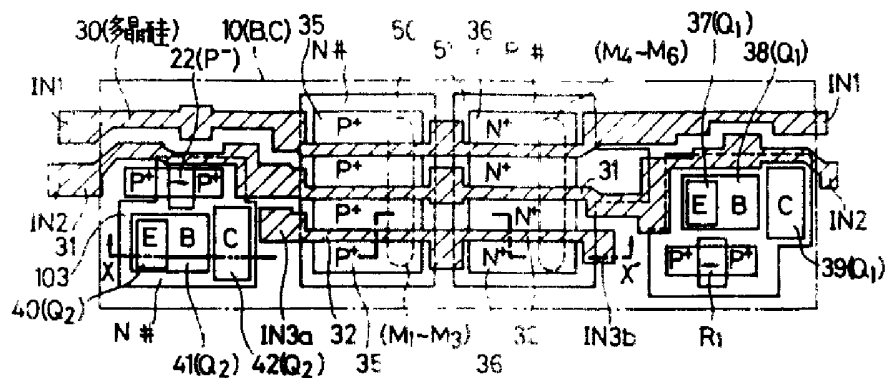
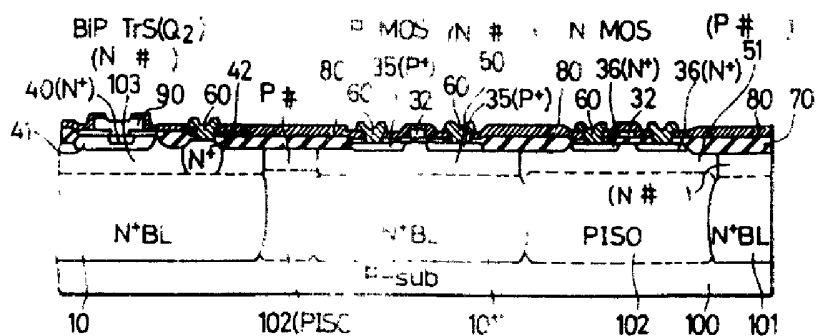


图 6(b)



6(c)

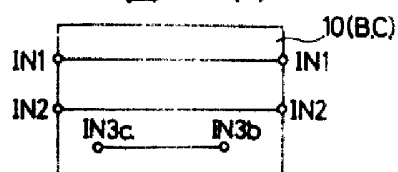


图. 7(a)

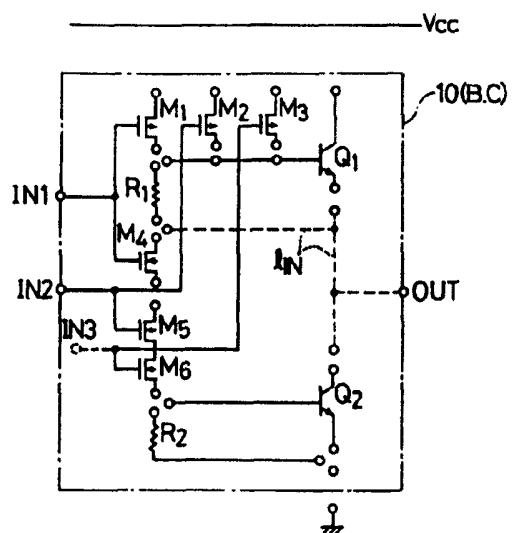


图. 7(b)

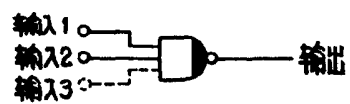


图 8

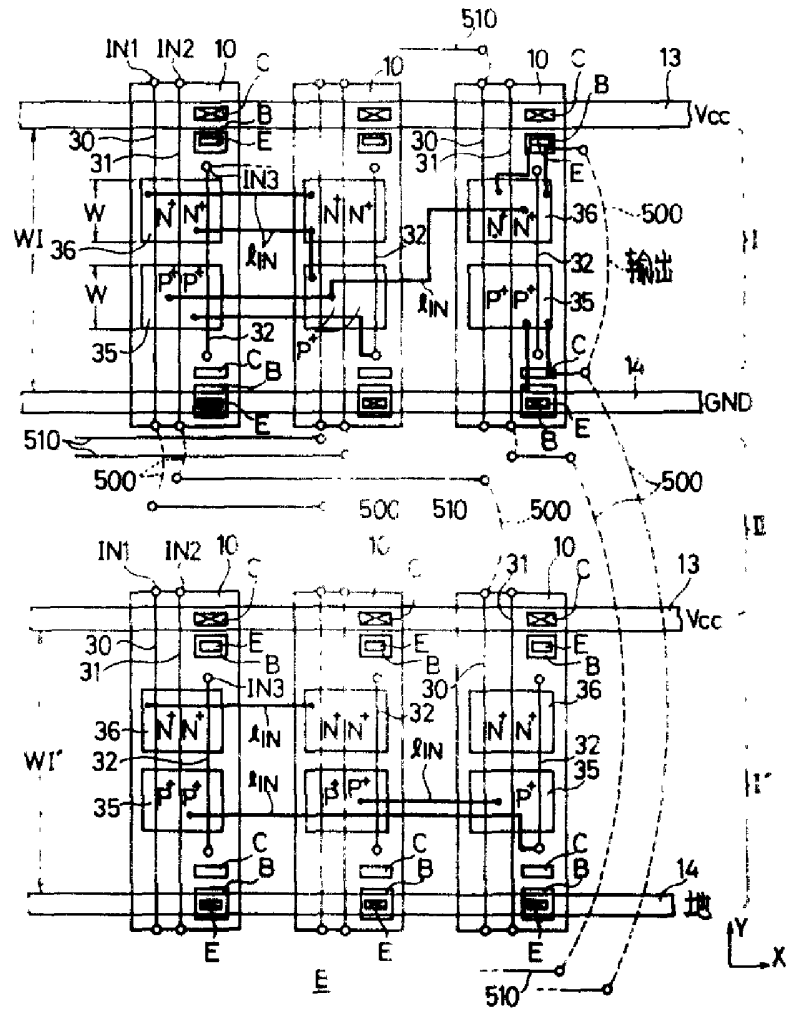


图. 12

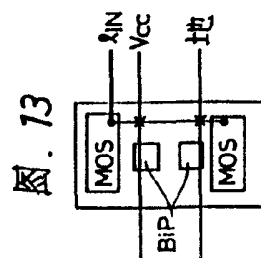
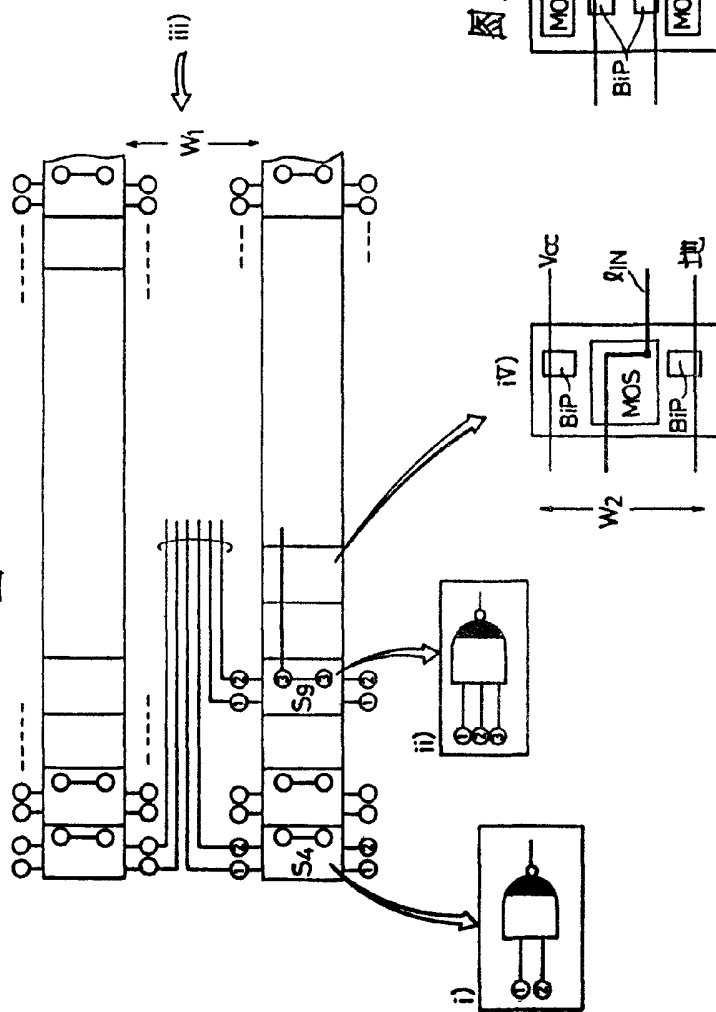


图 14

