

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610162557.0

[51] Int. Cl.

H01L 27/24 (2006.01)

H01L 23/522 (2006.01)

H01L 23/532 (2006.01)

H01L 21/82 (2006.01)

H01L 21/768 (2006.01)

H01L 45/00 (2006.01)

[43] 公开日 2007 年 6 月 20 日

[11] 公开号 CN 1983616A

[22] 申请日 2006.11.27

[21] 申请号 200610162557.0

[30] 优先权

[32] 2005.11.26 [33] JP [31] 2005-341291

[71] 申请人 尔必达存储器株式会社

地址 日本东京

[72] 发明人 早川努 饭岛晋平

[74] 专利代理机构 中原信达知识产权代理有限责任公司

代理人 谷惠敏 钟 强

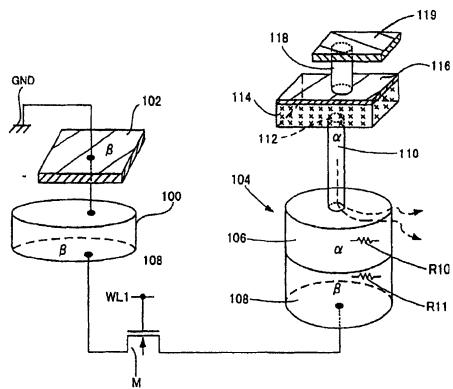
权利要求书 4 页 说明书 35 页 附图 19 页

[54] 发明名称

相变存储器件及其制造方法

[57] 摘要

相变存储器件具有：相变层；加热器电极，其具有与所述相变层保持接触的端面；不同种材料的接触栓塞，其具有第一导电材料栓塞，所述第一导电材料栓塞由第一导电材料制成，并且与所述加热器电极的另一个端面保持接触，和第二导电材料栓塞，其由具有小于所述第一导电材料的比电阻的第二导电材料制成，所述第一导电材料栓塞和所述第二导电材料栓塞堆叠在一个接触孔中，所述加热器电极和所述第二导电材料栓塞以相互重叠的关系彼此保持接触；以及导电层，其电连接到所述第二导电材料栓塞。



1. 一种相变存储器件，包含：

相变层；

加热器电极，其具有与所述相变层保持接触的端面；

不同种材料的接触栓塞，其具有第一导电材料栓塞，所述第一导电材料栓塞由第一导电材料制成，并且与所述加热器电极的另一个端面保持接触，和第二导电材料栓塞，其由具有小于所述第一导电材料的比电阻的第二导电材料制成，所述第一导电材料栓塞和所述第二导电材料栓塞堆叠在一个接触孔中，所述加热器电极和所述第二导电材料栓塞以相互重叠的关系彼此保持接触；以及

导电层，其电连接到所述第二导电材料栓塞。

2. 根据权利要求 1 所述的相变存储器件，其中，所述第二导电材料栓塞在体积方面大于所述第一导电材料栓塞。

3. 根据权利要求 1 所述的相变存储器件，其中，所述第一导电材料栓塞的所述第一导电材料包括金属材料，其为所述加热器元件的主要成分，并且所述第二导电材料栓塞的所述第二导电材料包括金属材料，其为所述相变存储器件的地电位电极或互连的主要成分。

4. 根据权利要求 1 所述的相变存储器件，其中，所述第一导电材料栓塞的所述第一导电材料包含金属材料，其与所述加热器元件的金属材料相同或相类似，并且所述第二导电材料栓塞的所述第二导电材料包含金属材料，其为所述相变存储器件的地电位电极或互连的主要成分。

5. 根据权利要求 1 所述的相变存储器件，其中，所述第一导电材料栓塞的所述第一导电材料包含金属，其为钛(Ti)、钽(Ta)、钼(Mo)、铌(Nb)、锆(Zr)或钨(W)中的任何一种，或者该金属的氮化物，

或者该金属的硅化物。

6. 根据权利要求 1 所述的相变存储器件，其中，所述第一导电材料栓塞的所述第一导电材料包含氮化钛 (TiN)、氮化钽 (TaN)、氮化钼 (MoN)、氮化铌、氮化钛硅、氮化钛铝、氮化钛硼、氮化锆硅、氮化钨硅、氮化钨硼、氮化锆铝、氮化钼硅、氮化钼铝、氮化钽硅、氮化钽铝、氮氧化钛、氮氧化钛铝、氮氧化钨、氮氧化钽、硅化钽 (TaSi)、硅化钨 (WSi) 或硅化钼 (MoSi)。

7. 根据权利要求 1 所述的相变存储器件，其中，所述第二导电材料栓塞的所述第二导电材料包含金属，其为钨 (W)、铝 (Al)、钼 (Mo)，或铜 (Cu) 中的任何一种，或者为该金属的硅化物。

8. 根据权利要求 1 所述的相变存储器件，其中，所述第一导电材料栓塞的所述第一导电材料的比电阻，至少是所述第二导电材料栓塞的所述第二导电材料的比电阻的 10 倍。

9. 根据权利要求 1 所述的相变存储器件，其中，所述第一导电材料栓塞包含层间绝缘膜中限定的接触孔中的上部空间中嵌入的由包括氮化钛 (TiN) 的金属材料形成的栓塞，并且所述第二导电材料栓塞包含接触孔中的下部空间中嵌入的由包括钨 (W) 的金属材料形成的栓塞。

10. 根据权利要求 1 所述的相变存储器件，进一步包含：

开关元件，用于选择存储单元；

所述开关元件具有电连接到所述第二导电材料栓塞的极。

11. 一种相变存储器件，包含：

开关元件，用于选择存储单元，所述开关元件布置在半导体衬底中或其上；

不同种材料的接触栓塞，其具有第一导电材料栓塞和第二导电材

料栓塞，与所述第一导电材料栓塞相比，所述第二导电材料栓塞既具有较大的导电率，又具有较大的导热率，所述第一导电材料栓塞和所述第二导电材料栓塞一个堆叠在另一个上；

加热器电极，其连接到所述第一导电材料栓塞，所述加热器电极和所述第二导电材料栓塞保持相互重叠；

相变层，其连接到所述加热器电极；以及
电极层，其连接到所述相变层。

12. 一种制造根据权利要求 1 所述的相变存储器件的不同种材料的接触栓塞的方法，包含以下步骤：

选择性地使半导体衬底上布置的层间绝缘膜的部分形成图案，以在其中形成接触孔；

在所述接触孔中嵌入所述第二导电材料，并且回蚀刻所述第二导电材料，直到所述第二导电材料具有低于所述接触孔的上表面的上表面为止，从而形成所述第二导电材料栓塞；以及

在所述接触孔中，在其中所述第二导电材料之上，嵌入所述第一导电材料，从而形成所述第一导电材料栓塞。

13. 一种制造根据权利要求 1 所述的相变存储器件的方法，包含以下步骤：

在半导体衬底中或其上形成用于选择存储单元的开关元件；

用根据权利要求 12 所述的制造不同种材料的接触栓塞的方法，如此形成所述不同种材料的接触栓塞，以致于所述第二导电材料栓塞与所述开关元件的一个极保持电接触；

如此形成所述加热器电极，以致于所述加热器电极具有与所述第一导电材料栓塞的上表面保持接触的下表面；

如此形成所述相变层，以致于所述相变层具有与所述加热器电极的上表面保持接触的下表面；以及

形成连接到至少部分的所述相变层的上表面的电极层。

14. 根据权利要求 13 所述的制造相变存储器件的方法，其中，形成所述不同种材料的接触栓塞的所述步骤包括以下步骤：当形成所述不同种材料的接触栓塞时，形成地电位栓塞，用于将所述开关元件的另一个极保持在地电位。

15. 根据权利要求 13 所述的制造相变存储器件的方法，其中，所述开关元件包含绝缘栅场效应晶体管，并且当形成所述绝缘栅场效应晶体管的栅电极时，在所述栅电极的导电材料层的上表面和侧面上形成电绝缘层。

相变存储器件及其制造方法

本申请基于并要求2005年11月26日申请的日本专利申请号2005-341291的优先权，其内容被引入作为参考。

技术领域

本发明涉及一种相变存储器件和制造相变存储器件的方法。

背景技术

相变存储器件在它们的存储单元中采用相变层（硫族化物半导体薄膜等等），相变层的电阻依据其状态而变化。硫族化物半导体是包括硫族元素的非晶半导体。

图1示出了部分元素周期表的附图，是硫族元素的示例。如图1所示，在元素周期表中的6族中硫族元素包括S（硫）、Se（硒）以及Te（碲）。硫族化物半导体一般用于两个领域，光盘和电存储器。电存储器领域中使用的硫族化物半导体包括GeSbTe（以下称为，“GST”）、AsSbTe、SeSbTe等，其中GeSbTe是Ge（锗）、Te（碲）以及Sb（锑）的化合物。

附图的图2A和2B是说明相变存储器的原理的视图。

如图2A所示，硫族化物半导体可以获得两种稳定的状态，即，非晶态10和晶态30。对于从非晶态10至晶态30的转换，硫族化物半导体需要提供超过能量势垒20的热量。

如图2B所示，显示出较高电阻的非晶态对应于数字值“1”，以及显示出较低电阻的晶态对应于数字值“0”。这允许硫族化物半导体存

储数字信息。流过硫族化物半导体的电流量或硫族化物半导体两端的电压降被检测，以决定硫族化物半导体中存储的信息是否是“1”或“0”。

被提供从而导致硫族化物半导体中的相位变化的热量是焦耳热。具体地，具有不同峰值和不同脉冲持续时间的脉冲被施加到硫族化物半导体，以在电极和硫族化物半导体的接触表面附近产生焦耳热，以及该焦耳热引起相位变化。

具体地，在硫族化物半导体被提供有其熔点附近的温度的热量之后，当该硫族化物半导体被迅速地冷却时，它转变为非晶态。在硫族化物半导体被长时间提供有低于熔点的晶化温度的热量之后，当该硫族化物半导体被冷却时，它变为晶态。例如，在GST被短期提供有接近熔点（约610° C）的温度的热量（1至10ns）之后，当GST被迅速地冷却约1ns时，它变为非晶态。在GST被长时间（30至50ns）提供晶化温度（约450° C）的热量之后，当GST被冷却时，它变为晶态。

如图2B所示，从非晶态转变为晶态被称为“置位”（晶化工序）以及用来置位硫族化物半导体的脉冲被称为“置位脉冲”。假定晶化硫族化物半导体需要的最低温度（晶化温度）由Tc表示，以及晶化硫族化物半导体需要的最长时间（晶化时间）由tr表示。相反，从晶态转变为非晶态称为“复位”（非晶化工序），以及用于复位该硫族化物半导体的脉冲被称为“复位脉冲”。施加到硫族化物半导体用于复位该硫族化物半导体的热量是接近熔点Tm附近的温度下的热量。在硫族化物半导体被熔融之后，它被迅速地淬火。

附图的图3A至3D是说明相变存储器件的基本结构和其中置位和复位相变存储器件的方法。

如图3A所示，相变存储器件具有一基本结构，具有夹在上下电极48，42之间的硫族化物半导体层（相变层）46。下电极42被安装在衬

底40上并通过电绝缘膜44与上电极48隔离。上电极48被连接到端子P，端子P将被施加一组脉冲。下电极42被连接到地线（参考电极）。

如图3B所示，图3A所示的相变存储器件相当于电阻器R1。电阻器R1的电阻依据硫族化物半导体层46是否处于非晶态或晶态而改变。置位脉冲S1，即，具有超过阈值V_{th}的峰值的脉冲，复位脉冲S2，即，具有大于置位脉冲S1的峰值和短于置位脉冲S1的较短脉冲持续时间的脉冲，以及读脉冲S3，即，具有小于阈值V_{th}的峰值和长于置位脉冲S1的较长脉冲持续时间的脉冲，被有选择地施加到端子P。阈值V_{th}表示能够产生晶化需要的焦耳热的下限电压。

图3C示出了置位脉冲S1和由置位脉冲S1被施加到端子P时产生的焦耳热所引起的温度上升之间的关系。在图3C中，上曲线表示置位脉冲S1的电压波形，以及下曲线51表示其中由于焦耳热温度增加的方式。

置位脉冲S1的电压值超过阈值V_{th}，置位脉冲S1的脉冲持续时间由t_{cry}表示。脉冲持续时间t_{cry}等于或长于晶化时间t_r，即，晶化硫族化物半导体需要的最长时间。由于焦耳热而上升的温度显著地低于熔点T_m和高于晶化需要的最低温度T_c（晶化温度）。

类似地，图3D示出了复位脉冲S2和由复位脉冲S2被施加到端子P时产生的焦耳热所引起的温度上升之间的关系。在图3D中，上曲线表示复位脉冲S2的电压波形，以及下曲线53表示其中由于焦耳热温度增加的方式。

如图3D所示，复位脉冲S2具有大大高于阈值V_{th}的峰值和足够小的脉冲持续时间。由于焦耳热而上升的温度超过硫族化物半导体的熔点T_m。在足够地短的时间T_{amo}内，温度从峰值下降到晶化温度T_c。因此，在硫族化物半导体被熔融之后，它被淬火，以便它返回到非晶态。

图3A至3B所示的相变存储器件具有用于从端子P提供置位脉冲S1和复位脉冲S2的电路布置。但是，该相变存储器件可以具有如附图的图4所示的电路布置。

图4是相变存储器件的电路布置的电路图。

在图4中，电阻器R1等效于相变存储器件，以及具有连接到端子P的一端，端子P连接到电源电位VDD。电阻器R1具有连接到尺寸-调整的MOS晶体管M1，M2，M3的另一端，MOS晶体管M1，M2，M3分别具有连接到置位脉冲端子P1、复位脉冲端子P2以及读脉冲端子P3的各个栅极。

置位、复位以及读脉冲信号分别被有选择地施加到置位脉冲端子P1、复位脉冲端子P2以及读脉冲端子P3，以选择哪一个MOS晶体管M1，M2，M3将被导通，以及控制所选MOS晶体管M1，M2，M3的导通时间。以此方式，该相变存储器件以置位、复位和读方式工作。

附图的图5示出了其中相变存储器件（相变存储器IC）以读方式工作的方式的电路图。图5所示的与图3A至3D和4所示相同的那些部件由相同的参考符号表示。

在图5中，字线由W表示，接地线由G表示，位线（连接到用于输入置位脉冲S1、复位脉冲S2以及读脉冲S3的端子P的脉冲输入线）由B表示，电阻器由R1表示，相当于用作存储单元的相变存储器件（包括硫族化物半导体层60）。

用于选择存储单元的NMOS晶体管（开关器件）由M4表示，电流-至-电压转换电阻器由R2表示，读出放大器由A1表示，用于读出放大器A1的基准电压源由62表示，在读方式中流过存储单元的电流由11表示，读出放大器A1（读出电路）的输出电压由Vout表示。

在置位模式中（在复位模式和读取模式中也一样），字线W被激活，以导通NMOS晶体管M4。此后，从端子P提供脉冲S1、S2、S3之一。在读取模式中，从端子P提供读脉冲S3。

电阻器R1的电阻改变，因此流过的电流量I1取决于存储单元的硫族化物半导体层60是否处于非晶态或晶态而改变。通过将电流量I1转变为电压和读取该电压，可以决定存储单元中存储的信息是“1”或“0”。

附图的图6是不完全的剖面图，示出了由相变存储器件（相变存储器IC）提供的存储单元的特定结构细节。

在图6中，p型半导体衬底70具有在其中布置的n型源极层71和n型漏极层72，以及在栅绝缘膜73上布置的栅电极74，栅电极74连接到字线W，栅绝缘膜73布置在p型半导体衬底70上。

在栅绝缘膜73上布置层间绝缘膜75，79。连接到n型源极层71的电极包括贯穿层间绝缘膜75和栅绝缘膜73的接触栓塞76和连接到接触栓塞76的电极78，以及包括布置在层间绝缘膜79中的第一导电层。该电极被连接到接地线G。

由钨(W)构成的接触栓塞77，贯穿层间绝缘膜75，并被连接到n型漏极层72。用作加热器电极的接触栓塞80贯穿层间绝缘膜79并被连接到接触栓塞77。

在层间绝缘膜79上布置包括硫族化物半导体的相变层82，具有在其间以薄金属膜形式插入的粘结层81。粘结层81被插入，以保持相变层82和层间绝缘膜79紧密地在一起，因为相变层82和层间绝缘膜79将不互相紧密地粘结。

在相变层82上布置包括第二导电层的上电极83，并在其上表面上延伸。在上电极83上布置层间绝缘膜84。连接到上电极83的接触栓塞85贯穿层间绝缘膜84。在层间绝缘膜84上布置包括第三导电层的电极86，并连接到接触栓塞85。电极86用作脉冲提供端子P。

相变层82包括被粗虚线X围绕的区域，该区域发生相位变化。在层间绝缘膜79中嵌入由氮化钛(TiN)构成的电极80。电极80限制电流流过相变层82，以增加电流密度，用于在相变区X中有效地产生焦耳热。因此，电极80被称作加热器电极(加热电极)，以及下面将称为加热器电极80。

当加热器电极80和相变层82之间的接触面积减小时，流过相变层82的电流的电流密度增加，并产生焦耳热。因此，加热器电极80和相变层82之间的接触面积被设为足够小的面积，例如，由光刻设计的最小尺寸决定的面积。

例如，在日本特许-公开专利公报号2003-332529中公开了一种相变存储器件，具有夹在上下电极之间的相变层。该公报还公开了下电极(加热器电极)具有一尖端，以使该电极和相变层之间的接触面积最小化，以便防止相变存储器件的相变工序中热效率被降低。

本发明的发明人研究了图6所示的相变存储器件并发现它存在如下所述的各种缺点。

图6所示的相变存储器件具有用于通过加热器电极80将相变层82的相变区X中产生的热量向下传递到接触栓塞77以及用于辐射来自接触栓塞77的热量的散热路径。因为该相变存储器件的结构，必然发生该散热路径。

应当注意，接触栓塞77和加热器电极80由不同的材料制成，以及

由于不同的材料，接触栓塞77的散热能力是高的。

具体地，接触栓塞77由低电阻的材料制成，例如，由钨制成，用于减小接触栓塞77的电阻，以及加热器电极80由高电阻的材料制成，例如，由氮化钛制成，用于有效地产生焦耳热。由于具有较高导电率（电阻率的倒数）的金属材料具有较高的导热率，具有较低的电阻，即，较高的导电率的接触栓塞77，具有比加热器电极80更高的导热率，加热器电极80具有较高的电阻，即，较低的导电率。因此，用作热沉（散热片）的接触栓塞77具有良好的散热能力。

由于硫族化物半导体的相变由流过电流时产生的焦耳热所引起，通过加热器电极和接触栓塞以及位于加热器电极底下的互连辐射焦耳热不是优选的，因为该热辐射将导致热效率减小。

当单相变存储器件或低集成度的相变存储器IC被制造作为原型时，这种热效率的减小不造成重要的难题。但是，当根据微制造工艺实际上批量制造高度集成的相变存储器IC时，它可能是大的问题。

具体地，对于制造具有高储存容量的相变存储器件，必须减小存储单元的尺寸，重要的是减小复位电流，即，将相变层从晶态改变到非晶态需要的电流。其中接触电极层保持与用作具有良好散热能力的热沉（散热片）的相变层的下表面接触的结构是造成减小热效率和阻止复位电流量被减小的原因。

另一方面，如果接触栓塞由高电阻的材料制成，以减小来自接触栓塞的热辐射，即，增加热效率，那么接触栓塞和半导体衬底之间的接触电阻增加，以及流过的电流减小。在此情况下，用于选择存储单元的晶体管的尺寸（宽度/长度）需要被增加，对于减小元件尺寸造成障碍，即，对于增加相变存储器件的储存容量造成障碍。

因此设计一种抑制加热器电极下面的热辐射和减小加热器电极和半导体衬底之间的接触电阻的相变存储器件是困难的。

一种解决办法是使保持与NMOS晶体管的漏极层接触的钨接触栓塞77通过由与加热器电极80相同的材料(TiN)构成的新接触栓塞与加热器电极80接触，而不是与加热器电极80直接接触。

具体地，对于将半导体衬底和加热器电极互相电连接，提供一种由钨构成的低电阻接触栓塞，在其本身和半导体衬底之间具有减小的接触电阻，在该具有低电阻的接触栓塞上布置由与加热器电极相同材料构成的另一接触栓塞，例如，氮化钛。在该具有高电阻的接触栓塞上布置由氮化钛构成的加热器电极。

但是，由于在半导体衬底和加热器电极之间存在在各个不同的层中布置的两个接触栓塞，相变存储器件的层数目增加，制造相变存储器件需要的工时数目也增加。此外，两个接触栓塞可能互相错位。由此，在该设计的批量制造的大规模相变存储器件中产生困难。

日本特许-公开专利公报号2003-332529中公开的发明解决了相变层和加热器电极之间的接触界面中的热辐射，不涉及或暗示如本发明解决的通过加热器电极从下电极传递的散热。上述公报的公开不存在上面涉及的散热的任意解决办法。根据上述公报的公开，加热器电极的端部需要以锐角削尖。但是，制造具有尖端的加热器电极的需要，易于使制造相变存储器件的方法变复杂。

发明内容

本发明的目标是使得可以大规模生产既具有良好电特性又具有良好热特性的大规模相变存储器件。

根据本发明的方面，相变存储器件包括：相变层；加热器电极，

其具有与所述相变层保持接触的端面；不同种材料的接触栓塞，其具有第一导电材料栓塞，所述第一导电材料栓塞由第一导电材料制成，并且与所述加热器电极的另一个端面保持接触，和第二导电材料栓塞，其由具有小于所述第一导电材料的比电阻的第二导电材料制成，所述第一导电材料栓塞和所述第二导电材料栓塞堆叠在一个接触孔中，所述加热器电极和所述第二导电材料栓塞以相互重叠的关系彼此保持接触；以及导电层，其电连接到所述第二导电材料栓塞。

不同种材料的接触栓塞用于减少热辐射并提供良好的导电率。接触栓塞是用于将电子电路元件电连接到另一个电子电路元件的电极，并且通常嵌入在绝缘膜中。不同种材料的接触栓塞是指复合接触栓塞，其由通过其表面彼此保持接触的至少两个导电材料层（导电栓塞）制成。一个传统的接触栓塞具有通过以下形成的结构：沉积薄金属阻挡，例如辅助钛层，以提供与下硅衬底的良好电连接，此后在绝缘膜中嵌入例如钨的具有小的比电阻的金属。这种结构的传统接触栓塞不对应于根据本发明的“不同种材料的接触栓塞”。原因在于，必定起到用于互连电子电路元件的电极作用的传统接触栓塞的部分，亦即提供电流路径的部分，仅由例如钨的具有小的比电阻的金属制成，并且提供金属阻挡只是为了更好地制造半导体器件的目的。根据本发明的“不同种材料的接触栓塞”包括必定起到用于互连电子电路元件的电极作用的至少两个部分，亦即起到接触栓塞作用的部分，所述两个接触栓塞由不同的导电材料制成，并且整体地组合成复合接触栓塞。根据本发明的“不同种材料的接触栓塞”的导电材料还可以起到上面提到的金属阻挡的作用。根据本发明的“不同种材料的接触栓塞”用于电互连加热器电极和导电层，所述导电层包括：扩散层，其布置在半导体衬底中；金属层和硅层，其布置在所述扩散层上；以及导电层，其充当电子电路的部分。接触加热器电极的根据本发明的“不同种材料的接触栓塞”的部分呈第一导电材料栓塞的形式，所述第一导电材料栓塞由第一导电材料制成，其与第二导电材料相比，具有较大的比电阻（较小的导电率和较小的导热率），从而减少了通过加热器电极

传输的热辐射。第二导电材料栓塞的第二导电材料与第一导电材料相比，具有较小的比电阻（较大的导电率和较大的导热率）。第二导电材料栓塞在充分减少不同种材料的接触栓塞的总电阻方面是有效的。导电层连接到第二导电材料栓塞。所述栓塞堆叠在一个接触孔中，并且第一导电材料栓塞具有与第二导电材料栓塞的上表面保持接触的下表面，第一和第二导电材料栓塞具有不彼此保持接触的侧面。加热器电极和第二导电材料栓塞相互重叠。由于第一导电材料栓塞具有高阻并抑制了热辐射，所以当在相变存储器件中写入数据时，亦即当复位相变存储器件时，改善了热效率。由于具有低阻的第二导电材料栓塞存在于第一导电材料栓塞之下，所以接触栓塞的总电阻低。因此，即使作为存储单元选择元件的晶体管的尺寸（W/L）没有增加，需要的电流也被维持，并且相变存储器件（相变存储器 IC）尺寸减少且存储容量增加。使用根据本发明的不同种材料的接触栓塞，两个栓塞、亦即第一和第二导电材料栓塞堆叠在一个接触孔中，而不是属于不同层的第一和第二栓塞相互连接。因此，层数没有增加，并且没有使制造工序复杂。由于两个栓塞一个堆叠在另一个上，所以不同种材料的接触栓塞没有占据大的面积，结果有助于增加相变存储器件的集成度。随着加热器电极之下热辐射的问题被解决，低比电阻的材料能够更加自由地被选择作为电极和其他部分中的互连材料，所以能够使用的材料的最大选择是可行的。另外，由于两个栓塞一个堆叠在另一个上，所以不同种材料的接触栓塞的使用没有增加不同种材料的接触栓塞所占的面积。

在根据本发明的相变存储器件中，第二导电材料栓塞在体积方面大于第一导电材料栓塞。提供第一导电材料栓塞主要是为了减少从加热器电极传输的热辐射。第一导电材料栓塞的电阻趋于略微增加。然而，如果由良导体制成的第二导电材料栓塞的体积大于第一导电材料栓塞的体积，那么不同种材料的接触栓塞的电阻由第二导电材料栓塞决定。因此，不同种材料的接触栓塞的总电阻能够充分低，不造成电路操作问题。

在根据本发明的相变存储器件中，第一导电材料栓塞的第一导电材料包括金属材料，其为加热器元件的主要成分，并且第二导电材料栓塞的第二导电材料包括金属材料，其为相变存储器件的地电位电极或互连的主要成分。

上述段落指出，第一导电材料栓塞包括金属材料，其为与所述栓塞保持接触的加热器元件的主要成分，亦即第一导电接触栓塞由与加热器电极相同的金属材料制成，并且第二导电材料栓塞包括金属材料，其为需要具有低阻的接地电极和接地互连的主要成分，亦即第二导电材料栓塞由与接地电极和接地互连相同的金属材料制成。

在根据本发明的相变存储器件中，第一导电材料栓塞的第一导电材料包含金属材料，其与加热器元件的金属材料相同或相类似，并且第二导电材料栓塞的第二导电材料包含金属材料，其为相变存储器件的地电位电极或互连的主要成分。

上述段落指出，第一导电材料栓塞由与和所述栓塞保持接触的加热器元件相同的金属材料制成，亦即第一导电接触栓塞由与加热器电极相同的金属材料制成，并且第二导电材料栓塞由与需要具有低阻的接地电极和接地互连相同的材料制成，亦即第二导电材料栓塞由与接地电极和接地互连相同的材料制成。

在根据本发明的相变存储器件中，第一导电材料栓塞的第一导电材料包含金属，其为钛 (Ti)、钽 (Ta)、钼 (Mo)、铌 (Nb)、锆 (Zr) 或钨 (W) 中的任何一种，或者为该金属的氮化物，或者为该金属的硅化物。

上述材料是能够用作第一导电材料栓塞的主要成分的金属材料。这些金属材料能够用作加热器电极的材料。所述金属材料中的任意一

种都具有低于硅基 LSI 电路中使用的铝 (Al) 或铜 (Cu) 的导电率和导热率。然而，这些金属材料包括这样的材料，其能够用作第二导电材料栓塞的材料。

在根据本发明的相变存储器件中，第一导电材料栓塞的第一导电材料包含氮化钛 (TiN)、氮化钽 (TaN)、氮化钼 (MoN)、氮化铌、氮化钛硅、氮化钛铝、氮化钛硼、氮化锆硅、氮化钨硅、氮化钨硼、氮化锆铝、氮化钼硅、氮化钼铝、氮化钽硅、氮化钽铝、氮氧化钛、氮氧化钛铝、氮氧化钨、氮氧化钽、硅化钽 (TaSi)、硅化钨 (WSi) 或硅化钼 (MoSi)。

上述金属材料是这样的金属材料，其能够用作第二导电材料栓塞的材料。这些金属材料基本上能够用作加热器电极的材料。

在根据本发明的相变存储器件中，第二导电材料栓塞的第二导电材料包含金属，其或者为钨 (W)、铝 (Al)、钼 (Mo)，或者为铜 (Cu)，或者为该金属的硅化物。

上述金属材料是这样的金属材料，其能够用作第二导电材料栓塞的材料。这些金属材料基本上能够用作接地电极和接地互连的材料。然而，这些金属材料包括这样的材料，其能够用作第一导电材料栓塞的材料。

在根据本发明的相变存储器件中，第一导电材料栓塞的第一导电材料的比电阻，至少是第二导电材料栓塞的第二导电材料的比电阻的 10 倍。

上述段落指出了第一和第二导电材料栓塞的材料、亦即第一和第二导电材料的比电阻之间的差。第一和第二导电材料的导电率和导热率应当优选地但不是必要地彼此相差约 10 倍。如果适当地选择材料，

则关于导电率和导热率实现这样的差并不很困难。

在根据本发明的相变存储器件中，第一导电材料栓塞包含层间绝缘膜中限定的接触孔中的上部空间中嵌入的由包括氮化钛（TiN）的金属材料形成的栓塞，并且第二导电材料栓塞包含接触孔中的下部空间中嵌入的由包括钨（W）的金属材料形成的栓塞。

包括氮化钛（TiN）的第一导电栓塞和包括钨（W）的第二导电栓塞以垂直堆叠的关系嵌入在共同的接触孔中，形成不同种材料的接触栓塞。氮化钛（TiN）和钨（W）彼此高度兼容，以关于良好的导电率和减少的热辐射提供稳定的性能。

根据本发明的相变存储器件进一步具有用于选择存储单元的开关元件，所述开关元件具有电连接到第二导电材料栓塞的极。

上述段落指出，用于选择存储单元的例如绝缘栅场效应晶体管、双极晶体管、PN结二极管、肖特基势垒二极管等等的开关元件的一个极，通过不同材料的接触孔电连接到加热器电极，从而提供存储单元。

根据本发明的另一个方面，还提供了这样的相变存储器件，其包括：开关元件，用于选择存储单元，所述开关元件布置在半导体衬底中或其上；不同种材料的接触栓塞，其具有第一导电材料栓塞和第二导电材料栓塞，与所述第一导电材料栓塞相比，所述第二导电材料栓塞既具有较大的导电率，又具有较大的导热率，所述第一导电材料栓塞和所述第二导电材料栓塞一个堆叠在另一个上；加热器电极，其连接到所述第一导电材料栓塞，所述加热器电极和所述第二导电材料栓塞以相互重叠的关系保持；相变层，其连接到所述加热器电极；以及电极层，其连接到所述相变层。

根据半导体制造工序，通过连续地形成开关元件、不同种材料的

接触栓塞、加热器电极、相变层和电极端子，产生具有如上所述基本总体结构的相变存储器件（相变存储器 IC）。

根据本发明的又一个方面，进一步提供了制造不同种材料的接触栓塞的方法，其包含以下步骤：选择性地使半导体衬底上布置的层间绝缘膜的部分形成图案，以在其中形成接触孔；在所述接触孔中嵌入第二导电材料，并且回蚀刻所述第二导电材料，直到所述第二导电材料具有低于所述接触孔的上表面的上表面为止，从而形成第二导电材料栓塞；以及在所述接触孔中，在其中所述第二导电材料之上，嵌入第一导电材料，从而形成第一导电材料栓塞。

使用金属材料嵌入技术和蚀刻技术，能够通过以下形成不同种材料的接触栓塞：在接触孔中的下部空间中嵌入第二导电材料，其后在接触孔中的上部空间中嵌入第一导电材料。

根据本发明的还一个方面，还提供了制造相变存储器件的方法，其包含以下步骤：在半导体衬底中或其上形成用于选择存储单元的开关元件；用制造不同种材料的接触栓塞的方法，如此形成所述不同种材料的接触栓塞，以致于第二导电材料栓塞与所述开关元件的一个极电接触地保持；如此形成加热器电极，以致于所述加热器电极具有与第一导电材料栓塞的上表面保持接触的下表面；如此形成相变层，以致于所述相变层具有与所述加热器电极的上表面保持接触的下表面；以及形成连接到至少部分的所述相变层的上表面的电极层。

根据半导体制造工序，通过连续地形成开关元件、不同种材料的接触栓塞、加热器电极、相变层和电极端子，制造相变存储器件（相变存储器 IC）。通过上面提到的生成不同种材料的接触栓塞的方法制造不同种材料的接触栓塞。根据上述制造方法，使用普通制造技术，亦即不用特殊制造工序，可以制造大规模相变存储器件，同时满足对减少热辐射和减少电阻的矛盾要求。

在制造相变存储器件的方法中，形成不同种材料的接触栓塞的步骤包括以下步骤：当形成不同种材料的接触栓塞时，形成地电位栓塞，用于将所述开关元件的另一个极保持在地电位。

不同种材料的接触栓塞和地电位栓塞能够通过共同的制造工序同时产生。因此，能够减少制造步骤的数目。

在制造相变存储器件的上述方法中，开关元件包含绝缘栅场效应晶体管，并且当形成所述绝缘栅场效应晶体管的栅电极时，在所述栅电极的导电材料层的上表面和侧面上形成电绝缘层。

使用根据本发明的相变存储器件，由于不同种材料的接触栓塞布置得接近于用于选择存储单元的绝缘栅场效应晶体管（MOS 晶体管），所以如果相变存储器件被高度集成，则在不同种材料的接触栓塞和 MOS 晶体管的栅电极之间很可能发生短路。为了避免这样的短路，栅电极的导电材料层（掺杂多晶硅层等）的上表面和侧面用绝缘膜覆盖。栅电极的导电材料层的侧面可以例如根据 CVD 以绝缘膜的形式用侧壁覆盖。当形成栅电极时，氮化物膜可以沉积在导电材料层的上表面上，然后形成图案，从而覆盖导电材料层的上表面。

附图说明

图1是示出了部分元素周期表的示图，说明硫族元素；

图2A和2B是说明相变存储器原理的示图；

图3A至3D是说明相变存储器件的基本结构和其中置位和复位相变存储器件的方法的示图。

图4是相变存储器件的电路布置的电路图；

图5示出了其中相变存储器件（相变存储器IC）以读方式工作的方式的电路图；

图6示出了相变存储器IC的存储单元的特定结构细节的不完全剖

面图和其说明的问题；

图7A示出了根据本发明的相变存储器件的基本结构的视图；

图7B示出了作为比较例子的常规结构的视图，其加热器电极和接触栓塞互相连接；

图8A到8E是器件在每个主要加工步骤的剖面图，显示了根据本发明的制造不同种材料的接触栓塞的方法；

图9是显示适合于高度集成的相变存储器的器件结构的不完全剖面图；

图10是显示根据本发明的相变存储器件（相变存储器IC）的总体电路布置的电路图；

图11是通过例子显示图10中显示的相变存储器件（相变存储器IC）的存储单元区域中的元件和互连的另一种布局的平面图；

图12是沿着图11的线A-A截取的剖面图，显示了第一制造步骤中产生的结构；

图13是沿着图11的线A-A截取的剖面图，显示了第二制造步骤中产生的结构；

图14是沿着图11的线A-A截取的剖面图，显示了第三制造步骤中产生的结构；

图15是沿着图11的线A-A截取的剖面图，显示了第四制造步骤中产生的结构；以及

图16是沿着图11的线A-A截取的剖面图，显示了第五制造步骤中产生的结构；以及
图17是沿着图11的线A-A截取的剖面图，显示了第六制造步骤中产生的结构。

具体实施方式

（第一实施例）

在随后的描述中，术语“接触栓塞”指用来使一电子电路元件和另一电子电路元件互相电连接的电极，以及一般通过嵌入电绝缘膜中而形成。

术语“不同种材料的接触栓塞”指由至少两个导电材料层（导电栓塞）制成的复合接触栓塞，至少两个导电材料层通过其表面保持互相接触。

一种常规接触栓塞具有通过淀积薄的金属阻挡层，例如辅助的钛层，以提供与下硅衬底的良好电连接，此后在绝缘膜中嵌入具有小比电阻的金属，例如，钨，而形成的结构。该结构的常规接触栓塞不对应于根据本发明的“不同种材料的接触栓塞”。原因是积极地用作用于互连电子电路元件的电极的常规接触栓塞的一部分，即，供电流通路的部分，仅仅由具有小比电阻的金属构成，例如，由钨构成，仅仅用于更好的制造半导体器件设置金属阻挡层。

根据本发明的“不同种材料的接触栓塞”至少包括积极地用作用于互连电子电路元件的电极的两个部分，即，用作接触栓塞的部分，该两个接触栓塞由不同的导电材料制成，以及集成地结合为复合接触栓塞。

根据本发明的“不同种材料的接触栓塞”的导电材料也可以用作上面所指的金属阻挡层。

根据本发明的“不同种材料的接触栓塞”用来电互连加热器电极和导电层，即，硅衬底上的扩散层、金属电极、互连或其它接触栓塞。

下面将描述根据第一实施例的相变存储器件的具体细节。

图7A和7B示出了根据本发明的相变存储器件的特性结构。图7A示出了根据本发明的相变存储器件的基本结构，以及图7B示出了作为比较例子的常规结构的视图，其加热器电极和接触栓塞互相连接。

如图7A所示，NMOS晶体管，即，N-沟道绝缘-栅场效应晶体管，M是用于选择存储单元的开关元件，以及具有连接到字线WL1的栅极。

NMOS晶体管M的源极被连接到由材料β制成的地电位金属栓塞100并且通过地电位互连102连接到地电位（基准电位）GND，地电位互连102是由材料β制成的接地互连。

NMOS晶体管M的漏极被电连接到不同种材料的接触栓塞104的第二导电材料栓塞108。

不同种材料的接触栓塞104包含由第一导电材料α制成的第一导电材料栓塞106和由第二导电材料β制成的第二导电材料栓塞108。栓塞106、108一个堆叠在另一个上。具体地，以堆叠的构造形成栓塞106、108。第一导电材料栓塞106具有与第二导电材料栓塞108的上表面保持接触的下表面。第一和第二导电材料栓塞106、108具有相互不接触的侧面。加热器电极110和第二导电材料栓塞108相互重叠。具体地，导电材料栓塞108直接存在于加热器电极110之下。

第一导电材料栓塞106具有比电阻R10，并且第二导电材料栓塞108具有比电阻R11。比电阻R11、R10这样彼此相关： $R11 < R10$ 。

该比电阻(ρ)也被称作电阻率或体电阻率，以及其倒数($1/\rho$)被称为导电率，也被称为比导电率。根据本发明，将使用术语“比电阻”和“导电率”。允许电流容易流过的金属材料也允许热量被容易传递。因此，具有较大比电阻的材料具有较小的导电率和较小的导热率。第一导电材料α和第二导电材料β互相关联，以便关于它们的导电率和导热率， $\alpha < \beta$ 。

加热器电极110，其为由材料α制成的下电极，具有与第一导电材料栓塞106的上表面保持接触的下表面。加热器电极110和第一导电

材料栓塞 106 由相同的材料 α 制成，所述材料 α 能够被说成是能够用作加热器电极的材料。因此，加热器电极 110 和第一导电材料栓塞 106 提供了这样的结构，其更加防止通过加热器电极 110 向下传输的热的耗散。

使用图 7B 中显示的传统结构，加热器电极 110 与第二导电材料栓塞 108 保持接触，所述第二导电材料栓塞 108 由第二导电材料 β 制成，所述第二导电材料 β 为良好的电导体，并且具有高导热率。加热器电极 110 和第二导电材料栓塞 108 提供了这样的结构：其更少防止通过加热器电极 110 向下传输的热的耗散。

第二导电材料栓塞 108 由与地电位金属栓塞 100 和地电位互连 102 的材料 β 相同的材料或与其类似的低阻材料制成。因此，不同种材料的接触栓塞 104 的总电阻具有低值。

在图 7A 中，加热器电极 110 具有与由 GST 制成的相变层 114 的下表面保持接触的上表面。加热器电极 110 和相变层 114 跨越其相互接触的接触表面 112 附近的区域充当相变发生的相变区。

充当电极层的上电极 116 布置在相变层 114 的上表面上。上电极 116 通过接触栓塞 118 连接到电极端子 119。

根据具有上述结构的本实施例的相变存储器件，当在相变存储器件中写入数据时，亦即当复位相变存储器件时，具有改善的热效率，并且具有低阻电路。这些优点是通过不同种材料的接触栓塞 104 提供的。

具体地，由于第一导电材料栓塞 106 具有高阻并且抑制热辐射，所以当写入数据时，亦即当复位相变存储器件时，改善了相变存储器件的热效率。因为低阻的第二导电新材料 108 存在于第一导电材料栓

塞 106 之下，所以接触栓塞的总电阻低。因此，即使作为存储单元选择元件的晶体管 (M) 的尺寸 (W/L) 没有增加，需要的电流也被维持，并且相变存储器件 (相变存储器 IC) 尺寸减少且存储容量增加。

使用根据本发明的不同种材料的接触栓塞 104，两个栓塞、亦即第一和第二导电材料栓塞堆叠在一个接触孔中，而不是属于不同层的第一和第二栓塞相互连接。因此，层数没有增加，并且没有使制造工序复杂。

由于两个栓塞 106、108 一个堆叠在另一个上，所以不同种材料的接触栓塞 104 没有占据大的面积，结果有助于增加相变存储器件的集成度。随着加热器电极之下热辐射的问题被解决，低比电阻的材料能够更加自由地被选择作为电极和其他部分中的互连材料，所以能够使用的材料的最大选择是可行的。

另外，由于两个栓塞一个堆叠在另一个上，所以不同种材料的接触栓塞的使用没有增加不同种材料的接触栓塞所占的面积。

下面列出不同种材料的接触栓塞104的优选方面和它们的特点：

(1) 不同种材料的接触栓塞104由第一导电材料栓塞106和第二导电材料栓塞108构成。第一导电材料栓塞106的第一导电材料 α 和第二导电材料栓塞108的第二导电材料 β 互相相关，以便关于比电阻， $\alpha > \beta$ ，以及关于导电率和导热率， $\alpha < \beta$ 。

例如，如果使用钛 (Ti: $2.34 \times 10^6 / \Omega \cdot m$ 的导电率，以及 $21.9 W/m \cdot K$ 的导热率) 作为第一导电材料 α ，那么使用其导电率和导热率大于钛的钨 (W: $18.9 \times 10^6 / \Omega \cdot m$ 的导电率和 $17.4 W/m \cdot K$ 的导热率) 作为第二导电材料 β 。

下面，在 (2) 和 (3) 中，将列举可以被用作第一和第二导电材料的特定材料。在 (2) 和 (3) 中列出了某些金属材料，例如，钨和钼。另外陈述，钨和钼可以被用作第一和第二导电材料。本发明不在

于材料本身，但是其组合。根据本发明重要的是关于比电阻，满足关系 $\alpha>\beta$ ，以及关于导电率和导热率，满足关系 $\alpha<\beta$ 。

(2) 第一导电材料栓塞106由第一导电材料 α 制成，例如，由根据导热率比导电率更重要以及减小导热率的观点选择的氮化钛(TiN)制成。第一导电材料 α 应该优选是与加热器电极110相同的材料或类似于加热器电极110的材料，即其主要成分与加热器电极110相同的材料。

具体地，第一导电材料 α 可以是包含以下金属的任意一种的材料，这些金属包括钛(Ti)、钽(Ta)、钼(Mo)、铌(Nb)、锆(Zr)或钨(W)，或该任意一种金属的氮化物或该任意一种金属的硅化物。更具体地说，第一导电材料 α 可以是包括氮化钛(TiN)、氮化钽(TaN)、氮化钼(MoN)、氮化铌、氮化钛硅、氮化钛铝、氮化钛硼、氮化锆硅、氮化钨硅、氮化钨硼、氮化钼铝、氮化钼硅、氮化钼铝、氮化钽硅、氮化钽铝、氮氧化钛、氮氧化钛铝、氮氧化钨、氮氧化钽、硅化钽(TaSi)、硅化钨(WSi)或硅化钼(MoSi)的材料。

(3) 第二导电材料栓塞108由第二导电材料 β 制成，例如，由根据导电率比导热率更重要以及减小电路电阻的观点选择的钨(W)制成。

第二导电材料 β 优选应该是与需要低电阻的地电位栓塞100和地电位互连102相同的材料，或类似于地电位栓塞100和地电位互连102的材料，即，其主要成分由与地电位栓塞100和地电位互连102相同的材料构成。具体地，第二导电材料 β 可以是包括钨(W)、铝(Al)、钼(Mo)或铜(Cu)的该任意一种金属或该任意一种金属的硅化物。

(4) 第一和第二导电材料 α 、 β 的主要金属材料的导电率和导热率应该优选，但不是必然，具有如下近似的数值：

第一导电材料栓塞106的主要金属材料(第一导电材料 α)优选应该具有 $1.0 \times 10^6 / \Omega \cdot m$ 数量级的导电率和 $10.0 W/m \cdot K$ 数量级的导热率，以及第二导电材料栓塞108的主要金属材料(第二导电材料 β)优选应该具有 $10.0 \times 10^6 / \Omega \cdot m$ 数量级的导电率和 $100.0 W/m \cdot K$ 数量级的导热率。所希望

的是第一导电材料 α 的导电率和导热率与第二导电材料 β 的导电率和导热率的差异约10倍，优选超过10倍。

可以考虑用于第一和第二导电材料 α ， β 的主要成分的候选材料的金属材料的导电率和导热率如下：导电率由C表示，以及导热率由P表示。

(用于第一导电材料 α 的候选材料)

Ti (钛) : $C=2.34\times10^6/\Omega\cdot m$, $P=21.9W/m\cdot K$

Nb (铌) : $C=6.93\times10^6/\Omega\cdot m$, $P=53.7W/m\cdot K$

Ta (钽) : $C=7.61\times10^6/\Omega\cdot m$, $P=57.5W/m\cdot K$

Zr (锆) : $C=2.36\times10^6/\Omega\cdot m$, $P=22.7W/m\cdot K$

TiN (氮化钛) : 由于金属的氮化物具有从金属带来的性质，所以 TiN 被认为具有类似于 Ti 的性质。如果通过 CVD 形成金属氮化物的薄膜，那么该薄膜的特性取决于原料气体而变化，并且薄膜特性变化的范围也取决于原料气体而不同。根据本发明的发明人所实施的实验，如果 TiCl₄ 用作原料气体，那么 TiN 薄膜的比电阻(电阻率(导电率的倒数))能够在从 $500\times10^{-8}/\Omega\cdot m$ 到 $900\times10^{-8}/\Omega\cdot m$ 的范围内变化。根据 MOCVD 工序，亦即，如果 Ti[N(C₂H₅)₂]₄ 用作原料气体，那么 TiN 薄膜的比电阻能够在从 $1000\times10^{-8}/\Omega\cdot m$ 到 $6000\times10^{-8}/\Omega\cdot m$ 的范围内变化。在任一情况下，TiN 薄膜的表面电阻都显著地大。

(用于第二导电材料 β 的主要成分的候选材料)

W (钨) : $C=18.9\times10^6/\Omega\cdot m$, $P=174W/m\cdot K$

本发明的发明人根据 CVD 方法生产了钨 (W) 的薄膜，并且测量了该薄膜的比电阻。测量的薄膜比电阻为 $10\mu\Omega\cdot cm$ 。可以理解的是，钨薄膜的比电阻小于 TiN 薄膜的比电阻的 1/10。

Al (铝) : $C=37.7\times10^6/\Omega\cdot m$, $P=237W/m\cdot K$

Mo (钼) : $C=18.7\times10^6/\Omega\cdot m$, $P=138W/m\cdot K$

Cu (铜) : $C=59.6\times10^6/\Omega\cdot m$, $P=401W/m\cdot K$

从金属材料的导电率(和薄膜比电阻)和导热率的数值能够看出，

能够成为第一导电材料 α 的主要成分的金属材料具有 $1.0 \times 10^6 / \Omega \cdot m$ 数量级的导电率和 $10.0 W/m \cdot K$ 数量级的导热率，能够成为第二导电材料 β 的主要成分的金属材料具有 $10.0 \times 10^6 / \Omega \cdot m$ 数量级的导电率和 $100.0 W/m \cdot K$ 数量级的导热率，并且第一导电材料 α 的导电率与导热率能够和第二导电材料 β 的导电率与导热率相差大约 10 倍。如果适当地选择材料，则关于导电率和导热率提供这样的差并不很困难。

(5) 优选的导电材料的例子是氮化钛 (TiN) 和钨 (W)。具体地，氮化钛 (TiN) 薄膜可以用作第一导电材料 α ，并且钨 (W) 薄膜可以用作第二导电材料 β 。氮化钛 (TiN) 薄膜和钨 (W) 薄膜的比电阻将在下面相互比较。

如果通过 CVD 形成金属氮化物的薄膜，那么该薄膜的比电阻取决于原料气体而变化，并且薄膜比电阻变化的范围也取决于原料气体而不同。根据本发明的发明人所实施的实验，如果 TiCl₄ 用作原料气体，那么 TiN 薄膜的比电阻能够在从 $500 \times 10^{-8} / \Omega \cdot m$ 到 $900 \times 10^{-8} / \Omega \cdot m$ 的范围内变化。根据 MOCVD 工序，亦即，如果 Ti[N(C₂H₅)₂]₄ 用作原料气体，那么 TiN 薄膜的比电阻能够在从 $1000 \times 10^{-8} / \Omega \cdot m$ 到 $600 \times 10^{-8} / \Omega \cdot m$ 的范围内变化。在任一情况下，TiN 薄膜的比电阻都显著地大。

本发明的发明人根据 CVD 方法生产了钨 (W) 的薄膜，并且测量了该薄膜的比电阻。测量的薄膜比电阻为 $10 \mu \Omega \cdot cm$ 。可以理解的是，钨薄膜的比电阻小于 TiN 薄膜的比电阻的 1/10。

(6) 第二导电材料栓塞 108 的体积应当优选地大于第一导电材料栓塞 106 的体积。具体地，提供第一导电材料栓塞 106 主要是为了减少从加热器电极 110 传输的热辐射。第一导电材料栓塞 106 的电阻趋于略微增加。然而，如果由良导体制成的第二导电材料栓塞 108 的体积大于第一导电材料栓塞 106 的体积，那么不同种材料的接触栓塞 104

的电阻由第二导电材料栓塞 108 决定。因此，不同种材料的接触栓塞 104 的总电阻能够充分低，不造成电路操作问题。

(7) 第一导电材料栓塞 106 和第二导电材料栓塞 108 一个堆叠在另一个上，亦即存在于垂直不同的位置中。第一导电材料栓塞 106 的下表面和第二导电材料栓塞 108 的上表面彼此保持接触。结果，当在平面图中来看时，第一导电材料栓塞 106 和第二导电材料栓塞 108 相互重叠。第二导电材料栓塞 108 直接存在于第一导电材料栓塞 106 之下。由于所述栓塞一个堆叠在另一个上，所以所占面积没有增加，结果有助于增加相变存储器件的集成度。

(第二实施例)

在本实施例中，下面将描述制造不同种材料的接触栓塞的方法。

图 8A 到 8E 是器件在每个主要加工步骤的剖面图，显示了根据本发明的制造不同种材料的接触栓塞的方法。

如图 8A 所示，在 n 型层（其构成 NMOS 晶体管的漏极层）152 形成在 p 型半导体衬底 150 中之后，在其上沉积层间绝缘膜 154。然后，氮化硅膜 (Si_3N_4) 156 被沉积并形成图案。使用形成图案的氮化硅膜 (Si_3N_4) 156 作为掩模，通过各向异性干蚀刻在层间绝缘膜 154 中形成接触孔 158。

然后，在迄今形成的表面上连续地沉积充当金属阻挡的钛 (Ti) 膜 177 和氮化钛 (TiN) 膜 178。例如，Ti 膜 177 具有 15nm 的厚度，并且 TiN 膜 178 具有 50nm 的厚度。金属阻挡用来在接触栓塞和基础硅衬底 200 之间提供良好的欧姆接触。

在图 8A 到 8E 中，钛 (Ti) 膜 177 和氮化钛 (TiN) 膜 178 共同用参考数字 179 指示。在随后的描述中，这些膜也可以被称为“金属

阻挡 179”。

然后，如图 8B 所示，通过 CVD 在半导体衬底 150 上将作为第二导电材料的钨 (W) 膜 160 沉积到大约 250nm 的厚度。

然后，如图 8C 所示，使用 NH₃ 混合气体通过 RIE (活性离子蚀刻) 回蚀刻钨 (W) 膜 160 大约 300nm，直到钨 (W) 膜 160 具有低于层间绝缘膜 154 的上表面的上表面为止。换言之，接触孔 158 中的下部空间用钨 (W) 填充，从而形成由第二导电材料制成的第二导电材料栓塞 160 (在图 7A 中用 108 指示)。

然后，如图 8D 所示，在半导体衬底 150 上沉积作为第一导电材料的氮化钛 (TiN) 膜 162。

然后，如图 8E 所示，迄今形成的表面通过 CMP (化学机械抛光) 向下平整化到层间绝缘膜 154 的上表面，将氮化钛膜 162 嵌入在接触孔 158 中的上部空间中，从而形成第一导电材料栓塞 162 (在图 7A 中用 106 指示)。第一导电材料栓塞 162 例如具有大约 50nm 的厚度。

此后，在第一导电材料栓塞 162 (在图 7A 中用 106 指示) 上形成加热器电极 110 (在图 8E 中用虚线指示)。

由于高阻的第一导电材料栓塞 162 直接存在于加热器电极 110 之下，所以能够抑制热辐射。因为低阻的第二导电材料栓塞 160 存在于第一导电材料栓塞 162 之下，所以接触栓塞的总体等效电阻、亦即关于半导体衬底的接触电阻没有增加。因此，即使作为存储单元选择元件的晶体管的尺寸 (W/L) 没有增加，需要的电流也被维持，并且相变存储器件 (相变存储器 IC) 尺寸减少且存储容量增加。

使用根据本发明的不同种材料的接触栓塞，两个栓塞 (第一和第

二栓塞) 162、160 堆叠在一个接触孔中，而不是属于不同层的第一和第二栓塞相互连接。因此，层数没有增加，并且没有使制造工序复杂。

(第三实施例)

在本实施例中，下面将描述适合于高度集成的相变存储器的器件结构。

图 9 是显示适合于高度集成的相变存储器的器件结构的不完全剖面图。

如图 9 所示，在 p 型半导体衬底 170 中布置浅槽隔离 (STI) 171，并且在 p 型半导体衬底 170 中布置作为 NMOS 晶体管的组成部分的 n 型扩散层 172a、172b。

栅绝缘膜 173 布置在 p 型半导体衬底 170 上，并且掺杂多晶硅层 175 和硅化钨层 176 作为栅电极的组成部分连续地布置在栅绝缘膜 173 上。

氮化硅膜 177 布置在硅化钨层 176 上。侧壁 174 布置在栅电极的侧面上。提供氮化硅膜 177 和侧壁 174 以防止不同种材料的接触栓塞和栅电极之间的短路。

层间绝缘膜 178 具有在其中限定的接触孔 CN。TiN/Ti 膜 179，其包含薄基础钛 (Ti) 膜和其上沉积的氮化钛 (TiN) 膜，作为金属阻挡沉积在接触孔 CN 的内表面上。

接触孔 CN 中的下部空间用钨 (W) 填充，并且接触孔 CN 中的上部空间用与钨层的上表面相接触的氮化钛 (TiN) 填充。如此沉积在接触孔 CN 中的钨层和氮化钛层共同组成不同种材料的接触栓塞 104。

另一个层间绝缘膜 182 沉积在层间绝缘膜 178 上。起到加热器电极作用的氮化钛 (TiN) 的接触栓塞 183 布置在层间绝缘膜 182 中。

绝缘膜 190 布置在层间绝缘膜 182 上。绝缘膜 190 被形成图案以暴露加热器电极 183 的上表面。薄的 Ti 膜 192 作为接触层沉积在迄今形成的表面上，并且 GST 膜 184 作为相变层沉积在薄的 Ti 膜 192 上。上电极 185 布置在 GST 膜 184 的上表面上。

制造图 9 中显示的器件结构的方法将在以下说明的实施例中描述。

(第四实施例)

在本实施例中，下面将描述相变存储器件（相变存储器 IC）的电路布置、存储单元的布局、存储单元组件的特定横截面结构、以及制造它们的方法。

图 10 是显示根据本发明的相变存储器件（相变存储器 IC）的总体电路布置的电路图。

如图 10 所示，相变存储器 IC 具有布置在其中心区域中的存储单元组件。存储单元组件具有存储单元的矩阵，其每个都包含用于选择元件的 MOS 晶体管 M 和根据本发明的相变存储器件（表示为等效电阻器 R）。

相变存储器 IC 还具有地线（地电位互连）G、字线 W1 到 W4 和位线 B1 到 B3。

X 解码器 120、121 和 Y 解码器 122、123 共同组成寻址电路。X 解码器 120、121 激活字线 W1 到 W4，而 Y 解码器 122、123 则激活位线 B1 到 B3。

控制电路 124 通常控制相变存储器 IC 的操作。控制电路 124 分别向 X 解码器 120、121 和 Y 解码器 122、123 供应控制信号 S5 到 S8，以便单独地控制 X 解码器 120、121 和 Y 解码器 122、123 的操作。

脉冲发生电路 125 基于来自控制电路 124 的控制信号 S10 生成各种脉冲信号（置位、复位和读脉冲信号）S20，并且将生成的脉冲信号 S20 供应给 Y 解码器 122、123。

相变存储器 IC 还具有作为读出放大器的运算放大器 A10a、A10b，以及用于将电流 I（在图 10 中用粗实线指示）转换成电压的电流到电压转换电阻器 R10a、R10b。参考电压 Vref 施加到运算放大器 A10a、A10b，其输出各自检测到的相变存储器 IC 的信号 Vout1、Vout2。

图 11 是通过例子显示图 10 中显示的相变存储器件（相变存储器 IC）的存储单元区域中的元件和互连的另一种布局的平面图。与图 9 中显示的那些相同的图 11 中的那些部分，用相同的参考数字指示。

在图 11 中，粗实线所包围的区域 F 是浅槽隔离（STI）所包围的场区（器件形成区）。贯穿存储单元区的两个垂直互连 DP 包含各自的掺杂硅层，其充当各自的字线 W1、W2，并且兼任 MOS 晶体管的栅电极。

水平间隔的不同种材料的接触栓塞 104 中的每一个都包含由 TiN/Ti 制成的金属阻挡 179、充当第一接触栓塞的氮化钛(TiN)层 181、以及充当第二接触栓塞的钨(W)层 180（图 11 中未显示，见图 9）。

类似地，中心地电位栓塞 100 包含由 TiN/Ti 制成的金属阻挡 179、氮化钛(TiN)层 181 和钨(W)层 180（图 11 中未显示，见图 14）。以与不同种材料的接触栓塞 104 相同的步骤制造中心地电位栓塞 100。

在图 11 中，参考数字 200 指示接地互连 G。充当相变层的 GST 膜 184，其如图 11 中的点划线所包围的那样显示，在图 11 中水平延伸。参考数字 183 指示加热器电极。

下面来描述制造方法。

(第一步骤：图 12)

图 12 是沿着图 11 的线 A-A 截取的剖面图，显示了第一制造步骤中产生的结构。

如图 12 所示，在浅槽隔离 (STI) 171 作为元件分隔区形成在 n 型硅衬底 170 中之后，沉积栅氧化膜 173。

然后，掺杂硅层 175 沉积到 100nm 的厚度，硅化钨层 176 沉积到 100nm 的厚度，并且氮化硅膜 177 沉积到 100nm 的厚度。

此后，光致抗蚀剂（未显示）被沉积并通过光刻法加工成蚀刻掩模。

然后，通过诸如 RIE（活性离子蚀刻）之类的各向异性蚀刻来蚀刻氮化硅膜 177，其后去除蚀刻掩模。

然后，使用蚀刻的氮化硅膜 177 作为掩模，连续地蚀刻硅化钨层 176 和掺杂硅层 175 以产生栅电极。

使用栅电极作为掩模，将磷 (P) 离子引入到 n 型硅衬底 170 中，以形成 n 型扩散层 172a、172b。

然后，氮化硅膜沉积到 50nm 的厚度，然后通过 RIE 回蚀刻，产生栅侧壁 174。

如此形成的 NMOS 晶体管的栅极对应于图 11 中显示的字线 DP (W1、W2)。

(第二步骤：图 13)

图 13 是沿着图 11 的线 A-A 截取的剖面图，显示了第二制造步骤中产生的结构。

如图 13 所示，TEOS 氧化膜 178 作为层间绝缘膜沉积到 700nm 的厚度，然后通过 CMP 平整化。

然后，通过光刻法在层间绝缘膜（TEOS 氧化膜）178 中的给定位置处形成接触孔 CN。当此时蚀刻层间绝缘膜 178 时，氮化硅膜（图 13 中未显示）用作掩模。

(第三步骤：图 14)

图 14 是沿着图 11 的线 A-A 截取的剖面图，显示了第三制造步骤中产生的结构。

在第三步骤中，为了形成金属阻挡 179，Ti 膜和 TiN 膜分别连续地沉积到 10nm 的厚度和 15nm 的厚度。然后，第二导电材料的钨 (W) 膜 180 沉积到 250nm 的厚度。

然后，如图 8C 所示，使用 SF₆/O₂ 混合气体通过 RIE 回蚀刻钨 (W) 膜 180，直到钨 (W) 膜 180 具有低于层间绝缘膜 178 的上表面的上表面为止。换言之，接触孔 CN 中的下部空间用钨 (W) 填充，从而形成由第二导电材料制成的第二导电材料栓塞 180。

然后，如图 8D 所示，在第二导电材料栓塞 180 上将作为第一导电材料的氮化钛 (TiN) 膜 181 沉积到 50nm 的厚度。然后，如图 8E 所

示,迄今形成的表面通过 CMP 向下平整化到层间绝缘膜 178 的上表面, 将氮化钛膜 181 嵌入在接触孔 CN 中的上部空间中, 从而形成第一导电材料的第一导电材料栓塞 181。

用这种方式, 形成了不同种材料的接触栓塞 104 和地电位栓塞 105。然后, 在地电位栓塞 105 上沉积钨 (W) 的接地互连 200 (G)。

如上所述, 使用不同种材料的接触栓塞 104, 两个栓塞 (第一和第二栓塞) 181、182 堆叠在一个接触孔 CN 中, 而不是属于不同层的第一和第二栓塞相互连接。因此, 层数没有增加, 并且没有使制造工序复杂。由于栓塞 181、180 一个堆叠在另一个上, 所以不同种材料的接触栓塞的使用没有增加不同种材料的接触栓塞所占的面积。

(第四步骤: 图 15)

图 15 是沿着图 11 的线 A-A 截取的剖面图, 显示了第四制造步骤中产生的结构。

如图 15 所示, HDP (高密度等离子体) 膜 182 作为层间绝缘膜沉积在迄今形成的表面上, 并且每个用于在其中嵌入加热器电极 183 的接触孔形成在 HDP 膜 182 中。TiN 掩埋在接触孔中, 从而形成加热器电极 183。加热器电极 183 具有连接到不同种材料的接触栓塞 104 的第一导电材料栓塞 (TiN) 181 的上表面的下表面。

由于具有高阻的第一导电材料栓塞 181 直接存在于加热器电极 183 之下, 所以抑制了通过加热器电极 183 传输的热辐射。因为具有低阻的第二导电材料栓塞 180 存在于第一导电材料栓塞 181 之下, 所以接触栓塞的总体等效电阻 (接触电阻) 没有增加。因此, 即使作为存储单元选择元件的 NMOS 晶体管的尺寸 (W/L) 没有增加, 需要的电流也被维持, 并且相变存储器件 (相变存储器 IC) 尺寸减少且存储容量增加。

氧化膜 190 通过 CVD 沉积在 HDP 膜 182 上并形成图案，其后沉积作为接触层的薄钛（Ti）膜 192。然后，GST 膜 184 作为相变层沉积到 100nm 的厚度，然后形成图案。钨（W）的上电极层 185 沉积在 GST 膜 184 上。

（第五步骤：图 16）

图 16 是沿着图 11 的线 A-A 截取的剖面图，显示了第五制造步骤中产生的结构。

如图 16 所示，层间绝缘膜 186 沉积在上电极层 185 上，并且接触孔 187 形成在层间绝缘膜 186 中。

（第六步骤：图 17）

图 17 是沿着图 11 的线 A-A 截取的剖面图，显示了第六制造步骤中产生的结构。

如图 17 所示，钨（W）掩埋在层间绝缘膜 186 中的接触孔 187 中的每一个中，从而产生接触栓塞 188。然后，沉积由钨（W）制成的互连层 189。互连层 189 提供图 10 中显示的电路布置中的位线 B1 到 B3。

用这种方式，产生了相变存储器件的存储单元。

上面已描述了本发明的优选实施例。然而，本发明并不限于说明的实施例，而是可以在其中进行各种变化和修改，而不脱离本发明的范围。

例如，存储单元的 MOS 晶体管可以用诸如双极晶体管、面结型二极管、肖特基势垒二极管等等之类的各种开关元件替换。

相变层可以由除了硫族化物半导体之外的材料制成。相变存储器 IC 可以具有图 4 中显示的电路布置，其中，不是输入不同波形的脉冲，而是不同尺寸的晶体管被选择性地导通以拉电流。

根据本发明，如上所述，使用了不同种材料的接触栓塞，其包含：第一导电材料栓塞，其由具有低导热率的材料制成，与加热器电极保持接触；以及第二导电材料栓塞，其由具有低阻的材料制成，连接到开关器件、电极和互连（导电层）。不同种材料的接触栓塞对减少加热器电极附近的热辐射有效，亦即对改善在相变存储器件中写入数据时、尤其是复位相变存储器件时的热效率有效，并且同样对减少电路电阻有效。

具体地，由于具有高阻的第一导电材料栓塞直接存在于加热器电极之下，所以抑制了通过加热器电极 183 传输的热辐射。因为具有低阻的第二导电材料栓塞存在于第一导电材料栓塞之下，所以接触栓塞的总体等效电阻（接触电阻）没有增加。因此，即使作为存储单元选择元件的晶体管的尺寸（W/L）没有增加，需要的电流也被维持，并且相变存储器件（相变存储器 IC）尺寸减少且存储容量增加。

使用根据本发明的不同种材料的接触栓塞，两个栓塞（第一和第二栓塞）堆叠在一个接触孔中，而不是属于不同层的第一和第二栓塞相互连接。因此，层数没有增加，并且没有使制造工序复杂。

由于所述栓塞一个堆叠在另一个上，所以不同种材料的接触栓塞没有占据大的面积，结果有助于增加相变存储器件的集成度。

由于提供了结构以辐射通过加热器电极传输的热，所以其他电极和互连可以由低导电率的金属材料制成，诸如在硅基 LSI 电路中使用的钨（W）或铝（Al）或铜（Cu）之类。因此，能够使用的材料的更大选择是可行的，使得可以制造大规模的相变存储器件。

如果由良导体制成的第二导电材料栓塞的体积大于第一导电材料栓塞的体积，那么不同种材料的接触栓塞的电阻由第二导电材料栓塞决定。因此，不同种材料的接触栓塞的总电阻能够充分低，即使互连长度增加，也不造成电路操作问题。

第一导电材料栓塞可以由与加热器电极的材料类似或相同的材料制成，并且第二导电材料栓塞可以由与地电位互连和电极的材料类似或相同的材料制成。因此，能够执行本发明而不在制造工序上引发大的负担。

希望第一和第二导电材料栓塞的材料、亦即第一和第二导电材料的比电阻彼此相差 10 倍以上。通过使用 TiN（氮化钛）作为第一导电材料，使用 W（钨）作为第二导电材料，能够基本上实现所述差异。

根据本发明，能够通过以下形成不同种材料的接触栓塞：使用金属材料嵌入技术和蚀刻技术，在接触孔中的下部空间中嵌入第二导电材料，其后在接触孔中的上部空间中嵌入第一导电材料。

根据本发明，可以制造大规模相变存储器件，亦即相变存储器 IC，其具有用于选择存储单元的开关元件、不同种材料的接触栓塞、加热器电极和电极端子，同时使用普通制造技术，亦即不用特殊制造工序，满足对减少热辐射和减少电阻的矛盾要求。

不同种材料的接触栓塞和地电位栓塞能够通过共同的制造工序同时产生。因此，能够减少制造步骤的数目。

栅电极的导电材料层（掺杂硅层等）的上表面和侧面用电绝缘膜覆盖，以防止栅电极和不同种材料的接触栓塞之间的短路。

根据本发明，仅使用通用的半导体制造技术，而不是使用任何特殊的技术，对相变存储器件既实现了良好的电性质，又实现了良好的热性质，并且能够用于制造电极和互连的材料的最大选择是可行的，使得可以制造大规模相变存储器件。

根据本发明，通过使用不同种材料的接触栓塞，对相变存储器件既实现了良好的电性质，又实现了良好的热性质，并且能够用于制造电极和互连的材料的最大选择是可行的，使得可以制造大规模相变存储器件。因此，使用硫族化物相变膜和制造相变存储器件的方法，本发明可用于提供相变存储器件（相变存储器 IC）。

	IV	V	VI	VII
1				
2			O	
3	Si	P	S	Cl
4	Ge	As	Se	Br
5	Sn	Sb	Te	I

图1

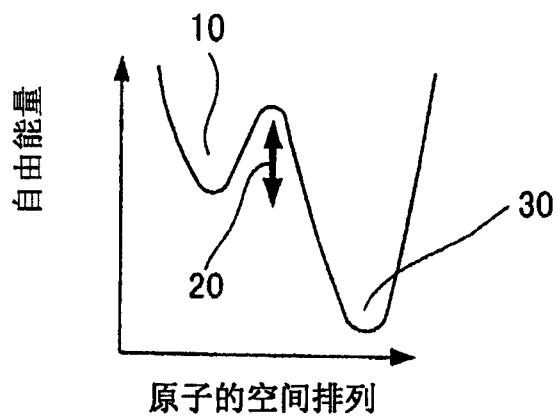


图2A

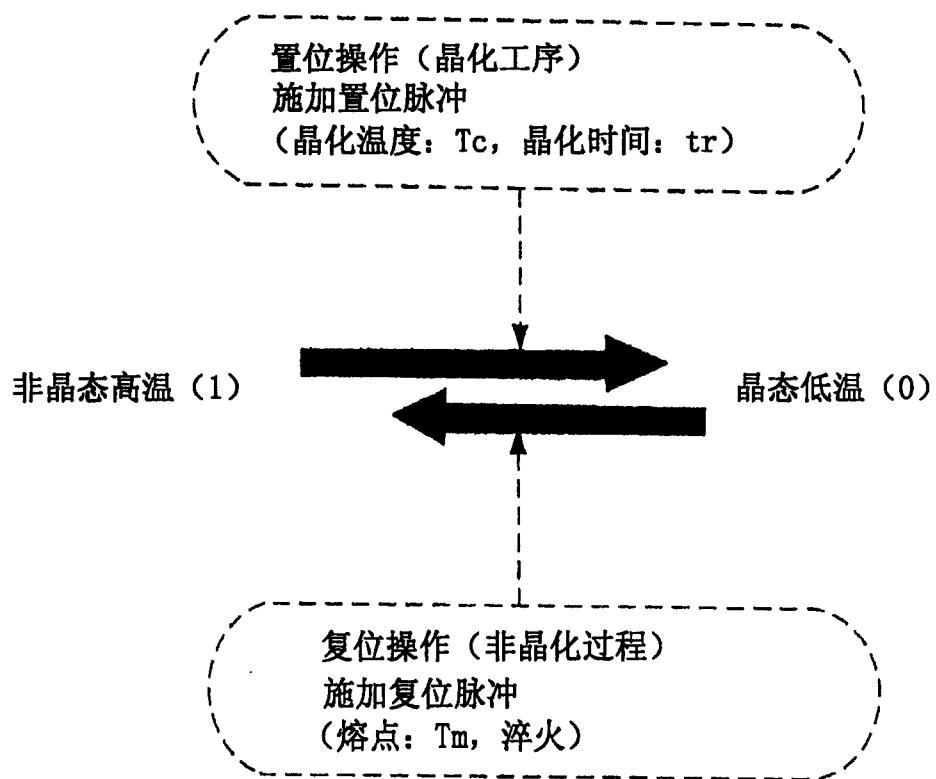


图2B

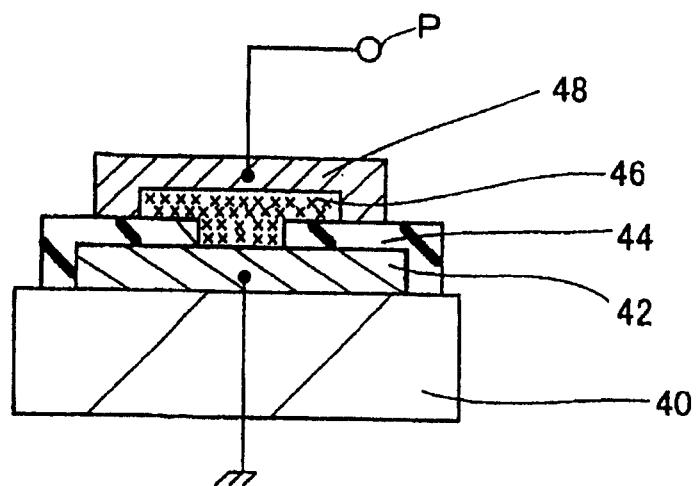


图3A

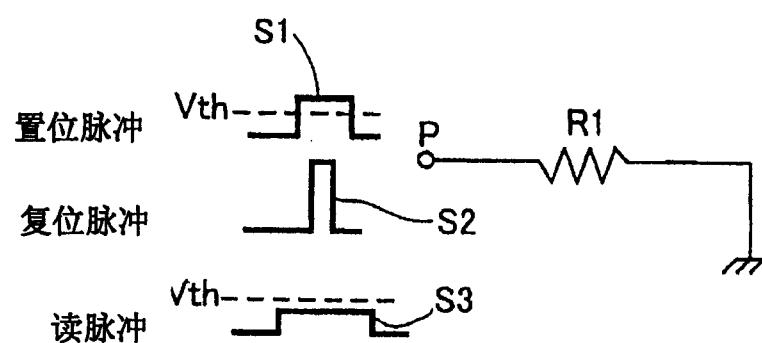


图3B

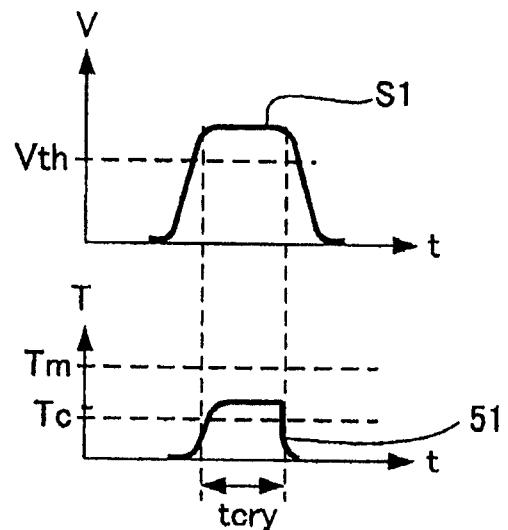


图3C

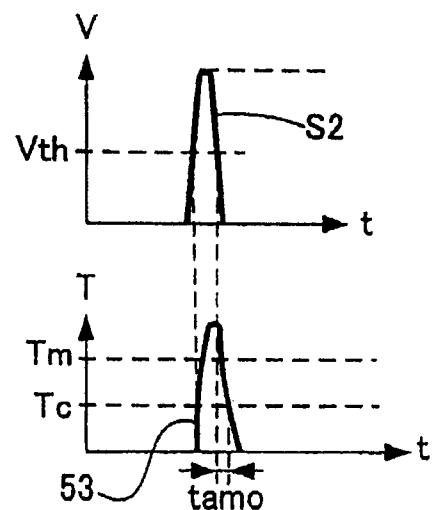


图3D

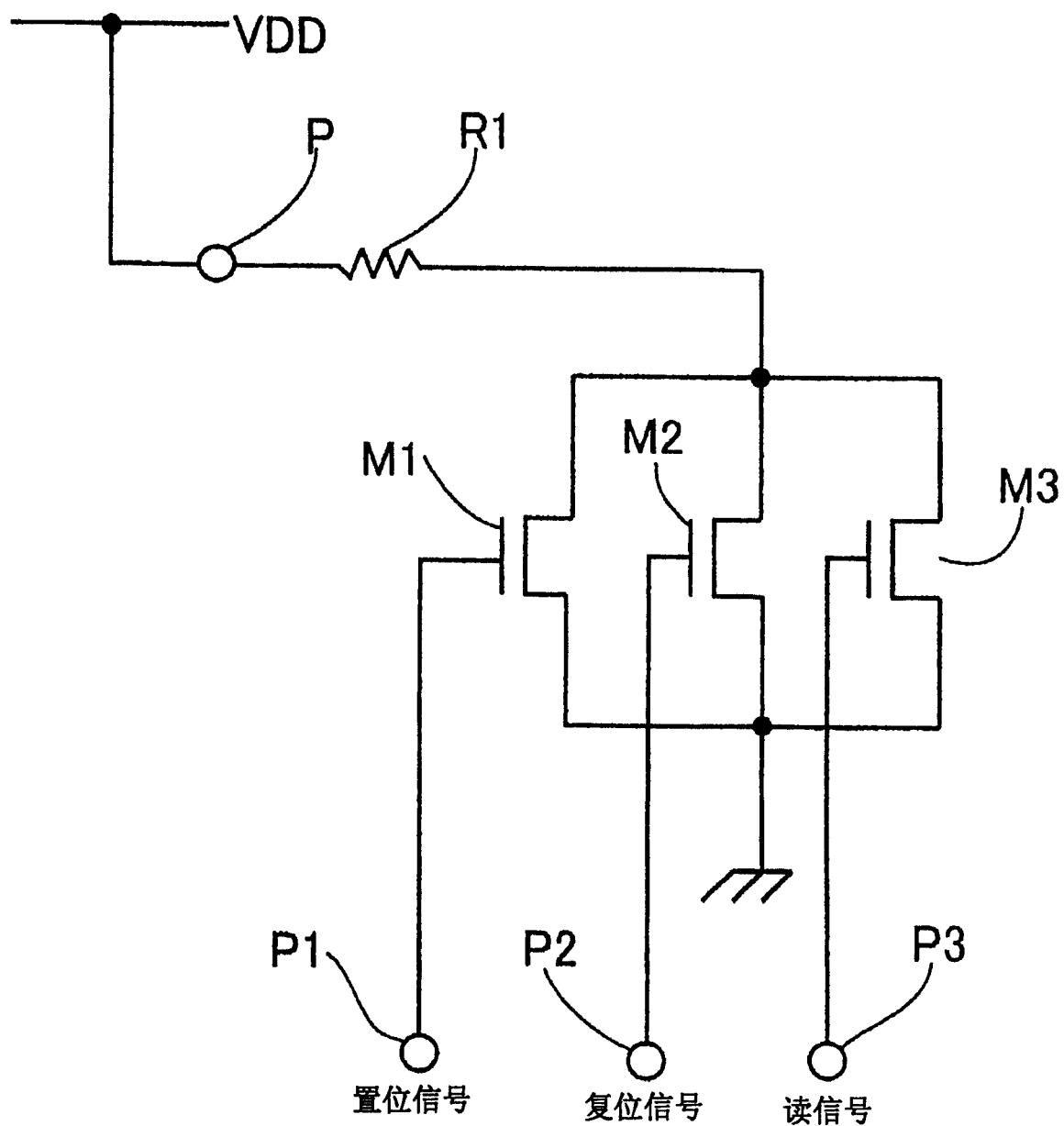


图4

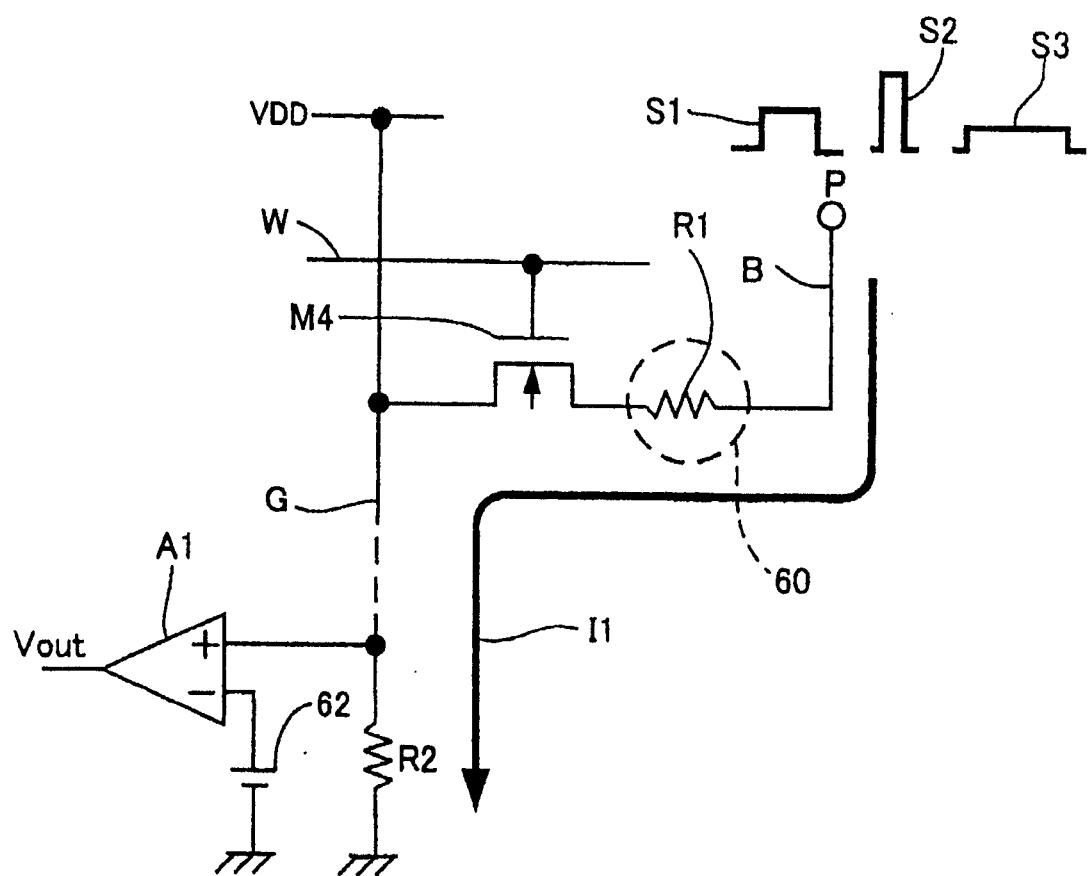


图5

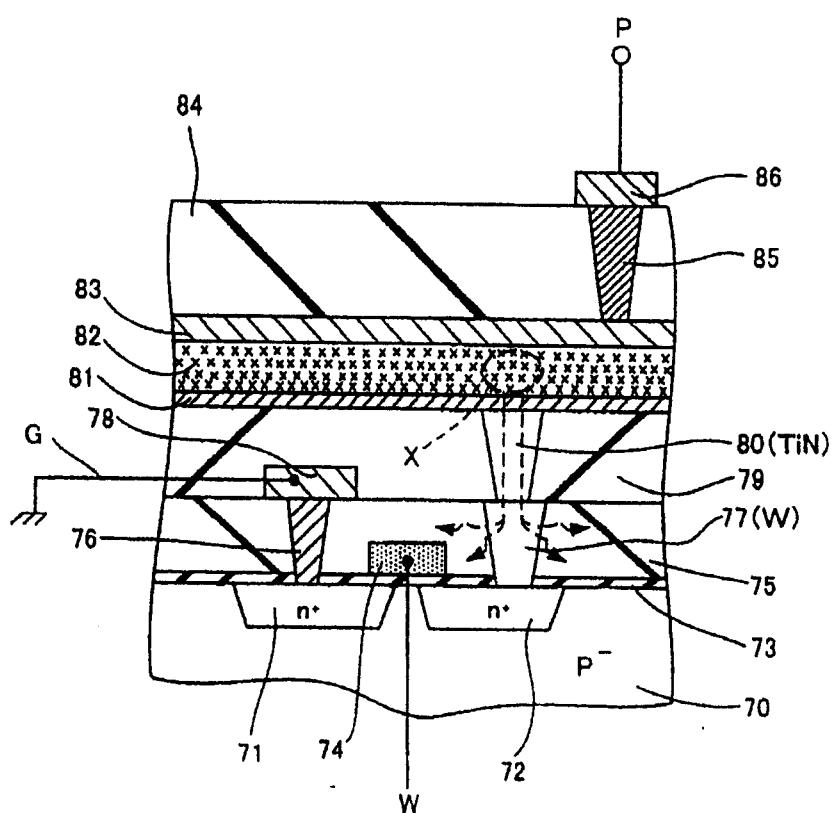


图6

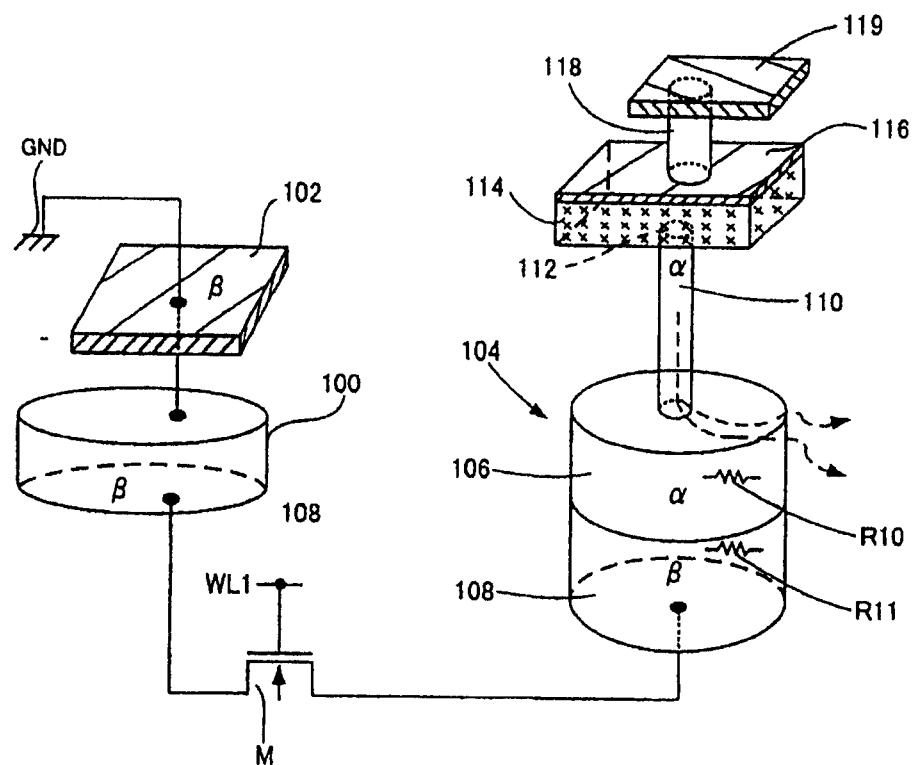


图7A

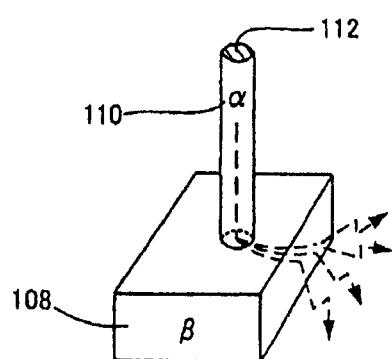


图7B

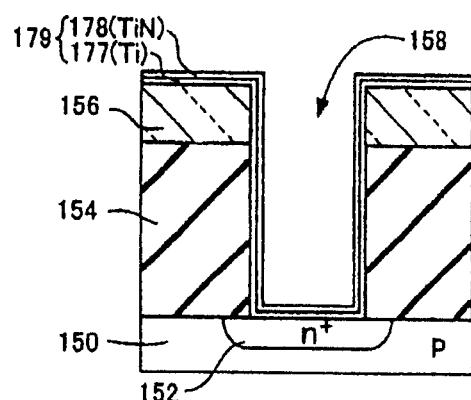


图8A

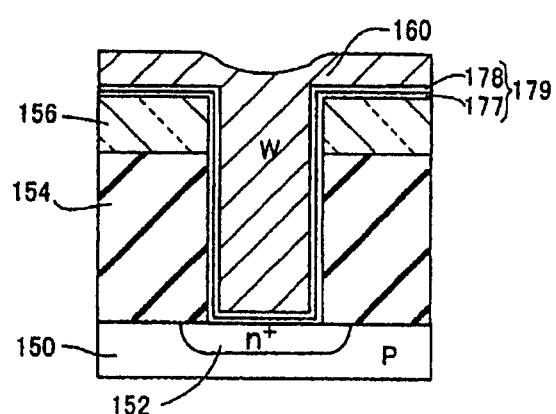


图8B

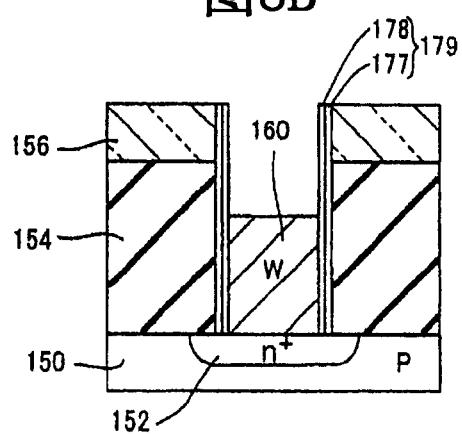


图8C

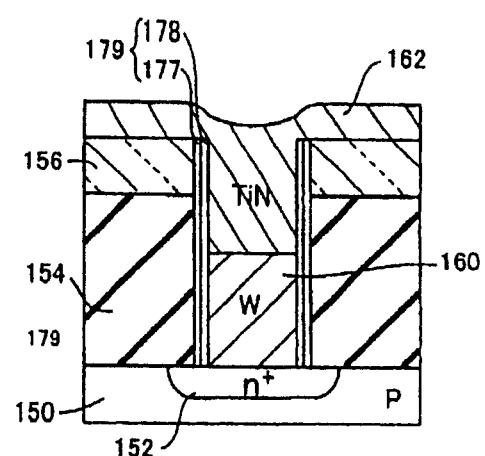


图8D

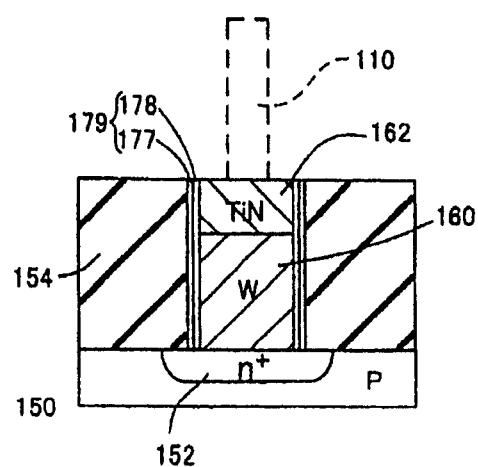


图8E

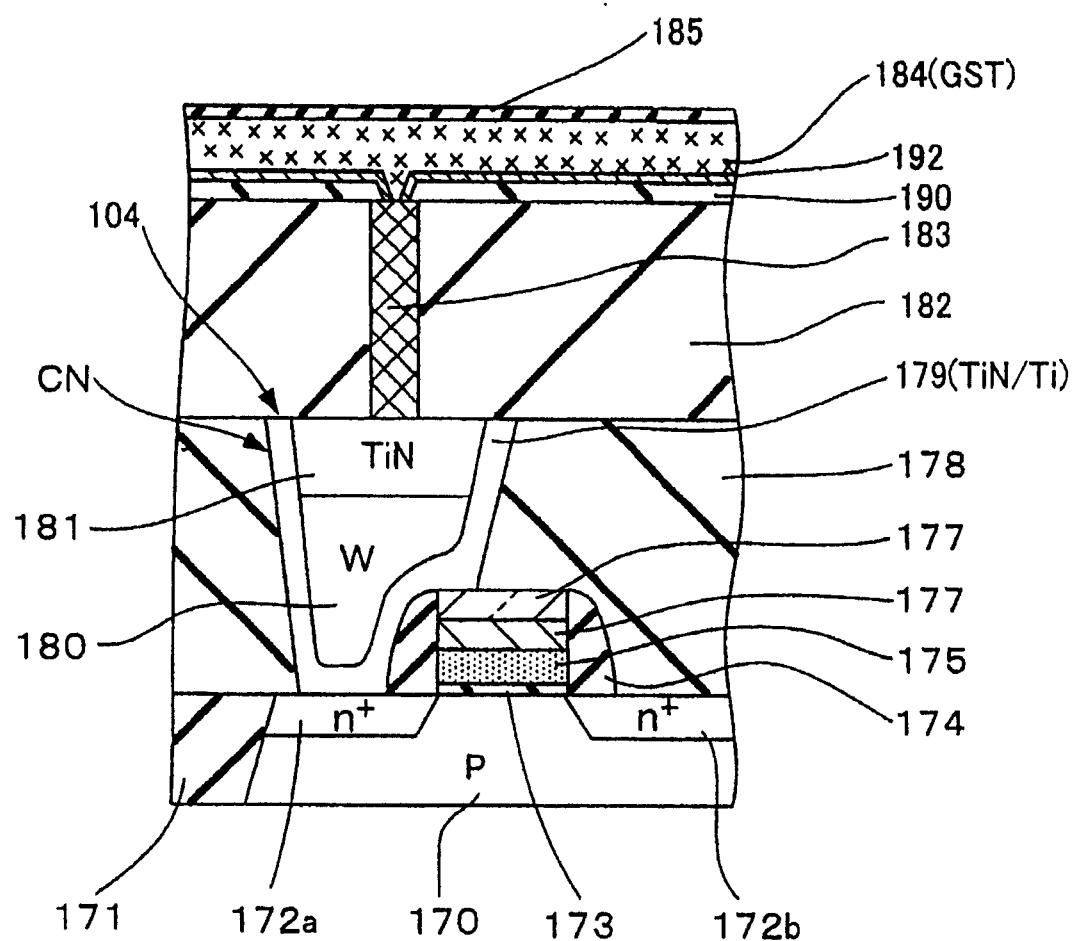


图9

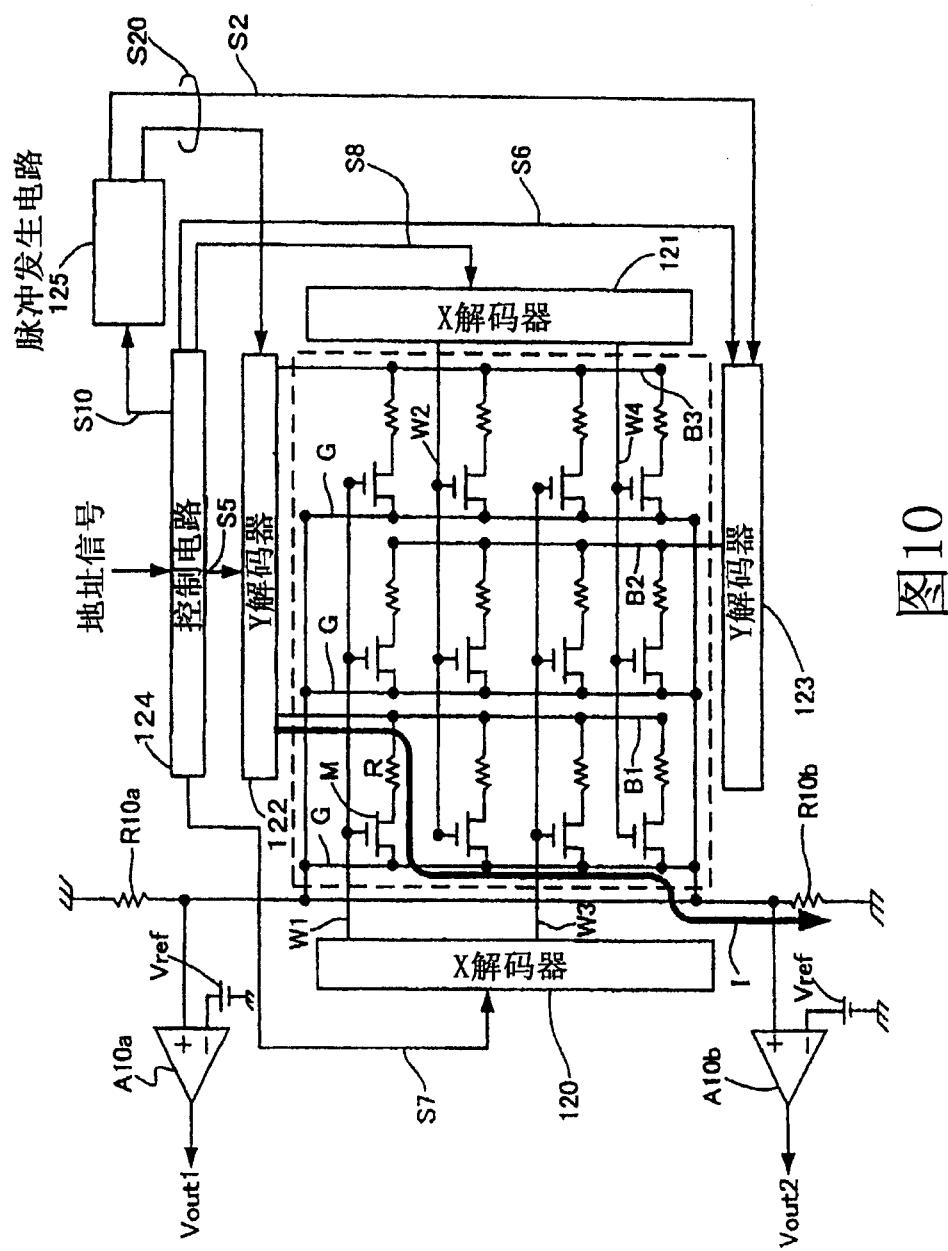


图10

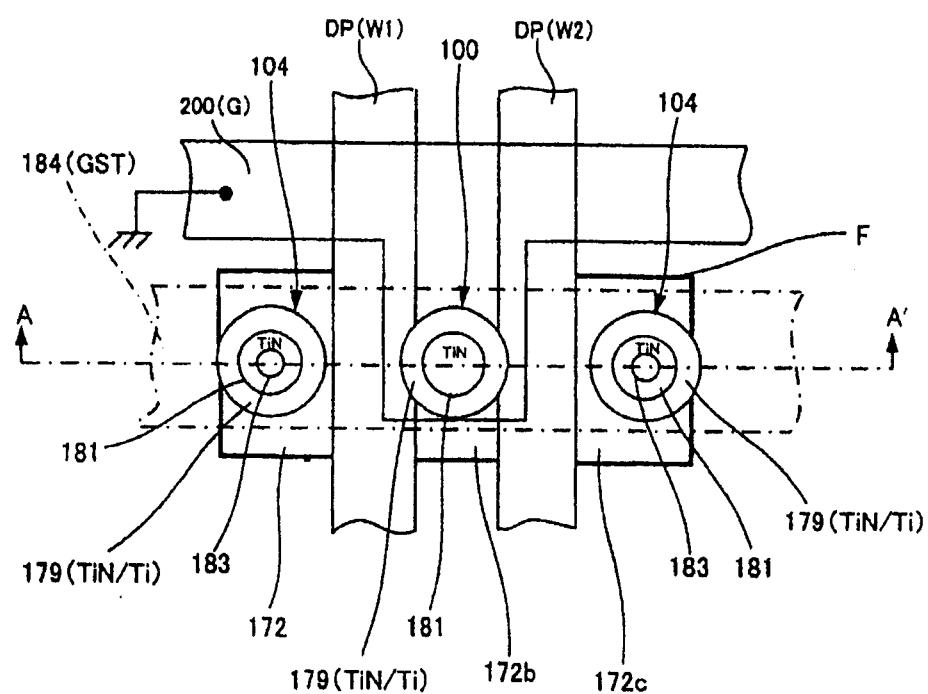


图11

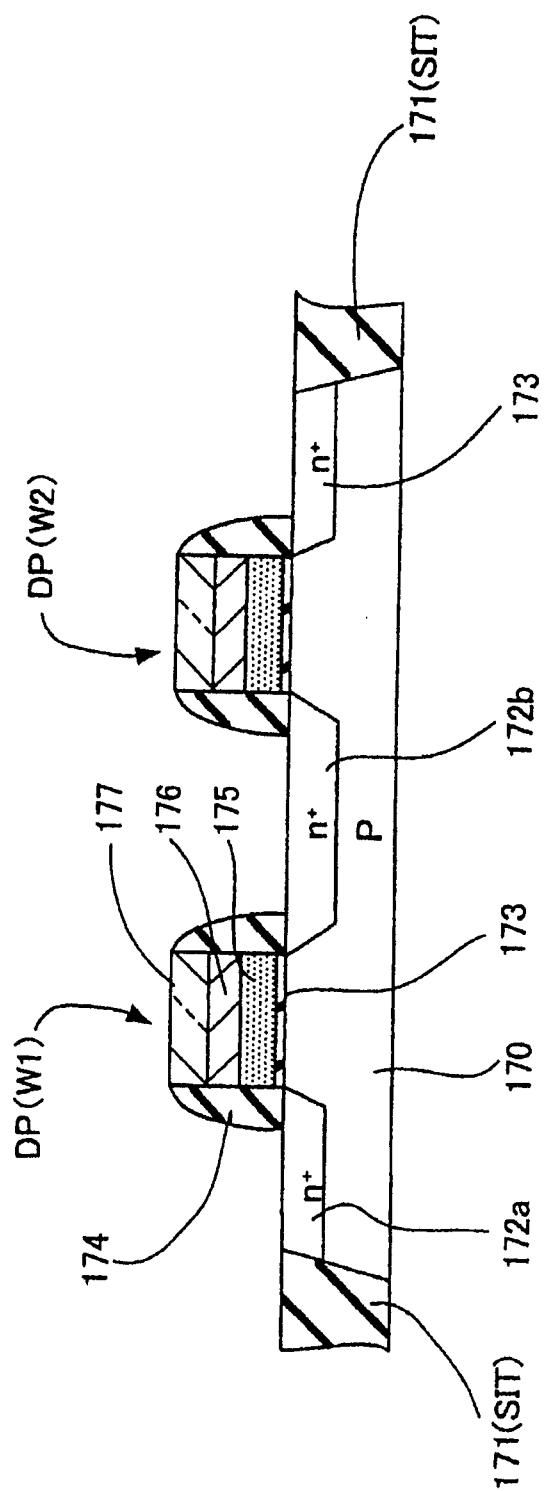


图12

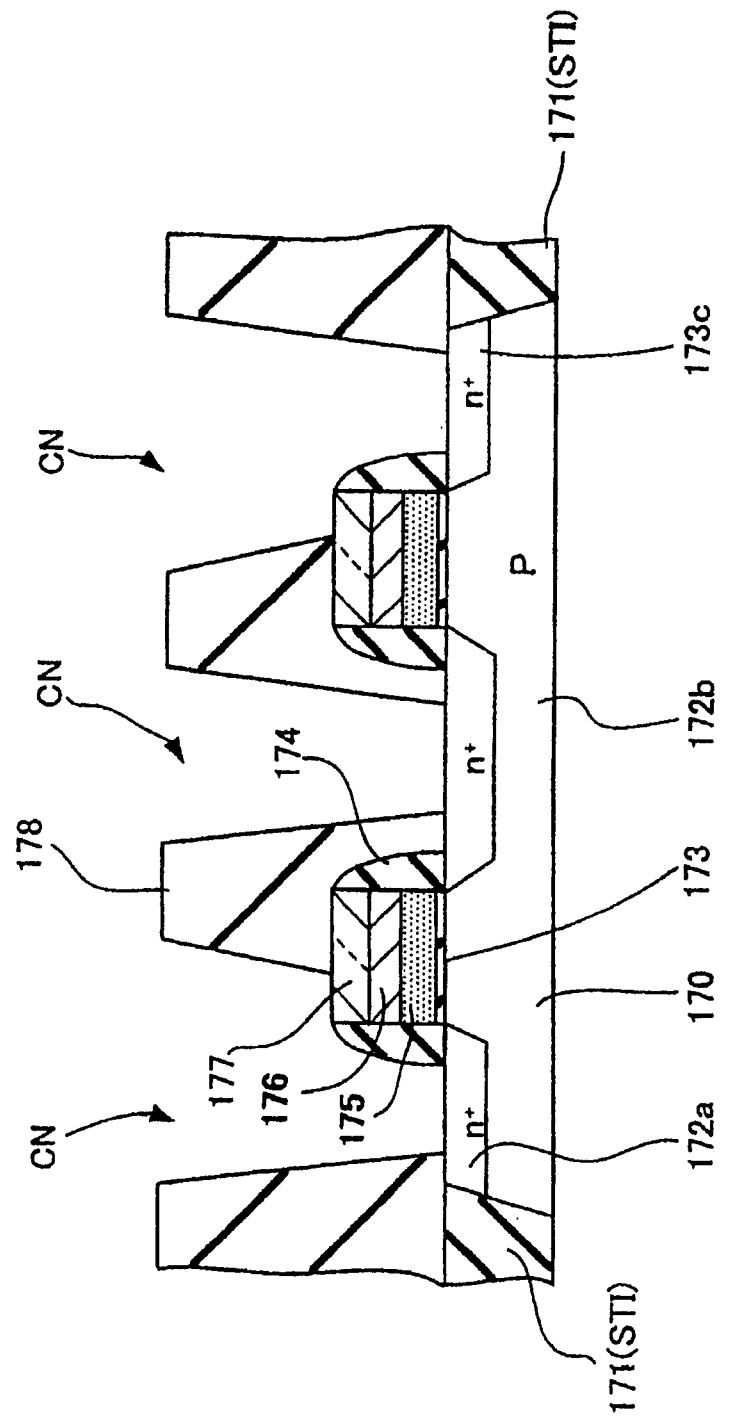


图13

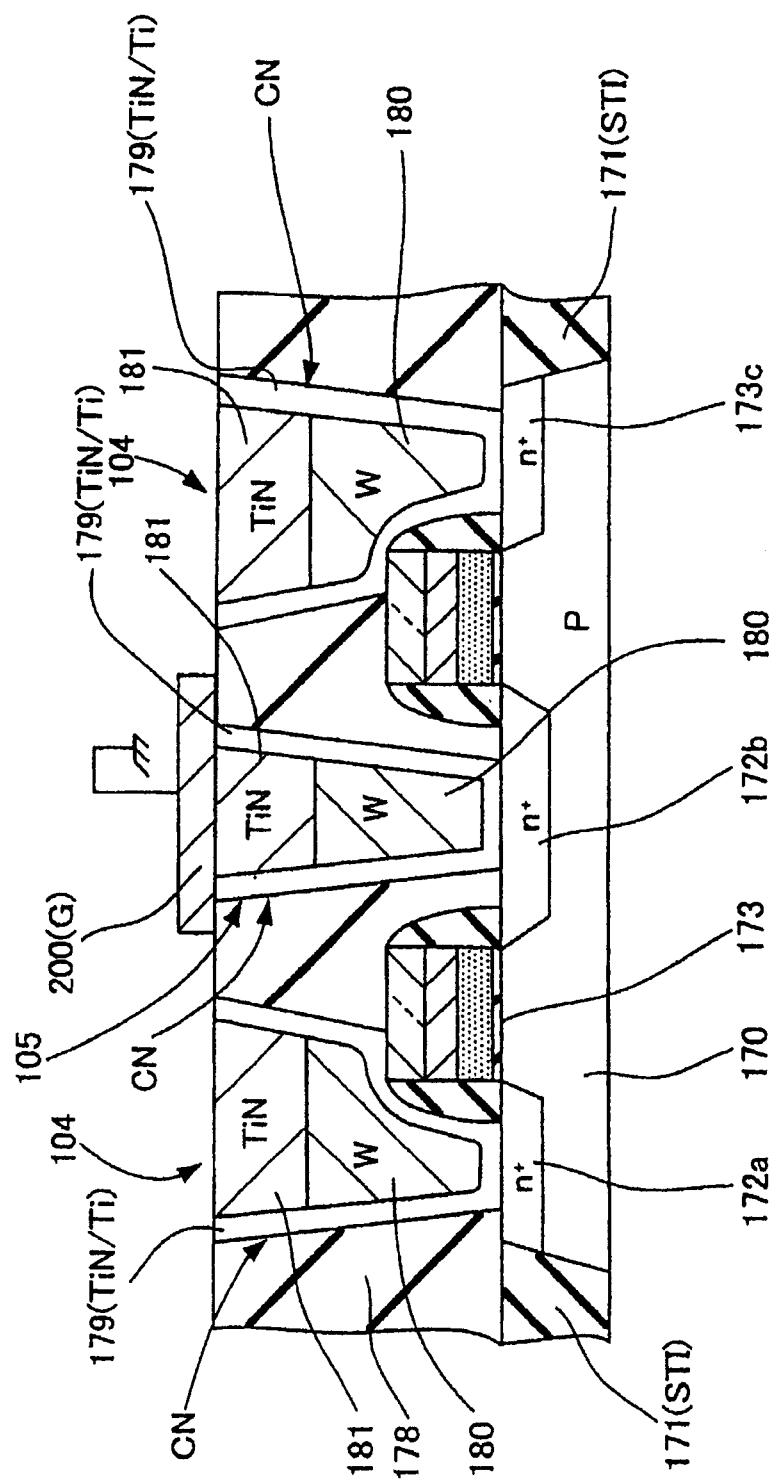


图14

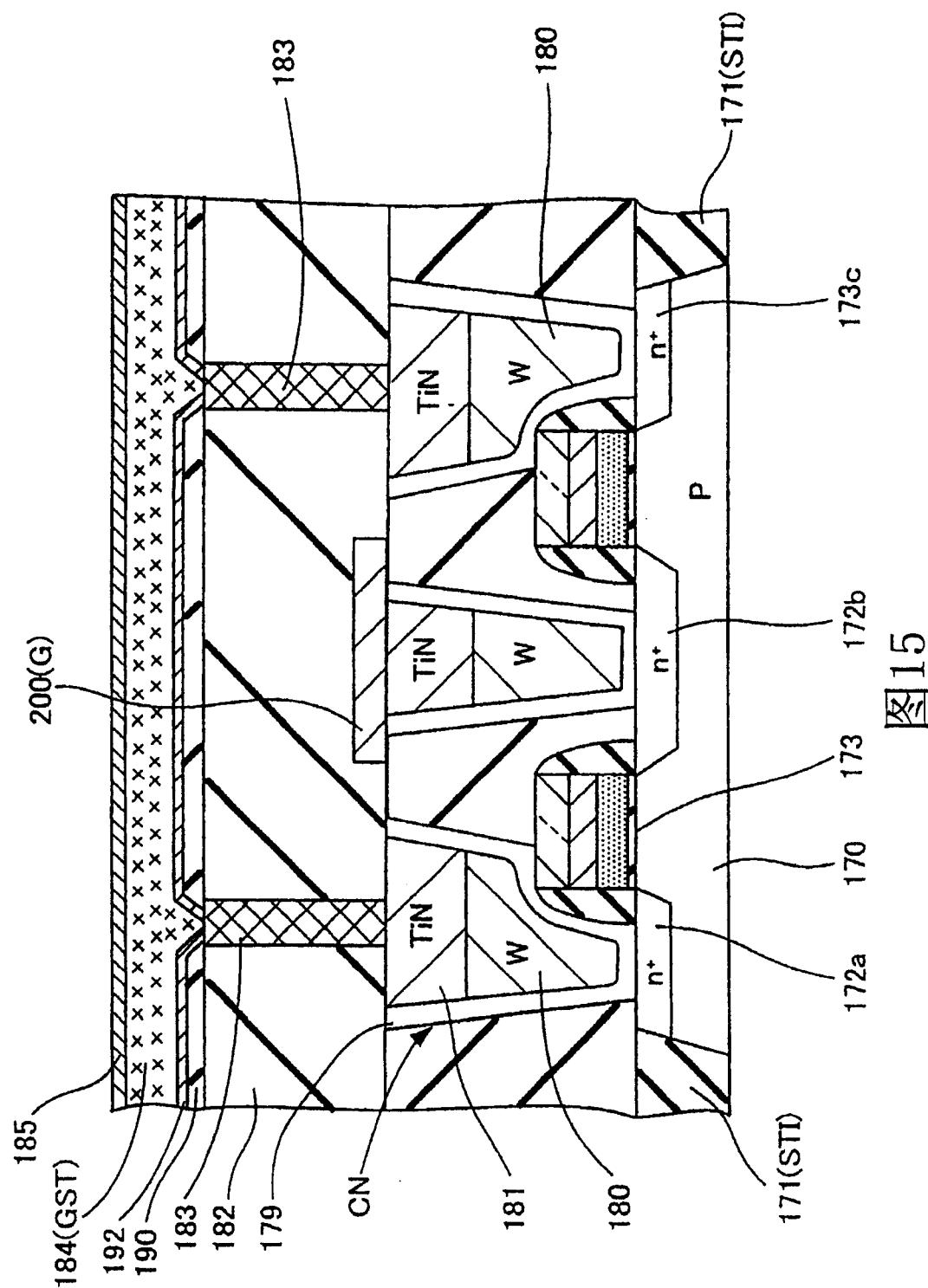


图15

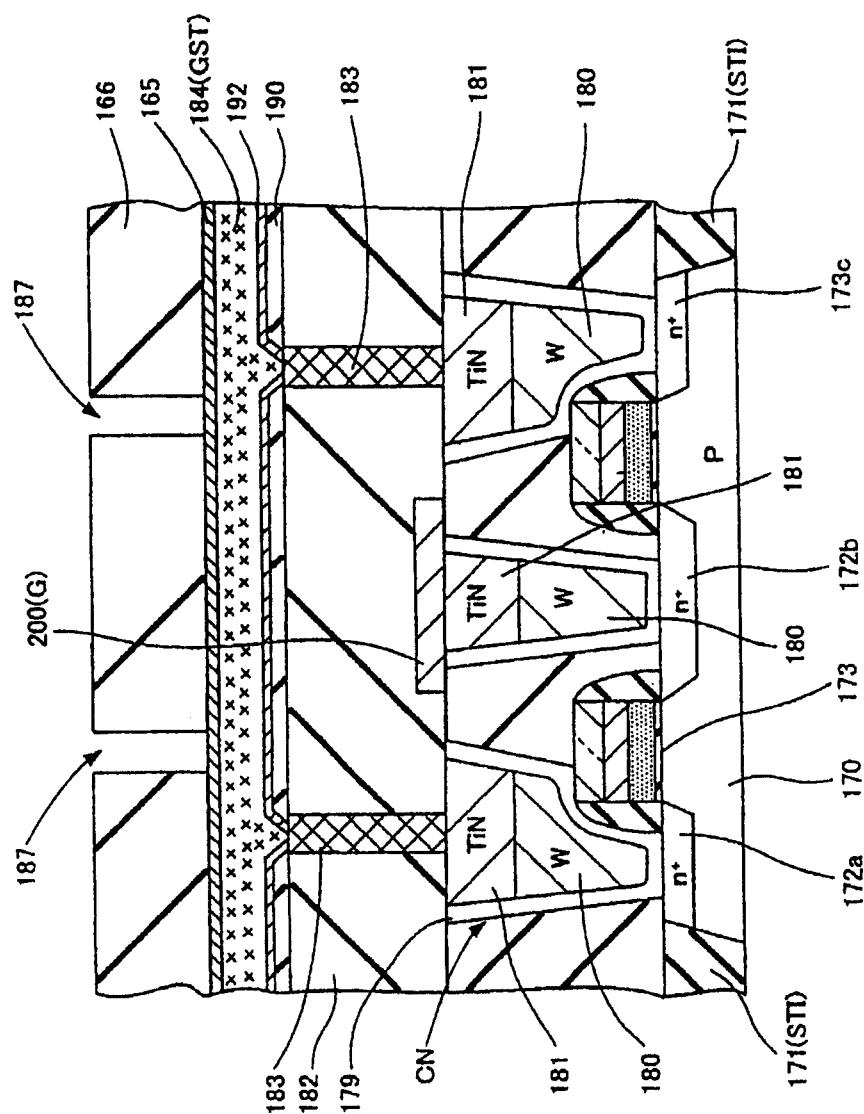


图16

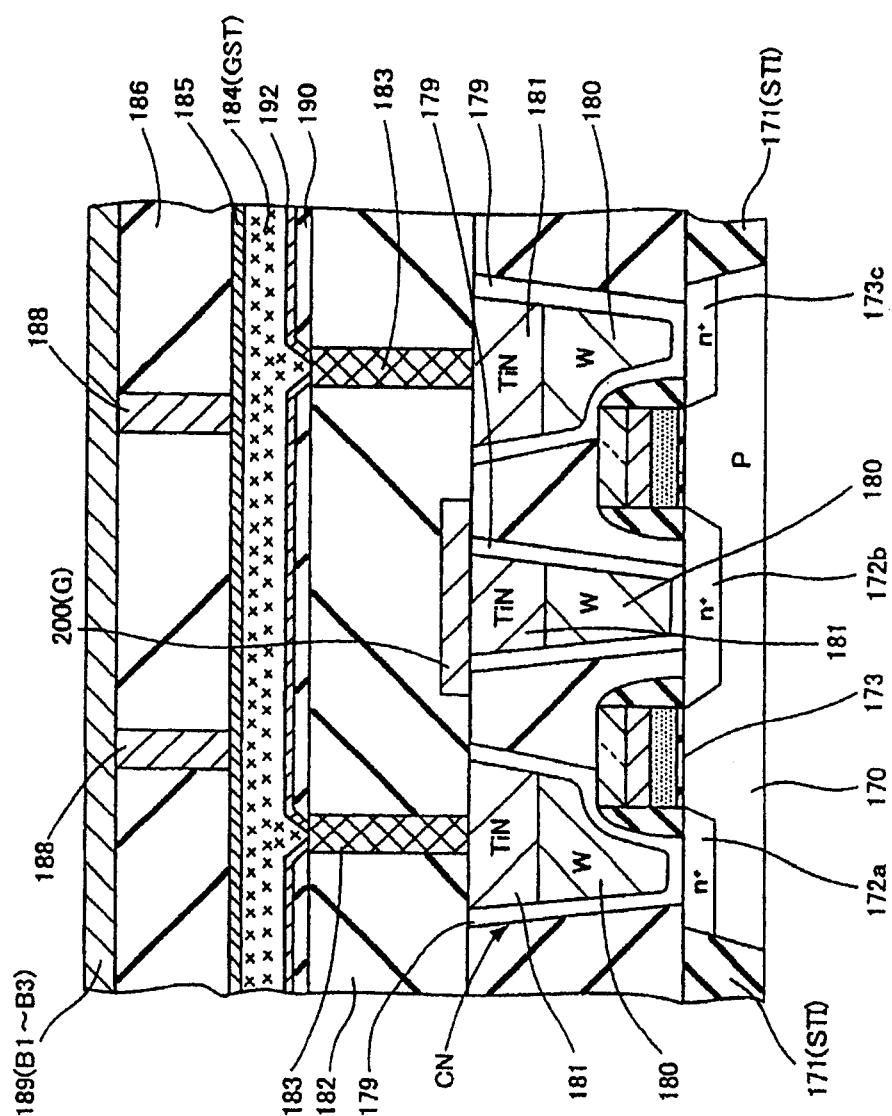


图17