

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294297

(P2005-294297A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl.⁷

H01S 5/02

H01S 5/323

F I

H01S 5/02

H01S 5/323 610

テーマコード (参考)

5F173

審査請求 未請求 請求項の数 7 O L (全 35 頁)

(21) 出願番号 特願2004-102618 (P2004-102618)

(22) 出願日 平成16年3月31日(2004.3.31)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(74) 代理人 100104433

弁理士 宮園 博一

(72) 発明者 畑 雅幸

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 別所 靖之

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 山口 勤

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

Fターム(参考) 5F173 AA08 AH22 AP05 AP19 AP92

AQ05 AR94

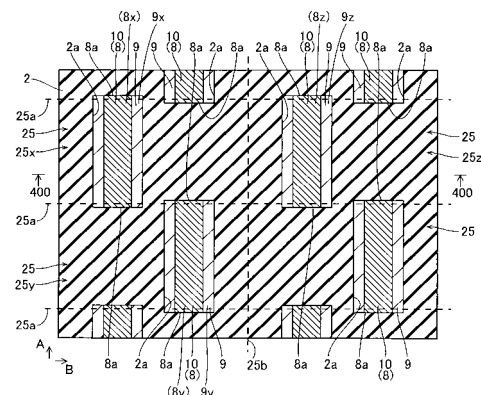
(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【課題】基板を効率的に利用し、かつ、製造工程を増加させずに、半導体素子層にクラックが発生するのを抑制することが可能な半導体素子の製造方法を提供する。

【解決手段】この半導体素子の製造方法は、n型GaN基板1上の共振器方向(A方向)に互いに隣接する素子形成領域25に、リッジ部8の端部8aが劈開線25a上に配置されるように、かつ、リッジ部8が共振器方向(A方向)に連続しないように、リッジ部8を含む半導体素子層9を形成する工程と、劈開線25aに沿って、共振器方向に隣接する半導体素子層9が形成された素子形成領域25を分割する工程とを備えている。

【選択図】図14



【特許請求の範囲】

【請求項 1】

基板上の第 1 素子形成領域に、第 1 の方向に延びる第 1 能動素子領域の端部が前記第 1 の方向と交差する第 2 の方向に延びる第 1 分割線上に配置されるように、前記第 1 能動素子領域を含む第 1 半導体素子層を形成するとともに、前記基板上の前記第 1 分割線に沿って前記第 1 素子形成領域に接する第 2 素子形成領域に、前記第 1 の方向に延びる第 2 能動素子領域の端部が前記第 1 分割線上に配置されるように、かつ、前記第 1 能動素子領域と前記第 2 能動素子領域とが前記第 1 の方向に連続しないように、前記第 2 能動素子領域を含む第 2 半導体素子層を形成する工程と、

前記第 1 分割線に沿って、前記第 1 半導体素子層および前記第 2 半導体素子層が形成された前記基板を分割する工程とを備えた、半導体素子の製造方法。

10

【請求項 2】

前記第 1 半導体素子層および前記第 2 半導体素子層を形成する工程は、前記第 1 半導体素子層に対して前記第 2 の方向にずれるように、前記第 2 半導体素子層を形成する工程を含む、請求項 1 に記載の半導体素子の製造方法。

【請求項 3】

前記第 1 半導体素子層および前記第 2 半導体素子層を形成する工程に先立って、

前記基板上に、前記第 1 半導体素子層および前記第 2 半導体素子層を形成する領域に開口部を有する選択成長マスクを形成する工程をさらに備える、請求項 1 または 2 に記載の半導体素子の製造方法。

20

【請求項 4】

前記基板上の前記第 1 の方向に延びる第 2 分割線に沿って前記第 1 素子形成領域に接する第 3 素子形成領域に、前記第 1 半導体素子層と前記第 2 の方向に連続しないように、前記第 1 の方向に延びる第 3 能動素子領域を含む第 3 半導体素子層を形成する工程を含む、請求項 1 ～ 3 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 5】

前記第 1 半導体素子層および前記第 2 半導体素子層を形成する工程に先立って、

前記基板の前記第 1 半導体素子層および前記第 2 半導体素子層を形成する領域以外の領域を所定の深さまでエッチングすることにより、前記基板に段差部を形成する工程をさらに備える、請求項 1 または 2 に記載の半導体素子の製造方法。

30

【請求項 6】

前記第 1 半導体素子層および前記第 2 半導体素子層を形成する工程は、前記段差部の側面上に、前記段差部の上部および下部に形成される前記第 1 半導体素子層および前記第 2 半導体素子層の厚みよりも小さい厚みを有する前記第 1 半導体素子層および前記第 2 半導体素子層を形成する工程を含む、請求項 5 に記載の半導体素子の製造方法。

【請求項 7】

前記第 1 能動素子領域および前記第 2 能動素子領域は、半導体レーザ素子のリッジ部を含む、請求項 1 ～ 6 のいずれか 1 項に記載の半導体素子の製造方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、半導体素子の製造方法に関し、特に、基板上に半導体素子層を形成する工程を備えた半導体素子の製造方法に関する。

【背景技術】

【0002】

従来、基板上に半導体素子層を形成した後、半導体素子層が形成された基板を各素子に分割する半導体レーザ素子などの半導体素子の製造方法が知られている。

【0003】

図 69 は、従来の半導体レーザ素子の製造方法を説明するための平面図である。まず、

50

図 6 9 を参照して、従来の半導体レーザ素子の製造方法を説明する。

【 0 0 0 4 】

従来の半導体レーザ素子の製造方法としては、図 6 9 に示すように、まず、MOCVD (Metal Organic Chemical Vapor Deposition: 有機金属気相堆積) 法などを用いて、基板 2 0 1 上の素子形成領域 (劈開線と素子分離線とに囲まれた領域) 2 1 0 に、共振器方向 (A 方向) に延びる能動素子領域 (リッジ部) を含む半導体素子層 2 0 2 を成長させる。この際、各素子形成領域 2 1 0 の半導体素子層 2 0 2 が A 方向に連続するように、半導体素子層 2 0 2 を成長させる。次に、劈開線に沿って、A 方向に隣接する素子形成領域 2 1 0 を分割する。これにより、A 方向に連続して形成された半導体素子層 2 0 2 が分割される。なお、半導体素子層 2 0 2 の劈開線に沿った分割面は、共振器端面として機能させることができる。この後、素子分離線に沿って、共振器方向と直交する方向 (B 方向) に隣接する素子形成領域 2 1 0 を分割することによって、半導体レーザ素子が形成される。

【 0 0 0 5 】

しかしながら、図 6 9 に示した従来の半導体レーザ素子の製造方法では、素子分割前における半導体素子層 2 0 2 の共振器方向 (A 方向) の長さが大きいため、半導体素子層 2 0 2 に歪みが発生しやすくなるという不都合がある。これにより、半導体素子層 2 0 2 の歪みに起因して、半導体素子層 2 0 2 にクラックが発生するという不都合がある。

【 0 0 0 6 】

そこで、従来では、基板上の素子形成領域に半導体素子層を成長させる際に、各素子形成領域の半導体素子層が共振器方向に連続しないように、半導体素子層を成長させる半導体レーザ素子の製造方法が提案されている (たとえば、特許文献 1 参照)。

【 0 0 0 7 】

図 7 0 は、上記特許文献 1 において提案された従来の半導体レーザ素子の製造方法を説明するための平面図である。図 7 0 を参照して、従来の提案された半導体レーザ素子の製造方法では、まず、半導体層が成長しにくい基板 3 0 1 上の所定領域に、半導体層が成長しやすいバッファ層を形成することによって、基板 3 0 1 に半導体層が成長しやすい領域 3 2 0 a と半導体層が成長しにくい領域 3 2 0 b とを設ける。この際、半導体層が成長しにくい領域 3 2 0 b を、少なくとも共振器方向 (A 方向) に隣接する素子形成領域 3 1 0 間に配置する。これにより、基板 3 0 1 上に半導体素子層を成長させる際に、各素子形成領域 3 1 0 の半導体素子層が A 方向に連続しないように成長するので、半導体素子層の歪みが緩和される。これにより、半導体素子層にクラックが発生するのを抑制することが可能となる。

【特許文献 1】特開 2 0 0 3 - 5 1 6 1 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

しかしながら、図 7 0 に示した従来の提案された半導体レーザ素子の製造方法では、共振器方向 (A 方向) に隣接する素子形成領域 3 1 0 間に半導体層が成長しにくい領域 3 2 0 b が配置されているため、隣接する素子形成領域 3 1 0 を劈開して共振器端面を形成する際に、劈開を 2 回行う必要がある。このため、1 回の劈開で共振器方向 (A 方向) に隣接する素子形成領域 2 1 0 に共振器端面を形成することが可能な図 6 9 に示した従来の構造に比べて、製造工程 (劈開工程) が増加するという問題点がある。また、図 7 0 に示した基板 3 0 1 を用いる場合には、A 方向に隣接する素子形成領域 3 1 0 間に位置する半導体層が成長しにくい領域 3 2 0 b が無駄になるので、基板 3 0 1 を効率的に利用するのが困難になるという不都合もある。このように、図 7 0 に示した従来の提案された半導体レーザ素子の製造方法では、半導体素子層にクラックが発生するのを抑制できたとしても、製造工程が増加するとともに、基板を効率的に利用するのが困難になるという問題点がある。

【 0 0 0 9 】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、基板を効率的に利用し、かつ、製造工程を増加させずに、半導体素子層にクラックが発生するのを抑制することが可能な半導体素子の製造方法を提供することである。

【課題を解決するための手段および発明の効果】

【0010】

上記目的を達成するために、この発明の一の局面による半導体素子の製造方法は、基板上の第1素子形成領域に、第1の方向に延びる第1能動素子領域の端部が第1の方向と交差する第2の方向に延びる第1分割線上に配置されるように、第1能動素子領域を含む第1半導体素子層を形成するとともに、基板上の第1分割線に沿って第1素子形成領域に接する第2素子形成領域に、第1の方向に延びる第2能動素子領域の端部が第1分割線上に配置されるように、かつ、第1能動素子領域と第2能動素子領域とが第1の方向に連続しないように、第2能動素子領域を含む第2半導体素子層を形成する工程と、第1分割線に沿って、第1半導体素子層および第2半導体素子層が形成された基板を分割する工程とを備えている。なお、本発明の能動素子領域は、たとえば、半導体レーザ素子のリッジ部を意味する。

10

【0011】

上記一の局面による半導体素子の製造方法では、上記のように、基板上の第1素子形成領域に、第1の方向に延びる第1能動素子領域を含む第1半導体素子層を形成するとともに、基板上の第1分割線に沿って第1素子形成領域に接する第2素子形成領域に、第1能動素子領域と第2能動素子領域とが第1の方向に連続しないように、第2能動素子領域を含む第2半導体素子層を形成することによって、基板上の第1素子形成領域および第2素子形成領域に第1の方向に連続するように延びる能動素子領域を形成する場合に比べて、素子分割前における能動素子領域の第1の方向の長さを小さくすることができる。これにより、第1素子形成領域および第2素子形成領域にそれぞれ形成される第1能動素子領域および第2能動素子領域の歪みが緩和されるので、第1能動素子領域および第2能動素子領域にクラックが発生するのを抑制することができる。この場合、第1の方向に延びる第1能動素子領域の端部および第1の方向に延びる第2能動素子領域の端部が、共に第1分割線上に配置されるように、第1能動素子領域を含む第1半導体素子層および第2能動素子領域を含む第2半導体素子層を形成することによって、第1分割線に沿って、第1半導体素子層および第2半導体素子層が形成された基板を分割すれば、分割面を共振器端面として用いる場合、1回の分割（劈開）で、第1能動素子領域および第2能動素子領域のそれぞれの一方の端部に共振器端面を形成することができる。これにより、第1能動素子領域と第2能動素子領域とが第1の方向に連続しないように第1半導体素子層および第2半導体素子層を形成したとしても、製造工程が増加することがない。また、第1素子形成領域と第2素子形成領域とを第1分割線に沿って第1の方向に互いに接するように構成することにより、第1素子形成領域と第2素子形成領域との間に無駄な領域が存在しないので、基板を効率的に利用することができる。

20

30

【0012】

上記一の局面による半導体素子の製造方法において、好ましくは、第1半導体素子層および第2半導体素子層を形成する工程は、第1半導体素子層に対して第2の方向にずれるように、第2半導体素子層を形成する工程を含む。このように構成すれば、容易に、第1の方向に延びる第1能動素子領域および第2能動素子領域が第1の方向に連続しないように、第1半導体素子層と第2半導体素子層とを形成することができる。

40

【0013】

上記一の局面による半導体素子の製造方法において、好ましくは、第1半導体素子層および第2半導体素子層を形成する工程に先立って、基板上に、第1半導体素子層および第2半導体素子層を形成する領域に開口部を有する選択成長マスクを形成する工程をさらに備える。このように構成すれば、選択成長マスク上には半導体素子層が形成されないのので、容易に、第1能動素子領域と第2能動素子領域とが第1の方向に連続しないように、第1半導体素子層と第2半導体素子層とを基板上に形成することができる。

50

【 0 0 1 4 】

上記一の局面による半導体素子の製造方法において、好ましくは、基板上の第1の方向に延びる第2分割線に沿って第1素子形成領域に接する第3素子形成領域に、第1半導体素子層と第2の方向に連続しないように、第1の方向に延びる第3能動素子領域を含む第3半導体素子層を形成する工程を含む。このように構成すれば、基板上の第1素子形成領域および第3素子形成領域に、第2の方向に連続するように半導体素子層を形成する場合に比べて、素子分割前における半導体素子層の第2の方向の長さを小さくすることができる。これにより、第1素子形成領域および第3素子形成領域にそれぞれ形成される第1能動素子領域および第3能動素子領域の歪みが緩和されるので、第1能動素子領域および第3能動素子領域にクラックが発生するのを抑制することができる。

10

【 0 0 1 5 】

上記一の局面による半導体素子の製造方法において、好ましくは、基板の第1半導体素子層および第2半導体素子層を形成する領域以外の領域を所定の深さまでエッチングすることにより、基板に段差部を形成する工程をさらに備える。このように構成すれば、基板上に第1半導体素子層および第2半導体素子層を形成する際に、基板の段差部に位置する第1半導体素子層および第2半導体素子層が連続しないかまたは厚みが薄くなるので、段差部に位置する第1半導体素子層および第2半導体素子層に歪みを集中させることができる。これにより、第1半導体素子層および第2半導体素子層の段差部にクラックが発生しやすくなる一方、第1半導体素子層および第2半導体素子層の段差部以外の領域には、クラックが発生しにくくなるので、第1能動素子領域および第2能動素子領域にクラックが発生するのをより抑制することができる。

20

【 0 0 1 6 】

この場合、好ましくは、第1半導体素子層および第2半導体素子層を形成する工程は、段差部の側面上に、段差部の上部および下部に形成される第1半導体素子層および第2半導体素子層の厚みよりも小さい厚みを有する第1半導体素子層および第2半導体素子層を形成する工程を含む。このように構成すれば、基板上に第1半導体素子層および第2半導体素子層を形成する際に、基板の段差部に位置する厚みの小さい第1半導体素子層および第2半導体素子層に容易に歪みを集中させることができる。

【 0 0 1 7 】

上記一の局面による半導体素子の製造方法において、好ましくは、第1能動素子領域および第2能動素子領域は、半導体レーザ素子のリッジ部を含む。このように構成すれば、半導体レーザ素子において、製造工程が増加するのを抑制しながら、リッジ部にクラックが発生するのを抑制することができる。

30

【 0 0 1 8 】

なお、上記一の局面による半導体素子の製造方法において、第1半導体素子層および第2半導体素子層を形成する工程は、第1能動素子領域の第1の方向への延長線上に位置する第2素子形成領域上の部分において、第1半導体素子層が形成されていないかまたは第1半導体素子層の厚みが小さくなるように、第1半導体素子層を結晶成長する工程を含んでいてもよい。このように構成すれば、容易に、第1の方向に延びる第1能動素子領域が第1の方向に連続しないように、第1半導体素子層を形成することができる。

40

【 0 0 1 9 】

また、上記一の局面による半導体素子の製造方法において、第1半導体素子層および第2半導体素子層を形成する工程は、第1半導体素子層および第2半導体素子層が不連続となるように結晶成長する工程を含んでいてもよい。このように構成すれば、容易に、第1の方向に延びる第1能動素子領域が第1の方向に連続しないように、第1半導体素子層を形成することができる。

【 発明を実施するための最良の形態 】

【 0 0 2 0 】

以下、本発明の実施形態を図面に基づいて説明する。

【 0 0 2 1 】

50

(第1実施形態)

図1は、本発明の第1実施形態による窒化物系半導体レーザ素子の構造を示した平面図である。図2は、図1の100-100線に沿った断面図である。図3は、図2に示した第1実施形態による窒化物系半導体レーザ素子の発光層の詳細を示した拡大断面図である。まず、図1～図3を参照して、第1実施形態による窒化物系半導体レーザ素子の構造について説明する。

【0022】

第1実施形態による窒化物系半導体レーザ素子では、図2に示すように、約100 μ mの厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有する酸素がドーピングされたn型GaN基板1上に、開口部2aを有するとともに、約200nmの厚みを有するSiN膜からなる選択成長マスク2が形成されている。このn型GaN基板1は、ウルツ鉱型構造を有するとともに、(0001)面の表面を有する。また、n型GaN基板1の両端部の近傍の選択成長マスク2によって覆われた領域には、転位の集中している領域1aが形成されている。

【0023】

また、n型GaN基板1上の開口部2aに対応する領域には、約100nmの厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量を有するSiがドーピングされたn型GaNからなるn型層3が形成されている。n型層3上には、約400nmの厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有するSiがドーピングされたn型Al_{0.05}Ga_{0.95}Nからなるn型クラッド層4が形成されている。

【0024】

n型クラッド層4上には、発光層5が形成されている。この発光層5は、図3に示すように、n型クラッド層4に近い側から順に、n型キャリアブロック層5aと、n型光ガイド層5bと、多重量子井戸(MQW: Multiple Quantum Well)活性層5eと、p型光ガイド層5fと、p型キャップ層5gとから構成されている。n型キャリアブロック層5aは、約5nmの厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有するSiがドーピングされたn型Al_{0.1}Ga_{0.9}Nからなる。n型光ガイド層5bは、約100nmの厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有するSiがドーピングされたn型GaNからなる。また、MQW活性層5eは、約20nmの厚みを有するアンドープIn_{0.05}Ga_{0.95}Nからなる4層の障壁層5cと、約3nmの厚みを有するアンドープIn_{0.15}Ga_{0.85}Nからなる3層の井戸層5dとが交互に積層されている。また、p型光ガイド層5fは、約100nmの厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーピングされたp型GaNからなる。p型キャップ層5gは、約20nmの厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーピングされたp型Al_{0.1}Ga_{0.9}Nからなる。

【0025】

また、図2に示すように、発光層5上には、平坦部とその平坦部から上方に突出するように形成された凸部とを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーピングされたp型Al_{0.05}Ga_{0.95}Nからなるp型クラッド層6が形成されている。このp型クラッド層6の凸部は、約1.5 μ mの幅と約300nmの高さとを有する。また、p型クラッド層6の凸部以外の平坦部は、約100nmの厚みを有する。p型クラッド層6の凸部上には、約10nmの厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーピングされたp型GaNからなるp型コンタクト層7が形成されている。このp型コンタクト層7とp型クラッド層6の凸部とによって、共振器方向(図1のA方向)に延びるストライプ状(細長状)のリッジ部8が構成さ

10

20

30

40

50

れている。

【0026】

ここで、第1実施形態では、n型層3、n型クラッド層4、発光層5、p型クラッド層6およびp型コンタクト層7によって、半導体素子層9が構成されている。

【0027】

リッジ部8を構成するp型コンタクト層7上には、下層から上層に向かって、約5nmの厚みを有するPt層と、約100nmの厚みを有するPd層と、約150nmの厚みを有するAu層とからなるp側オーミック電極10が形成されている。また、p側オーミック電極10の上面以外の領域を覆うように、約250nmの厚みを有するSiN膜からなる絶縁膜11が形成されている。絶縁膜11上の所定領域には、p側オーミック電極10の上面に接触するように、下層から上層に向かって、約100nmの厚みを有するTi層と、約100nmの厚みを有するPd層と、約3μmの厚みを有するAu層とからなるp側パッド電極12が形成されている。このp側パッド電極12は、図1に示すように、平面的に見て、矩形状に突出した端部12aを有する。

10

【0028】

また、図2に示すように、n型GaN基板1の裏面上には、n型GaN基板1の裏面の転位の集中している領域1a以外の領域に接触するように、n側電極13が形成されている。このn側電極13は、n型GaN基板1の裏面に近い方から順に、約10nmの厚みを有するAl層と、約20nmの厚みを有するPt層と、約300nmの厚みを有するAu層とからなる。

20

【0029】

図4～図19は、図1および図2に示した第1実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図および平面図である。次に、図1～図19を参照して、第1実施形態による窒化物系半導体レーザ素子の製造プロセスについて説明する。

【0030】

まず、図4～図7を参照して、n型GaN基板1の形成プロセスについて説明する。具体的には、図4に示すように、MOCVD法を用いて、基板温度を約600℃に保持した状態で、サファイア基板21上に、約20nmの厚みを有するAlGaN層22を成長させる。その後、基板温度を約1100℃に変えて、AlGaN層22上に、約1μmの厚みを有するGaN層23を成長させる。この際、GaN層23の全領域に、縦方向に伝播された転位が、約 $5 \times 10^8 \text{ cm}^{-2}$ 以上（たとえば、約 $5 \times 10^9 \text{ cm}^{-2}$ ）の密度で形成される。

30

【0031】

次に、図5に示すように、プラズマCVD法を用いて、GaN層23上に、約10μmの間隔を隔てて、約390μmの幅と約200nmの厚みとを有するSiNまたはSiO₂からなるマスク層24を、約400μmの周期（中心間距離）で形成する。

【0032】

次に、図6に示すように、HVPE（Halide Vapor Phase Epitaxy：ハライド気相成長）法を用いて、基板温度を約1100℃に保持した状態で、マスク層24を選択成長マスクとして、GaN層23上に、約150μmの厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有する酸素がドーパされたn型GaN基板1を選択横方向成長させる。この際、n型GaN基板1は、マスク層24が形成されていないGaN層23上に選択的に縦方向に成長した後、徐々に横方向に成長する。このため、マスク層24が形成されていないGaN層23上に位置するn型GaN基板1には、約 $5 \times 10^8 \text{ cm}^{-2}$ 以上（たとえば、約 $5 \times 10^9 \text{ cm}^{-2}$ ）の密度で縦方向に伝播された転位の集中している領域1aが約10μmの幅で形成される。その一方、マスク層24上に位置するn型GaN基板1には、n型GaN基板1が横方向に成長することにより転位が横方向へ曲げられるので、縦方向に伝播された転位が形成されにくく、転位密度は、約 $5 \times 10^7 \text{ cm}^{-2}$ 以下（たとえば、約 $1 \times 10^6 \text{ cm}^{-2}$ ）である。この後、

40

50

n 型 G a N 基板 1 下に位置するサファイア基板 2 1、A l G a N 層 2 2、G a N 層 2 3 およびマスク層 2 4 を除去する。このようにして、図 7 に示すように、約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有する酸素がドーピングされた n 型 G a N 基板 1 を形成する。この n 型 G a N 基板 1 は、ウルツ鉱型構造を有するとともに、(0001) 面の表面を有する。なお、n 型 G a N 基板 1 は、本発明の「基板」の一例である。

【0033】

次に、図 8 および図 9 に示すように、プラズマ C V D 法を用いて、n 型 G a N 基板 1 上に、開口部 2 a を有するとともに、約 200 nm の厚みを有する S i N 膜からなる選択成長マスク 2 を形成する。この際、開口部 2 a を、素子形成領域 (劈開線 2 5 a と素子分離線 2 5 b とに囲まれた領域) 2 5 の半導体素子層 9 (図 2 参照) を成長させる領域に配置する。なお、素子形成領域 2 5 は、本発明の「第 1 素子形成領域」、「第 2 素子形成領域」および「第 3 素子形成領域」の一例である。ここで、各素子形成領域 2 5 の位置関係は、仮に素子形成領域 2 5 x を「第 1 素子形成領域」とすれば、素子形成領域 2 5 y が「第 2 素子形成領域」であり、素子形成領域 2 5 z が「第 3 素子形成領域」である。

【0034】

ここで、第 1 実施形態では、共振器方向 (A 方向) に隣接する素子形成領域 2 5 の各開口部 2 a が A 方向に連続しないように、選択成長マスク 2 を形成する。具体的には、A 方向に隣接する開口部 2 a を、一つ置きに共振器方向と直交する方向 (B 方向) にずらすことにより互い違いに配置する。また、開口部 2 a の A 方向の端部 2 b が劈開線 2 5 a を跨いで A 方向に隣接する素子形成領域 2 5 に達するように、選択成長マスク 2 を形成する。また、第 1 実施形態では、B 方向に隣接する素子形成領域 2 5 の各開口部 2 a が B 方向に連続しないように、選択成長マスク 2 を形成する。また、開口部 2 a の B 方向の幅 W 1 (図 8 参照) は、約 $10 \mu\text{m}$ に設定する。なお、隣接する劈開線 2 5 a 間の距離 (共振器の長さ) は、約 $700 \mu\text{m}$ であり、隣接する素子分離線 2 5 b 間の距離 (素子の幅) は、約 $400 \mu\text{m}$ である。なお、劈開線 2 5 a および素子分離線 2 5 b は、それぞれ、本発明の「第 1 分割線」および「第 2 分割線」の一例である。

【0035】

次に、図 10 および図 11 に示すように、M O C V D 法を用いて、n 型 G a N 基板 1 上の開口部 2 a に対応する領域に、n 型層 3、n 型クラッド層 4、発光層 5、p 型クラッド層 6 および p 型コンタクト層 7 を順次成長させる。

【0036】

具体的には、基板温度を約 1100 の成長温度に保持した状態で、 H_2 および N_2 からなるキャリアガスと、 NH_3 および T M G a からなる原料ガスと、 SiH_4 からなるドーパントガスとを用いて、n 型 G a N 基板 1 上の開口部 2 a に対応する領域に、約 100 nm の厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量を有する S i がドーピングされた n 型 G a N からなる n 型層 3 を成長させる。この後、原料ガスに T M A l をさらに加えて、n 型層 3 上に、約 400 nm の厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有する S i がドーピングされた n 型 A l _{0.05} G a _{0.95} N からなる n 型クラッド層 4 を成長させる。

【0037】

続いて、図 3 に示したように、n 型クラッド層 4 (図 11 参照) 上に、約 5 nm の厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有する S i がドーピングされた n 型 A l _{0.1} G a _{0.9} N からなる n 型キャリアブロック層 5 a を成長させる。

【0038】

次に、基板温度を約 800 の成長温度に保持した状態で、 H_2 および N_2 からなるキャリアガスと、 NH_3 および T M G a からなる原料ガスと、 SiH_4 からなるドーパントガスとを用いて、n 型キャリアブロック層 5 a 上に、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有する S i がドーピングされた n 型 G a N からなる n 型光ガイド層 5 b を成長させる。

10

20

30

40

50

【0039】

この後、原料ガスにTMInをさらに加えるとともに、ドーパントガスを用いないで、n型光ガイド層5b上に、約20nmの厚みを有するアンドープIn_{0.05}Ga_{0.95}Nからなる4層の障壁層5cと、約3nmの厚みを有するアンドープIn_{0.15}Ga_{0.85}Nからなる3層の井戸層5dとを交互に成長させることによりMQW活性層5eを形成する。

【0040】

そして、原料ガスをNH₃およびTMGaに変えるとともに、Cp₂Mgからなるドーパントガスを用いて、MQW活性層5e上に、約100nmの厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーパされたp型GaNからなるp型光ガイド層5fを成長させる。この後、原料ガスにTMAIをさらに加えて、p型光ガイド層5f上に、約20nmの厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーパされたp型Al_{0.1}Ga_{0.9}Nからなるp型キャップ層5gを成長させる。これにより、n型キャリアブロック層5a、n型光ガイド層5b、MQW活性層5e、p型光ガイド層5fおよびp型キャップ層5gからなる発光層5が形成される。

【0041】

次に、図11に示すように、基板温度を約1100の成長温度に保持した状態で、H₂およびN₂からなるキャリアガスと、NH₃、TMGaおよびTMAIからなる原料ガスと、Cp₂Mgからなるドーパントガスとを用いて、発光層5上に、約400nmの厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーパされたp型Al_{0.05}Ga_{0.95}Nからなるp型クラッド層6を成長させる。この後、原料ガスをNH₃およびTMGaに変えて、p型クラッド層6上に、約10nmの厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーパされたp型GaNからなるp型コンタクト層7を成長させる。これにより、n型層3、n型クラッド層4、発光層5、p型クラッド層6およびp型コンタクト層7からなる半導体素子層9が形成される。なお、半導体素子層9は、本発明の「第1半導体素子層」、「第2半導体素子層」および「第3半導体素子層」の一例である。ここで、各半導体素子層9の位置関係は、仮に半導体素子層9xを「第1半導体素子層」とすれば、半導体素子層9yが「第2半導体素子層」であり、半導体素子層9zが「第3半導体素子層」である。

【0042】

この際、第1実施形態では、図10に示すように、半導体素子層9は、選択成長マスク2上には形成されない。すなわち、半導体素子層9xと9yとがA方向に連続しないように形成される。同時に、半導体素子層9xのA方向の端部9aが劈開線25aを跨いでA方向に隣接する素子形成領域25yに達するように形成されるとともに、半導体素子層9xのA方向への延長線上に位置する素子形成領域25yに半導体素子層の形成されない部分ができる。また、共振器方向と直交する方向(B方向)に隣接する素子形成領域25xと25zとに形成される半導体素子層9xと9zとがB方向に連続しないように形成されるとともに、半導体素子層9xと9zとの間に半導体素子層の形成されない部分ができる。

【0043】

この後、窒素ガス雰囲気中で、約800の温度条件下でアニール処理する。

【0044】

次に、図12に示すように、真空蒸着法を用いて、p型コンタクト層7上に、下層から上層に向かって、約5nmの厚みを有するPt層と、約100nmの厚みを有するPd層と、約150nmの厚みを有するAu層とからなるp側オーミック電極10を形成した後、p側オーミック電極10上の所定領域に、約250nmの厚みを有するとともに、約1.5μmの幅を有するストライプ状(細長状)のNi層26を形成する。

10

20

30

40

50

【0045】

次に、図13に示すように、ドライエッチング技術を用いて、Ni層26をマスクとして、p側オーミック電極10をエッチングした後、p型コンタクト層7およびp型クラッド層6の上面から約300nmの厚み分をエッチングする。これにより、p型コンタクト層7とp型クラッド層6の凸部とから構成されるとともに、共振器方向に延びるストライプ状（細長状）のリッジ部8が形成される。なお、リッジ部8は、本発明の「第1能動素子領域」、「第2能動素子領域」および「第3能動素子領域」の一例である。ここで、リッジ部8は、仮にリッジ部8xを「第1能動素子領域」とすれば、リッジ部8yが「第2能動素子領域」であり、リッジ部8zが「第3能動素子領域」である。この後、Ni層26を除去することによって、図14および図15に示す状態にする。

10

【0046】

ここで、第1実施形態では、図14および図15に示すように、A方向に隣接する素子形成領域25の各半導体素子層9のリッジ部8は、A方向に連続しないように形成される。また、各半導体素子層9のリッジ部8の端部8aは、劈開線25aを跨いでA方向に隣接する素子形成領域25に達するように形成される。

【0047】

次に、図16に示すように、プラズマCVD法を用いて、全面を覆うように、約250nmの厚みを有するSiN膜（図示せず）を形成した後、p側オーミック電極10の上面上に位置するSiN膜を除去することによって、SiN膜からなる絶縁膜11を形成する。

20

【0048】

次に、図17および図18に示すように、真空蒸着法を用いて、絶縁膜11上の所定領域に、p側オーミック電極10の上面に接触するように、下層から上層に向かって、約100nmの厚みを有するTi層と、約100nmの厚みを有するPd層と、約3μmの厚みを有するAu層とからなるp側パッド電極12を形成する。この際、図17に示すように、平面的に見て矩形状に突出した端部12aを有するように、p側パッド電極12を形成する。この後、図18に示すように、n型GaN基板1の厚みが約100μmになるように、n型GaN基板1の裏面を研磨した後、真空蒸着法を用いて、n型GaN基板1の裏面上に、n型GaN基板1の裏面の転位の集中している領域1a以外の領域に接触するように、n側電極13を形成する。なお、n側電極13を形成する際には、n型GaN基板1に近い方から順に、約10nmの厚みを有するAl層と、約20nmの厚みを有するPt層と、約300nmの厚みを有するAu層とを形成する。

30

【0049】

次に、図17に示した劈開線25aに沿って、共振器方向（A方向）に隣接する素子形成領域25を分割する。これにより、図19に示すように、分割された隣接する素子形成領域25のそれぞれの劈開面に、共振器端面9bが形成される。この後、素子分離線25bに沿って素子を分離することによって、図1および図2に示した第1実施形態による窒化物系半導体レーザ素子が形成される。ここで、半導体レーザ素子には、A方向に隣接している素子形成領域25から劈開線25a（図10参照）を跨いで形成された半導体素子層9の端部9aが、リッジ部8に対してB方向にずれるように形成されている。

40

【0050】

第1実施形態の製造プロセスでは、上記のように、素子分割前の共振器方向（A方向）に隣接する素子形成領域25に、各々のリッジ部8がA方向に連続しないように半導体素子層9を形成することによって、A方向に隣接する素子形成領域25にA方向に連続するリッジ部8を含む半導体素子層9を形成する場合に比べて、素子分割前におけるリッジ部8を含む半導体素子層9のA方向の長さを小さくすることができる。これにより、A方向に隣接する素子形成領域25にそれぞれ形成される半導体素子層9のリッジ部8の歪みが緩和されるので、リッジ部8にクラックが発生するのを抑制することができる。この場合、共振器方向（A方向）に隣接する素子形成領域25に形成される各半導体素子層9の端部9aを、共に劈開線25aを跨いでA方向に隣接する素子形成領域25に達するように

50

配置することによって、劈開線 25 a に沿って A 方向に隣接する素子形成領域 25 を劈開すれば、1 回の劈開で、A 方向に隣接する素子形成領域 25 のそれぞれの半導体素子層 9 に一方の共振器端面を形成することができる。これにより、A 方向に隣接する素子形成領域 25 に形成される半導体素子層 9 が A 方向に連続していなかったとしても、製造工程が増加することがない。また、A 方向に隣接する素子形成領域 25 を劈開線 25 a に沿って互いに接するように構成することにより、素子形成領域 25 間に無駄な領域が存在しないので、n 型 GaN 基板 1 を効率的に利用することができる。

【0051】

また、第 1 実施形態の製造プロセスでは、素子分割前の共振器方向と直交する方向（B 方向）に隣接する素子形成領域 25 に、B 方向に連続しないように半導体素子層 9 を形成することによって、B 方向に隣接する素子形成領域 25 に B 方向に連続するように半導体素子層 9 を形成する場合に比べて、素子分割前における半導体素子層 9 の B 方向の長さを小さくすることができる。これにより、B 方向に隣接する素子形成領域 25 にそれぞれ形成される半導体素子層 9 の歪みが緩和されるので、これによっても、半導体素子層 9 のリッジ部 8 にクラックが発生するのを抑制することができる。

【0052】

また、第 1 実施形態の製造プロセスでは、n 型 GaN 基板 1 上に、半導体素子層 9 を成長させる領域に開口部 2 a を有する選択成長マスク 2 を形成するとともに、共振器方向（A 方向）に隣接する開口部 2 a を、一つ置きに共振器方向と直交する方向（B 方向）にずらすことにより互い違いに配置することによって、選択成長マスク 2 上には半導体素子層 9 が形成されないで、容易に、A 方向に隣接する素子形成領域 25 に形成される半導体素子層 9 のリッジ部 8 が A 方向に連続しないように、半導体素子層 9 を形成することができる。

【0053】

（第 2 実施形態）

図 20 は、本発明の第 2 実施形態による窒化物系半導体レーザ素子の構造を示した平面図であり、図 21 は、図 20 の 600 - 600 線に沿った断面図である。次に、図 20 および図 21 を参照して、第 2 実施形態による窒化物系半導体レーザ素子の構造について説明する。

【0054】

第 2 実施形態による窒化物系半導体レーザ素子では、図 21 に示すように、上記第 1 実施形態と同様の n 型 GaN 基板 1 上に、開口部 32 a および 32 b を有するとともに、約 200 nm の厚みを有する SiN 膜からなる選択成長マスク 32 が形成されている。この選択成長マスク 32 によって、n 型 GaN 基板 1 の転位の集中している領域 1 a が覆われている。

【0055】

また、n 型 GaN 基板 1 上の開口部 32 a および 32 b に対応する領域には、n 型層 33、n 型クラッド層 34 および発光層 35 が順次形成されている。発光層 35 上には、平坦部とその平坦部から上方に突出するように形成された凸部とを有する p 型クラッド層 36 が形成されているとともに、p 型クラッド層 36 の凸部上には、p 型コンタクト層 37 が形成されている。この p 型コンタクト層 37 と p 型クラッド層 36 の凸部とによって、共振器方向（図 20 の A 方向）に延びるストライプ状（細長状）のリッジ部 38 が構成されている。なお、n 型層 33、n 型クラッド層 34、発光層 35、p 型クラッド層 36 および p 型コンタクト層 37 は、それぞれ、上記第 1 実施形態の n 型層 3、n 型クラッド層 4、発光層 5、p 型クラッド層 6 および p 型コンタクト層 7 と同様の組成および厚みを有する。

【0056】

ここで、第 2 実施形態では、n 型層 33、n 型クラッド層 34、発光層 35、p 型クラッド層 36 および p 型コンタクト層 37 によって、半導体素子層 39 が構成されている。

【0057】

10

20

30

40

50

リッジ部 38 を構成する p 型コンタクト層 37 上には、上記第 1 実施形態の p 側オーミック電極 10 と同様の組成および厚みを有する p 側オーミック電極 40 が形成されている。また、p 側オーミック電極 40 の上面以外の領域を覆うように、上記第 1 実施形態の絶縁膜 11 と同様の組成および厚みを有する絶縁膜 41 が形成されている。絶縁膜 41 上の所定領域には、p 側オーミック電極 40 の上面に接触するように、上記第 1 実施形態の p 側パッド電極 12 と同様の組成および厚みを有する p 側パッド電極 42 が形成されている。この p 側パッド電極 42 は、図 20 に示すように、平面的に見て、矩形状に突出した端部 42a を有する。

【0058】

また、図 21 に示すように、n 型 GaN 基板 1 の裏面上には、n 型 GaN 基板 1 の裏面の転位の集中している領域 1a 以外の領域に接触するように、上記第 1 実施形態の n 側電極 13 と同様の組成および厚みを有する n 側電極 43 が形成されている。

【0059】

図 22 ~ 図 31 は、図 20 および図 21 に示した第 2 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図および断面図である。図 20 ~ 図 31 を参照して、この第 2 実施形態の製造プロセスでは、上記第 1 実施形態と異なり、n 型 GaN 基板上に形成する選択成長マスクにおいて、半導体素子層を成長させる領域に形成された開口部を囲むように、さらに別の開口部を形成する場合について説明する。

【0060】

この第 2 実施形態の製造プロセスでは、まず、図 22 および図 23 に示すように、プラズマ CVD 法を用いて、n 型 GaN 基板 1 上に、開口部 32a および 32b を有するとともに、約 200 nm の厚みを有する SiN 膜からなる選択成長マスク 32 を形成する。この際、開口部 32a を、素子形成領域（劈開線 55a と素子分離線 55b とに囲まれた領域）55 の半導体素子層 39（図 21 参照）を成長させる領域に配置する。なお、素子形成領域 55 は、本発明の「第 1 素子形成領域」、「第 2 素子形成領域」および「第 3 素子形成領域」の一例である。

【0061】

ここで、第 2 実施形態では、共振器方向（A 方向）に隣接する素子形成領域 55 の各開口部 32a が A 方向に連続しないように、選択成長マスク 32 を形成する。具体的には、A 方向に隣接する開口部 32a を、一つ置きに共振器方向と直交する方向（B 方向）にずらすことにより互い違いに配置する。また、開口部 32a の A 方向の端部 32c が劈開線 55a を跨いで A 方向に隣接する素子形成領域 55 に達するように、選択成長マスク 32 を形成する。また、第 2 実施形態では、B 方向に隣接する素子形成領域 55 の各開口部 32a が B 方向に連続しないように、選択成長マスク 32 を形成する。また、開口部 32a の B 方向の幅 W2（図 22 参照）は、約 10 μm に設定する。また、開口部 32b を、開口部 32a から約 2 μm の間隔 W3（図 22 参照）を隔てて開口部 32a を囲むように配置する。また、開口部 32b の A 方向および B 方向の幅 W4（図 22 参照）は、約 5 μm に設定する。なお、隣接する劈開線 55a 間の距離（共振器の長さ）は、約 700 μm であり、隣接する素子分離線 55b 間の距離（素子の幅）は、約 400 μm である。なお、劈開線 55a および素子分離線 55b は、それぞれ、本発明の「第 1 分割線」および「第 2 分割線」の一例である。

【0062】

次に、図 24 および図 25 に示すように、MOCVD 法を用いて、n 型 GaN 基板 1 上の開口部 32a および 32b に対応する領域に、上記第 1 実施形態の n 型層 3、n 型クラッド層 4、発光層 5、p 型クラッド層 6 および p 型コンタクト層 7 と同様の組成および厚みをそれぞれ有する n 型層 33、n 型クラッド層 34、発光層 35、p 型クラッド層 36 および p 型コンタクト層 37 を順次成長させる。これにより、n 型層 33、n 型クラッド層 34、発光層 35、p 型クラッド層 36 および p 型コンタクト層 37 からなる半導体素子層 39 が形成される。なお、半導体素子層 39 は、本発明の「第 1 半導体素子層」、「第 2 半導体素子層」および「第 3 半導体素子層」の一例である。

10

20

30

40

50

【 0 0 6 3 】

この際、第 2 実施形態では、図 2 4 に示すように、半導体素子層 3 9 は、選択成長マスク 3 2 上には形成されない。すなわち、共振器方向（A 方向）に隣接する素子形成領域 5 5 に形成される各半導体素子層 3 9 が A 方向に連続しないように形成されるとともに、共振器方向と直交する方向（B 方向）に隣接する素子形成領域 5 5 に形成される各半導体素子層 3 9 が B 方向に連続しないように形成される。また、半導体素子層 3 9 の A 方向の端部 3 9 a が劈開線 5 5 a を跨いで A 方向に隣接する素子形成領域 5 5 に達するように形成される。

【 0 0 6 4 】

この後、窒素ガス雰囲気中で、約 8 0 0 の温度条件下でアニール処理する。

10

【 0 0 6 5 】

次に、図 2 6 および図 2 7 に示すように、図 1 2 ~ 図 1 5 に示した第 1 実施形態と同様のプロセスを用いて、p 側オーミック電極 4 0 を形成した後、共振器方向（A 方向）に延びるストライプ状（細長状）のリッジ部 3 8 を形成する。なお、リッジ部 3 8 は、本発明の「第 1 能動素子領域」、「第 2 能動素子領域」および「第 3 能動素子領域」の一例である。

【 0 0 6 6 】

ここで、第 2 実施形態では、A 方向に隣接する素子形成領域 5 5 の各半導体素子層 3 9 のリッジ部 3 8 は、A 方向に連続しないように形成される。また、各半導体素子層 3 9 のリッジ部 3 8 の端部 3 8 a は、劈開線 5 5 a を跨いで A 方向に隣接する素子形成領域 5 5 に達するように形成される。

20

【 0 0 6 7 】

次に、図 2 8 に示すように、図 1 6 に示した第 1 実施形態と同様のプロセスを用いて、p 側オーミック電極 4 0 の上面以外の領域を覆うように、上記第 1 実施形態の絶縁膜 1 1 と同様の組成および厚みを有する絶縁膜 4 1 を形成する。

【 0 0 6 8 】

次に、図 2 9 および図 3 0 に示すように、真空蒸着法を用いて、絶縁膜 4 1 上の所定領域に、p 側オーミック電極 4 0 の上面に接触するように、上記第 1 実施形態の p 側パッド電極 1 2 と同様の組成および厚みを有する p 側パッド電極 4 2 を形成する。この際、図 2 9 に示すように、平面的に見て矩形状に突出した端部 4 2 a を有するように、p 側パッド電極 4 2 を形成する。この後、図 3 0 に示すように、真空蒸着法を用いて、n 型 GaN 基板 1 の裏面上に、n 型 GaN 基板 1 の裏面の転位の集中している領域 1 a 以外の領域に接触するように、上記第 1 実施形態の n 側電極 1 3 と同様の組成および厚みを有する n 側電極 4 3 を形成する。

30

【 0 0 6 9 】

次に、図 2 9 に示した劈開線 5 5 a に沿って、共振器方向（A 方向）に隣接する素子形成領域 5 5 を分割する。これにより、図 3 1 に示すように、分割された隣接する素子形成領域 5 5 のそれぞれの劈開面に、共振器端面 3 9 b が形成される。この後、素子分離線 5 5 b に沿って素子を分離することによって、図 2 0 および図 2 1 に示した第 2 実施形態による窒化物系半導体レーザ素子が形成される。

40

【 0 0 7 0 】

第 2 実施形態の製造プロセスでは、上記のように、素子分割前の共振器方向（A 方向）に隣接する素子形成領域 5 5 に、各々のリッジ部 3 8 が A 方向に連続しないように半導体素子層 3 9 を形成することによって、上記第 1 実施形態と同様、素子分割前におけるリッジ部 3 8 を含む半導体素子層 3 9 の A 方向の長さが小さくなることにより半導体素子層 3 9 のリッジ部 3 8 の歪みが緩和されるので、リッジ部 3 8 にクラックが発生するのを抑制することができる。また、共振器方向（A 方向）に隣接する素子形成領域 5 5 に形成される各半導体素子層 3 9 の端部 3 9 a を、共に劈開線 5 5 a を跨いで A 方向に隣接する素子形成領域 5 5 に達するように配置することによって、上記第 1 実施形態と同様、1 回の劈開で、A 方向に隣接する素子形成領域 5 5 のそれぞれの半導体素子層 3 9 に一方の共振器

50

端面を形成することができるので、製造工程が増加することがない。

【0071】

また、第2実施形態の製造プロセスでは、選択成長マスク32を形成する際に、リッジ部38を含む半導体素子層39を成長させる領域に配置する開口部32aを囲むように、さらに別の開口部32bを設けることによって、半導体素子層39に隣接する選択成長マスク32の表面積が小さくなるので、半導体素子層39を成長させる際に、半導体素子層39に隣接する選択成長マスク32の表面全体に達する原料ガスの総量が少なくなる。これにより、半導体素子層39に隣接する選択成長マスク32の表面から成長中の半導体素子層39の表面へ表面拡散する原料ガスやその分解物の量が少なくなる。これにより、選択成長マスク32の近傍に位置する成長中の半導体素子層39の表面に供給される原料ガスやその分解物の量の増加を低減できるので、選択成長マスク32の近傍に位置する半導体素子層39の厚みが大きくなるのを抑制することができる。その結果、半導体素子層39の厚みが、選択成長マスク32の近傍の位置と選択成長マスク32から遠い位置とで不均一になるのを抑制することができる。

10

【0072】

なお、第2実施形態のその他の効果は、上記第1実施形態と同様である。

【0073】

(第3実施形態)

図32は、本発明の第3実施形態による窒化物系半導体レーザ素子の構造を示した平面図であり、図33は、図32の1100-1100線に沿った断面図である。次に、図32および図33を参照して、第3実施形態による窒化物系半導体レーザ素子の構造について説明する。

20

【0074】

第3実施形態による窒化物系半導体レーザ素子では、図33に示すように、上記第1実施形態と同様のn型Ga_{0.5}N基板1上に、開口部62aを有するとともに、約200nmの厚みを有するSi₃N₄膜からなる選択成長マスク62が形成されている。

【0075】

また、n型Ga_{0.5}N基板1上の開口部62aに対応する領域には、n型層63、n型クラッド層64および発光層65が順次形成されている。発光層65上には、平坦部とその平坦部から上方に突出するように形成された凸部とを有するp型クラッド層66が形成されているとともに、p型クラッド層66の凸部上には、p型コンタクト層67が形成されている。このp型コンタクト層67とp型クラッド層66の凸部とによって、共振器方向(図32のA方向)に延びるストライプ状(細長状)のリッジ部68が構成されている。なお、n型層63、n型クラッド層64、発光層65、p型クラッド層66およびp型コンタクト層67は、それぞれ、上記第1実施形態のn型層3、n型クラッド層4、発光層5、p型クラッド層6およびp型コンタクト層7と同様の組成および厚みを有する。

30

【0076】

ここで、第3実施形態では、n型層63、n型クラッド層64、発光層65、p型クラッド層66およびp型コンタクト層67によって、半導体素子層69が構成されている。

【0077】

リッジ部68を構成するp型コンタクト層67上には、上記第1実施形態のp側オーミック電極10と同様の組成および厚みを有するp側オーミック電極70が形成されている。また、p側オーミック電極70の上面以外の領域を覆うように、上記第1実施形態の絶縁膜11と同様の組成および厚みを有する絶縁膜71が形成されている。絶縁膜71上の所定領域には、p側オーミック電極70の上面に接触するように、上記第1実施形態のp側パッド電極12と同様の組成および厚みを有するp側パッド電極72が形成されている。このp側パッド電極72は、図32に示すように、平面的に見て、矩形状に突出した端部72aを有する。

40

【0078】

また、図33に示すように、n型Ga_{0.5}N基板1の裏面上には、上記第1実施形態のn側

50

電極 1 3 と同様の組成および厚みを有する n 側電極 7 3 が形成されている。

【 0 0 7 9 】

図 3 4 ~ 図 4 3 は、図 3 2 および図 3 3 に示した第 3 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図および断面図である。図 3 2 ~ 図 4 3 を参照して、この第 3 実施形態による製造プロセスでは、上記第 1 および第 2 実施形態と異なり、n 型 GaN 基板上に形成する選択成長マスクにおいて、共振器方向 (A 方向) に隣接する素子形成領域に形成された各開口部が、共振器方向と直交する方向 (B 方向) にずらされた状態で、かつ、連続するように配置される場合について説明する。

【 0 0 8 0 】

この第 3 実施形態の製造プロセスでは、まず、図 3 4 および図 3 5 に示すように、プラズマ CVD 法を用いて、n 型 GaN 基板 1 上に、開口部 6 2 a を有するとともに、約 200 nm の厚みを有する SiN 膜からなる選択成長マスク 6 2 を形成する。この際、開口部 6 2 a を、素子形成領域 (劈開線 8 5 a と素子分離線 8 5 b とに囲まれた領域) 8 5 の半導体素子層 6 9 (図 3 3 参照) を成長させる領域に配置する。また、開口部 6 2 a が、リッジ部形成領域 6 2 b とリッジ部不形成領域 6 2 c とを含むように、選択成長マスク 6 2 を形成する。なお、素子形成領域 8 5 は、本発明の「第 1 素子形成領域」、「第 2 素子形成領域」および「第 3 素子形成領域」の一例である。

【 0 0 8 1 】

ここで、第 3 実施形態では、共振器方向 (A 方向) に隣接する素子形成領域 8 5 の開口部 6 2 a の各リッジ部形成領域 6 2 b が A 方向に連続しないように、選択成長マスク 6 2 を形成する。具体的には、A 方向に隣接する開口部 6 2 a のリッジ部形成領域 6 2 b を、共振器方向と直交する方向 (B 方向) にずらすように配置する。また、開口部 6 2 a のリッジ部形成領域 6 2 b の A 方向の端部 6 2 d が劈開線 8 5 a を跨いで A 方向に隣接する素子形成領域 8 5 に達するように、選択成長マスク 6 2 を形成する。また、A 方向に隣接する素子形成領域 8 5 にそれぞれ配置された開口部 6 2 a のリッジ部形成領域 6 2 b が、劈開線 8 5 a 上において A 方向の小さい開口幅を有するリッジ部不形成領域 6 2 c により接続されるように、選択成長マスク 6 2 を形成する。なお、この開口部 6 2 a のリッジ部不形成領域 6 2 c の B 方向の幅 W 5 (図 3 4 参照) は、約 5 μm に設定する。また、第 3 実施形態では、B 方向に隣接する素子形成領域 8 5 の開口部 6 2 a の各リッジ部形成領域 6 2 b が B 方向に連続しないように、選択成長マスク 6 2 を形成する。また、開口部 6 2 a のリッジ部形成領域 6 2 b の B 方向の幅 W 6 (図 3 4 参照) は、約 100 μm に設定する。なお、隣接する劈開線 8 5 a 間の距離 (共振器の長さ) は、約 600 μm であり、隣接する素子分離線 8 5 b 間の距離 (素子の幅) は、約 400 μm である。なお、劈開線 8 5 a および素子分離線 8 5 b は、それぞれ、本発明の「第 1 分割線」および「第 2 分割線」の一例である。

【 0 0 8 2 】

次に、図 3 6 および図 3 7 に示すように、MOCVD 法を用いて、n 型 GaN 基板 1 上の開口部 6 2 a に対応する領域に、上記第 1 実施形態の n 型層 3、n 型クラッド層 4、発光層 5、p 型クラッド層 6 および p 型コンタクト層 7 と同様の組成および厚みをそれぞれ有する n 型層 6 3、n 型クラッド層 6 4、発光層 6 5、p 型クラッド層 6 6 および p 型コンタクト層 6 7 を順次成長させる。これにより、n 型層 6 3、n 型クラッド層 6 4、発光層 6 5、p 型クラッド層 6 6 および p 型コンタクト層 6 7 からなる半導体素子層 6 9 が形成される。なお、半導体素子層 6 9 は、本発明の「第 1 半導体素子層」、「第 2 半導体素子層」および「第 3 半導体素子層」の一例である。

【 0 0 8 3 】

この際、第 3 実施形態では、図 3 6 に示すように、半導体素子層 6 9 は、選択成長マスク 6 2 上には形成されない。すなわち、この第 3 実施形態では、選択成長マスク 6 2 の開口部 6 2 a のリッジ部形成領域 6 2 b およびリッジ部不形成領域 6 2 c に、半導体素子層 6 9 が形成される。この場合、リッジ部不形成領域 6 2 c に形成された半導体素子層 6 9 により、共振器方向 (A 方向) に隣接する素子形成領域 8 5 に形成された各半導体素子層

6 9 が接続されている。ただし、この第 3 実施形態では、半導体素子層 6 9 は、共振器方向（A 方向）に隣接する素子形成領域 8 5 の各リッジ部 6 8（図 3 3 参照）となる領域が A 方向に連続しないように形成される。また、共振器方向と直交する方向（B 方向）に隣接する素子形成領域 8 5 に形成される半導体素子層 6 9 が B 方向に連続しないように形成される。また、半導体素子層 6 9 のリッジ部 6 8 となる領域の A 方向の端部 6 9 a が、劈開線 8 5 a を跨いで A 方向に隣接する素子形成領域 8 5 に達するように形成される。

【0084】

この後、窒素ガス雰囲気中で、約 800 の温度条件下でアニール処理する。

【0085】

次に、図 3 8 および図 3 9 に示すように、図 1 2 ~ 図 1 5 に示した第 1 実施形態と同様のプロセスを用いて、p 側オーミック電極 7 0 を形成した後、共振器方向（A 方向）に延びるストライプ状（細長状）のリッジ部 6 8 を形成する。なお、リッジ部 6 8 は、本発明の「第 1 能動素子領域」、「第 2 能動素子領域」および「第 3 能動素子領域」の一例である。

10

【0086】

ここで、第 3 実施形態では、A 方向に隣接する素子形成領域 8 5 の各半導体素子層 6 9 のリッジ部 6 8 は、A 方向に連続しないように形成される。すなわち、この第 3 実施形態では、リッジ部不形成領域 6 2 c にはリッジ部 6 8 は形成されないの、A 方向に隣接する素子形成領域 8 5 の各半導体素子層 6 9 のリッジ部 6 8 同士が連続することはない。また、各半導体素子層 6 9 のリッジ部 6 8 の端部 6 8 a は、劈開線 8 5 a を跨いで A 方向に隣接する素子形成領域 8 5 に達するように形成される。

20

【0087】

次に、図 4 0 に示すように、図 1 6 に示した第 1 実施形態と同様のプロセスを用いて、p 側オーミック電極 7 0 の上面以外の領域を覆うように、上記第 1 実施形態の絶縁膜 1 1 と同様の組成および厚みを有する絶縁膜 7 1 を形成する。

【0088】

次に、図 4 1 および図 4 2 に示すように、真空蒸着法を用いて、絶縁膜 7 1 上の所定領域に、p 側オーミック電極 7 0 の上面に接触するように、上記第 1 実施形態の p 側パッド電極 1 2 と同様の組成および厚みを有する p 側パッド電極 7 2 を形成する。この際、図 4 1 に示すように、平面的に見て矩形状に突出した端部 7 2 a を有するように、p 側パッド電極 7 2 を形成する。この後、図 4 2 に示すように、真空蒸着法を用いて、n 型 GaN 基板 1 の裏面上に、上記第 1 実施形態の n 側電極 1 3 と同様の組成および厚みを有する n 側電極 7 3 を形成する。

30

【0089】

次に、図 4 1 に示した劈開線 8 5 a に沿って、共振器方向（A 方向）に隣接する素子形成領域 8 5 を分割する。これにより、図 4 3 に示すように、分割された隣接する素子形成領域 8 5 のそれぞれの劈開面に、共振器端面 6 9 b が形成される。この後、素子分離線 8 5 b に沿って素子を分離することによって、図 3 2 および図 3 3 に示した第 3 実施形態による窒化物系半導体レーザ素子が形成される。

【0090】

40

第 3 実施形態の製造プロセスでは、上記のように、リッジ部形成領域 6 2 b とリッジ部不形成領域 6 2 c とを含む開口部 6 2 a を有する選択成長マスク 6 2 を素子形成領域 8 5 に形成するとともに、共振器方向（A 方向）に隣接する素子形成領域 8 5 の開口部 6 2 a の各リッジ部形成領域 6 2 b が A 方向に連続しないように、選択成長マスク 6 2 の開口部 6 2 a を形成することによって、A 方向に隣接する素子形成領域 8 5 の各リッジ部形成領域 6 2 b に、各々のリッジ部 6 8 が A 方向に連続しないように半導体素子層 6 9 を形成することができる。これにより、上記第 1 実施形態と同様、素子分割前における半導体素子層 6 9 のリッジ部 6 8 の A 方向の長さが小さくなることにより半導体素子層 6 9 のリッジ部 6 8 の歪みが緩和されるので、リッジ部 6 8 にクラックが発生するのを抑制することができる。また、開口部 6 2 a のリッジ部形成領域 6 2 b の A 方向の端部 6 2 d を、劈開線

50

85aを跨いでA方向に隣接する素子形成領域85に達するように配置することによって、A方向に隣接する素子形成領域85に形成される各半導体素子層69の端部69aが、共に劈開線85aを跨いでA方向に隣接する素子形成領域85に達するように配置される。これにより、上記第1実施形態と同様、1回の劈開で、A方向に隣接する素子形成領域85のそれぞれの半導体素子層69に一方の共振器端面を形成することができるので、製造工程が増加することがない。

【0091】

なお、第3実施形態のその他の効果は、上記第1実施形態と同様である。

【0092】

(第4実施形態)

図44は、本発明の第4実施形態による窒化物系半導体レーザ素子の構造を示した平面図であり、図45は、図44の1600-1600線に沿った断面図である。次に、図44および図45を参照して、第4実施形態による窒化物系半導体レーザ素子の構造について説明する。

【0093】

第4実施形態による窒化物系半導体レーザ素子では、図45に示すように、所定の角度傾斜した段差部91bを有するn型GaN基板91上に、n型層93、n型クラッド層94および発光層95が順次形成されている。発光層95上には、平坦部とその平坦部から上方に突出するように形成された凸部とを有するp型クラッド層96が形成されているとともに、p型クラッド層96の凸部上には、p型コンタクト層97が形成されている。このp型コンタクト層97とp型クラッド層96の凸部とによって、共振器方向(図44参照)に延びるストライプ状(細長状)のリッジ部98が構成されている。なお、n型層93、n型クラッド層94、発光層95、p型クラッド層96およびp型コンタクト層97は、それぞれ、上記第1実施形態のn型層3、n型クラッド層4、発光層5、p型クラッド層6およびp型コンタクト層7と同様の組成および厚みを有する。なお、n型GaN基板91の段差部91bの側面上に位置する半導体素子層99は、段差部91bの上部91cおよび下部91d上に位置する半導体素子層99の厚みよりも小さい厚みを有する。また、n型GaN基板91の段差部91bの下部91dと、段差部91bの下部91d上に位置する半導体素子層99とは、転位の集中している領域91aが形成されている。

【0094】

ここで、第4実施形態では、n型層93、n型クラッド層94、発光層95、p型クラッド層96およびp型コンタクト層97によって、半導体素子層99が構成されている。

【0095】

リッジ部98を構成するp型コンタクト層97上には、上記第1実施形態のp側オーミック電極10と同様の組成および厚みを有するp側オーミック電極100が形成されている。また、p側オーミック電極100の上面以外の領域を覆うように、上記第1実施形態の絶縁膜11と同様の組成および厚みを有する絶縁膜101が形成されている。絶縁膜101上には、p側オーミック電極100の上面に接触するように、上記第1実施形態のp側パッド電極12と同様の組成および厚みを有するp側パッド電極102が形成されている。このp側パッド電極102は、図44に示すように、平面的に見て、矩形状に突出した端部102aを有する。

【0096】

また、図45に示すように、n型GaN基板91の裏面上には、n型GaN基板91の裏面の転位の集中している領域91a以外の領域に接触するように、上記第1実施形態のn側電極13と同様の組成および厚みを有するn側電極103が形成されている。

【0097】

図46~図55は、図44および図45に示した第4実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図および断面図である。図44~図55を参照して、この第4実施形態による製造プロセスでは、上記第1~第3実施形態と異なり、n型GaN基板に段差部を設けるとともに、その段差部の上部上に、リッジ部を含む半

10

20

30

40

50

導体素子層を形成する場合について説明する。

【0098】

この第4実施形態の製造プロセスでは、まず、図46および図47に示すように、エッチング技術を用いて、n型GaN基板91の所定領域を約2 μ mの深さまでエッチングする。これにより、n型GaN基板91に、所定の角度傾斜した段差部91bを形成する。なお、図46では、太い斜線部分がエッチングされた領域である。この際、段差部91bの上部91cを、各素子形成領域（劈開線115aと素子分離線115bとに囲まれた領域）115の半導体素子層99（図45参照）を成長させる領域に配置する。なお、n型GaN基板91は、本発明の「基板」の一例であり、素子形成領域115は、本発明の「第1素子形成領域」、「第2素子形成領域」および「第3素子形成領域」の一例である。

10

【0099】

ここで、第4実施形態では、共振器方向（A方向）に隣接する素子形成領域115の段差部91bの上部91cを、一つ置きに共振器方向と直交する方向（B方向）にずらすことにより互い違いに配置する。また、段差部91bの上部91cのA方向の端部91eが劈開線115aを跨いでA方向に隣接する素子形成領域115に達するように、n型GaN基板91をエッチングする。また、A方向に隣接する素子形成領域115にそれぞれ配置された段差部91bの上部91cが、劈開線115a上において接続されるように、n型GaN基板91をエッチングする。なお、この段差部91bの上部91cが接続されている領域のB方向の幅W7（図46参照）は、約6 μ mに設定する。また、第4実施形態では、B方向に隣接する素子形成領域115の段差部91bの各上部91cがB方向に連続しないように、n型GaN基板91をエッチングする。また、段差部91bの上部91cのB方向の幅W8（図46参照）は、約27 μ mに設定する。なお、隣接する劈開線115a間の距離（共振器の長さ）は、約800 μ mであり、隣接する素子分離線115b間の距離（素子の幅）は、約400 μ mである。なお、劈開線115aおよび素子分離線115bは、それぞれ、本発明の「第1分割線」および「第2分割線」の一例である。

20

【0100】

次に、図48および図49に示すように、MOCVD法を用いて、段差部91bを有するn型GaN基板91上に、上記第1実施形態のn型層3、n型クラッド層4、発光層5、p型クラッド層6およびp型コンタクト層7と同様の組成および厚みをそれぞれ有するn型層93、n型クラッド層94、発光層95、p型クラッド層96およびp型コンタクト層97を順次成長させる。これにより、n型層93、n型クラッド層94、発光層95、p型クラッド層96およびp型コンタクト層97からなる半導体素子層99が形成される。なお、半導体素子層99は、本発明の「第1半導体素子層」、「第2半導体素子層」および「第3半導体素子層」の一例である。

30

【0101】

この際、第4実施形態では、図49に示すように、n型GaN基板91の段差部91bに位置する半導体素子層99は、段差部91bの上部91cおよび下部91dの上面上に位置する半導体素子層99の厚みよりも小さい厚みを有するように形成される。そして、この第4実施形態では、段差部91bの上部91cおよび下部91dに位置する半導体素子層99が、段差部91bに位置する半導体素子層99により接続されている。また、図48に示すように、段差部91bの上部91cに位置する半導体素子層99のリッジ部98となる領域のA方向の端部99aが、劈開線115aを跨いでA方向に隣接する素子形成領域115に達するように形成される。

40

【0102】

この後、窒素ガス雰囲気中で、約800の温度条件下でアニール処理する。

【0103】

次に、図50および図51に示すように、図12～図15に示した第1実施形態と同様のプロセスを用いて、p側オーミック電極100を形成した後、共振器方向（A方向）に延びるストライプ状（細長状）のリッジ部98を形成する。なお、リッジ部98は、本発明の「第1能動素子領域」、「第2能動素子領域」および「第3能動素子領域」の一例で

50

ある。

【0104】

この際、第4実施形態では、図50に示すように、段差部91bの上部91cに位置する半導体素子層99にのみリッジ部98を形成するとともに、そのリッジ部98がA方向に隣接する段差部91bの上部91cの各半導体素子層99が互いに接続している領域に配置されないようにする。これにより、A方向に隣接する素子形成領域115の各半導体素子層99のリッジ部98は、A方向に連続しないように形成される。また、各半導体素子層99のリッジ部98の端部98aは、劈開線115aを跨いでA方向に隣接する素子形成領域115に達するように形成される。

【0105】

次に、図52に示すように、図16に示した第1実施形態と同様のプロセスを用いて、p側オーミック電極100の上面以外の領域を覆うように、上記第1実施形態の絶縁膜11と同様の組成および厚みを有する絶縁膜101を形成する。

【0106】

次に、図53および図54に示すように、真空蒸着法を用いて、絶縁膜101上に、p側オーミック電極100の上面に接触するように、上記第1実施形態のp側パッド電極12と同様の組成および厚みを有するp側パッド電極102を形成する。この際、図53に示すように、p側パッド電極102の一部が共振器方向と直交する方向(B方向)に、平面的に見て矩形状に突出するように形成する。この後、図54に示すように、真空蒸着法を用いて、n型GaN基板91の裏面上に、n型GaN基板91の裏面の転位の集中している領域91a以外の領域に接触するように、上記第1実施形態のn側電極13と同様の組成および厚みを有するn側電極103を形成する。

【0107】

次に、図53に示した劈開線115aに沿って、共振器方向(A方向)に隣接する素子形成領域115を分割する。これにより、図55に示すように、分割された隣接する素子形成領域115のそれぞれの劈開面に、共振器端面99bが形成される。この後、素子分離線115bに沿って素子を分離することによって、図44および図45に示した第4実施形態による窒化物系半導体レーザ素子が形成される。

【0108】

第4実施形態の製造プロセスでは、上記のように、共振器方向(A方向)に隣接するn型GaN基板91の段差部91bの上部91cを共振器方向と直交する方向(B方向)にずらすことにより互い違いに配置することによって、n型GaN基板91上に半導体素子層99を形成すれば、A方向に隣接する素子形成領域115の段差部91bの上部91c上に位置する各半導体素子層99は、互い違いに配置される。この場合、段差部91bの上部91cに位置する半導体素子層99にのみリッジ部98を形成するとともに、そのリッジ部98がA方向に隣接する段差部91bの上部91cの各半導体素子層99が互いに接続している領域に配置されないようにすることによって、A方向に隣接する素子形成領域115の各リッジ部98をA方向に連続しないように形成することができる。これにより、上記第1実施形態と同様、素子分割前におけるリッジ部98を含む半導体素子層99のA方向の長さが小さくなることにより半導体素子層99のリッジ部98の歪みが緩和されるので、リッジ部98にクラックが発生するのを抑制することができる。また、段差部91bの上部91cのA方向の端部91eを、劈開線115aを跨いでA方向に隣接する素子形成領域115に達するように配置することによって、A方向に隣接する素子形成領域115に形成される各半導体素子層99の端部99aが、共に劈開線115aを跨いでA方向に隣接する素子形成領域115に達するように配置される。これにより、上記第1実施形態と同様、1回の劈開で、A方向に隣接する素子形成領域115のそれぞれの半導体素子層99に一方の共振器端面を形成することができるので、製造工程が増加することがない。

【0109】

また、第4実施形態では、段差部91bを有するn型GaN基板91上に半導体素子層

10

20

30

40

50

99を形成することによって、半導体素子層99を形成する際に、段差部91bに位置する半導体素子層99の厚みが薄くなるので、段差部91bに位置する半導体素子層99に歪みを集中させることができる。これにより、半導体素子層99の段差部91bに位置する半導体素子層99にクラックが発生しやすくなる一方、半導体素子層99の段差部91b以外の領域には、クラックが発生しにくくなるので、段差部91bの上部91c上に位置するリッジ部98にクラックが発生するのをより抑制することができる。

【0110】

(第5実施形態)

図56は、本発明の第5実施形態による窒化物系半導体レーザ素子の構造を示した平面図であり、図57は、図56の2100-2100線に沿った断面図である。次に、図56および図57を参照して、第5実施形態による窒化物系半導体レーザ素子の構造について説明する。

【0111】

第5実施形態による窒化物系半導体レーザ素子では、図57に示すように、サファイア基板121上に、約200nmの厚みを有するSiN膜からなる選択成長マスク122が所定の間隔を隔てて形成されている。選択成長マスク122間に露出されたサファイア基板121の上面上には、約20nmの厚みを有するアンドープのAlGaNからなる低温バッファ層123が形成されている。選択成長マスク122および低温バッファ層123上には、約2μmの厚みを有するアンドープのGaNからなるバッファ層124が形成されている。バッファ層124上には、上記第1実施形態のn型層3と同様の組成および厚みを有するn型層125が形成されている。n型層125上には、開口部126a、126bおよび126dを有するとともに、約200nmの厚みを有するSiN膜からなる選択成長マスク126が形成されている。

【0112】

また、n型層125上の開口部126aおよび126bに対応する領域には、n型コンタクト層127および発光層128が順次形成されている。発光層128上には、平坦部とその平坦部から上方に突出するように形成された凸部とを有するp型クラッド層129が形成されているとともに、p型クラッド層129の凸部上には、p型コンタクト層130が形成されている。このp型コンタクト層130とp型クラッド層129の凸部とによって、共振器方向(図56のA方向)に延びるストライプ状(細長状)のリッジ部131が構成されている。なお、n型コンタクト層127は、約2μmの厚みを有するSiがドーパされたn型GaNからなる。また、発光層128、p型クラッド層129およびp型コンタクト層130は、それぞれ、上記第1実施形態の発光層5、p型クラッド層6およびp型コンタクト層7と同様の組成および厚みを有する。

【0113】

ここで、第5実施形態では、n型コンタクト層127、発光層128、p型クラッド層129およびp型コンタクト層130によって、半導体素子層132が構成されている。

【0114】

リッジ部131を構成するp型コンタクト層130上には、上記第1実施形態のp側オーミック電極10と同様の組成および厚みを有するp側オーミック電極133が形成されている。また、p側オーミック電極133の上面以外の領域を覆うように、上記第1実施形態の絶縁膜11と同様の組成および厚みを有する絶縁膜134が形成されている。この絶縁膜134の選択成長マスク126の開口部126dに対応する領域には、開口部134aが形成されている。絶縁膜134上の所定領域には、p側オーミック電極133の上面に接触するように、上記第1実施形態のp側パッド電極12と同様の組成および厚みを有するp側パッド電極135が形成されている。このp側パッド電極135は、図56に示すように、矩形状に突出した端部135aを有する。

【0115】

また、図57に示すように、絶縁膜134上の開口部134aに対応する領域には、開口部134aおよび126dを介してn型層125に接触するように、上記第1実施形態

10

20

30

40

50

の n 側電極 13 と同様の組成および厚みを有する n 側電極 136 が形成されている。この n 側電極 136 は、図 56 に示すように、平面的に見て、四角形状に形成されている。

【0116】

図 58 ~ 図 68 は、図 56 および図 57 に示した第 5 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図および平面図である。図 56 ~ 図 68 を参照して、この第 5 実施形態の製造プロセスでは、上記第 1 ~ 第 4 実施形態と異なり、 n 型 GaN 基板に代えてサファイア基板を用いる場合について説明する。

【0117】

まず、図 58 に示すように、プラズマ CVD 法を用いて、サファイア基板 121 上に、約 200 nm の厚みを有する SiN 膜からなる選択成長マスク 122 を所定の間隔を隔てて形成する。この後、MOCVD 法を用いて、選択成長マスク 122 間に露出されたサファイア基板 121 の上面上に、約 20 nm の厚みを有するアンドープの AlGaIn からなる低温バッファ層 123 を成長させる。

【0118】

続いて、選択成長マスク 122 および低温バッファ層 123 上に、約 2 μ m の厚みを有するアンドープの GaIn からなるバッファ層 124 を選択横方向成長させる。この際、バッファ層 124 は、低温バッファ層 123 上に選択的に縦方向に成長した後、徐々に横方向に成長することにより表面が平坦となる。このため、バッファ層 124 に形成される転位が横方向に曲げられるので、縦方向に伝播された転位が形成されにくくなる。これにより、バッファ層 124 の転位密度を低減することができる。この後、バッファ層 124 上に、上記第 1 実施形態の n 型層 3 と同様の組成および厚みを有する n 型層 125 を成長させる。

【0119】

次に、図 59 および図 60 に示すように、プラズマ CVD 法を用いて、 n 型層 125 上に、開口部 126a および 126b を有するとともに、約 200 nm の厚みを有する SiN 膜からなる選択成長マスク 126 を形成する。この際、開口部 126a を、各素子形成領域（劈開線 145a と素子分離線 145b とに囲まれた領域）145 の半導体素子層 132（図 57 参照）を成長させる領域に配置する。なお、素子形成領域 145 は、本発明の「第 1 素子形成領域」、「第 2 素子形成領域」および「第 3 素子形成領域」の一例である。

【0120】

ここで、第 5 実施形態では、共振器方向（A 方向）に隣接する素子形成領域 145 の開口部 126a が A 方向に連続しないように、選択成長マスク 126 を形成する。具体的には、A 方向に隣接する開口部 126a を、一つ置きに共振器方向と直交する方向（B 方向）にずらすことにより互い違いに配置する。また、開口部 126a の A 方向の端部 126c が劈開線 145a を跨いで A 方向に隣接する素子形成領域 145 に達するように、選択成長マスク 126 を形成する。また、第 5 実施形態では、B 方向に隣接する素子形成領域 145 の各開口部 126a が B 方向に連続しないように、選択成長マスク 126 を形成する。また、開口部 126a の B 方向の幅 W9（図 59 参照）は、約 10 μ m に設定する。また、開口部 126b を、開口部 126a から約 2 μ m の間隔 W10（図 59 参照）を隔てて開口部 126a を囲むように配置する。また、開口部 126b の A 方向および B 方向の幅 W11（図 59 参照）は、約 5 μ m に設定する。なお、隣接する劈開線 145a 間の距離（共振器の長さ）は、約 700 μ m であり、隣接する素子分離線 145b 間の距離（素子の幅）は、約 400 μ m である。なお、劈開線 145a および素子分離線 145b は、それぞれ、本発明の「第 1 分割線」および「第 2 分割線」の一例である。

【0121】

次に、図 61 および図 62 に示すように、MOCVD 法を用いて、 n 型層 125 上の開口部 126a および 126b に対応する領域に、約 2 μ m の厚みを有する Si がドーパされた n 型 GaIn からなる n 型コンタクト層 127 を成長させる。続いて、上記第 1 実施形態の発光層 5、 p 型クラッド層 6 および p 型コンタクト層 7 と同様の組成および厚みをそ

10

20

30

40

50

れぞれ有する発光層 128、p 型クラッド層 129 および p 型コンタクト層 130 を順次成長させる。これにより、n 型コンタクト層 127、発光層 128、p 型クラッド層 129 および p 型コンタクト層 130 からなる半導体素子層 132 が形成される。なお、半導体素子層 132 は、本発明の「第 1 半導体素子層」、「第 2 半導体素子層」および「第 3 半導体素子層」の一例である。

【0122】

この際、第 5 実施形態では、図 61 に示すように、半導体素子層 132 は、選択成長マスク 126 上には形成されない。すなわち、共振器方向（A 方向）に隣接する素子形成領域 145 に形成される半導体素子層 132 が A 方向に連続しないように形成されるとともに、共振器方向と直交する方向（B 方向）に隣接する素子形成領域 145 に形成される半導体素子層 132 が B 方向に連続しないように形成される。また、半導体素子層 132 の A 方向の端部 132a が劈開線 145a を跨いで A 方向に隣接する素子形成領域 145 に達するように形成される。

10

【0123】

この後、窒素ガス雰囲気中で、約 800 の温度条件下でアニール処理する。

【0124】

次に、図 63 および図 64 に示すように、図 12 ~ 図 15 に示した第 1 実施形態と同様のプロセスを用いて、p 側オーミック電極 133 を形成した後、共振器方向（A 方向）に延びるストライプ状（細長状）のリッジ部 131 を形成する。なお、リッジ部 131 は、本発明の「第 1 能動素子領域」、「第 2 能動素子領域」および「第 3 能動素子領域」の一例である。

20

【0125】

ここで、第 5 実施形態では、A 方向に隣接する素子形成領域 145 の各半導体素子層 132 のリッジ部 131 は、A 方向に連続しないように形成される。また、各半導体素子層 132 のリッジ部 131 の端部 131a は、劈開線 145a を跨いで A 方向に隣接する素子形成領域 145 に達するように形成される。

【0126】

次に、図 65 に示すように、図 16 に示した第 1 実施形態と同様のプロセスを用いて、p 側オーミック電極 133 の上面以外の領域を覆うように、上記第 1 実施形態の絶縁膜 11 と同様の組成および厚みを有する絶縁膜 134 を形成する。

30

【0127】

次に、図 66 および図 67 に示すように、エッチング技術を用いて、絶縁膜 134 および選択成長マスク 126 の所定領域に、それぞれ、開口部 134a および 126d を形成する。この後、真空蒸着法を用いて、絶縁膜 134 上の所定領域に、p 側オーミック電極 133 の上面に接触するように、上記第 1 実施形態の p 側パッド電極 12 と同様の組成および厚みを有する p 側パッド電極 135 を形成する。この際、図 66 に示すように、平面的に見て矩形状に突出した端部 135a を有するように、p 側パッド電極 135 を形成する。この後、図 67 に示すように、真空蒸着法を用いて、絶縁膜 134 上の開口部 134a に対応する領域に、開口部 134a および 126c を介して n 型層 125 に接触するように、上記第 1 実施形態の n 側電極 13 と同様の組成および厚みを有する n 側電極 136 を形成する。この際、図 66 に示すように、平面的に見て四角形状を有するように、n 側電極 136 を形成する。

40

【0128】

次に、図 66 に示した劈開線 145a に沿って、共振器方向（A 方向）に隣接する素子形成領域 145 を分割する。これにより、図 68 に示すように、分割された隣接する素子形成領域 145 のそれぞれの劈開面に、共振器端面 132b が形成される。この後、素子分離線 145b に沿って素子を分離することによって、図 56 および図 57 に示した第 5 実施形態による窒化物系半導体レーザ素子が形成される。

【0129】

第 5 実施形態の製造プロセスでは、基板としてサファイア基板 121 を用いる場合にお

50

いて、半導体素子層 1 3 2 のリッジ部 1 3 1 にクラックが発生するのを抑制することができるなどの第 2 実施形態と同様の効果を得ることができる。

【0130】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0131】

たとえば、上記第 1 ～ 第 5 実施形態では、本発明を半導体レーザ素子に適用する場合について説明したが、本発明はこれに限らず、半導体レーザ素子以外の半導体素子にも適用可能である。

【0132】

また、上記第 1 ～ 第 5 実施形態では、基板上に、n 型半導体層、発光層および p 型半導体層を順次形成したが、本発明はこれに限らず、基板上に、p 型半導体層、発光層および n 型半導体層を順次形成する場合にも、同様の効果を得ることができる。

【0133】

また、上記第 1 ～ 第 5 実施形態では、ウルツ鉱型構造の窒化物系半導体各層を形成したが、本発明はこれに限らず、閃亜鉛鉱型構造の半導体各層を形成してもよい。

【0134】

また、上記第 1 ～ 第 5 実施形態では、MOCVD 法を用いて、窒化物系半導体各層を結晶成長させたが、本発明はこれに限らず、HVPE 法やガスソース MBE 法 (Molecular Beam Epitaxy: 分子線エピタキシャル成長法) などを用いて、半導体各層を結晶成長させてもよい。

【0135】

また、上記第 1 ～ 第 5 実施形態では、共振器方向 (A 方向) の両側に隣接する素子形成領域において能動素子領域を不連続に形成したが、本発明はこれに限らず、A 方向の一方の片側に隣接する素子形成領域において能動素子領域を不連続に形成するとともに、A 方向の他方の片側に隣接する素子形成領域において能動素子領域を連続に形成する場合においても、同様の効果を得ることができる。

【図面の簡単な説明】

【0136】

【図 1】本発明の第 1 実施形態による窒化物系半導体レーザ素子の構造を示した平面図である。

【図 2】図 1 の 1 0 0 - 1 0 0 線に沿った断面図である。

【図 3】図 2 に示した第 1 実施形態による窒化物系半導体レーザ素子の発光層の詳細を示した拡大断面図である。

【図 4】図 1 および図 2 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 5】図 1 および図 2 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 6】図 1 および図 2 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 7】図 1 および図 2 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 8】図 1 および図 2 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 9】図 8 の 2 0 0 - 2 0 0 線に沿った断面図である。

【図 10】図 1 および図 2 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 11】図 10 の 3 0 0 - 3 0 0 線に沿った断面図である。

10

20

30

40

50

【図 1 2】図 1 および図 2 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 1 3】図 1 および図 2 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 1 4】図 1 および図 2 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 1 5】図 1 4 の 4 0 0 - 4 0 0 線に沿った断面図である。

【図 1 6】図 1 および図 2 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 1 7】図 1 および図 2 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。 10

【図 1 8】図 1 7 の 5 0 0 - 5 0 0 線に沿った断面図である。

【図 1 9】図 1 および図 2 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 2 0】本発明の第 2 実施形態による窒化物系半導体レーザ素子の構造を示した平面図である。

【図 2 1】図 2 1 は、図 2 0 の 6 0 0 - 6 0 0 線に沿った断面図である。

【図 2 2】図 2 0 および図 2 1 に示した第 2 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 2 3】図 2 2 の 7 0 0 - 7 0 0 線に沿った断面図である。 20

【図 2 4】図 2 0 および図 2 1 に示した第 2 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 2 5】図 2 4 の 8 0 0 - 8 0 0 線に沿った断面図である。

【図 2 6】図 2 0 および図 2 1 に示した第 2 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 2 7】図 2 6 の 9 0 0 - 9 0 0 線に沿った断面図である。

【図 2 8】図 2 0 および図 2 1 に示した第 2 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 2 9】図 2 0 および図 2 1 に示した第 2 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。 30

【図 3 0】図 2 9 の 1 0 0 0 - 1 0 0 0 線に沿った断面図である。

【図 3 1】図 2 0 および図 2 1 に示した第 2 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 3 2】本発明の第 3 実施形態による窒化物系半導体レーザ素子の構造を示した平面図である。

【図 3 3】図 3 2 の 1 1 0 0 - 1 1 0 0 線に沿った断面図である。

【図 3 4】図 3 2 および図 3 3 に示した第 3 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 3 5】図 3 4 の 1 2 0 0 - 1 2 0 0 線に沿った断面図である。

【図 3 6】図 3 2 および図 3 3 に示した第 3 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。 40

【図 3 7】図 3 6 の 1 3 0 0 - 1 3 0 0 線に沿った断面図である。

【図 3 8】図 3 2 および図 3 3 に示した第 3 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 3 9】図 3 8 の 1 4 0 0 - 1 4 0 0 線に沿った断面図である。

【図 4 0】図 3 2 および図 3 3 に示した第 3 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 4 1】図 3 2 および図 3 3 に示した第 3 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 4 2】図 4 1 の 1 5 0 0 - 1 5 0 0 線に沿った断面図である。 50

【図 4 3】図 3 2 および図 3 3 に示した第 3 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 4 4】本発明の第 4 実施形態による窒化物系半導体レーザ素子の構造を示した平面図である。

【図 4 5】図 4 4 の 1 6 0 0 - 1 6 0 0 線に沿った断面図である。

【図 4 6】図 4 4 および図 4 5 に示した第 4 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 4 7】図 4 6 の 1 7 0 0 - 1 7 0 0 線に沿った断面図である。

【図 4 8】図 4 4 および図 4 5 に示した第 4 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

10

【図 4 9】図 4 8 の 1 8 0 0 - 1 8 0 0 線に沿った断面図である。

【図 5 0】図 4 4 および図 4 5 に示した第 4 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 5 1】図 5 0 の 1 9 0 0 - 1 9 0 0 線に沿った断面図である。

【図 5 2】図 4 4 および図 4 5 に示した第 4 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 5 3】図 4 4 および図 4 5 に示した第 4 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 5 4】図 5 3 の 2 0 0 0 - 2 0 0 0 線に沿った断面図である。

【図 5 5】図 4 4 および図 4 5 に示した第 4 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

20

【図 5 6】本発明の第 5 実施形態による窒化物系半導体レーザ素子の構造を示した平面図である。

【図 5 7】図 5 6 の 2 1 0 0 - 2 1 0 0 線に沿った断面図である。

【図 5 8】図 5 6 および図 5 7 に示した第 5 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 5 9】図 5 6 および図 5 7 に示した第 5 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 6 0】図 5 9 の 2 2 0 0 - 2 2 0 0 線に沿った断面図である。

【図 6 1】図 5 6 および図 5 7 に示した第 5 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

30

【図 6 2】図 6 1 の 2 3 0 0 - 2 3 0 0 線に沿った断面図である。

【図 6 3】図 5 6 および図 5 7 に示した第 5 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 6 4】図 6 3 の 2 4 0 0 - 2 4 0 0 線に沿った断面図である。

【図 6 5】図 5 6 および図 5 7 に示した第 5 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 6 6】図 5 6 および図 5 7 に示した第 5 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 6 7】図 6 6 の 2 5 0 0 - 2 5 0 0 線に沿った断面図である。

40

【図 6 8】図 5 6 および図 5 7 に示した第 5 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための平面図である。

【図 6 9】従来の半導体レーザ素子の製造方法を説明するための平面図である。

【図 7 0】従来の提案された半導体レーザ素子の製造方法を説明するための平面図である。

【符号の説明】

【0 1 3 7】

1、9 1 GaN 基板 (基板)

2、3 2、6 2、1 2 6 選択成長マスク

2 a、3 2 a、6 2 a、1 2 6 a 開口部

50

8、3 8、6 8、9 8、1 3 1 リッジ部（第 1 能動素子領域、第 2 能動素子領域、第 3 能動素子領域）

8 a、 3 8 a、 6 8 a、 9 8 a、 1 3 1 a 端部

9、3 9、6 9、9 9、1 3 2 半導体素子層（第1半導体素子層、第2半導体素子層
および第3半導体素子層）

2 5、5 5、8 5、1 1 5、1 4 5 素子形成領域 (第 1 素子形成領域、第 2 素子形成領域、第 3 素子形成領域)

2 5 a、 5 5 a、 8 5 a、 1 1 5 a、 1 4 5 a 劈開線（第1分割線）

2 5 b、 5 5 b、 8 5 b、 1 1 5 b、 1 4 5 b 素子分離線 (第 2 分割線)

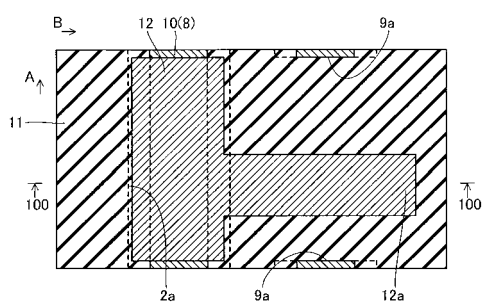
9 1 b 段差部

9 1 c 上部

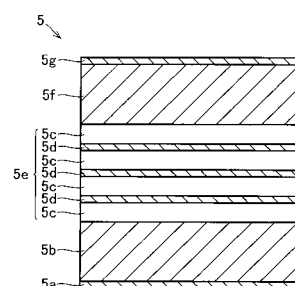
9 1 d 下部

10

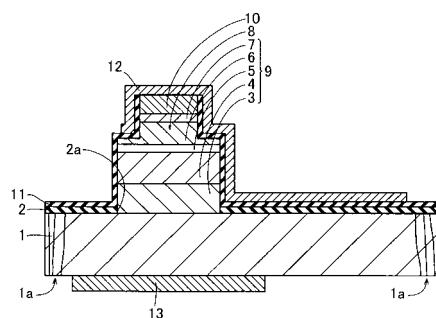
【 図 1 】



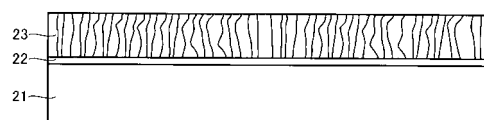
【圖 3】



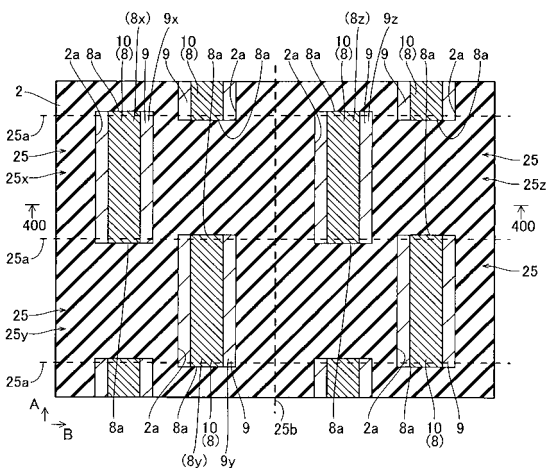
【 図 2 】



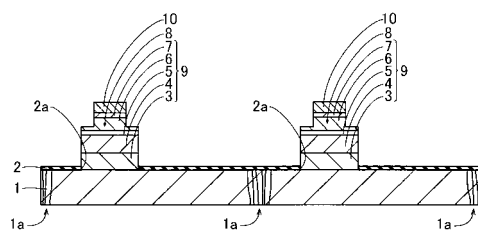
【 図 4 】



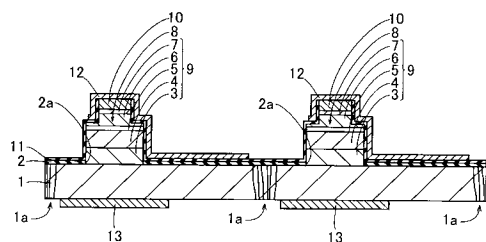
【 図 1 4 】



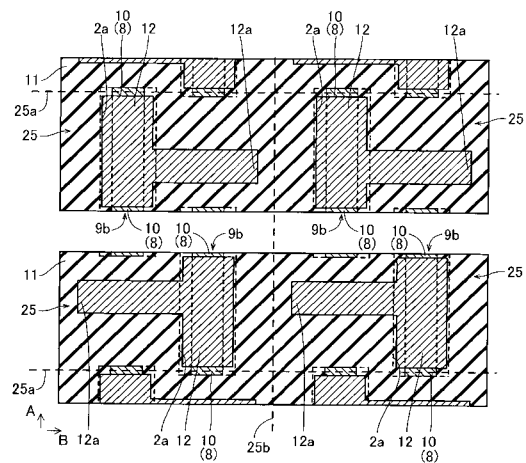
【 図 1 5 】



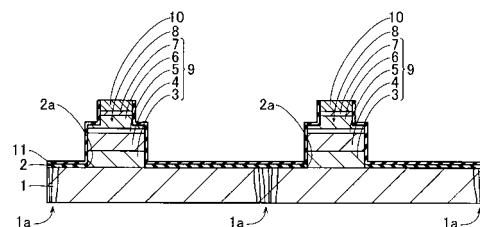
【 図 1 8 】



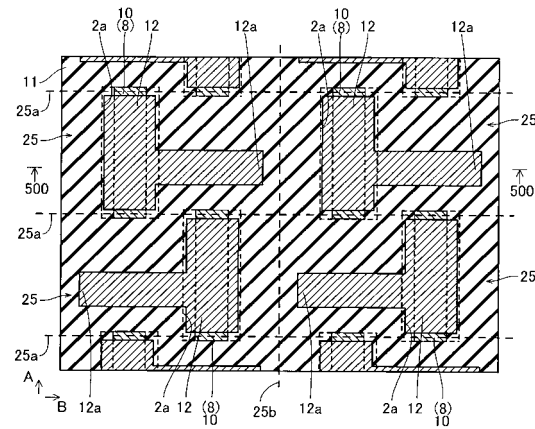
【 図 1 9 】



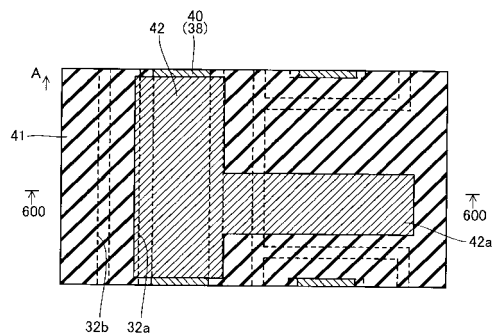
【 図 1 6 】



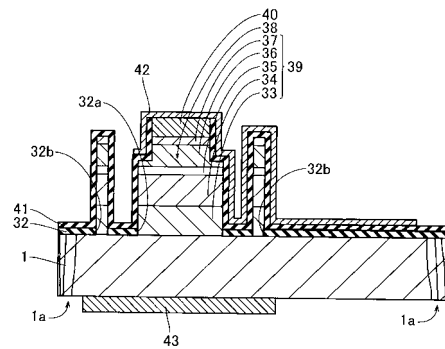
【 図 1 7 】



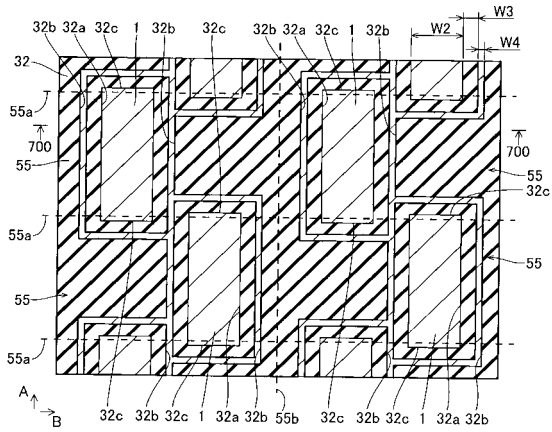
【 図 2 0 】



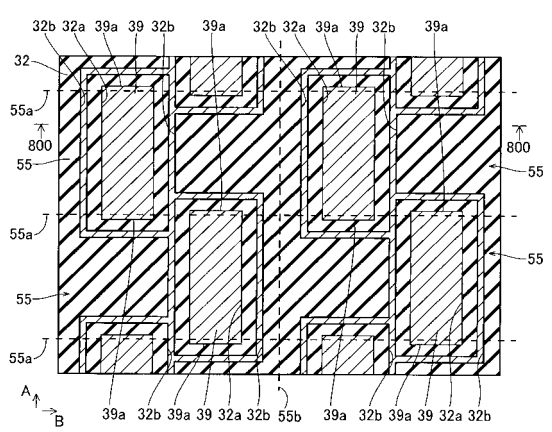
【 図 2 1 】



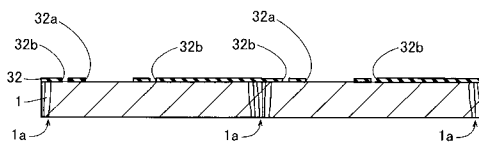
【図 2 2】



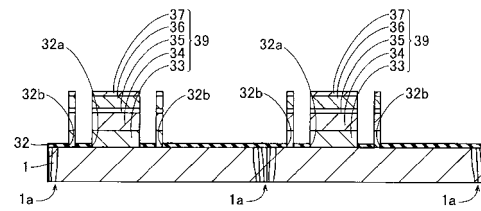
【図 2 4】



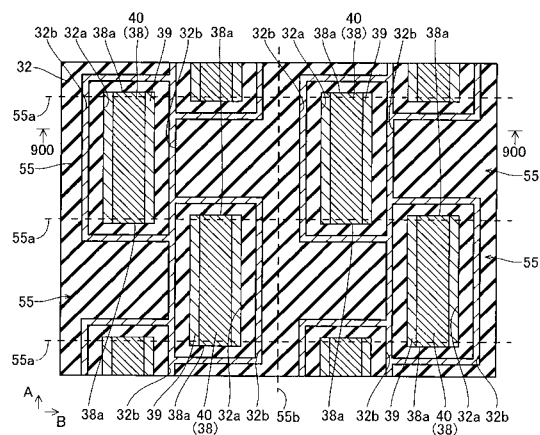
【図 2 3】



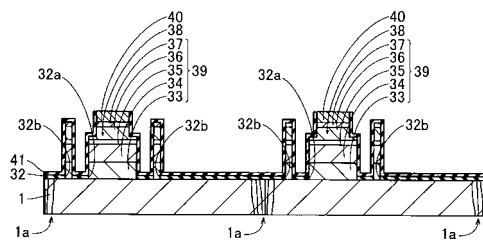
【図 2 5】



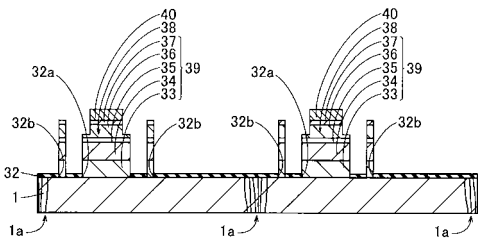
【図 2 6】



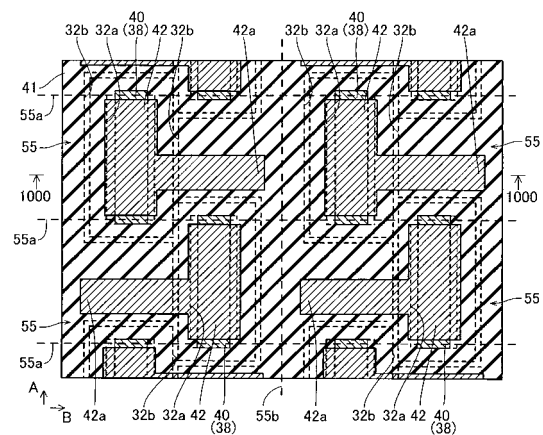
【図 2 8】



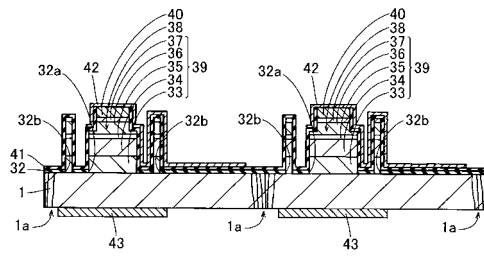
【図 2 7】



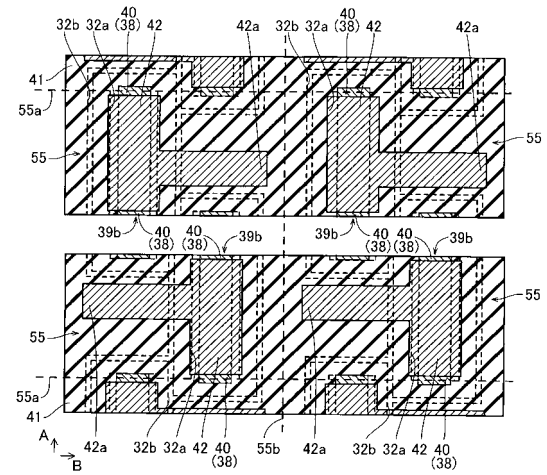
【図 2 9】



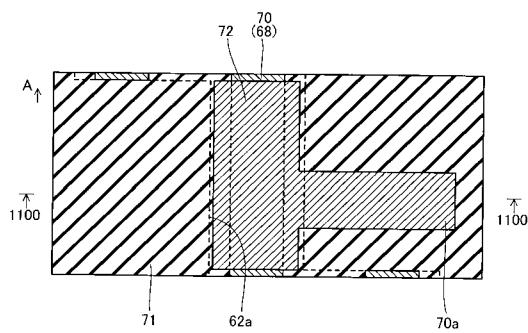
【 図 3 0 】



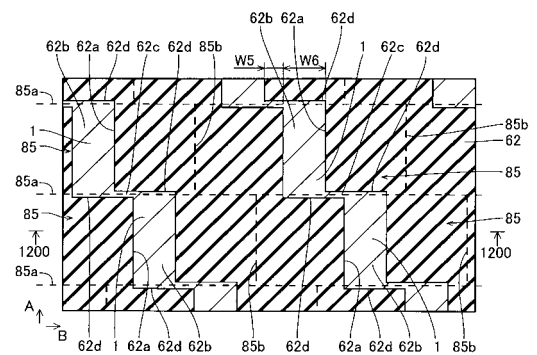
【 図 3 1 】



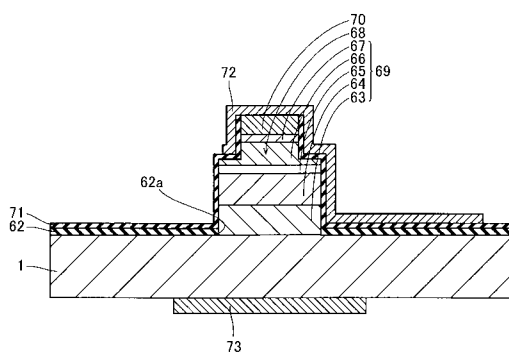
【 図 3 2 】



【 図 3 4 】



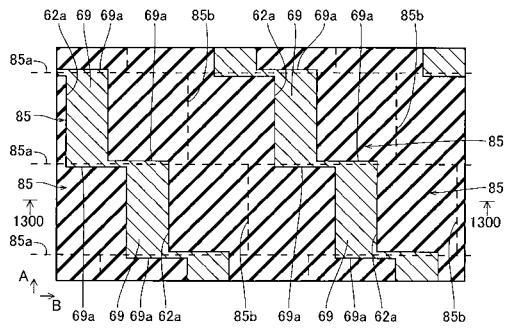
【 図 3 3 】



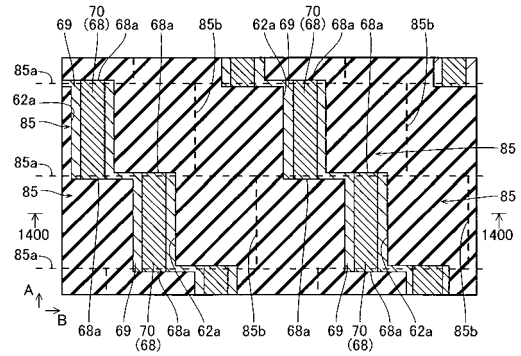
【 ㄨ 3 5 】



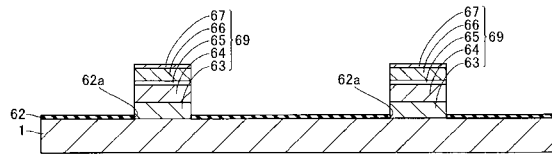
【図 36】



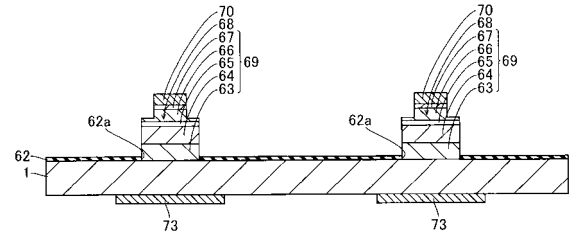
【図 38】



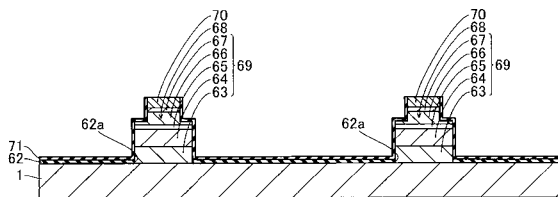
【図 37】



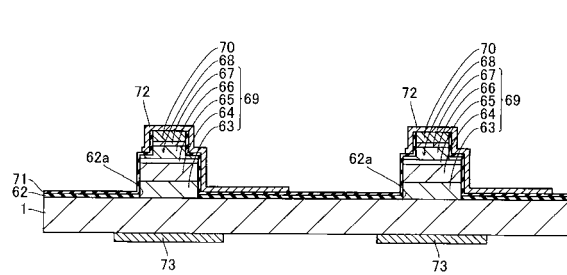
【図 39】



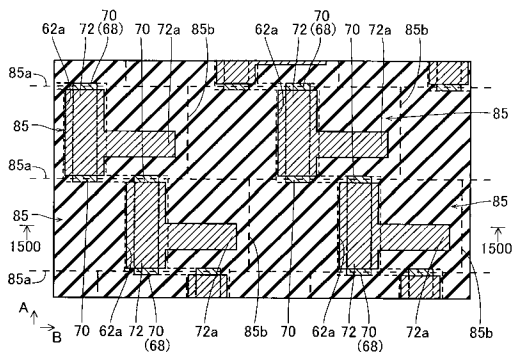
【図 40】



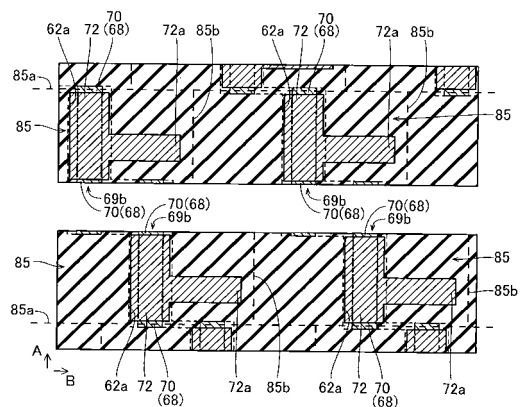
【図 42】



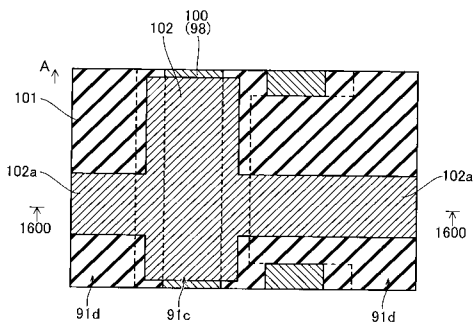
【図 41】



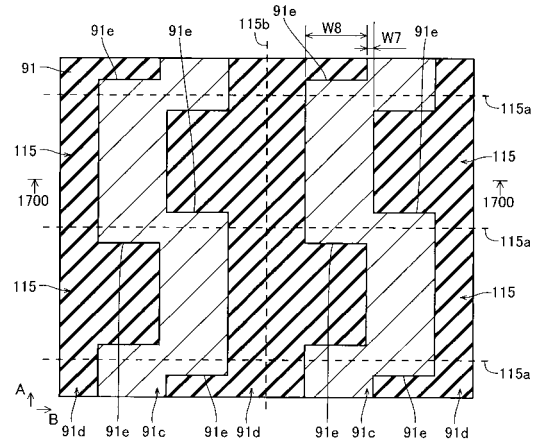
【図 43】



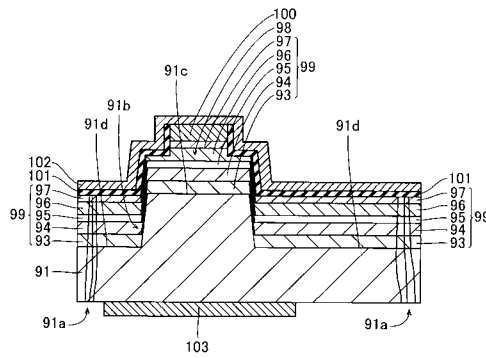
【図 4 4】



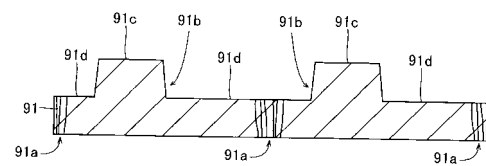
【図 4 6】



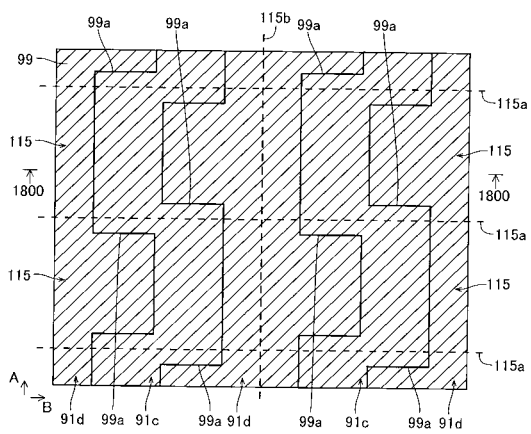
【図 4 5】



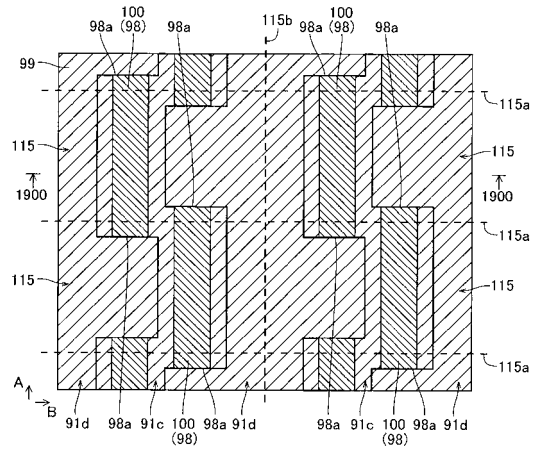
【図 4 7】



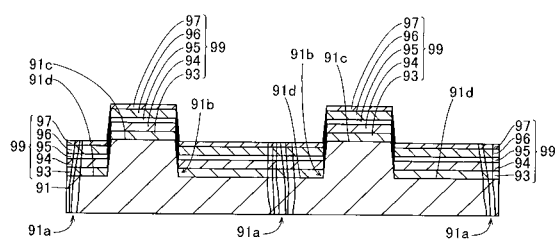
【図 4 8】



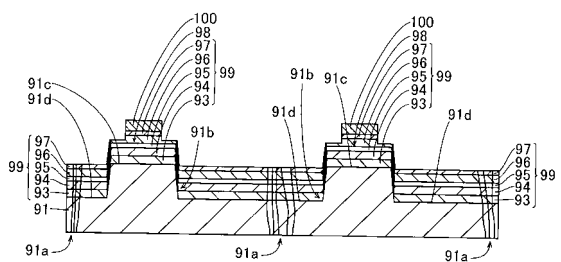
【図 5 0】



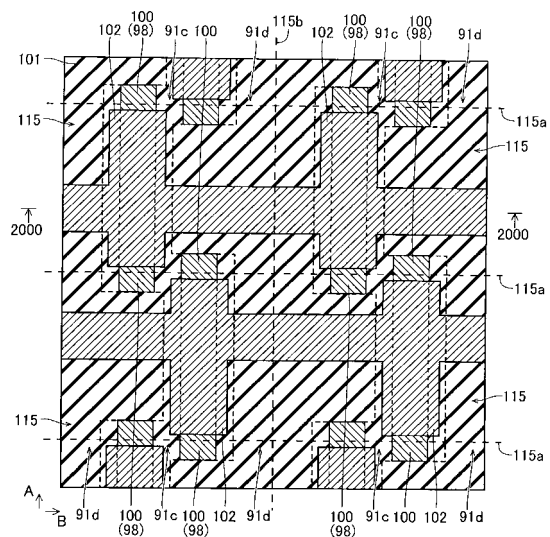
【図 4 9】



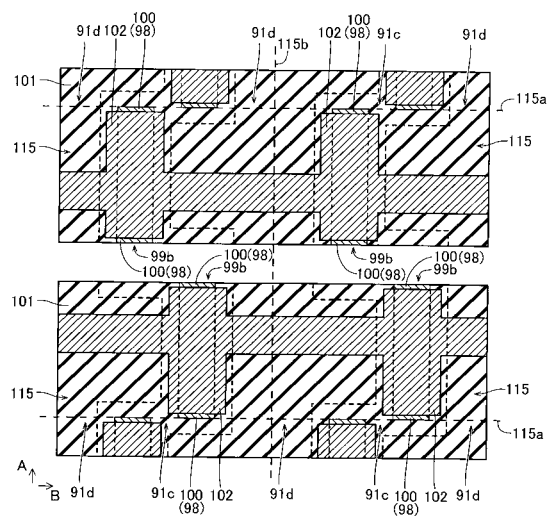
【図 5 1】



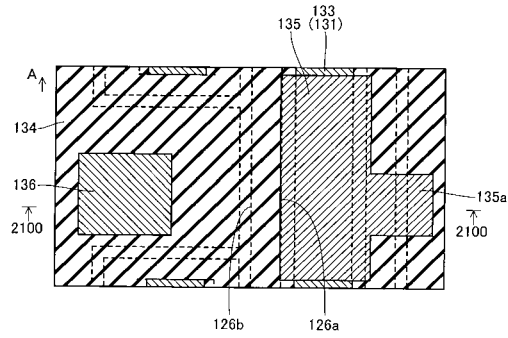
【 図 5 3 】



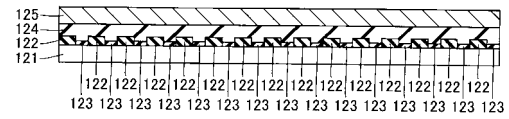
【 図 5 5 】



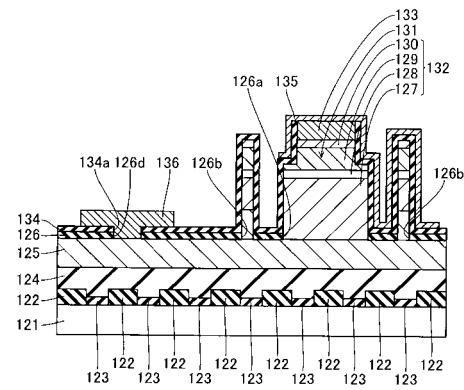
【図 5 6】



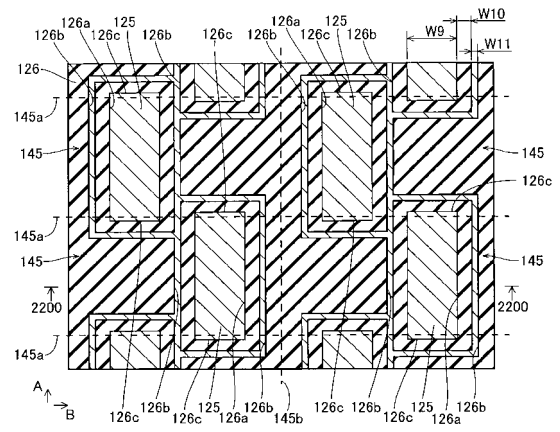
【図 5 8】



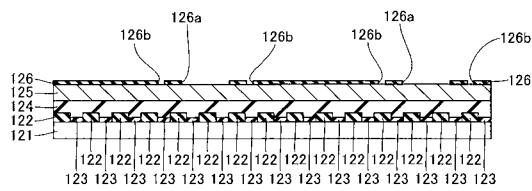
【図 5 7】



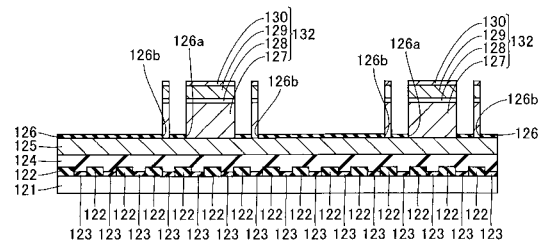
【図 5 9】



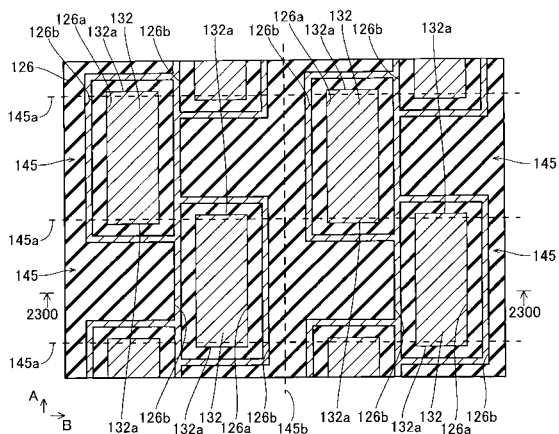
【図 6 0】



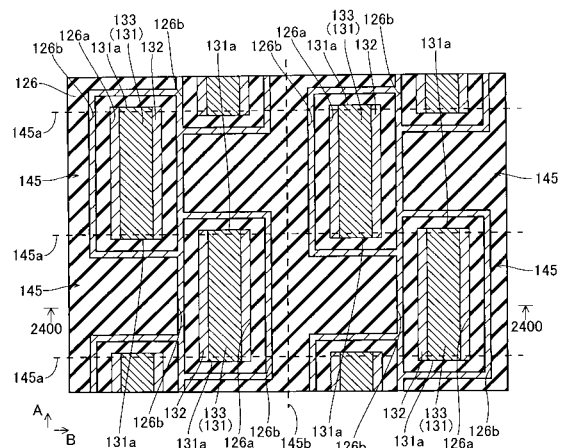
【図 6 2】



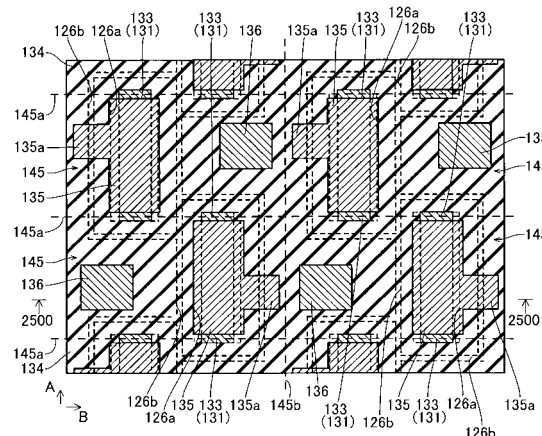
【図 6 1】



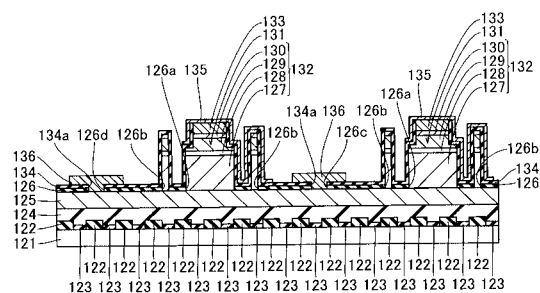
【図 6 3】



【 図 6 6 】



【 叉 6 7 】



【 図 7 0 】

