



(12) 发明专利

(10) 授权公告号 CN 102769040 B

(45) 授权公告日 2015. 03. 04

(21) 申请号 201210260931. 6

(22) 申请日 2012. 07. 25

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 张学辉 刘翔 薛建设

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 韩国胜

(51) Int. Cl.

H01L 29/786(2006. 01)

H01L 21/336(2006. 01)

H01L 23/528(2006. 01)

H01L 27/12(2006. 01)

H01L 21/77(2006. 01)

(56) 对比文件

CN 101685229 A, 2010. 03. 31, 说明书第 8 页

第 17 行至第 10 页第 12 行, 图 4A 至图 4J.

CN 202712193 U, 2013. 01. 30, 权利要求 1-9.

US 8187927 B2, 2012. 05. 29, 全文.

审查员 李晓明

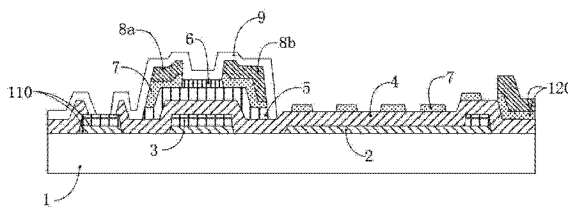
权利要求书2页 说明书8页 附图7页

(54) 发明名称

薄膜晶体管、阵列基板及其制作方法、显示装置

(57) 摘要

本发明属于显示技术领域, 特别涉及一种薄膜晶体管、阵列基板及其制作方法、显示装置。本发明薄膜晶体管包括基板, 以及在基板上依次形成的栅极层、栅绝缘层、有源层、电极金属层和钝化层; 电极金属层包括源电极和漏电极, 源电极和漏电极互相隔离, 之间为沟道区域; 所述栅极层和基板之间有第一透明导电层; 所述有源层和电极金属层之间有第二透明导电层。本发明中的薄膜晶体管在基板和栅极金属层之间、有源层和电极金属层之间增加了透明导电层, 增强了栅金属层与基板之间的附着力, 阻止了电极金属向有源层的扩散, 提高了产品性能。



1. 薄膜晶体管,包括形成在基板上的栅极、栅绝缘层、有源层、电极金属层和钝化层;电极金属层包括源电极和漏电极,源电极和漏电极互相隔离,之间为沟道区域;其特征在于,所述栅极和基板之间形成有第一透明导电层;所述有源层和电极金属层之间形成有第二透明导电层。

2. 如权利要求1中所述的薄膜晶体管,其特征在于,所述栅极与电极金属层的材料为铜;所述第一透明导电层与栅极之间和/或第二透明导电层与电极金属层之间分别形成有一层金属层,所述金属层的材料为钼、铝、钽、钛或者其合金中的一种。

3. 如权利要求1中所述的薄膜晶体管,其特征在于,所述有源层为非晶硅或氧化物半导体材料。

4. 如权利要求1中所述的薄膜晶体管,其特征在于,所述第一透明导电层和/或第二透明导电层为锌氧化物、铟锡氧化物、铟锌氧化物、聚乙撑二氧噻吩或石墨烯材料。

5. 一种薄膜晶体管的制作方法,其特征在于,包括如下步骤:

在基板上形成栅极,包括:在基板上先形成第一透明导电层,作为栅极和基板之间的增强吸附层;

在所述栅极上形成栅绝缘层和有源层;

在所述栅绝缘层和有源层上形成第二透明导电层,以及位于第二透明导电层上彼此隔开的源电极和漏电极;

在所述源电极和漏电极、以及第二透明导电层上形成钝化层。

6. 一种阵列基板,其特征在于,包括如权利要求1-4中任一项所述的薄膜晶体管或权利要求5制作方法所制作的薄膜晶体管。

7. 如权利要求6所述的阵列基板,其特征在于,所述阵列基板上设置有像素电极和公共电极,所述像素电极和所述公共电极设置在所述阵列基板的的不同层,所述像素电极和所述公共电极之间设置有绝缘层,所述像素电极的形状为狭缝状。

8. 如权利要求7所述的阵列基板,其特征在于,所述公共电极和第一透明导电层采用相同的材料,且两者在同一次光刻工艺中形成;所述像素电极和第二透明导电层采用相同的材料,且两者在同一次光刻工艺中形成。

9. 一种阵列基板的制作方法,其特征在于,包括如下步骤:

在基板上连续形成第一透明导电层和栅极金属层;在基板上形成栅极图形、栅线图形、栅线 PAD 区域图形;

顺序形成栅绝缘层和有源层;

顺序形成第二透明导电层、彼此隔开的源电极和漏电极、数据线以及数据线 PAD 区域;形成钝化层,暴露出栅线 PAD 区域以及数据线 PAD 区域。

10. 如权利要求9所述的阵列基板的制作方法,其特征在于,所述阵列基板为 ADS 模式,在基板上形成栅极图形、栅线图形、栅线 PAD 区域图形的具体过程为:

在所述栅极金属层上形成具有高度差的光刻胶图案;

对所述光刻胶图案进行多步曝光显影,每次曝光显影之后分别对所述栅极金属层进行刻蚀,以形成栅极图形、栅线图形、栅线 PAD 区域图形和公共电极图形。

11. 如权利要求9所述的阵列基板的制作方法,其特征在于,所述阵列基板为 TN 模式,在基板上形成栅极图形、栅线图形、栅线 PAD 区域图形的的具体过程为:

在栅极金属层上旋涂光刻胶,使用掩膜版进行曝光显影,使栅极图形、栅线图形、栅线 PAD 区域图形所对应的光刻胶保留;

经过刻蚀形成栅极图形、栅线图形、栅线 PAD 区域图形。

12. 如权利要求 9 所述的阵列基板的制作方法,其特征在于,当所述有源层为氧化物半导体材料时,顺序形成栅绝缘层和有源层还包括对保护层进行图形化,其具体过程为:

连续沉积栅绝缘层、氧化物半导体层和保护层;

在保护层上旋涂光刻胶;

使用半色调或灰色调掩膜版进行曝光显影,使保护层图形区域的光刻胶完全保留,使两个用于与源电极和漏电极联接的接触区的光刻胶部分保留;

经过多步刻蚀形成氧化物半导体层图形和保护层图形。

13. 如权利要求 9 所述的阵列基板的制作方法,其特征在于,当所述有源层为非晶硅材料时,顺序形成栅绝缘层和有源层具体过程为:

连续沉积栅绝缘层、有源层,有源层包括本征层和 N 型层;

在 N 型层上旋涂光刻胶;

进行曝光显影,使有源层图形区域的光刻胶保留;

刻蚀掉未保留光刻胶区域的本征层和 N 型层。

14. 如权利要求 9 所述的阵列基板的制作方法,其特征在于,顺序形成第二透明导电层、彼此隔开的源电极和漏电极、数据线以及数据线 PAD 区域具体过程为:

包括对第二透明导电层和电极金属层进行图形化;

连续沉积第二透明导电层和电极金属层;

在电极金属层上旋涂光刻胶;

使用半色调或灰色调掩膜版进行曝光显影,使源电极、漏电极和数据线以及数据线 PAD 区域的光刻胶完全保留,使像素电极区域的光刻胶部分保留;

经过多步刻蚀形成源电极、漏电极和数据线以及数据线 PAD 区域图形。

15. 如权利要求 14 所述的阵列基板的制作方法,其特征在于,当所述有源层为非晶硅材料时,还包括:刻蚀掉沟道区域的 N 型层。

16. 一种显示装置,其特征在于,包括上述权利要求 6-8 中任一项所述的阵列基板或者权利要求 9-15 中任一项制作方法所制作的阵列基板。

薄膜晶体管、阵列基板及其制作方法、显示装置

技术领域

[0001] 本发明属于显示技术领域,特别涉及一种薄膜晶体管、阵列基板及其制作方法、显示装置。

背景技术

[0002] 薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 具有体积小、功耗低、无辐射等特点,在当前的平板显示器市场占据了主导地位。对于 TFT-LCD 来说,薄膜晶体管阵列基板以及制造工艺决定了其产品性能、成品率和价格。普通的 TN (Twisted Nematic, 扭曲向列) 型液晶显示器的显示效果已经不能满足市场的需求。目前,各大厂商正逐渐将显示效果更优良的各种广视角技术应用于移动性产品中,比如 IPS (In-Plane Switching, 共面转换)、VA (Vertical Alignment, 垂直配向)、AD-SDS (Advanced-Super Dimensional Switching, 高级超维场开关, 简称为 ADS) 等广视角技术。在 ADS 模式下,通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场,使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。

[0003] 由于电极材料电阻的减小,降低了电阻 / 电容时间延迟 (RC 延迟),提高了开口率,而且,驱动方式可由两侧驱动变为单侧驱动,因此驱动 IC 的数量可减半。因此,在液晶面板高速发展的同时,业界需要开发低电阻的电极材料。当使用低电阻材料作为电极材料时,存在以下问题:低电阻材料(例如铜,铜的电阻仅为 $2 \mu \Omega \cdot \text{cm}$, 作为电极材料显示出了巨大的优越性)与基板及半导体附着力小,容易造成电极材料的接触不良;在较低温度下会与 Si 发生反应,扩散至有源层,从而影响器件性能。

发明内容

[0004] (一) 要解决的技术问题

[0005] 本发明要解决的技术问题是:提供一种可解决低电阻材料向有源层层扩散以及与基板和半导体材料附着力差等技术问题的薄膜晶体管、阵列基板及其制作方法、显示装置。

[0006] (二) 技术方案

[0007] 为了解决上述技术问题,本发明提供一种薄膜晶体管,包括形成在基板上的栅极、栅绝缘层、有源层、电极金属层和钝化层;电极金属层包括源电极和漏电极,源电极和漏电极互相隔离,之间为沟道区域;所述有源层和电极金属层之间形成有第二透明导电层。

[0008] 其中,所述栅极和基板之间形成有第一透明导电层。

[0009] 其中,所述栅极与电极金属层的材料为铜;所述第一透明导电层与栅极之间和 / 或第二透明导电层与电极金属层之间分别形成有一层金属层,所述金属层的材料为钼、铝、钽、钛或者其合金中的一种。

[0010] 其中,所述有源层为非晶硅或氧化物半导体材料。

[0011] 其中,所述第一透明导电层和 / 或第二透明导电层为锌氧化物,铟锡氧化物、铟锌

氧化物、聚乙撑二氧噻吩或石墨烯材料。

[0012] 本发明还提供了一种薄膜晶体管的制作方法,其包括如下步骤:

[0013] 在基板上形成栅极;

[0014] 在所述栅极上形成栅绝缘层和有源层;

[0015] 在所述栅绝缘层和有源层上形成第二透明导电层,以及位于第二透明导电层上彼此隔开的源电极和漏电极;

[0016] 在所述源电极和漏电极、以及第二透明导电层上形成钝化层。

[0017] 其中,在基板上形成栅极步骤中,包括:在基板上先形成第一透明导电层,作为栅极和基板之间的增强吸附层。

[0018] 本发明又提供了一种阵列基板,其包括上述任一项所述的薄膜晶体管或上述任一项制作方法所制作的薄膜晶体管。

[0019] 其中,所述阵列基板上设置有像素电极和公共电极,所述像素电极和所述公共电极设置在所述阵列基板的的不同层,所述像素电极和所述公共电极之间设置有绝缘层,所述像素电极的形状为狭缝状。

[0020] 其中,所述公共电极和第一透明导电层采用相同的材料,且两者在同一次光刻工艺中形成;所述像素电极和第二透明导电层采用相同的材料,且两者在同一次光刻工艺中形成。

[0021] 本发明进一步提供了一种阵列基板的制作方法,其包括如下步骤:

[0022] 在基板上形成栅极图形、栅线图形、栅线 PAD 区域图形;

[0023] 顺序形成栅绝缘层和有源层;

[0024] 顺序形成第二透明导电层、彼此隔开的源电极和漏电极、数据线以及数据线 PAD 区域;

[0025] 形成钝化层,暴露出栅线 PAD 区域以及数据线 PAD 区域。

[0026] 其中,所述阵列基板为 ADS 模式,在基板上形成栅极图形、栅线图形、栅线 PAD 区域图形的具体过程为:

[0027] 在基板上连续形成第一透明导电层和栅极金属层;

[0028] 在所述栅极金属层上形成具有高度差的光刻胶图案;

[0029] 对所述光刻胶图案进行多步曝光显影,每次曝光显影之后分别对所述栅极金属层进行刻蚀,以形成栅极图形、栅线图形、栅线 PAD 区域图形和公共电极图形。

[0030] 其中,所述阵列基板为 TN 模式,在基板上形成栅极图形、栅线图形、栅线 PAD 区域图形的的具体过程为:

[0031] 在基板上连续形成第一透明导电层和栅极金属层;

[0032] 在栅极金属层上旋涂光刻胶,使用掩模版进行曝光显影,使栅极图形、栅线图形、栅线 PAD 区域图形所对应的光刻胶保留;

[0033] 经过刻蚀形成栅极图形、栅线图形、栅线 PAD 区域图形。

[0034] 其中,当所述有源层为氧化物半导体材料时,顺序形成栅绝缘层和有源层还包括对保护层进行图形化,其具体过程为:

[0035] 连续沉积栅绝缘层、氧化物半导体层和保护层;

[0036] 在保护层上旋涂光刻胶;

[0037] 使用半色调或灰色调掩膜版进行曝光显影,使保护层图形区域的光刻胶完全保留,使两个用于与源电极和漏电极联接的接触区的光刻胶部分保留;

[0038] 经过多步刻蚀形成氧化物半导体层图形和保护层图形。

[0039] 其中,当所述有源层为非晶硅材料时,顺序形成栅绝缘层和有源层具体过程为:

[0040] 连续沉积栅绝缘层、有源层,有源层包括本征层和 N 型层;

[0041] 在 N 型层上旋涂光刻胶;

[0042] 进行曝光显影,使有源层图形区域的光刻胶保留;

[0043] 刻蚀掉未保留光刻胶区域的本征层和 N 型层。

[0044] 其中,顺序形成第二透明导电层、彼此隔开的源电极和漏电极、数据线以及数据线 PAD 区域具体过程为:

[0045] 包括对第二透明导电层和电极金属层进行图形化;

[0046] 连续沉积第二透明导电层和电极金属层;

[0047] 在电极金属层上旋涂光刻胶;

[0048] 使用半色调或灰色调掩膜版进行曝光显影,使源电极、漏电极和数据线以及数据线 PAD 区域的光刻胶完全保留,使像素电极区域的光刻胶部分保留;

[0049] 经过多步刻蚀形成源电极、漏电极和数据线以及数据线 PAD 区域图形。

[0050] 其中,当所述有源层为非晶硅材料时,还包括:刻蚀掉沟道区域的 N 型层。

[0051] 本发明更进一步提供了一种显示装置,其包括上述任一项所述的阵列基板或者上述任一项制作方法所制作的阵列基板。

[0052] (三)有益效果

[0053] 上述技术方案具有如下优点:本发明中的薄膜晶体管在基板和栅极金属层之间、有源层和电极金属层之间增加了透明导电层,增强了栅极金属层与基板之间的附着力,阻止了电极金属层向有源层的扩散,提高了产品性能;本发明中阵列基板的制作方法简单,使得阵列基板及基于该阵列基板的显示装置成本低,性价比高。

附图说明

[0054] 图 1a 至图 1f 分别是本发明实施例一中在基板上形成透明导电层、栅极图形、栅线图形、栅线 PAD 区域图形的过程示意图;

[0055] 图 2a 至图 2e 分别是本发明实施例一中在图 1f 之后的基板上形成栅绝缘层、有源层和保护层的过程示意图;

[0056] 图 3a 至图 3e 分别是本发明实施例一中在图 2e 之后的基板上形成第二透明导电层、电极金属层、钝化层和数据 PAD 区域图形的过程示意图;

[0057] 图 4 是本发明实施例一中阵列基板截面图;

[0058] 图 5 是本发明实施例二中阵列基板截面图;

[0059] 图 6 是本发明实施例三中阵列基板截面图;

[0060] 图 7a 至图 7d 分别是本发明实施例三中阵列基板的制作过程示意图。

[0061] 其中,1:基板;2:第一透明导电层;2a:增强吸附层;2b:公共电极;3:栅极;4:栅绝缘层;5:有源层;6:保护层;7:第二透明导电层;7a:阻挡扩散层;7b:像素电极;8:电极金属层;8a:源电极;8b:漏电极;9:钝化层;10:本征层;11:N 型层;15:光刻胶;110:栅线

PAD ;120 ;数据线 PAD。

具体实施方式

[0062] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。以下实施例用于说明本发明,但不用来限制本发明的范围。

[0063] 实施例一

[0064] 本实施例是本发明在 ADS 模式 LCD 的应用,其中有源层为氧化物半导体材料。图 4 是本实施例薄膜晶体管截面图,本实施例中栅极 3、源电极 8a 和漏电极 8b 均为铜材质,当然,根据需要还可选用钼、铝、钨、铜、钛等单质,或者每种单质对应的合金等材料。在源电极 8a 和有源层 5 之间、漏电极 8b 和有源层 5 之间有第二透明导电层 7。第二透明导电层 7 处于电极金属铜和有源层 5 之间,可以阻止电极金属铜与有源层 5 发生反应引起的电极金属扩散。栅线 PAD110 和数据线 PAD120 是指阵列基板外围电路部分,用于与外部电路板连接,输入栅极驱动信号和数据信号。

[0065] 优选的,在栅极 3 和基板 1 之间有第一透明导电层 2;第一透明导电层 2 可以增加基板 1 和栅极 3 金属铜之间的附着力,提高产品的稳定性。

[0066] 图 4 中所示的第一透明导电层 2 从其功能上又分为两部分,分别为图示中的栅极 3 和基板 1 之间的增强吸附层 2a,以及栅绝缘层 4 和基板 1 之间的公共电极 2b。第一透明导电层 2 在形成过程中,可同时形成增强吸附层 2a 和公共电极 2b。增强吸附层 2a 增加基板 1 和栅极 3 金属铜之间的附着力,提高产品的稳定性;同时形成公共电极 2b,简化了单独形成公共电极的制作步骤。既能够提高薄膜晶体管的质量,又简化了其制作工艺。

[0067] 图 4 中所示的第二透明导电层 7 从其功能上又分为两部分,分别为图示中的源电极 8a 和有源层 5 之间、漏电极 8b 与有源层 5 之间的阻挡扩散层 7a,以及像素区位于栅极绝缘层上的像素电极 7b。第二透明导电层 7 在形成过程中,可同时形成阻挡扩散层 7a 和像素电极 7b,既能够提高薄膜晶体管的质量,又简化了其制作工艺。

[0068] 第一透明导电层 2 和第二透明导电层 7 可以分别或同时采用锌氧化,铟锡氧化物、铟锌氧化物、铟锌锡氧化物、聚乙撑二氧噻吩或石墨烯等透明导电材料,如 ITO 等。

[0069] 制作包含上述薄膜晶体管的阵列基板的实施例,包括以下步骤:

[0070] 第一步骤:

[0071] 首先,如图 1a 所示,在基板 1 (根据需要可选用不同材质的基板,如玻璃基板或石英基板)上形成一层第一透明导电层 2,然后在第一透明导电层 2 上形成金属铜栅极 3 薄膜。其中,栅极 3 成膜的方法具体可以为等离子增强化学气相沉积(PECVD)、磁控溅射、热蒸发或其它成膜方法,第一透明导电层 2 的形成可以采用沉积方式、旋涂方式或滚涂方式。

[0072] 其次,在栅极 3 薄膜上旋涂一层光刻胶 15。其中,光刻胶 15 的形成还可以采用旋涂方式或滚涂方式。

[0073] 接下来,在所述栅极层上形成具有高度差的光刻胶图案,根据光刻胶层其位置采用不同的曝光量进行曝光并随后进行显影,结果形成具有高度差的光刻胶图案方法可以采用半色调或灰色调掩模版进行曝光显影。如图 1b 所示,曝光显影后光刻胶 15 分为完全去除区域 I、完全保留区域 II 和部分保留区域 III。光刻胶完全保留区域 II 对应于形成栅极、栅线以及栅线 PAD110 区域图形(栅线 PAD 和数据线 PAD 是指阵列基板外围电路部分,用于与

外部电路板连接,输入栅极驱动信号和数据信号),光刻胶部分保留区域III对应于形成公共电极图形区域,光刻胶完全去除区域 I 对应于光刻胶完全保留区域 II 与光刻胶部分保留区域III之外的区域。

[0074] 然后,进行多步刻蚀,其过程为:第一次刻蚀→灰化→第二次刻蚀。如图 1c 所示,第一次刻蚀掉光刻胶完全去除区域 I 的第一透明导电层 2 与铜栅极 3 薄膜;接着如图 1d 所示,对图 1c 所示的阵列基板上的光刻胶 15 进行灰化,部分保留区域III的光刻胶 15 被去除掉;然后对图 1d 所示的阵列基板进行第二次刻蚀,刻蚀掉光刻胶部分保留区域III的铜栅极 3 薄膜,得到公共电极图形,完成后阵列基板的截面图如图 1e 所示。如图 1f 所示,在刻蚀完成后,将光刻胶 15 剥离。其中,去除光刻胶 15 可以采用直接剥离,或采用 PGMEA 或 EGMEA 作为溶剂进行离子液剥离。

[0075] 可以理解的,在本步骤中不增加在栅极 3 和基板 1 的第一透明导电层 2 时,可以在图 1b 中部分保留区域III改为完全保留区域 II,与栅极同层制作公共电极。

[0076] 优选的,在栅极 3 和基板 1 之间有第一透明导电层 2;第一透明导电层 2 可以增加基板 1 和栅极 3 金属铜之间的附着力,提高产品的稳定性。并且在第一透明导电层 2 在形成过程中,可同时形成增强吸附层 2a 和公共电极 2b,既能够提高薄膜晶体管的质量,又简化了其制作工艺。

[0077] 第二步骤:在完成上述工艺的阵列基板上依次进行下述工艺:

[0078] 首先,连续沉积栅绝缘层 4,有源层 5,保护层 6;

[0079] 其次,在阵列基板上旋涂一层光刻胶 15;

[0080] 接下来,使用半色调或灰色调掩膜版进行曝光显影。如图 2a 所示,曝光显影后光刻胶 15 分为完全去除区域 I、部分保留区域 II 和完全保留区域III。光刻胶完全保留区域III对应形成保护层区域,用于保护氧化物半导体,以免在刻蚀过程中对氧化物半导体造成破坏,光刻胶部分保留区域 II 用于形成与源电极和漏电极的接触区。当然,在不需要保护层 6 时,可以通过光刻胶的曝光显影工序后去掉。

[0081] 然后,进行多步刻蚀,其过程为:第一次刻蚀→灰化→第二次刻蚀。如图 2b 所示,第一次刻蚀,刻蚀掉光刻胶完全去除区域 I 的有源层 5 与保护层 6。接着如图 2c 所示,对图 2b 所示的阵列基板上的光刻胶 15 进行灰化,部分保留区域 II 的光刻胶 15 被去除掉;然后对图 2c 所示的阵列基板进行第二次刻蚀,刻蚀掉光刻胶部分保留区域 II 的保护层 6,以暴露出氧化物半导体,完成后阵列基板的截面图如图 2d 所示。如图 2e 所示,在刻蚀完成后,将光刻胶 15 剥离。

[0082] 第三步骤:在完成上述工艺的阵列基板上依次进行下述工艺:

[0083] 首先,在阵列基板上连续形成第二透明导电层 7 和电极金属层 8;

[0084] 其次,在阵列基板上旋涂一层光刻胶 15;

[0085] 接下来,使用半色调或灰色调掩膜版进行曝光显影。如图 3a 所示,曝光显影后光刻胶 15 分为完全去除区域 I、完全保留区域 II 和部分保留区域III。光刻胶完全保留区域 II 对应形成保护源电极 8a、漏电极 8b、数据线以及数据线 PAD120 图形区域,光刻胶部分保留区域III对应于形成像素电极区域图形,光刻胶完全去除区域 I 对应于光刻胶完全保留区域 II 与部分保留区域III以外的区域。

[0086] 然后,进行多步刻蚀,其过程为:第一次刻蚀→灰化→第二次刻蚀。如图 3b 所示,

第一次刻蚀,刻蚀掉光刻胶完全去除区域 I 的第二透明导电层 7 与电极金属层 8。接着如图 3c 所示,对图 3b 所示的阵列基板上的光刻胶 15 进行灰化,部分保留区域 III 的光刻胶 15 被去除掉;然后对图 3c 所示的阵列基板进行第二次刻蚀,刻蚀掉光刻胶部分保留区域 III 的电极金属层 8,以暴露出第二透明导电层 7,完成后阵列基板的截面图如图 3d 所示。如图 3e 所示,在刻蚀完成后,将光刻胶 15 剥离。

[0087] 最后,在完成上述步骤的阵列基板上沉积一层钝化层 9。如图 4 所示,通过曝光刻蚀暴露出栅线 PAD 区域以及数据线 PAD 区域。

[0088] 剥离光刻胶 15 后即完成本发明实施例薄膜晶体管阵列基板的制作。

[0089] 在本实施例的 ADS 模式的阵列基板上,所述像素电极和所述公共电极设置在所述阵列基板的的不同层,所述像素电极和所述公共电极之间设置有绝缘层,所述公共电极大致覆盖整个像素区,所述像素电极的形状为狭缝状。

[0090] 由以上实施例可以看出,本发明薄膜晶体管阵列基板的制作过程采用了四次构图工艺,在不增加现有技术构图工艺次数的基础上,完成本发明中新型结构的薄膜晶体管阵列基板的制作。

[0091] 实施例二

[0092] 本发明另一实施例用于 TN 模式 LCD 中,图 5 是本实施例薄膜晶体管截面图。与实施例一中 ADS 模式 LCD 不同之处在于,ADS 模式 LCD 中由第二透明导电层 7 形成的像素电极为狭缝状而 TN 模式 LCD 中,第二透明导电层 7 形成的像素电极为板状。在制作过程中第一次构图工艺时不需要采用半色调或灰色调掩模版进行曝光显影的多步刻蚀工艺。与实施例一薄膜晶体管阵列基板制作方法的区别在于,包括如下步骤:

[0093] 首先,在形成第一透明导电层 2 和栅极金属层之后,使用栅极图案的掩模版进行曝光显影,保留栅极、栅线以及栅线 PAD110 区域图形的光刻胶 15;

[0094] 其次,对阵列基板进行刻蚀,将栅极、栅线以及栅线 PAD110 区域图形以外区域的第一透明导电层和栅极金属层完全刻蚀掉。

[0095] 接下来进行与实施例一种相同的步骤来形成栅绝缘层 4、有源层 6、保护层 6、第二透明导电层 7、源电极 8a、漏电极 8b 和钝化层 9 即可,其中,由第二透明导电层 7 形成像素电极时,保证像素电极的块状结构即可。

[0096] 可以看出,上述两个实施例中,本发明薄膜晶体管中的有源层和电极金属层之间增加了透明导电层,可以阻止了电极金属向有源层扩散,提高了产品性能。当电极金属使用铜材料时,其对有源层的扩散性更强;为进一步阻止铜向有源层扩散以及增加铜的吸附力,可以在栅极和第一透明导电层之间、和 / 或电极金属层和第二透明导电层之间增加一金属层,金属层的材料可以选择钼、铝、钽、钛等单质或者每种单质所对应的合金等材料。

[0097] 实施例三

[0098] 本发明的另一实施例中的有源层为非晶硅材料,该实施例适用于 ADS 模式 LCD 和 TN 模式 LCD。图 6 是本实施例薄膜晶体管截面图。有源层包括下部的本征层 10 和上部的 N 型层 11,本实施例中本征层 10 为 a-Si, N 型层 11 是在 a-Si 中掺有 N 型掺杂剂原子的 N+a-Si。

[0099] 本实施例薄膜晶体管的结构与实施例一中薄膜晶体管的结构类似,其区别在于本实施例中有源层具有双层结构,并且没有实施例一中薄膜晶体管的保护层结构。

[0100] 在制作包含本实施例薄膜晶体管的阵列基板时,在基板上形成栅极图形、栅线图形、栅线 PAD 区域图形和第一透明导电层图案的步骤与实施例一相同。在基板上形成栅极金属层和第一透明导电层结构后,执行以下步骤:

[0101] 首先,在基板上依次沉积栅绝缘层 4, a-Si 材料本征层 10, N+a-Si 材料 N 型层 11;

[0102] 其次,在 N 型层上旋涂光刻胶 15;

[0103] 接下来,对光刻胶 15 进行曝光显影,保留有源层图形区域的光刻胶 15,完成后阵列基板截面图如图 7a 所示。

[0104] 然后,刻蚀掉未保留光刻胶区域的本征层 10 和 N 型层 11。

[0105] 完成上述步骤并去除光刻胶 15 后阵列基板截面图如图 7b 所示。

[0106] 然后在经过上述步骤得到的阵列基板上进行实施例一中的步骤,在阵列基板上形成源电极、漏电极、数据线以及数据线 PAD 区域图形,此时阵列基板截面图如图 7c 所示。

[0107] 与实施例一不同之处在于,本实施例薄膜晶体管有源层是双层结构,并且没有保护层,所以本实施例阵列基板制作过程还包括以下步骤:刻蚀掉沟道区域的 N 型层。刻蚀掉沟道区域的 N 型层后阵列基板的截面图如图 7d 所示。

[0108] 完成以上步骤并去除光刻胶 15 后,在阵列基板上沉积一层钝化层 9,通过曝光刻蚀暴露出栅线 PAD 区域以及数据线 PAD 区域,从而完成本实施例薄膜晶体管阵列基板的制作。

[0109] 本发明薄膜晶体管中的有源层和电极金属层之间增加了透明导电层,可以阻止了电极金属向有源层扩散,提高了产品性能。当电极金属使用铜材料时,其对有源层的扩散性更强;为进一步阻止铜向有源层扩散以及增加铜的吸附力,可以在栅极和第一透明导电层之间、和 / 或电极金属层和第二透明导电层之间增加一金属层,金属层的材料可以选择钼、铝、钽、钛等单质或者每种单质所对应的合金等材料。上述结构的阵列基板中金属层图案与栅极层、电极金属层图案相同,其制作方法与以上实施例基本相同,在对栅极层、电极金属层图形化时,同时完成金属层的图形化。

[0110] 当然,本发明薄膜晶体管阵列基板还可以由其他制作方法完成。相比现有技术,本发明在结构上增加了第一透明导电层 2 和第二透明导电层 7,二者可以通过单独的构图工艺形成。虽然,这样做势必增加构图工艺的次数,大幅增加了制造成本,但依然可以完成本发明新型结构的薄膜晶体管阵列基板的制作。

[0111] 实施例四

[0112] 本实施例提供一种薄膜晶体管的制作方法,其包括:

[0113] 在基板上形成栅极;

[0114] 在所述栅极上形成栅绝缘层和有源层;

[0115] 在所述栅绝缘层和有源层上形成第二透明导电层,以及位于第二透明导电层上电极金属层;

[0116] 在所述电极金属层、以及第二透明导电层上形成钝化层。

[0117] 在基板上形成栅极步骤中,包括:可以在基板上先形成一层第一透明导电层,作为栅极和基板之间的增强吸附层。栅极和增强吸附层可以在同一过程中形成。与此同时,第一透明导电层在形成过程中,可同时形成增强吸附层和阵列基板的公共电极,既能够提高薄膜晶体管的质量,又简化了制作阵列基板的制作工艺。

[0118] 具体的,在基板上连续形成第一透明导电层和栅极金属层;在所述栅极金属层上形成光刻胶图案;对所述光刻胶图案进行曝光显影,每次曝光显影之后分别对所述栅极金属层进行刻蚀,以形成相应的图形。需要说明的,在第一透明导电层在同时形成阵列基板的公共电极时,需要在所述栅极金属层上形成具有高度差的光刻胶图案,并进行相应的光刻胶多步曝光显影。

[0119] 在形成所述栅极上的栅绝缘层和有源层的步骤中,包括:在形成在所述栅极上连续形成栅绝缘层、有源层,在所述有源层上形成光刻胶图案;对所述光刻胶图案进行曝光显影,每次曝光显影之后进行刻蚀,以形成相应的图形。

[0120] 优选的,在有源层为氧化物半导体时,在形成在所述栅极上连续沉积栅绝缘层、有源层、保护层,并在保护层上形成光刻胶;

[0121] 具体的,所述栅极上连续沉积栅绝缘层、氧化物半导体层和保护层;在保护层上旋涂光刻胶;使用半色调或灰色调掩膜版进行曝光显影,使保护层图形区域的光刻胶完全保留,使两个用于与源电极和漏电极联接的接触区的光刻胶部分保留;经过多步刻蚀形成氧化物半导体层图形和保护层图形。

[0122] 优选的,有源层为非晶硅材料时,有源层包括本征层和N型层。

[0123] 具体的,连续沉积栅绝缘层、本征层和N型层;在N型层上旋涂光刻胶;进行曝光显影,使有源层图形区域的光刻胶保留;刻蚀掉未保留光刻胶区域的本征层和N型层。

[0124] 在所述栅绝缘层和有源层上形成第二透明导电层,以及位于第二透明导电层上的金属层的步骤中,所述金属层包括彼此隔开的源电极和漏电极,两者之间为沟道区域;包括:在所述栅绝缘层和有源层上连续形成第二透明导电层和电极金属层;在电极金属层上形成光刻胶图案;对光刻胶图案进行曝光显影,每次曝光显影之后进行刻蚀,以形成相应的图形。

[0125] 优选的,第二透明导体层还可以在该工艺步骤中形成阵列基板所需的像素电极,该像素电极可以根据需要制作成狭缝状或板状等。

[0126] 具体的,在所述栅绝缘层和有源层上,连续沉积第二透明导电层和电极金属层;在电极金属层上旋涂光刻胶;使用半色调或灰色调掩膜版进行曝光显影,曝光显影之后进行刻蚀形成源电极、漏电极。

[0127] 优选的,当所述有源层为非晶硅材料时,还包括刻蚀掉沟道区域的N型层。

[0128] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明技术原理的前提下,还可以做出若干改进和替换,这些改进和替换也应视为本发明的保护范围。

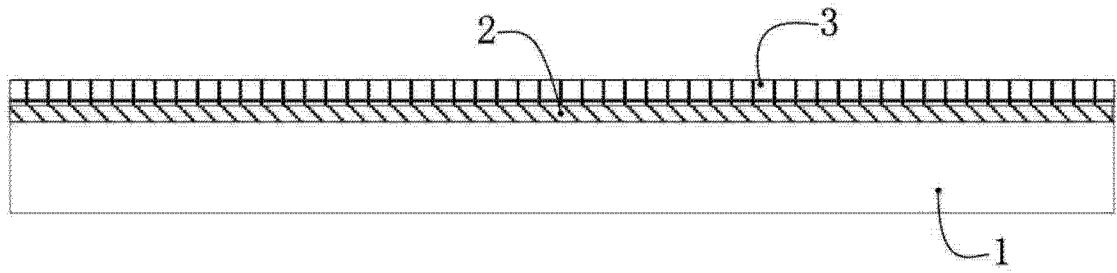


图 1a

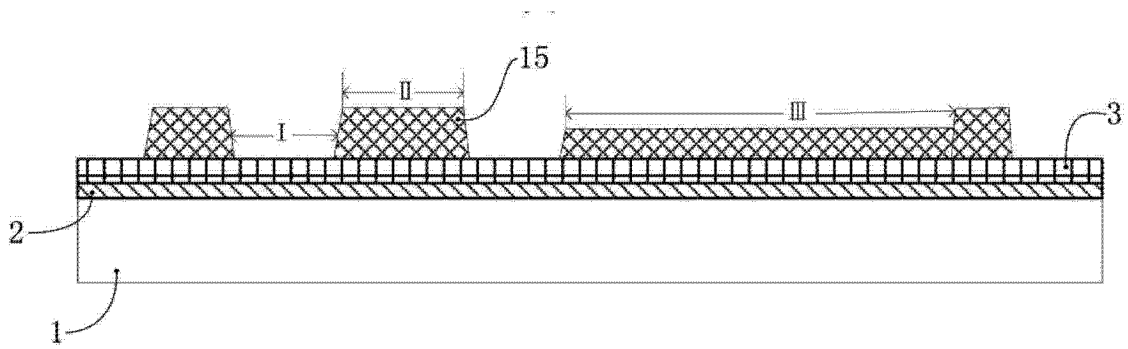


图 1b

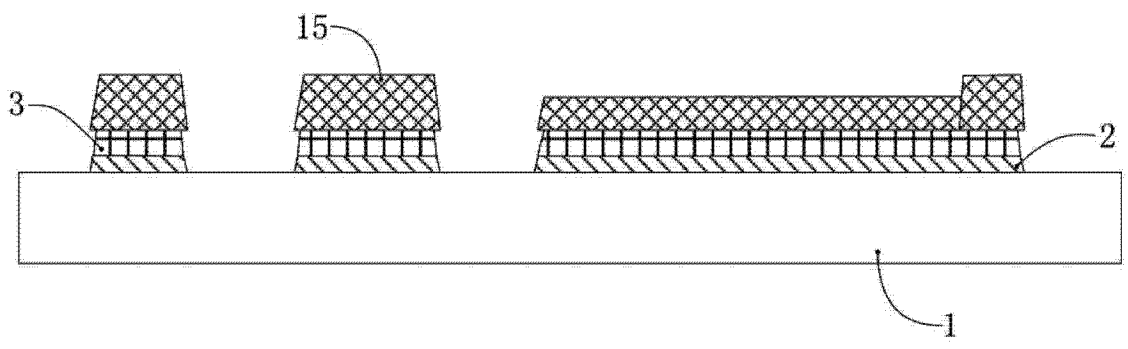


图 1c

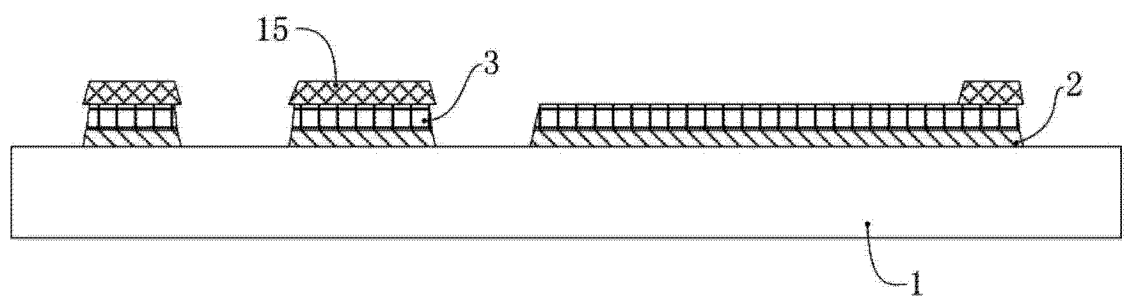


图 1d

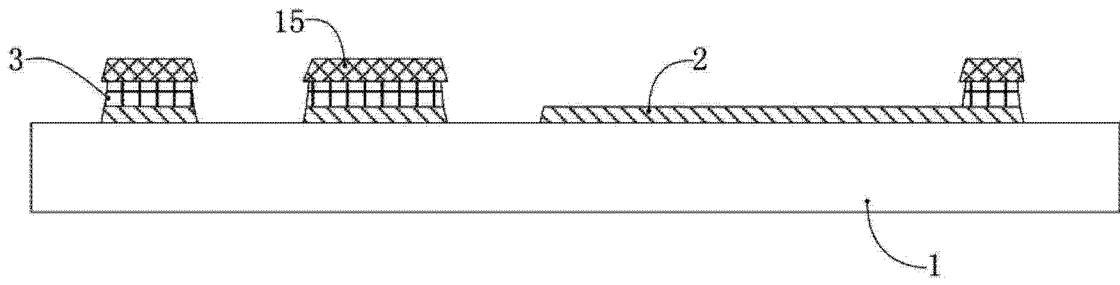


图 1e

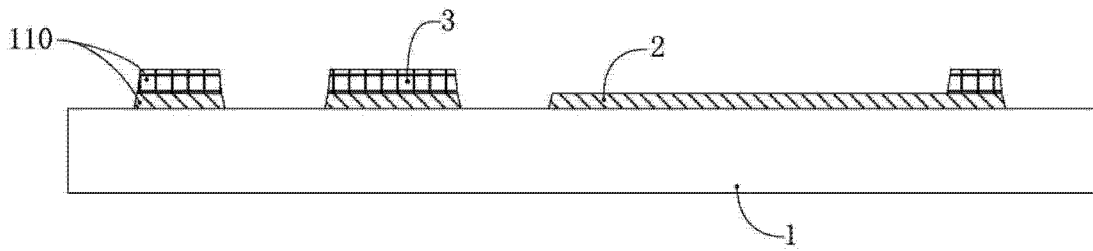


图 1f

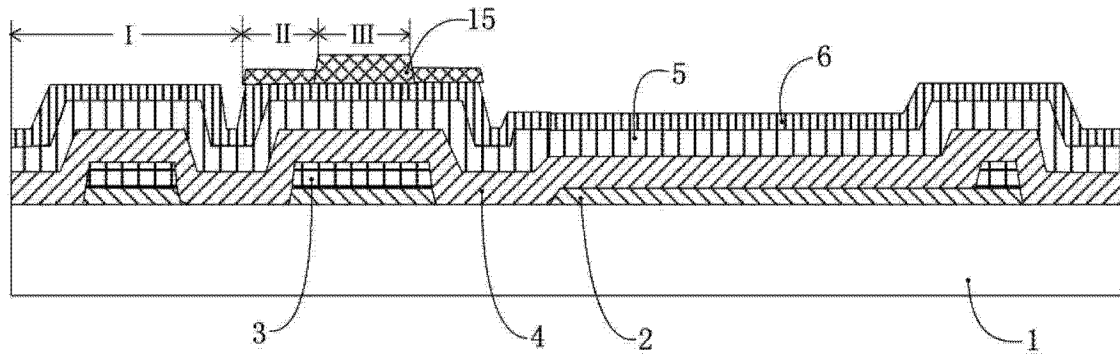


图 2a

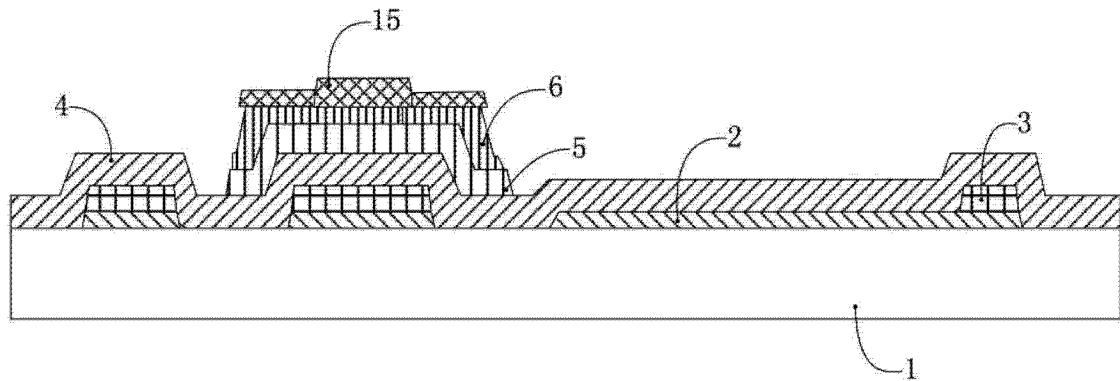


图 2b

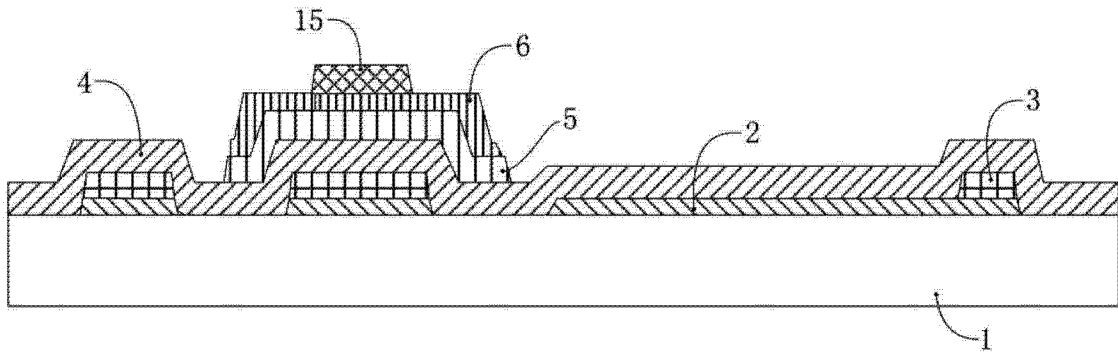


图 2c

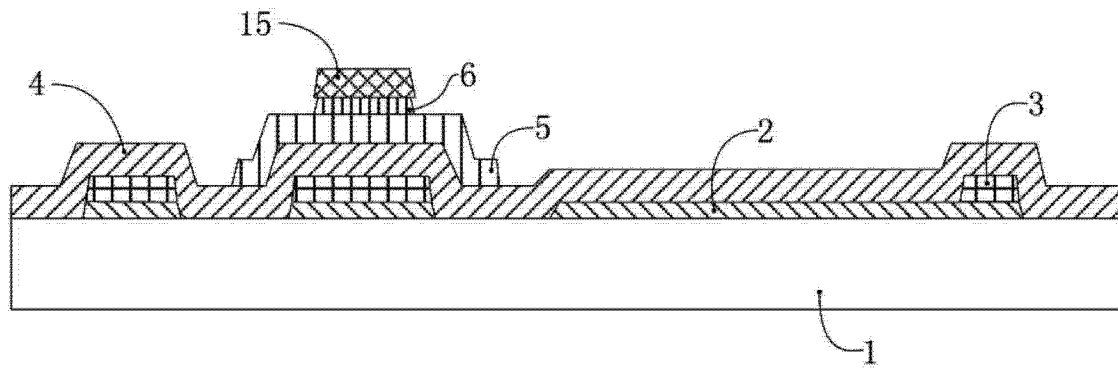


图 2d

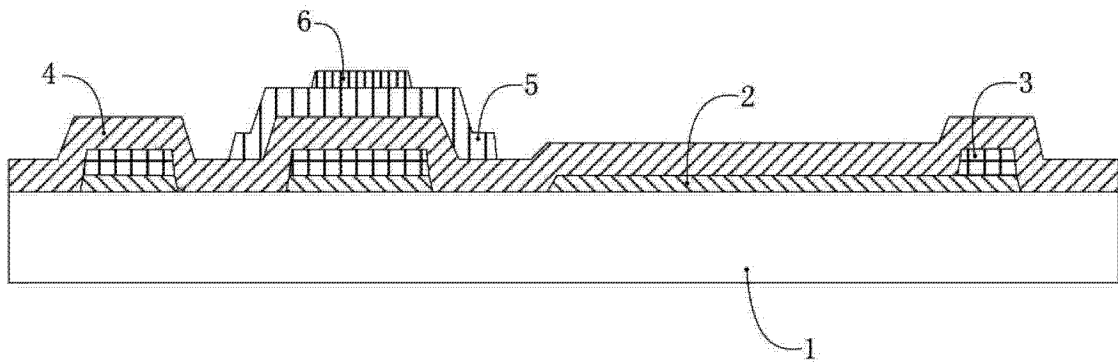


图 2e

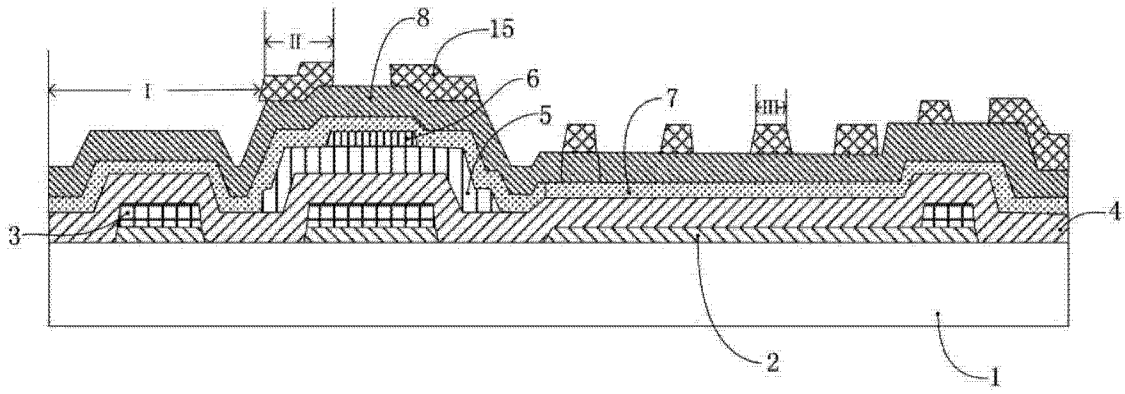


图 3a

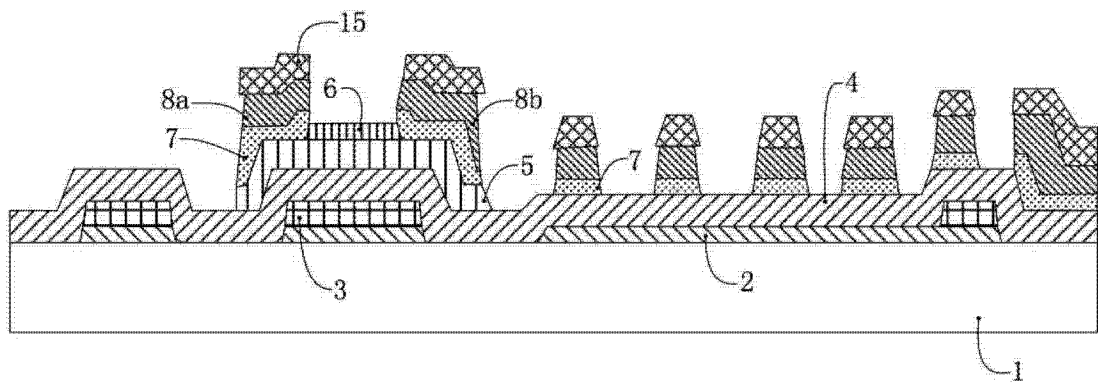


图 3b

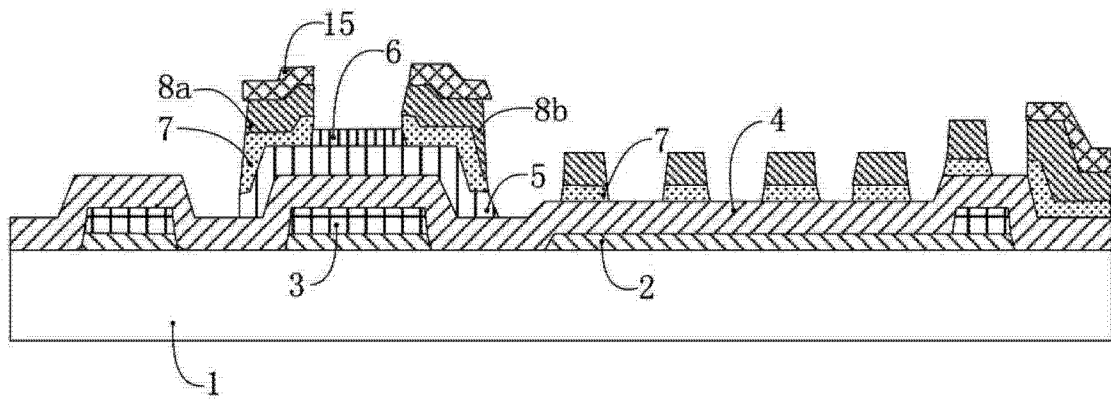


图 3c

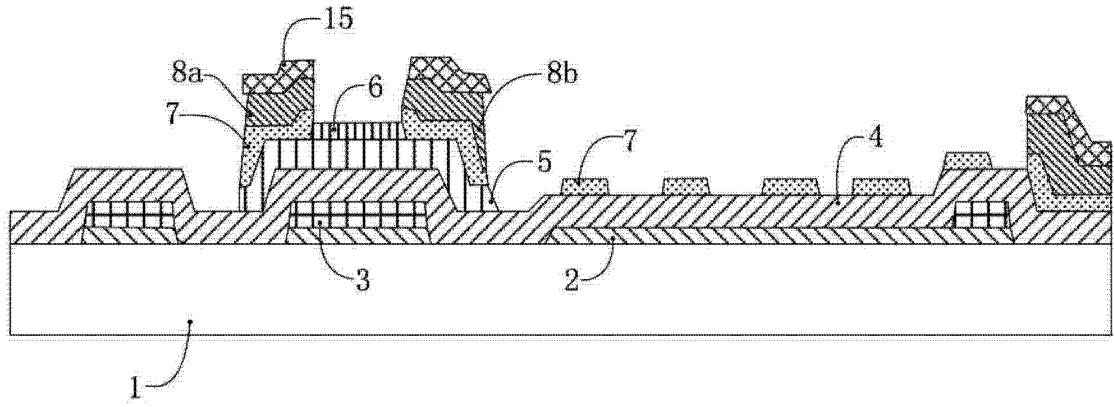


图 3d

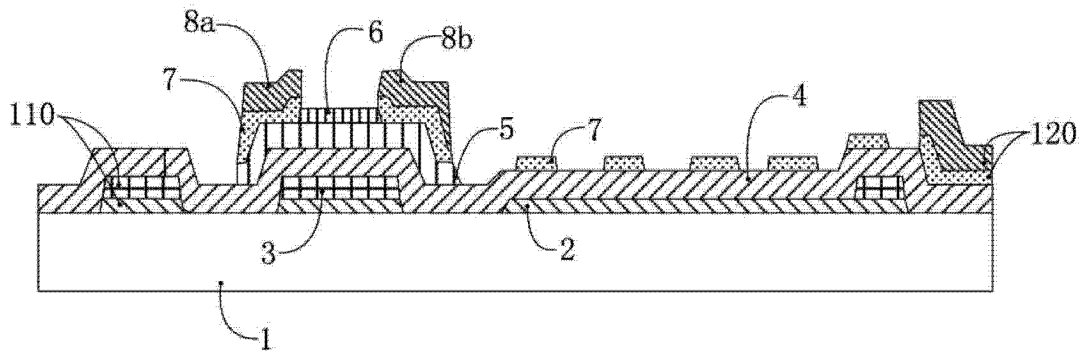


图 3e

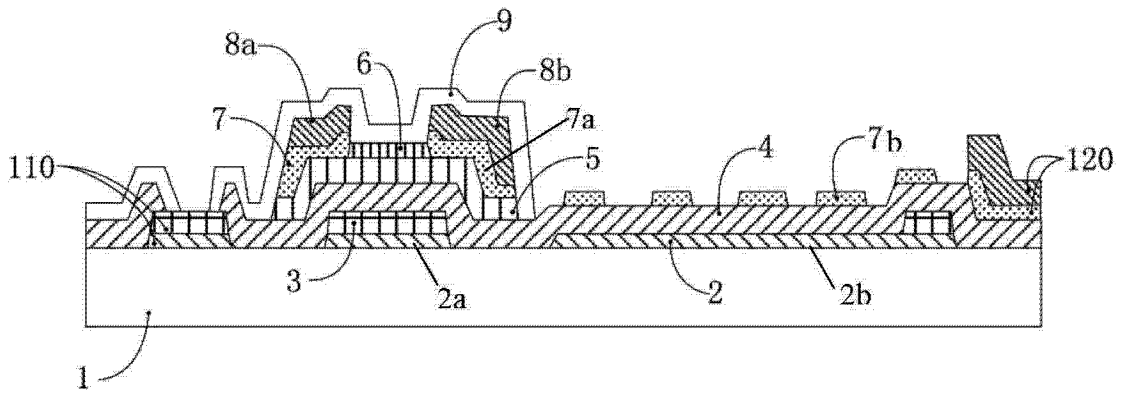


图 4

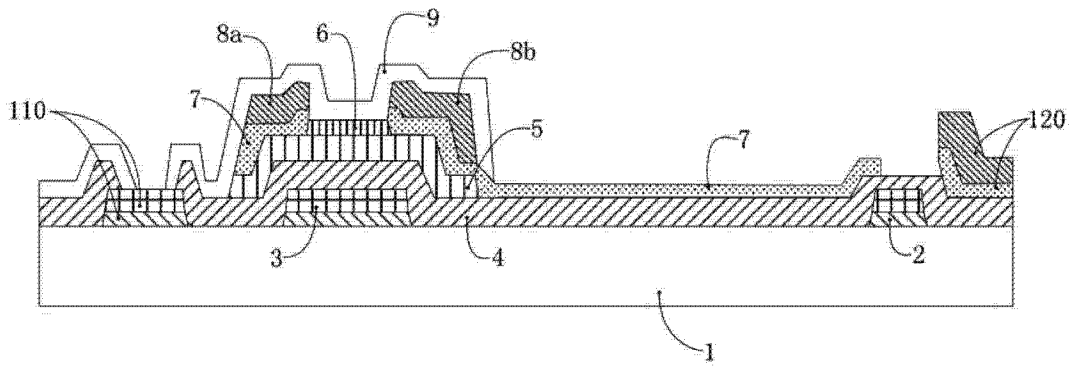


图 5

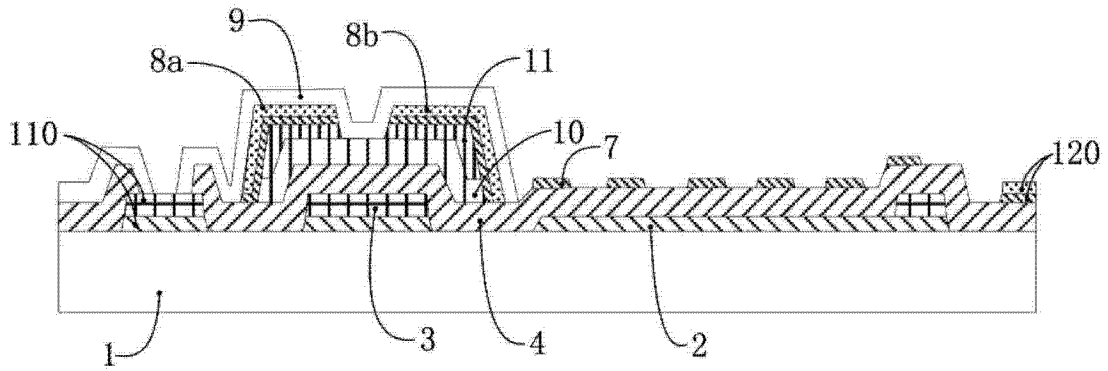


图 6

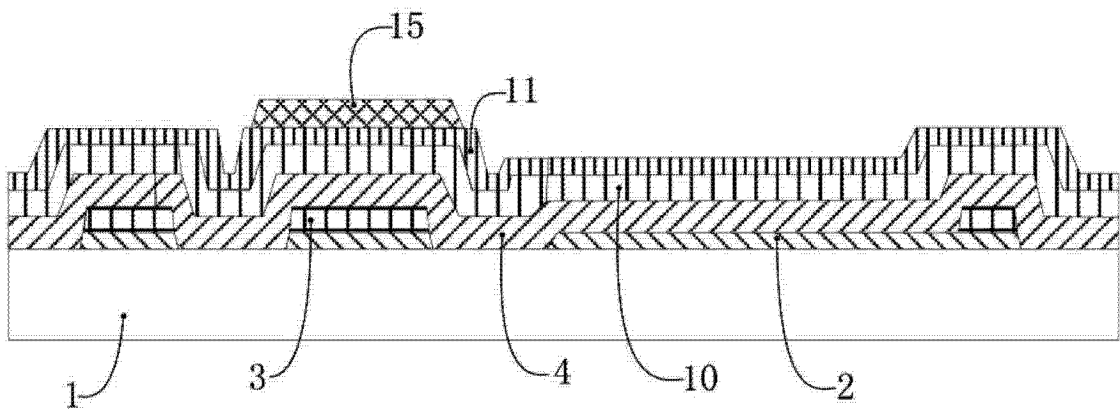


图 7a

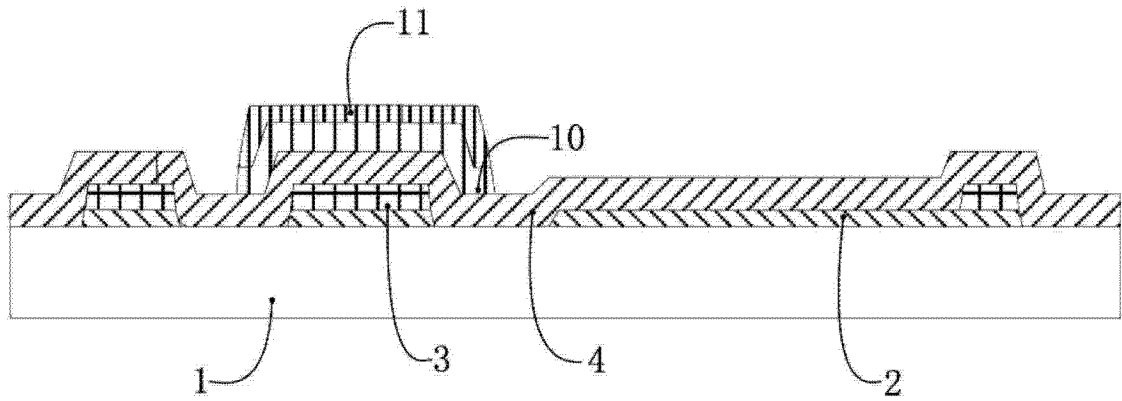


图 7b

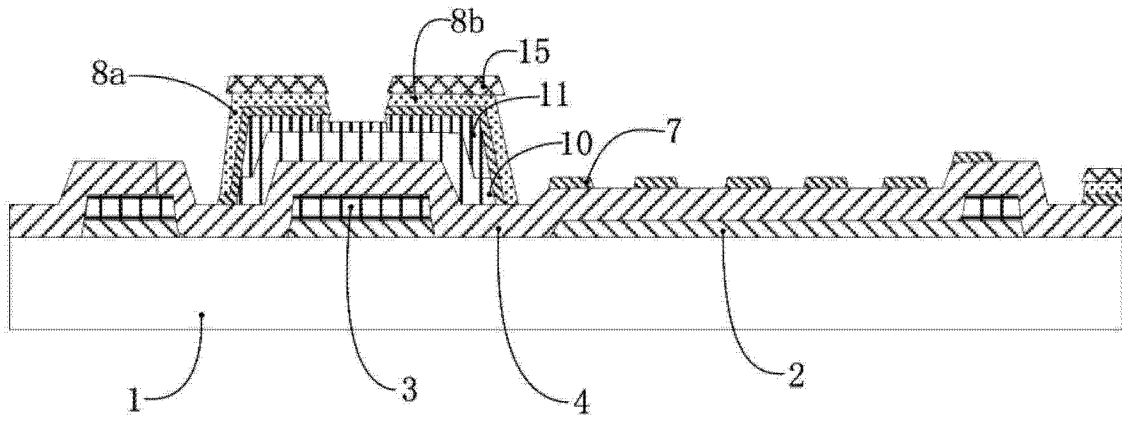


图 7c

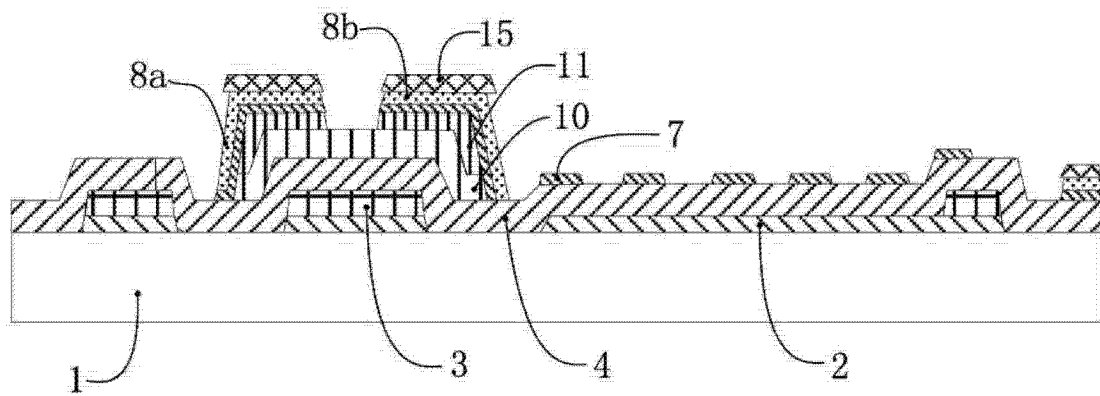


图 7d