



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I522771 B

(45)公告日：中華民國 105 (2016) 年 02 月 21 日

(21)申請案號：100130480

(22)申請日：中華民國 100 (2011) 年 08 月 25 日

(51)Int. Cl. : G05F3/24 (2006.01)

H01L27/02 (2006.01)

H01L21/82 (2006.01)

(30)優先權：2010/08/27 日本

2010-190591

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：武分善也 TAKEWAKI, YOSHIYA (JP)；鹽野入豐 SHIONOIRI, YUTAKA (JP)；
鎌田康一郎 KAMATA, KOICHIRO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 505253

TW I250638

TW I255034

TW I273696

US 5497119

US 5546042

US 5936455

US 2006/0255874A1

US 2008/0254569A1

審查人員：李昭俊

申請專利範圍項數：15 項 圖式數：17 共 92 頁

(54)名稱

半導體裝置及半導體裝置的驅動方法

SEMICONDUCTOR DEVICE AND METHOD OF DRIVING SEMICONDUCTOR DEVICE

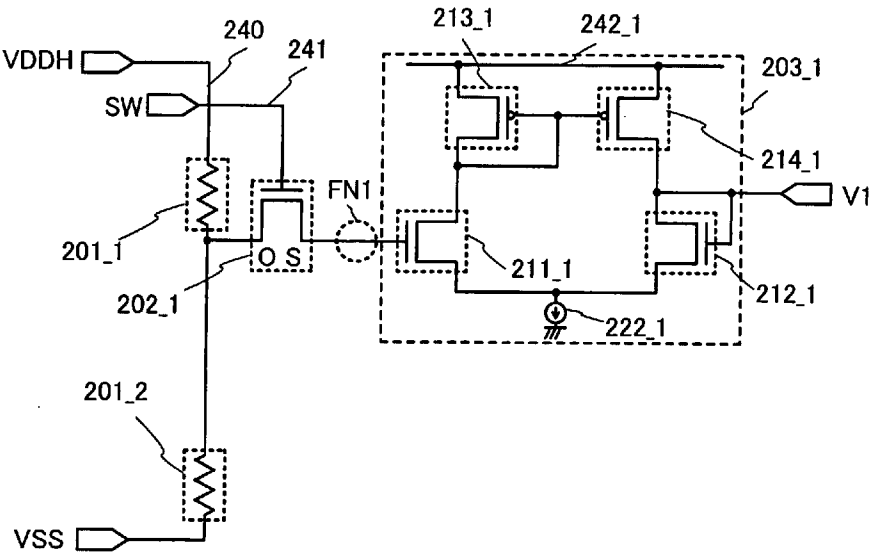
(57)摘要

本發明的一個目的在於在需要多個參考電位的半導體裝置以及該半導體裝置的驅動方法中進一步減少功耗。一種包括分壓器電路的半導體裝置，在該分壓器電路中，使用串聯連接於電源線的多個電阻器對供應給電源線的電位進行電阻分割，並且藉由電連接於電源線的開關電晶體輸出所希望的被分割的電位，其中，開關電晶體的汲極端子與設置在輸出一側的電路中的電晶體的閘極端子（或電容器的其中一個端子）電連接而構成節點。

An object of the invention is to reduce the power consumption of a semiconductor device that requires a plurality of reference potentials and a method of driving the semiconductor device. Disclosed is a semiconductor device having a potential divider circuit in which a potential supplied to a power supply line is resistively divided by resistors connected in series to the power supply line so that a desired potential is output through a switch transistor electrically connected to the power supply line. A drain terminal of the switch transistor is electrically connected to a gate terminal of a transistor provided in a circuit on the output side (or to one terminal of a capacitor) to form a node. The switch transistor has an off current low enough to hold the desired voltage in the node even when the potential is no more supplied to the power supply line.

指定代表圖：

圖 1



符號簡單說明：

- 201_1 . . . 電阻器
- 201_2 . . . 電阻器
- 202_1 . . . 開關電晶體
- 203_1 . . . 運算放大器電路
- 211_1 . . . 電晶體
- 212_1 . . . 電晶體 (第二電晶體)
- 213_1 . . . 電晶體 (第三電晶體)
- 214_1 . . . 電晶體 (第四電晶體)
- 222_1 . . . 定電流源
- 240 . . . 電源線
- 241 . . . 選擇線
- 242_1 . . . 電源線
- VDDH . . . 高電位
- SW . . . 選擇線
- VSS . . . 電位
- FN1 . . . 節點
- V1 . . . 電位

公告本

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100130480

G05F 3/24 (2006.01)

※申請日：100 年 08 月 25 日

※IPC 分類：

H01L 27/02 (2006.01)

H01L 21/82 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置及半導體裝置的驅動方法

Semiconductor device and method of driving semiconductor device

二、中文發明摘要：

本發明的一個目的在於在需要多個參考電位的半導體裝置以及該半導體裝置的驅動方法中進一步減少功耗。一種包括分壓器電路的半導體裝置，在該分壓器電路中，使用串聯連接於電源線的多個電阻器對供應給電源線的電位進行電阻分割，並且藉由電連接於電源線的開關電晶體輸出所希望的被分割的電位，其中，開關電晶體的汲極端子與設置在輸出一側的電路中的電晶體的閘極端子（或電容器的其中一個端子）電連接而構成節點。

三、英文發明摘要：

An object of the invention is to reduce the power consumption of a semiconductor device that requires a plurality of reference potentials and a method of driving the semiconductor device. Disclosed is a semiconductor device having a potential divider circuit in which a potential supplied to a power supply line is resistively divided by resistors connected in series to the power supply line so that a desired potential is output through a switch transistor electrically connected to the power supply line. A drain terminal of the switch transistor is electrically connected to a gate terminal of a transistor provided in a circuit on the output side (or to one terminal of a capacitor) to form a node. The switch transistor has an off current low enough to hold the desired voltage in the node even when the potential is no more supplied to the power supply line.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

201_1：電阻器

201_2：電阻器

202_1：開關電晶體

203_1：運算放大器電路

211_1：電晶體

212_1：電晶體（第二電晶體）

213_1：電晶體（第三電晶體）

214_1：電晶體（第四電晶體）

222_1：定電流源

240：電源線

241：選擇線

242_1：電源線

VDDH：高電位

SW：選擇線

VSS：電位

FN1：節點

V1：電位

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明關於一種半導體裝置及半導體裝置的驅動方法。

在本說明書中，半導體裝置是指能夠藉由利用半導體特性而操作的所有裝置，因此電光裝置、半導體電路以及電子裝置都是半導體裝置。

【先前技術】

在各種半導體裝置中有其驅動需要多個參考電位的裝置。作為供應這些參考電位的方法之一，有利用串聯連接的多個電阻器將高電位分割成所希望的電位的方法。

對於該供應的參考電位及供應參考電位的電路的要求根據半導體裝置的用途而不同，從而開發對應於各要求的參考電位產生電路（例如，參照專利文獻1）。在專利文獻1中揭示了不但抑制電路規模的大型化並確保足夠的精度而且能夠調整參考電位的參考電位產生電路。

[專利文獻1] 日本專利申請公開2006-163507號公報

【發明內容】

本發明的目的之一在於在這種需要多個參考電位的半導體裝置及該半導體裝置的驅動方法中進一步減少功耗。

本說明書所公開的半導體裝置包括分壓器電路，在該分壓器電路中，利用串聯連接於電源線的多個電阻器對供

應給電源線的電位進行電阻分割，並且藉由與電源線電連接的開關電晶體輸出所希望的被分割的電位。開關電晶體的汲極端子與設置在輸出一側的運算放大器電路的電晶體的閘極端子電連接而構成節點。

首先，使開關電晶體成為導通狀態，將利用多個電阻器分割成所希望的電位的電位從電源線供應給（儲存於）該節點。在供應所希望的電位後，使開關電晶體成為截止狀態，在該節點保持電位。藉由在該節點保持所希望的被分割的電位，即使在來自電源線的電位供應停止的情況下，也能夠輸出所希望的電位。

作為構成節點而保持電位的開關電晶體，使用作為半導體層包括能夠充分降低截止電流的材料如寬頻隙半導體材料（更明確而言，例如是能隙 E_g 大於 3 eV 的半導體材料）的電晶體。藉由使用能夠充分降低電晶體的截止電流的半導體材料，能夠長期保持電位。作為一種上述寬頻隙半導體材料，有氧化物半導體材料。在本說明書所公開的半導體裝置中，能夠適當地採用包括使用氧化物半導體材料的氧化物半導體層的電晶體。

因此，由於不需要連續地進行對於電源線的電位供應，並且能夠設置停止對於電源線的電位供應的期間，所以能夠減少功耗。藉由在電源線上設置用來控制供應給電阻器的電位的電晶體，來選擇對於電源線的電位供應或不供應。

此外，也可以使用閘極端子與源極端子電連接的電晶

體代替開關電晶體。

此外，開關電晶體（或閘極端子與源極端子電連接的電晶體）的汲極端子也可以與設置在輸出一側的電路中的電容器的一方端子電連接而構成節點。

本說明書所揭示的發明的結構的一個方式為一種半導體裝置，該半導體裝置包括分壓器電路，該分壓器電路包括串聯設置有第一電阻器及第二電阻器的電源線；選擇線；其閘極端子與選擇線電連接的包括氧化物半導體層的開關電晶體；以及包括藉由開關電晶體與電源線電連接的電晶體的運算放大器電路，其中，第一電阻器、第二電阻器、開關電晶體的源極端子電連接，並且開關電晶體的汲極端子與運算放大器電路所包括的電晶體的閘極端子電連接。

本說明書所揭示的發明的結構的另一個方式為一種半導體裝置，該半導體裝置包括分壓器電路，該分壓器電路包括串聯設置有第一電阻器及第二電阻器的電源線；選擇線；其閘極端子與選擇線電連接的包括氧化物半導體層的開關電晶體；以及藉由開關電晶體與電源線電連接的運算放大器電路，其中，該運算放大器電路包括設置有第一電晶體及第二電晶體的差動輸入電路、設置有第三電晶體及第四電晶體的電流鏡電路以及定電流源，第一電晶體的第一源極端子、第二電晶體的第二源極端子、定電流源電連接，第三電晶體的第三源極端子與第四電晶體的第四源極端子電連接，第一電晶體的第一汲極端子、第三電晶體的

第三汲極端子、第三電晶體的第三閘極端子、第四電晶體的第四閘極端子電連接，第二電晶體的第二閘極端子、第二電晶體的第二汲極端子、第四電晶體的第四汲極端子電連接，第一電阻器、第二電阻器、開關電晶體的源極端子電連接，並且開關電晶體的汲極端子與第一電晶體的第一閘極端子電連接。

本說明書所揭示的發明的結構的另一個方式為一種半導體裝置，該半導體裝置包括分壓器電路，該分壓器電路包括串聯設置有第一電阻器及第二電阻器的電源線；選擇線；其閘極端子與選擇線電連接的包括氧化物半導體層的開關電晶體；以及藉由開關電晶體與電源線電連接的電容器，其中第一電阻器、第二電阻器、開關電晶體的源極端子電連接，並且開關電晶體的汲極端子與電容器的一方端子電連接。

本說明書所揭示的發明的結構的另一個方式為一種半導體裝置，該半導體裝置包括分壓器電路，該分壓器電路包括串聯設置有第一電阻器及第二電阻器的電源線；第一電阻器；第二電阻器；閘極端子與源極端子電連接的包括氧化物半導體層的電晶體；以及藉由包括氧化物半導體層的電晶體與電源線電連接的電晶體，其中包括氧化物半導體層的電晶體的汲極端子與電晶體的閘極端子電連接。

在上述結構中，也可以在電源線上設置有包括氧化物半導體層的電晶體，並且將供應給電源線的電位藉由包括氧化物半導體層的電晶體供應給第一電阻器及第二電阻器

。此外，也可以採用設置在電源線上的包括氧化物半導體層的電晶體的閘極端子與開關電晶體的閘極端子電連接的結構。

此外，在上述結構中，半導體裝置可以包括對分壓器電路供應電位的電位供應源以及從分壓器電路及電位供應源接受電位的負載。

本說明書所揭示的發明的結構的另一個方式為一種半導體裝置的驅動方法，該半導體裝置包括分壓器電路，該分壓器電路包括串聯設置有第一電阻器及第二電阻器的電源線；選擇線；其閘極端子與選擇線電連接的包括氧化物半導體層的開關電晶體；以及包括藉由開關電晶體與電源線電連接的電晶體的運算放大器電路，其中，第一電阻器、第二電阻器、開關電晶體的源極端子電連接，開關電晶體的汲極端子與包括在運算放大器電路中的電晶體的閘極端子電連接而構成節點，供應給電源線的電位被第一電阻器及第二電阻器分割，當開關電晶體處於導通狀態時，被分割的電位藉由開關電晶體被供應給運算放大器電路，當開關電晶體處於截止狀態時，被分割的電位被保持在節點，並且被分割的電位藉由開關電晶體及運算放大器電路輸出。

本說明書所揭示的發明的結構的另一個方式為一種半導體裝置的驅動方法，該半導體裝置包括分壓器電路，該分壓器電路包括串聯設置有第一電阻器及第二電阻器的電源線；選擇線；其閘極端子與選擇線電連接的包括氧化物

半導體層的開關電晶體；以及藉由開關電晶體與電源線電連接的電容器，其中，第一電阻器、第二電阻器、開關電晶體的源極端子電連接，開關電晶體的汲極端子與電容器的一方端子電連接而構成節點，供應給電源線的電位被第一電阻器及第二電阻器分割，當開關電晶體處於導通狀態時，被分割的電位藉由開關電晶體被供應給電容器，當開關電晶體處於截止狀態時，被分割的電位被保持在節點，並且被分割的電位藉由開關電晶體及電容器輸出。

在上述結構中，電源線具有包括氧化物半導體層的電晶體，當包括氧化物半導體層的電晶體處於導通狀態時，供應給電源線的電位藉由包括氧化物半導體層的電晶體被供應給第一電阻器及第二電阻器，並且當開關電晶體處於截止狀態時，可以使包括氧化物半導體層的電晶體成為截止狀態。

另外，在本說明書等中，“上”或“下”不侷限於構成要素的位置關係為“直接在……之上”或“直接在……之下”。例如，“閘極絕緣層上的閘極電極”包括在閘極絕緣層和閘極電極之間包含其他構成要素的情況。另外，“上”或“下”只是為了便於說明而使用的。

此外，在本說明書等中，“電極”或“佈線”不限定構成要素的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”形成為一體的情況等。

此外，“源極”和“汲極”的功能在使用極性不同的電晶

體的情況或電路操作的電流方向發生變化的情況等下，有時互相調換。因此，在本說明書中，“源極”和“汲極”可以互相調換。

另外，在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接物件間的電信號的授受，就對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極及佈線，而且還包括電晶體等切換元件、電阻器、電感器、電容器以及其他具有各種功能的元件等。

本發明的一個方式包括分壓器電路，該分壓器電路使用串聯連接於電源線的多個電阻器對供應給電源線的電位進行電阻分割，並且藉由與電源線電連接的開關電晶體輸出所希望的被分割的電位。開關電晶體的汲極端子與設置在輸出一側的運算放大器電路中的電晶體的閘極端子電連接而構成節點。

藉由在該節點保持所希望的被分割的電位，即使在來自電源線的電位供應停止時，也能夠輸出所希望的電位。

因此，由於不需要連續地進行對於電源線的電位供應，並且能夠設置停止對於電源線的電位供應的期間，所以能夠減少半導體裝置及半導體裝置的驅動方法中的功耗。

由於用作開關電晶體的使用氧化物半導體的電晶體的截止電流極小，所以能夠極長時間保持電位。因此，能夠設置停止電位供應的期間，從而與一直供應電位的情況相比能夠充分減少功耗。

【實施方式】

下面，將參照圖式詳細說明本說明書所揭示的發明的實施例。但是，本說明書所揭示的發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種形式。此外，本說明書所揭示的發明不應該被解釋為僅限定在以下所示的實施例所記載的內容中。另外，“第一”及“第二”這些序數詞是爲了方便起見而使用的，並不表示製程的順序和疊層的順序。此外，本說明書中的序數詞並不表示規定所揭示的發明的特定名稱。另外，圖式等所示的各結構的位置、大小、範圍等爲了容易理解而有時不表示實際上的位置、大小、範圍等。因此，所揭示的發明不一定侷限於圖式等所揭示的位置、大小、範圍等。

實施例 1

在本實施例中，參照圖 1 至圖 3、圖 6A 至圖 8 說明有關所揭示的發明的一個方式的半導體裝置的電路結構及驅動方法。

另外，在本說明書中的電路圖中，爲了表示使用氧化物半導體層的電晶體，作爲使用氧化物半導體層的電晶體的符號添加“OS”。在圖 1 至圖 3、圖 6A 及 6B、圖 7A 及 7B 中，開關電晶體 202_1、開關電晶體 202_2、開關電晶體 202_n 以及電晶體 204 爲使用氧化物半導體層的電晶體。

圖 1 為一種半導體裝置的例子，該半導體裝置包括使用電阻器 201_1 及電阻器 201_2 的兩個電阻器輸出電位 V1 的分壓器電路。

圖 1 所示的半導體裝置包括分壓器電路，該分壓器電路包括串聯設置有電阻器（第一電阻器）201_1 及電阻器（第二電阻器）201_2 的電源線 240；選擇線 241；其閘極端子與選擇線 241 電連接的包括氧化物半導體層的開關電晶體 202_1；以及包括藉由開關電晶體 202_1 與電源線 240 電連接的電晶體 211_1 的運算放大器電路 203_1，其中，電阻器 201_1、電阻器 201_2、開關電晶體 202_1 的源極端子電連接，並且開關電晶體 202_1 的汲極端子與包括在運算放大器電路 203_1 中的電晶體 211_1 的閘極端子電連接。

運算放大器電路 203_1 包括：設置有電晶體（第一電晶體）211_1 及電晶體（第二電晶體）212_1 的差動輸入電路；設置有電晶體（第三電晶體）213_1 及電晶體（第四電晶體）214_1 的電流鏡電路；以及定電流源 222_1。

電晶體 211_1 的源極端子（第一源極端子）、電晶體 212_1 的源極端子（第二源極端子）、定電流源 222_1 電連接，電晶體 213_1 的源極端子（第三源極端子）與電晶體 214_1 的源極端子（第四源極端子）電連接，電晶體 211_1 的汲極端子（第一汲極端子）、電晶體 213_1 的汲極端子（第三汲極端子）、第三電晶體 213_1 的閘極端子（第三閘極端子）、電晶體 214_1 的閘極端子（第四閘極端子）電連接，並且電晶體 212_1 的閘極端子（第二閘極端子）

、電晶體 212_1 的汲極端子（第二汲極端子）、電晶體 214_1 的汲極端子（第四汲極端子）電連接。另外，電晶體 213_1 的源極端子（第三源極端子）及電晶體 214_1 的源極端子（第四源極端子）與被供應高電位 VDD 的電源線 242_1 電連接。

在圖 1 所示的半導體裝置中，在分壓器電路中，使用串聯連接於電源線 240 的電阻器 201_1 及電阻器 201_2 對供應給電源線 240 的電位進行電阻分割，並且藉由與電源線 240 電連接的開關電晶體 202_1 輸出所希望的被分割的電位 V1。

圖 2 為圖 1 的半導體裝置中包括使用電阻器 201_1 至電阻器 201_n+1 的 n+1 個電阻器對供應給電源線 240 的高電位（VDDH）進行分割並輸出 V1 至 Vn 的 n 個電位的分壓器電路的例子。

在電阻器 201_1 及電阻器 201_2 上產生電壓降而得到的電位藉由使用氧化物半導體層的開關電晶體 202_2 從運算放大器電路 203_2 作為電位 V2 輸出，該運算放大器電路 203_2 包括設置有電晶體（第一電晶體）211_2 及電晶體（第二電晶體）212_2 的差動輸入電路、設置有電晶體（第三電晶體）213_2 及電晶體（第四電晶體）214_2 的電流鏡電路以及定電流源 222_2。

同樣地，在電阻器 201_1 至電阻器 201_n 上產生電壓降而得到的電位藉由使用氧化物半導體層的開關電晶體 202_n 從運算放大器電路 203_n 作為電位 Vn 輸出，該運算放

大器電路 203_n 包括設置有電晶體（第一電晶體）211_n 及電晶體（第二電晶體）212_n 的差動輸入電路、設置有電晶體（第三電晶體）213_n 及電晶體（第四電晶體）214_n 的電流鏡電路以及定電流源 222_n。

在本說明書中，將開關電晶體 202₁ 至 202_n 的汲極端子與電晶體 211₁ 至 211_n 的閘極端子電連接的部分分別稱為浮動節點（節點 FN1 至 FNn）。

另外，在本說明書所揭示的發明中，對電源線 242₁ 供應高於節點 FN1 的電位的電位 VDD。

當開關電晶體 202₁ 至 202_n 截止時，可以認為該節點 FN1 至 FNn 被埋設在絕緣體中，並且在節點 FN1 至 FNn 中保持電位。由於使用氧化物半導體層的開關電晶體 202₁ 至 202_n 的截止電流為小於或等於使用矽半導體等形成的電晶體的十萬分之一（例如，室溫（25℃）下的截止電流為小於或等於 10zA（1zA（仄普托安培）為 $1 \times 10^{-21} \text{A}$ ）），所以幾乎可以忽視由開關電晶體 202₁ 至 202_n 的洩漏導致的保持在節點 FN1 至 FNn 中的電位的降低。就是說，藉由採用使用氧化物半導體層的開關電晶體 202₁ 至 202_n，能夠長期保持電位。

因此，在半導體裝置中，由於不需要對電源線 240 連續供應電位 VDDH，並且能夠設置停止對電源線 240 供應電位 VDDH 的期間，所以能夠減少功耗。

此外，如圖 3 所示，也可以在電源線 240 上設置包括氧化物半導體層的電晶體 204，並且供應給電源線 240 的電位

藉由包括氧化物半導體層的電晶體 204 被供應到電阻器 201_1 及電阻器 201_2。可以採用設置在電源線 240 上的包括氧化物半導體層的電晶體 204 的閘極端子與開關電晶體 202_1 的閘極端子電連接的結構。

藉由在電源線 240 上設置包括氧化物半導體層的電晶體 204，能夠控制對於電阻器 201_1 及電阻器 201_2 的電位供應。例如，能夠在對節點 FN1 供應電位之後，在使開關電晶體 202_1 成為截止狀態而在節點 FN1 中保持電位的期間中，也使包括氧化物半導體層的電晶體 204 成為截止狀態而停止對於電源線 240 的電位供應。若採用圖 3 所示的結構，則在停止對於電源線 240 的電位供應的期間，也能夠對電源線 242_1 供應電位。

使用圖 8 的時序圖說明圖 2 所示的半導體裝置的更詳細的驅動方法（操作）。時序圖中的 VDDH、SW、FN1 等名稱對應於圖 2 中的名稱。

在對於半導體裝置的操作的說明中，運算放大器電路 203_1 至 203_n 所包括的電晶體 211_1 至 211_n、212_1 至 212_n、213_1 至 213_n、214_1 至 214_n 具有相同的通道寬度及通道長度，並且具有相同的電晶體的特性。

當對電源線 240 及 VSS 施加電位時，電流流在電源線 240 與 VSS 之間。例如，開關電晶體 202_1 的源極端子的電位成為比電源線 240 的電位低的電位，其差等於根據電阻器 201_1 的電阻值及流在電源線 240 與 VSS 之間的電流算出的電壓。選擇線 SW 電連接於開關電晶體 202_1 至 202_n 的

閘極端子，並且當以使開關電晶體 202_1 至 202_n 的源極端子與汲極端子成為導通狀態的方式對選擇線 SW 施加電壓時，電位被供應到開關電晶體 202_1 至 202_n 的各汲極端子（FN1 至 FNn）。在各汲極端子（FN1 至 FNn）的電位穩定的階段，以使開關電晶體 202_1 至 202_n 的源極端子與汲極端子成為非導通狀態（截止狀態）的方式對選擇線 SW 施加電壓。

對運算放大器電路 203_1 所包括的電晶體 211_1 的閘極端子施加 FN1 的電位。並且，在電晶體 211_1 中，相當於閘極端子的電位 FN1 與源極端子的電位之間的電位差的電流從汲極端子流向源極端子。由於電晶體 213_1 及電晶體 211_1 藉由定電流源 222_1 連接於電源線 242_1 及 GND，所以從電晶體 211_1 的汲極端子流向其源極端子的電流與從電晶體 213_1 的源極端子流向其汲極端子的電流相同。

此外，由於電晶體 213_1 的閘極端子及汲極端子與電晶體 214_1 的閘極端子電連接，並且它們的源極端子也各自連接於電源線 242_1，所以從電晶體 213_1 的源極端子流向其汲極端子的電流與從電晶體 214_1 的源極端子流向其汲極端子的電流相同（電流鏡電路）。另外，因為與上述的電晶體 213_1 與電晶體 211_1 之間的關係相同的理由，而從電晶體 214_1 的源極端子流向其汲極端子的電流與從電晶體 212_1 的汲極端子流向其源極端子的電流相同。

因此，由於從電晶體 211_1 的汲極端子流向其源極端子的電流與從電晶體 212_1 的汲極端子流向其源極端子的

電流相同，並且電晶體 211₁ 的源極端子及電晶體 212₁ 的源極端子電連接於定電流源 222₁，所以電晶體 211₁ 的閘極端子的電位與電晶體 212₁ 的閘極端子的電位相同。由於電晶體 211₁ 的閘極端子的電位是 FN1，所以電晶體 212₁ 的閘極端子的電位成為 FN1，而 V1 的電位成為 FN1。

同樣地，在電阻器 201₁ 及電阻器 201₂ 上產生電壓降而得到的電位供應到 FN2，並且作為 V2 輸出。在介於其間的電阻器上產生電壓降而得到的電位從 VDDH 按順序供應到 FN3 至 FN_n，並且作為 V3 至 V_n 輸出。

圖 6A 及 6B、圖 7A 及 7B 示出包括分壓器電路的半導體裝置的另一個方式。圖 6A 及 6B、圖 7A 及 7B 與圖 1 對應，而不侷限於此，也可以與圖 3 的結構對應。

圖 6A 示出使用電阻器 217₁、電晶體 215₁ 及電晶體 216₁ 形成圖 1 中的定電流源 222₁ 的結構。電晶體 216₁ 與電晶體 215₁ 構成電流鏡電路，而相同的電流流在電晶體 215₁ 與電晶體 216₁ 中。另外，電晶體 215₁ 與電晶體 216₁ 具有相同的通道寬度及通道長度，並且具有相同的電晶體的特性。

圖 6B 示出在圖 6A 中添加包括電晶體 220₁、電晶體 218₁ 及電容器 219₁ 的放大電路的結構。在放大電路中使用的電容器 219₁ 為相位補償用電容器，並且為了不使運算放大器電路 203₁ 振盪而連接有該元件。

在圖 7A 及 7B 中進行相位補償及增益調整，以便不使運算放大器電路 203₁ 振盪，因此，在圖 7A 中還設置電阻器

205_1及電容器206_1，而在圖7B中還設置電阻器207_1、電阻器209_1以及電容器208_1。

在本說明書所揭示的半導體裝置的運算放大器電路中，可以採用使用氧化物半導體以外的材料的電晶體。由於使用氧化物半導體以外的材料的電晶體能夠進行充分高速的操作，所以藉由將該電晶體與使用氧化物半導體層的電晶體組合使用，能夠充分確保半導體裝置的操作的高速性。此外，藉由採用使用氧化物半導體以外的材料的電晶體，可以順利地實現被要求高速操作的各種電路（邏輯電路、驅動電路等）。

像這樣，藉由將使用氧化物半導體以外的材料的電晶體（作更廣義解釋，能夠進行充分高速的操作的電晶體）和使用氧化物半導體的電晶體（作更廣義解釋，截止電流足夠小的電晶體）形成爲一體，可以實現具有新穎的特徵的半導體裝置。

在包括藉由使用串聯連接於電源線的多個電阻器對供應給電源線的電位進行電阻分割並藉由與電源線電連接的開關電晶體輸出所希望的被分割的電位的分壓器電路的半導體裝置中，開關電晶體的汲極端子與設置在輸出一側的運算放大器電路中的電晶體的閘極端子電連接而構成節點。

藉由在該節點保持所希望的被分割的電位，即使在來自電源線的電位供應停止時，也能夠輸出電位。

因此，不需要連續地進行對於電源線的電位供應，可

以設置停止對於電源線的電位供應的期間，從而可以在半導體裝置及半導體裝置的驅動方法中減少功耗。

由於用作開關電晶體的使用氧化物半導體層的電晶體的截止電流極小，所以能夠長期保持電位。因此，能夠設置停止電位供應的期間，而與一直供應電位的情況相比，能夠充分減少功耗。

本實施例所示的結構及方法等可以與其他實施例所示的結構及方法等適當地組合來使用。

實施例 2

在本實施例中，參照圖 4 及 5 說明根據所揭示的發明的另一個方式的半導體裝置的電路結構及其驅動方法。

圖 4 及 5 為在實施例 1 所示的圖 2 的半導體裝置中設置電容器代替運算放大器電路的例子。與實施例 1 相同的部分或具有相同功能的部分與實施例 1 相同，而省略反復說明。此外，省略對於相同部分的詳細說明。

圖 4 為包括使用電阻器 201_1 至電阻器 201_n+1 的 n+1 個電阻器對供應給電源線 240 的高電位（VDDH）進行分割並輸出 V1 至 Vn 的 n 個電位的分壓器電路的例子。

一種半導體裝置，包括分壓器電路，該分壓器電路包括串聯設置有電阻器 201_1 至電阻器 201_n+1 的電源線 240；選擇線 241；其閘極端子與選擇線 241 電連接的包括氧化物半導體層的開關電晶體 202_1 至開關電晶體 202_n；以及藉由開關電晶體 202_1 至開關電晶體 202_n 分別與電源線

240電連接的電容器223_1至223_n，其中，電阻器201_1至電阻器201_n+1與開關電晶體202_1至開關電晶體202_n的源極端子電連接，並且開關電晶體202_1至開關電晶體202_n的汲極端子與電容器223_1至223_n的一方端子電連接。

在本實施例中，開關電晶體202_1至開關電晶體202_n的汲極端子與電容器223_1至223_n的一方端子電連接而分別構成節點（FN1至FNn）。

使開關電晶體202_1至開關電晶體202_n成為導通狀態，將利用電阻器201_1至電阻器201_n+1分割成電位V1至Vn的電位從電源線240供應給（儲存於）節點FN1至FNn。在供應電位V1至Vn之後，使開關電晶體202_1至開關電晶體202_n成為截止狀態，在節點FN1至FNn中保持電位。藉由在節點FN1至FNn中保持電位V1至Vn，即使在來自電源線240的電位供應停止時，也能夠輸出電位V1至Vn。

另外，在本實施例的結構中，如圖5所示，在比電容器223_1更靠輸出的一側形成有起因於佈線等的電阻器224_1，並且必然載入電容器225_1。為了在開關電晶體202_1至開關電晶體202_n的汲極端子與電容器223_1至223_n的一方端子電連接而構成的節點（FN1至FNn）中保持電位V1至Vn，需要將電容器223_1的電容C1設定為比作為寄生電容的電容器225_1的電容C2充分大。

此外，在本實施例的圖4的結構中，也可以如圖3所示，在電源線240上設置包括氧化物半導體層的電晶體204，

並且供應給電源線 240 的電位藉由包括氧化物半導體層的電晶體 204 供應到電阻器 201₁至電阻器 201_{n+1}。此外，也可以採用設置在電源線 240 上的包括氧化物半導體層的電晶體 204 的閘極端子與開關電晶體 202₁至開關電晶體 202_n的閘極端子電連接的結構。

藉由在電源線 240 上設置包括氧化物半導體層的電晶體 204，能夠控制對於電阻器 201₁至電阻器 201_{n+1}的電位供應。例如，在對節點 FN1至 FNn供應電位之後，使開關電晶體 202₁至開關電晶體 202_n成為截止狀態而在節點 FN1至 FNn中保持電位的期間，能夠使包括氧化物半導體層的電晶體 204 也成為截止狀態而停止對於電源線 240 的電位供應。

另外，在本實施例的半導體裝置中，在起始狀態下 V1至 Vn處於浮動狀態，從而電位不穩定。雖然在圖 4 中未圖示，但是，電容器 223₁至 223_n的輸出一側的各終端，即被供應 V1至 Vn的各佈線的終端電連接有包括氧化物半導體層的開關電晶體 A1至 An的各汲極端子。開關電晶體 A1至 An的各閘極端子連接於控制線，其各源極端子連接於 VSS。並且，藉由控制控制線，控制包括氧化物半導體層的開關電晶體 A1至 An的閘極端子，而使開關電晶體 A1至 An成為導通狀態，並使被供應 V1至 Vn的各佈線的電位成為與 VSS 相同的電位。並且，在被供應 V1至 Vn的各佈線的電位成為與 VSS 相同的電位之後，藉由再一次控制控制線，控制包括氧化物半導體層的開關電晶體 A1至 An的閘極

端子，而使開關電晶體 A_1 至 A_n 成為非導通狀態（截止狀態）。然後，藉由對選擇線 SW 供應電位，開關電晶體 202_1 至 202_n 成為導通狀態， FN_1 至 FN_n 的電位確定，從而 V_1 至 V_n 藉由電容器 223_1 至 223_n 供應到各佈線。

如上所述，藉由在節點 FN_1 至 FN_n 中保持所希望的被分割的電位 V_1 至 V_n ，即使在來自電源線 240 的電位供應停止時，也能夠輸出電位 V_1 至 V_n 。

因此，也可以不連續地進行對於電源線 240 的電位供應，而能夠設置停止對於電源線的電位供應的期間，從而，能夠減少半導體裝置及半導體裝置的驅動方法中的功耗。

由於用作開關電晶體的使用氧化物半導體層的電晶體的截止電流極小，所以能夠長期保持電位。因此，能夠設置停止電位供應的期間，而與一直供應電位的情況相比，能夠充分減少功耗。

本實施例所示的結構及方法等可以與其他實施例所示的結構及方法等適當地組合來實施。

實施例 3

在本實施例中，參照圖 9 說明根據所揭示的發明的另一個方式的半導體裝置的電路結構及驅動方法。

圖 9 為在實施例 1 所示的圖 2 的半導體裝置中設置其閘極端子與其源極端子電連接的電晶體代替由選擇線控制導通截止的開關電晶體的例子。與實施例 1 相同的部分或具

有相同功能的部分與實施例1相同，而省略反復說明。此外，省略對於相同部分的詳細說明。

圖9為包括使用電阻器201_1至電阻器201_n+1的n+1個電阻器對供應給電源線240的高電位（VDDH）進行分割，並且使用所分割的電位從電源線245輸出V1'至Vn'的n個電位的分壓器電路的例子。

一種包括分壓器電路的半導體裝置，該分壓器電路包括：電晶體232_1至電晶體232_n，該電晶體包括氧化物半導體層，並且其閘極與串聯設置有電阻器201_1至電阻器201_n+1的電源線240電連接且與源極端子電連接；以及藉由電晶體232_1至電晶體232_n分別與電源線240電連接的電晶體233_1至電晶體233_n，其中電阻器201_1至電阻器201_n+1與電晶體232_1至電晶體232_n的源極端子電連接，電晶體232_1至電晶體232_n的汲極端子與電晶體233_1至電晶體233_n的閘極端子電連接。另外，電晶體233_1至電晶體233_n與電源線245電連接。

在本實施例中，電晶體232_1至電晶體232_n的汲極端子與電晶體233_1至電晶體233_n的閘極端子電連接而分別構成節點（FN1至FNn）。

藉由使電晶體232_1至電晶體232_n成為導通狀態將利用電阻器201_1至電阻器201_n+1分割成所希望的電位的電位從電源線240供應給（儲存於）節點FN1至FNn。在供應所希望的電位之後，電晶體232_1至電晶體232_n成為截止狀態而在節點FN1至FNn中保持電位。藉由在節點FN1至

FNn中保持所希望的電位，即使在來自電源線240的電位供應停止時，也可以將所希望的電位供應給電晶體233_1至電晶體233_n的閘極端子，因此，能夠從電源線245輸出電位V1'至Vn'。

此外，在本實施例的圖9的結構中，也可以如圖3所示，在電源線240上設置包括氧化物半導體層的電晶體204，並且供應給電源線240的電位藉由包括氧化物半導體層的電晶體204供應到電阻器201_1至電阻器201_n+1。

藉由在電源線240上設置包括氧化物半導體層的電晶體204，能夠控制對於電阻器201_1至電阻器201_n+1的電位供應。例如，在對節點FN1至FNn供應電位之後，在電晶體232_1至電晶體232_n成為截止狀態而在節點FN1至FNn中保持電位的期間，能夠使包括氧化物半導體層的電晶體204也成為截止狀態而停止對於電源線240的電位供應。

如上所述，藉由在節點FN1至FNn中保持所希望的被分割的電位，即使在來自電源線240的電位供應停止時，也能夠輸出電位V1'至Vn'。

因此，由於也可以不連續地進行對於電源線240的電位供應，並且能夠設置停止對於電源線的電位供應的期間，所以能夠減少半導體裝置及半導體裝置的驅動方法中的功耗。

因為用作電晶體232_1至電晶體232_n的使用氧化物半導體層的電晶體的截止電流極小，所以能夠長期保持電位

。因此，能夠設置停止電位供應的期間，而與一直供應電位的情況相比，能夠充分減少功耗。

本實施例所示的結構及方法等可以與其他實施例所示的結構及方法等適當地組合來實施。

實施例 4

在本實施例中，參照圖 10A 至圖 12D 說明有關所揭示的發明的一個方式的半導體裝置的結構及其製造方法。

圖 10A 及 10B 為包括圖 1 的電路圖所示的分壓器電路的半導體裝置的結構的一個例子。圖 10A 示出半導體裝置的剖面，而圖 10B 示出半導體裝置的平面。圖 10A 為沿著圖 10B 的 A1-A2 的剖面圖。另外，在圖 10B 的平面圖中，省略絕緣層 150、絕緣層 152 及佈線 158 的記載，而簡化圖式。

圖 10A 及 10B 所示的半導體裝置在其下部具有使用第一半導體材料的電晶體 211_1 並且在其上部具有使用第二半導體材料的開關電晶體 202_1。

在此，第一半導體材料與第二半導體材料較佳是不同的材料。在本實施例中，第一半導體材料為氧化物半導體以外的半導體材料（矽等），第二半導體材料為氧化物半導體。使用氧化物半導體以外的材料的電晶體容易進行高速操作。另一方面，使用氧化物半導體的電晶體由於其特性，能夠長時間地保持電位。

圖 10A 及 10B 所示的電晶體 211_1 包括：設置在包含半導體材料（例如，矽等）的基板 185 中的通道形成區 116；

夾著通道形成區 116 地設置的雜質區 120；與雜質區 120 接觸的金屬化合物區 124；設置在通道形成區 116 上的閘極絕緣層 108；以及設置在閘極絕緣層 108 上的閘極電極 110。另外，雖然有時在圖式中不明顯地具有源極電極或汲極電極，但是爲了方便起見有時將這種結構也稱爲電晶體。此外，在此情況下，爲了說明電晶體的連接關係，有時包括源極區、汲極區而表示爲源極電極、汲極電極。也就是說，在本說明書中，源極電極的記載會包括源極區，汲極電極的記載會包括汲極區。

此外，在基板 100 上以圍繞電晶體 211_1 的方式設置有元件分離絕緣層 106，並且以覆蓋電晶體 211_1 的方式設置有絕緣層 128、絕緣層 130。另外，爲了實現高整合，較佳採用如圖 10A 及 10B 所示那樣電晶體 211_1 不具有側壁絕緣層的結構。另一方面，在重視電晶體 211_1 的特性的情況下，也可以在閘極電極 110 的側面設置側壁絕緣層，並設置包括雜質濃度不同的區域的雜質區 120。

在此，絕緣層 130 較佳具有平坦性良好的表面。

圖 10A 及 10B 所示的開關電晶體 202_1 包括：形成在絕緣層 130 上的氧化物半導體層 144；源極電極 142a 及汲極電極 142b；覆蓋氧化物半導體層 144、源極電極 142a 以及汲極電極 142b 的閘極絕緣層 146；以及以重疊於氧化物半導體層 144 的方式設置在閘極絕緣層 146 上的閘極電極 148。另外，閘極電極 148 與圖 1 所示的電路圖所示的選擇線 241 電連接。

汲極電極 142b 與電晶體 211_1 的閘極電極 110 接觸。開關電晶體 202_1 的汲極電極 142b 與電晶體 211_1 的閘極電極 110 電連接而構成節點 (FN1)。

在此，氧化物半導體層 144 較佳藉由被充分地去除氫等雜質並被供給充分的氧，而高純度化。明確地說，例如，氧化物半導體層 144 的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 或以下，較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 或以下，更佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 或以下。

另外，上述氧化物半導體層 144 中的氫濃度是藉由二次離子質譜測定技術 (SIMS : Secondary Ion Mass Spectrometry) 來測量的。如此，在氫濃度被充分降低並藉由被供給足夠的氧來降低起因於氧缺乏的能隙中的缺陷能階的氧化物半導體層 144 中，起因於氫等的施體的載子密度為低於 $1 \times 10^{12} / \text{cm}^3$ ，較佳低於 $1 \times 10^{11} / \text{cm}^3$ ，更佳低於 $1.45 \times 10^{10} / \text{cm}^3$ 。此外，例如，室溫 (25℃) 下的截止電流 (在此，每單位通道寬度 (1mm) 的值) 為 100 zA (1 zA (仄普托安培) 為 $1 \times 10^{-21} \text{ A}$) 或以下，較佳為 10 zA 以下。如此，藉由使用 i 型化 (本質化) 或實質上 i 型化的氧化物半導體，能夠得到截止電流特性極為優良的開關電晶體 202_1。

此外，藉由二次離子質譜測定技術測量的氧化物半導體層 144 中的鈉 (Na) 的最小值為 $5 \times 10^{16} / \text{cm}^{-3}$ 或以下，較佳為 $1 \times 10^{16} / \text{cm}^{-3}$ 或以下，更佳為 $1 \times 10^{15} / \text{cm}^{-3}$ 或以下，鋰 (Li) 的最小值為 $5 \times 10^{15} / \text{cm}^{-3}$ 或以下，較佳為 $1 \times 10^{15} / \text{cm}^{-3}$ 或

以下，鉀（K）的最小值為 $5 \times 10^{15} / \text{cm}^{-3}$ 或以下，較佳為 $1 \times 10^{15} / \text{cm}^{-3}$ 或以下。

因為對於氧化物半導體層 144 來說鹼金屬及鹼土金屬是惡性雜質，所以含在氧化物半導體層 144 中的鹼金屬及鹼土金屬量越少越好。尤其是，鹼金屬中的 Na 當與氧化物半導體層 144 接觸的絕緣膜是氧化物時擴散到氧化物半導體層 144 中並成為 Na^+ 。此外，在氧化物半導體層 144 內，Na 斷裂金屬與氧的鍵或者擠進該鍵之中。其結果是，導致使用氧化物半導體層 144 的電晶體的特性的劣化（例如，常開啓化（閾值向負一側偏移）、遷移率的降低等）。並且，還成為特性偏差的原因。特別在氧化物半導體層 144 中的氫濃度足夠低的情況下，這些問題變得明顯。因此，當氧化物半導體層 144 中的濃度是小於或等於 $5 \times 10^{19} \text{cm}^{-3}$ ，特別是小于或等於 $5 \times 10^{18} \text{cm}^{-3}$ 時，強烈要求將鹼金屬的濃度設定為上述值。

此外，絕緣層 130 的表面中的與氧化物半導體層 144 接觸的區域的均方根（RMS）粗糙度較佳為 1nm 或以下。像這樣，藉由在均方根（RMS）粗糙度為 1nm 或以下的極平坦的區域中設置開關電晶體 202_1 的通道形成區，即使在開關電晶體 202_1 微型化的情況下也可以防止短通道效應等的不良，而能夠提供具有良好特性的開關電晶體 202_1。

藉由採用疊層結構形成開關電晶體 202_1 及電晶體 211_1，能夠縮小它們在半導體裝置中所占的面積。因此

，能夠實現半導體裝置的高整合。

在開關電晶體202_1上設置有絕緣層150，並且在絕緣層150上設置有絕緣層152。在閘極絕緣層146、絕緣層150以及絕緣層152中形成有到達源極電極142a的開口，並且在該開口中形成有電極156。藉由在絕緣層152上形成與以埋入絕緣層152中的方式形成的電極156接觸的佈線158，源極電極142a與佈線158電連接。在此，佈線158為圖1所示的電路圖中的電源線240或電連接於電源線240的佈線。

另外，根據所揭示的發明的半導體裝置的結構不侷限於圖10A及10B所示的結構。所揭示的發明的一個方式的技術思想在於形成使用氧化物半導體及氧化物半導體之外的材料的疊層結構。因此，可以適當地改變電極的連接關係等的詳細結構。

接著，對上述半導體裝置的製造方法的一個例子進行說明。在下文中，首先參照圖11A及11B說明下部電晶體211_1的製造方法，然後參照圖12A至圖13D說明上部開關電晶體202_1及電容器164的製造方法。

首先，準備含有半導體材料的襯底185（參照圖11A）。作為含有半導體材料的基板185，可以使用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI基板等。這裏，示出當作含有半導體材料的基板185使用單晶矽基板時的一個例子。另外，一般來說，“SOI基板”是指在絕緣表面上設置有矽半導體層的基板。但是，在本說明書等中，“SOI基板”還指在絕緣

表面上設置有含有矽以外的材料的半導體層的基板。也就是說，“SOI基板”所具有半導體層不侷限於矽半導體層。此外，SOI基板還包括在玻璃基板等絕緣基板上隔著絕緣層設置有半導體層的基板。

作為含有半導體材料的基板185，特別較佳使用矽等的單晶半導體基板，因為這樣能夠使半導體裝置的電路操作高速化。

另外，為了控制電晶體的閾值電壓，也可以對在後面成為電晶體211_1的通道形成區116的區域添加雜質元素。在此，以使電晶體211_1的閾值電壓成為正的方式添加賦予導電性的雜質元素。當半導體材料為矽時，作為該賦予導電性的雜質，例如有硼、鋁、鎵等。另外，較佳在添加雜質元素之後進行加熱處理，來謀求雜質元素的活化、在添加雜質元素時產生的缺陷的改善等。

在基板185上形成元件分離絕緣層106（參照圖11B）。可以藉由選擇性地去除基板185，以埋入該去除區的方式形成絕緣層，並且選擇性地去除該絕緣層來形成元件分離絕緣層106。該絕緣層使用氧化矽、氮化矽、氧氮化矽等來形成。作為絕緣層的去除方法，有CMP（化學機械拋光）處理等拋光處理或蝕刻處理等，可以使用任一種方法。另外，可以將基板185中的形成有元件分離絕緣層106以外的部分用作半導體區。

接著，在基板185的表面上形成絕緣層，並在該絕緣層上形成含有導電材料的層。

絕緣層是後面成為閘極絕緣層的層，例如可以藉由對基板 185 的表面進行的加熱處理（熱氧化處理或熱氮化處理等）形成。也可以使用高密度等離子體處理代替加熱處理。例如，可以使用 He、Ar、Kr、Xe 等稀有氣體、氧、氧化氮、氮、氫等的混合氣體進行高密度等離子體處理。當然，也可以使用 CVD 法或濺射法等形成絕緣層。該絕緣層較佳具有含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉬、氧化鈮、矽酸鉛（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鉛（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的鋁酸鉛（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））等的單層結構或多層結構。此外，例如可以將絕緣層的厚度設定為 1nm 以上且 100nm 以下，較佳為 10nm 以上且 50nm 以下。

可以使用鋁、銅、鈦、鉭、鎢等的金屬材料形成含有導電材料的層。此外，也可以使用如多晶矽等半導體材料形成含有導電材料的層。對其形成方法也沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法或旋塗法等各種成膜方法。另外，在本實施例中，作為一個例子示出使用金屬材料形成含有導電材料的層時的情況。

然後，對絕緣層及含有導電材料的層進行選擇性的蝕刻來形成閘極絕緣層 108 及閘極電極 110（參照圖 11C）。

接下來，對基板 185 添加磷（P）或砷（As）等來形成通道形成區 116 及雜質區 120。這裏，為了形成 n 型電晶體添加了磷或砷，但是當形成 p 型電晶體時，添加硼（B）或鋁（Al）等的雜質元素即可。這裏，雖然可以適當地設定

所添加的雜質的濃度，但是當半導體元件被高度微型化時，較佳提高其濃度。

另外，也可以在閘極電極 110 的周圍形成側壁絕緣層，來形成以不同濃度添加有雜質元素的雜質區。

接著，以覆蓋閘極電極 110、雜質區 120 等的方式形成金屬層 122。該金屬層 122 可以使用真空蒸鍍法、濺射法或旋塗法等各種成膜方法形成。較佳使用與構成基板 185 的半導體材料起反應而成為低電阻的金屬化合物的金屬材料形成金屬層。作為上述金屬材料，例如有鈦、鋁、鎢、鎳、鈷、鉑等。

接著，進行加熱處理，使上述金屬層與半導體材料起反應。由此，形成與雜質區 120 接觸的金屬化合物區 124。另外，當使用多晶矽等作為閘極電極 110 時，金屬化合物區還形成在閘極電極 110 的與金屬層接觸的部分中。

作為上述加熱處理，例如可以使用利用閃光燈的照射的加熱處理。當然，也可以使用其他加熱處理方法，但是為了提高形成金屬化合物時的化學反應的控制性，較佳使用可能夠在極短的時間內進行加熱處理的方法。另外，上述金屬化合物區藉由金屬材料與半導體材料之間發生的反應形成並具有足夠高的導電性。藉由形成該金屬化合物區，能夠充分降低電阻，並能夠提高元件特性。另外，在形成金屬化合物區 124 之後，去除金屬層。

藉由上述製程，形成使用含有半導體材料的基板 185 的電晶體 211_1（參照圖 11D）。這種電晶體 211_1 具有能

夠進行高速操作的特徵。

另外，也可以在上述各製程之前或之後還包括形成電極、佈線、半導體層或絕緣層等的製程。例如，作為佈線的結構，也可以採用由絕緣層及導電層的疊層結構構成的多層佈線結構來實現高整合的半導體裝置。

接著，以覆蓋藉由上述製程形成的各構成要素的方式形成絕緣層128及絕緣層130。絕緣層128及絕緣層130可以使用含有無機絕緣材料諸如氧化矽、氮化矽、氧化鋁等的材料形成。作為絕緣層128及絕緣層130特別較佳使用低介電常數（low-k）材料，因為這樣可以充分地減少起因於各種電極或佈線的重疊的電容。另外，也可以將使用上述材料的多孔絕緣層用於絕緣層128及絕緣層130。因為多孔絕緣層的介電常數比密度高的絕緣層低，所以可以進一步降低起因於電極或佈線的電容。此外，也可以使用聚醯亞胺、丙烯酸樹脂等的有機絕緣材料形成絕緣層128及絕緣層130。

在本實施例中，作為絕緣層128藉由濺射法形成50nm厚的氮化矽膜，並且作為絕緣層130藉由濺射法形成550nm厚的氧化矽膜。

接著，作為形成開關電晶體202_1之前的處理，對絕緣層128及絕緣層130進行CMP處理使絕緣層128及絕緣層130平坦，同時使閘極電極110的頂面露出（參照圖11E）。作為使閘極電極110的頂面露出的處理，除了CMP處理以外，也可以應用蝕刻處理等。

另外，在絕緣層 130 上也可以設置用作基底的絕緣層。該絕緣層能夠利用 PVD 法或 CVD 法等來形成。

在藉由 CMP 處理充分平坦化了的絕緣層 130 上形成氧化物半導體層 144（參照圖 12A）。

氧化物半導體層 144 可以使用如下材料形成：四元金屬氧化物的 In-Sn-Ga-Zn-O 基；三元金屬氧化物的 In-Ga-Zn-O 基、In-Sn-Zn-O 基、In-Al-Zn-O 基、Sn-Ga-Zn-O 基、Al-Ga-Zn-O 基、Sn-Al-Zn-O 類；二元金屬氧化物的 In-Zn-O 基、Sn-Zn-O 基、Al-Zn-O 基、Zn-Mg-O 基、Sn-Mg-O 基、In-Mg-O 基；以及 In-O 基、Sn-O 基、Zn-O 基等。此外，也可以使上述氧化物半導體包含 SiO_2 。

尤其是至於 In-Ga-Zn-O 基的氧化物半導體材料，由於其在無電場時的電阻充分高而能夠充分地降低截止電流且電場效應遷移率也高，所以作為用於半導體裝置的半導體材料合適。

作為 In-Ga-Zn-O 基的氧化物半導體材料的典型例子，有表示為 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$) 的氧化物半導體材料。此外，還有使用 M 代替 Ga 而表示為 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 的氧化物半導體材料。在此，M 表示選自鎵 (Ga)、鋁 (Al)、鐵 (Fe)、鎳 (Ni)、錳 (Mn)、鈷 (Co) 等中的一種金屬元素或多種金屬元素。例如，作為 M，可以採用 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、Ga 及 Co 等。另外，上述組成是根據結晶結構而導出的，僅示出一個例子。

此外，當作爲氧化物半導體使用In-Zn-O基材料時，將所使用的靶材的組成比設定爲使原子數比爲In:Zn=50:1至1:2（換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至1:4），較佳爲In:Zn=20:1至1:1（換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至1:2），更佳爲In:Zn=15:1至1.5:1（換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至3:4）。例如，作爲用於形成In-Zn-O基氧化物半導體的靶材，當原子數比爲In:Zn:O=X:Y:Z時，滿足 $Z>1.5X+Y$ 的關係。

作爲用於藉由濺射法形成氧化物半導體層144的氧化物靶材，較佳使用由In:Ga:Zn=1:x:y（x爲0或以上，y爲大於或等於0.5且小於或等於5）的組成比表示的靶材。例如，可以使用其組成比爲In:Ga:Zn=1:1:1[原子比]（x=1，y=1）（即， $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳數比]）的靶材等。此外，還可以使用其組成比爲In:Ga:Zn=1:1:0.5[原子比]（x=1，y=0.5）的靶材、其組成比爲In:Ga:Zn=1:1:2[原子比]（x=1，y=2）的靶材或其組成比爲In:Ga:Zn=1:0:1[原子比]（x=0，y=1）的靶材。

在本實施例中，利用使用In-Ga-Zn-O基的金屬氧化物靶材的濺射法形成非晶結構的氧化物半導體層144。此外，其厚度爲大於或等於1nm且小於或等於50nm，較佳爲大於或等於2nm且小於或等於20nm，更佳爲大於或等於3nm且小於或等於15nm。

金屬氧化物靶材中的金屬氧化物的相對密度爲80%或以上，較佳爲95%或以上，更佳爲99.9%或以上。藉由使用

相對密度高的金屬氧化物靶材，可以形成具有緻密結構的氧化物半導體層。

氧化物半導體層 144 的形成氣圍較佳為稀有氣體（典型為氬）氣圍、氧氣圍或稀有氣體（典型為氬）和氧的混合氣圍。明確地說，例如，較佳使用氬、水、羥基或氫化物等的雜質的濃度降低到 1ppm 或以下（較佳的是濃度為 10ppb 或以下）的高純度氣體氣圍。

當形成氧化物半導體層 144 時，例如在保持為減壓狀態的處理室內保持被處理物，並且以使被處理物的溫度為大於或等於 100℃ 且低於 550℃，較佳為大於或等於 200℃ 且低於或等於 400℃ 的方式對被處理物進行加熱。或者，也可以將形成氧化物半導體層 144 時的被處理物的溫度設定為室溫（25℃±10℃）。然後，邊去除處理室內的水分邊引入去除了氬或水等的濺射氣體，並使用上述靶材形成氧化物半導體層 144。藉由邊加熱被處理物邊形成氧化物半導體層 144，可以減少氧化物半導體層 144 中含有的雜質。另外，可以減輕因濺射而帶來的損傷。較佳使用吸附式真空泵去除殘留在處理室內的水分。例如，可以使用低溫泵、離子泵、鈦昇華泵等。另外，還可以使用裝備有冷阱的渦輪泵。由於藉由使用低溫泵等進行排氣，可以將氬或水等從處理室中去除，由此可以降低氧化物半導體層中的雜質濃度。

作為氧化物半導體層 144 的形成條件，例如可以採用以下條件等：被處理物與靶材之間的距離為 170mm；壓力

爲 0.4Pa；直流（DC）電力爲 0.5kW；氣圍爲氧（氧 100%）氣圍、氬（氬 100%）氣圍或氧和氬的混合氣圍。另外，當利用脈衝直流（DC）電源時，可以減少塵屑（成膜時形成的粉狀物質等）且膜厚分佈也變得均勻，所以是較佳的。將氧化物半導體層 144 的厚度設定爲大於或等於 1nm 且小於或等於 50nm，較佳爲大於或等於 2nm 且小於或等於 20nm，更佳爲大於或等於 3nm 且小於或等於 15nm。藉由採用根據所揭示的發明的結構，當使用具有這種厚度的氧化物半導體層 144 時也可以抑制微型化所引起的短通道效應。但是，由於根據使用的氧化物半導體材料及半導體裝置的用途等所適宜的厚度也不同，所以可以根據使用的材料及用途等選擇適宜的厚度。注意，因爲藉由如上所述那樣地形成絕緣層 140，可以充分地使相當於氧化物半導體層 144 的通道形成區的部分的形成表面平坦化，所以也可以較佳地形成厚度小的氧化物半導體層。此外，如圖 12A 所示，較佳將相當於氧化物半導體層 144 的通道形成區的部分的剖面形狀形成爲平坦的形狀。藉由將相當於氧化物半導體層 144 的通道形成區的部分的剖面形狀形成爲平坦的形狀，與氧化物半導體層 144 的剖面形狀不平坦的情況相比，可以減少洩漏電流。

另外，在利用濺射法形成氧化物半導體層 144 之前，也可以進行藉由引入氬氣體來產生等離子體的反濺射來去除氧化物半導體層 144 的被形成表面（例如，絕緣層 140 的表面）上的附著物。這裏，反濺射是指以下一種方法：通

常的濺射是使離子碰撞濺射靶材，而反濺射與其相反，其藉由使離子碰撞處理表面來改變表面的性質。作為使離子碰撞處理表面的方法，可以舉出在氬氣圍下對處理表面一側施加高頻電壓以在被處理物附近生成等離子體的方法等。另外，也可以使用氮、氦、氧等氣圍代替氬氣圍。

較佳在形成氧化物半導體層 144 之後，對氧化物半導體層 144 進行加熱處理（第一加熱處理）。藉由該第一加熱處理可以去除在氧化物半導體層 144 中的過剩的氫（包含水或羥基），調整氧化物半導體層 144 的結構，降低能隙中的缺陷能階。例如，將第一加熱處理的溫度設定為大於或等於 300℃ 且小於或等於 550℃，較佳設定為大於或等於 400℃ 且小於或等於 500℃。

作為加熱處理，例如，可以將被處理物放入使用電阻發熱體等的電爐中，並在氮氣圍下以 450℃ 加熱 1 個小時。在此期間，不使氧化物半導體層接觸大氣以防止水或氫的混入。

熱處理裝置不限於電爐，還可以使用利用被加熱的氣體等的介質的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用 GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置等的 RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA 裝置是藉由鹵素燈、金鹵燈、氬弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈發射的光（電磁波）輻射來加熱被處理物的裝置。GRTA 裝置是使用

高溫氣體進行加熱處理的裝置。作為氣體，使用如氫等的稀有氣體或氮等的即使進行加熱處理也不與被處理物產生反應的惰性氣體。

例如，作為第一加熱處理，可以採用GRTA處理，即：將被處理物放入被加熱的惰性氣體氣圍中，在進行幾分鐘的加熱之後，再將被處理物從該惰性氣體氣圍中取出。藉由利用GRTA處理可以在短時間內進行高溫熱處理。另外，即使溫度條件超過被處理物的耐熱溫度，也可以適用該方法。另外，在處理中，還可以將惰性氣體換為含有氧的氣體。這是由於以下緣故：藉由在含有氧的氣圍中進行第一加熱處理，可以降低因氧缺損而引起的能隙中的缺陷能階。

另外，作為惰性氣體氣圍，較佳採用以氮或稀有氣體（氮、氦、氬等）為主要成分且不含有水、氫等的氣圍。例如，較佳引入熱處理裝置中的氮或氮、氦、氬等的稀有氣體的純度為大於或等於6N（99.9999%），更佳為大於或等於7N（99.99999%）（即，雜質濃度為小於或等於1ppm，較佳為小於或等於0.1ppm）。

總之，藉由利用第一加熱處理減少雜質以形成i型（本質半導體）或無限接近於i型的氧化物半導體層，可以實現具有極優越的特性的電晶體。

另外，上述加熱處理（第一加熱處理）具有去除氫或水等的作用，所以也可以將該加熱處理稱為脫水化處理或脫氫化處理等。可以在形成氧化物半導體層144之後、形

成閘極絕緣層146之後或形成閘極電極之後等進行該脫水化處理或脫氫化處理。另外，該脫水化處理、脫氫化處理不限於一次，而可以進行多次。

另外，氧化物半導體層144的蝕刻可以在上述加熱處理之前或在上述加熱處理之後進行。另外，從元件的微型化的觀點而言，較佳使用乾蝕刻，但是也可以使用濕蝕刻。可以根據被蝕刻材料適當地選擇蝕刻氣體或蝕刻液。另外，當元件中的洩漏等不成為問題時，也可以不將氧化物半導體層加工為島狀而使用。

下面，在閘極電極110、絕緣層128及絕緣層130等上形成導電層，並且選擇性地蝕刻該導電層，形成與閘極電極110接觸的源極電極142a及汲極電極142b（參照圖12B）。

作為導電層，可以利用如濺射法等之PVD法或如等離子體CVD法等之CVD法來形成。此外，作為導電層的材料，可以使用選自Al、Cr、Cu、Ta、Ti、Mo、W中的元素或以上述元素為成分的合金等。也可以使用選自Mn、Mg、Zr、Be、Nd、Sc中的一種或多種的材料。

另外，導電層還可以使用導電金屬氧化物來形成。作為導電金屬氧化物可以採用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時簡稱為ITO）、氧化銦氧化鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者使這些金屬氧化物材料中含有矽或氧化矽的金屬氧化物。此外，作為導電層也可以使用石墨烯（graphene）。

導電層既可以採用單層結構又可以採用兩層以上的疊層結構。例如可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作爲導電層採用鈦膜或氮化鈦膜的單層結構時，具有易於將導電層加工爲具有錐形形狀的源極電極 142a 及汲極電極 142b 的優點。

上部開關電晶體 202_1 的通道長度 (L) 由源極電極 142a 的下端部與汲極電極 142b 的下端部之間的間隔決定。另外，當形成通道長度 (L) 短於 25nm 的電晶體時，較佳使用波長短即幾 nm 至幾十 nm 的超紫外線進行形成掩模時的曝光。

接著，以覆蓋源極電極 142a、汲極電極 142b 以及氧化物半導體層 144 的方式形成閘極絕緣層 146。

閘極絕緣層 146 可以利用 CVD 法或濺射法等形成。另外，閘極絕緣層 146 較佳包含氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鋇、氧化鉛、氧化釷、矽酸鉛 (HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的矽酸鉛 (HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的鋁酸鉛 (HfAl_xO_y ($x>0$ 、 $y>0$)) 等而形成。此外，閘極絕緣層 146 既可以採用單層結構，又可以採用疊層結構。另外，雖然對其厚度沒有特別的限定，但是當對半導體裝置進行微型化時，爲了確保電晶體的操作較佳將其形成得較薄。例如，當使用氧化矽時，可以將其形成爲大於或等於 1nm 且小於或等於 100nm，較佳爲

大於或等於 10nm 且小於或等於 50nm。

當如上述那樣將閘極絕緣層形成爲較薄時，存在由於隧道效應等而發生閘極洩漏的問題。爲了解決閘極洩漏的問題，可以使用如氧化鈣、氧化鋁、氧化釷、矽酸鈣 (HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的矽酸鈣 (HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的鋁酸鈣 (HfAl_xO_y ($x>0$ 、 $y>0$)) 等的高介電常數 (high-k) 材料作爲閘極絕緣層 146。藉由將 high-k 材料用於閘極絕緣層 146，不但可以確保電特性，而且可以將膜厚度設定得厚，以抑制閘極洩漏。例如，氧化鈣的相對介電常數爲 15 左右，氧化鈣具有與氧化矽的相對介電常數的 3 至 4 相比極大的值。藉由使用這種材料，還容易實現換算爲氧化矽時的厚度薄於 15nm，較佳爲大於或等於 2nm 且小於或等於 10nm 的閘極絕緣層。另外，還可以採用層疊含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽或氧化鋁等的膜的疊層結構。

此外，作爲如閘極絕緣層 146 那樣與氧化物半導體層 144 接觸的膜，較佳使用金屬氧化物膜。金屬氧化物膜例如使用氧化矽、氮化矽、氧氮化矽、氮氧化矽等的材料形成。此外，金屬氧化物膜也可以使用包含第 13 族元素及氧的材料形成。作爲包含第 13 族元素及氧的材料，例如有包含氧化鎵、氧化鋁、氧化鋁鎵及氧化鎵鋁中的一種或多種的材料等。在此，氧化鋁鎵是指含鋁量 (原子%) 多於含鎵量 (原子%) 的物質，氧化鎵鋁是指含鎵量 (原子%) 等於或多於含鋁量 (原子%) 的物質。金屬氧化物膜可以

藉由使用上述材料以單層結構或疊層結構來形成。

較佳在形成閘極絕緣層 146 之後，在惰性氣體氣圍下或氧氣圍下進行第二加熱處理。加熱處理的溫度為大於或等於 200℃ 且小於或等於 450℃，較佳為大於或等於 250℃ 且小於或等於 350℃。例如，可以在氮氣圍下以 250℃ 進行 1 個小時的加熱處理。藉由進行第二加熱處理，可以降低電晶體的電特性的偏差。另外，當閘極絕緣層 146 含有氧時，可以向氧化物半導體層 144 供給氧，填補該氧化物半導體層 144 的氧缺陷，而形成 i 型（本質半導體）或無限接近於 i 型的氧化物半導體層。

另外，在本實施例中，雖然在形成閘極絕緣層 146 之後進行第二加熱處理，但是第二加熱處理的時序不侷限於此。例如，也可以在形成閘極電極之後進行第二加熱處理。另外，既可以在第一加熱處理之後連續地進行第二加熱處理，又可以在第一加熱處理中兼併第二加熱處理，或在第二加熱處理中兼併第一加熱處理。

如上所述那樣，藉由使用第一加熱處理和第二加熱處理中的至少一方，可以以使其儘量不包含其主要成分以外的雜質的方式使氧化物半導體層 144 高純度化。

接著，在閘極絕緣層 146 上形成閘極電極 148。

藉由在閘極絕緣層 146 上形成導電層之後，對該導電層選擇性地進行蝕刻，來可以形成閘極電極 148。成為閘極電極 148 的導電層可以利用如濺射法等 PVD 法或如等離子體 CVD 法等 CVD 法來形成。其詳細內容與形成源極

電極 142a 或汲極電極 142b 等的情況相同而可以參照這些記載內容。

藉由上述步驟，完成使用被高純度化的氧化物半導體層 144 的開關電晶體 202_1（參照圖 12C）。這種開關電晶體 202_1 具有截止電流被充分降低的特徵。因此，藉由將該電晶體用作開關電晶體，能夠長時間保持電位。

接著，在閘極絕緣層 146 及閘極電極 148 上形成絕緣層 150。絕緣層 150 可以利用 PVD 法或 CVD 法等形式。另外，該絕緣層還可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁等的無機絕緣材料的材料的單層或疊層形成。

另外，作為絕緣層 150 較佳使用介電常數低的材料或介電常數低的結構（多孔結構等）。這是因為藉由使絕緣層 150 的介電常數減少，可以降低產生在佈線、電極等之間的電容，從而實現操作的高速化的緣故。

接著，在閘極絕緣層 146、絕緣層 150 以及絕緣層 152 中形成到達源極電極 142a 的開口，然後在開口中形成電極 156，並且在絕緣層 152 上形成與電極 156 接觸的佈線 158（參照圖 12D）。藉由使用掩模等選擇性地進行蝕刻來形成該開口。

絕緣層 152 可以與絕緣層 150 同樣地利用 PVD 法或 CVD 法等來形成。另外，該絕緣層還可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁等的無機絕緣材料的材料的單層或疊層形成。

另外，作為絕緣層152較佳使用介電常數低的材料或介電常數低的結構（多孔結構等）。這是因為藉由使絕緣層152的介電常數減少，可以降低產生在佈線、電極等之間的電容，從而實現操作的高速化的緣故。

另外，較佳將上述絕緣層152的表面形成得較為平坦。這是由於：藉由使絕緣層152的表面形成得較為平坦，當將半導體裝置微型化等時，也可以順利地在絕緣層152上形成電極或佈線等。另外，可以利用CMP（化學機械拋光）等方法進行絕緣層152的平坦化。

例如，電極156可以在藉由利用PVD法或CVD法等包括開口的區域中形成導電層之後，利用蝕刻處理或CMP等的方法去除上述導電層的一部分來形成。

更明確而言，例如，可以在包括開口的區域中藉由PVD法形成薄的鈦膜，並藉由CVD法形成薄的氮化鈦膜，然後埋入開口地形成鎢膜。在此藉由PVD法形成的鈦膜具有將被形成面的氧化膜（自然氧化膜等）還原並降低與下部電極等（在此汲極電極142b）的接觸電阻的功能。另外，其後形成的氮化鈦膜具有抑制導電材料的擴散的阻擋功能。另外，也可以在形成使用鈦或氮化鈦等的障壁膜之後藉由鍍敷法形成銅膜。

佈線158在使用濺射法等PVD法或等離子體CVD法等CVD法形成導電層之後對該導電層進行蝕刻而加工成所希望的形狀來形成。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈹、鈦、鉬和鎢中的元素或以上述元素

為成分的合金等。還可以使用選自錳、鎂、鋯、鈹、釷、鈳中的一種或多種材料。作為詳細內容，與源極電極 142a 等相同。

另外，在進行上述製程之後，也可以形成各種佈線或電極等。可以藉由所謂的鑲嵌法、雙鑲嵌法等的方法形成佈線及電極。

如上所述，可以製造具有圖 10A 及 10B 所示的結構的半導體裝置。

此外，也可以在氧化物半導體層 144 與源極電極 142a 以及氧化物半導體層 144 與汲極電極 142b 之間設置用作源極區及汲極區的氧化物導電層作為緩衝層。圖 14A 及 14B 示出在圖 10A 及 10B 中作為開關電晶體 202_1 示出的電晶體中設置氧化物導電層而成的電晶體 252 及 262。

圖 14A 的電晶體 252 及圖 14B 的電晶體 262 各自在氧化物半導體層 144 與源極電極 142a 之間以及氧化物半導體層 144 與汲極電極 142b 之間分別形成有用作源極區及汲極區的氧化物導電層 155a 及 155b。圖 14A 的電晶體 252 和圖 14B 的電晶體 262 是因為製造製程而氧化物導電層 155a 和 155b 的形狀不同的例子。

此外，在圖 14A 及 14B 中，在絕緣層 130 與電晶體 252 之間以及絕緣層 130 與電晶體 262 之間設置絕緣層 159。作為絕緣層 159，採用 PCVD 法或濺射法形成厚度為大於或等於 50nm 且小於或等於 600nm 的氧化物絕緣層。例如，可以使用選自氧化矽膜、氧化鎵膜、氧化鋁膜、氧氮化矽膜、氧

氮化鋁膜、以及氮氧化矽膜中的一層或它們的疊層。

在圖 14A 的電晶體 252 中，形成氧化物半導體膜與氧化物導電膜的疊層，並且藉由同一光刻製程對氧化物半導體膜與氧化物導電膜的疊層的形狀進行加工來形成島狀氧化物半導體層 144 及氧化物導電膜。在氧化物半導體層及氧化物導電膜上形成源極電極 142a 及汲極電極 142b，然後以源極電極 142a 及汲極電極 142b 為掩模對島狀氧化物導電膜進行蝕刻，來形成成為源極區及汲極區的氧化物導電層 155a 及 155b。

在圖 14B 的電晶體 262 中，在氧化物半導體層 144 上形成氧化物導電膜，在其上形成金屬導電膜，藉由同一光刻法對氧化物導電膜及金屬導電膜進行加工，來形成成為源極區及汲極區的氧化物導電層 155a 及 155b、源極電極 142a 以及汲極電極 142b。

另外，當進行用來加工氧化物導電層的形狀的蝕刻處理時，適當地調整蝕刻條件（蝕刻材料的種類、濃度、時間等），以便不使氧化物半導體層被過蝕刻。

作為氧化物導電層 155a 及 155b 的形成方法，使用濺射法、真空蒸鍍法、（電子束蒸鍍法等）、電弧放電離子電鍍法、噴射法。作為氧化物導電層的材料，可以應用氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎵、氧化銦、氧化錫、氧化銦氧化錫、氧化銦氧化鋅等。另外，還可以使上述材料含有氧化矽。

藉由作為源極區和汲極區，將氧化物導電層設置在氧

化物半導體層 144 與源極電極 142a 之間以及氧化物半導體層 144 與汲極電極 142b 之間，能夠實現源極區和汲極區的低電阻化，而電晶體 252 及 262 能夠進行高速操作。

此外，藉由採用氧化物半導體層 144、氧化物導電層 155b、汲極電極 142b 的結構，能夠提高電晶體 252 及 262 的耐壓。

在本實施例所示的開關電晶體 202_1 中，由於氧化物半導體層 144 被高純度化，其氫濃度為小於或等於 $5 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為小於或等於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，更佳為小於或等於 $5 \times 10^{17} \text{ atoms/cm}^3$ 。另外，氧化物半導體層 144 的載子密度與通常的矽晶片中的載子密度（ $1 \times 10^{14} / \text{cm}^3$ 左右）相比是足夠小的值（例如，低於 $1 \times 10^{12} / \text{cm}^3$ ，更佳為低於 $1.45 \times 10^{10} / \text{cm}^3$ ）。並且，開關電晶體 202_1 的截止電流也足夠小。例如，開關電晶體 202_1 的室溫（ 25°C ）下的截止電流（這裏，每單位通道寬度（ 1 mm ）的值）成為 100 zA （ 1 zA （仄普托安培）為 $1 \times 10^{-21} \text{ A}$ ）或以下，較佳為 10 zA 或以下。

像這樣，藉由使用高純度化且本質化的氧化物半導體層 144，可以容易充分地減少開關電晶體 202_1 的截止電流。並且，藉由使用這種開關電晶體 202_1，可以得到能夠長期保持電位的半導體裝置。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

實施例 5

在本實施例中，示出可以應用於本說明書所揭示的半導體裝置的電晶體的實例。對可應用於本說明書所揭示的半導體裝置的電晶體的結構沒有特別的限制，例如可以採用具有頂閘極結構或底閘極結構的交錯型及平面型等。另外，電晶體可以具有形成有一個通道形成區的單閘極結構、形成有兩個通道形成區的雙閘極結構或形成有三個通道形成區的三閘極結構。另外，還可以採用在通道區上及下隔著閘極絕緣層配置兩個閘極電極層的雙閘極（dual gate）型。

圖 13A 至 13D 示出能夠應用於本說明書所揭示的半導體裝置（例如，實施例 1 至 4 中的開關電晶體 202_1 至開關電晶體 202_n、電晶體 232_1 至電晶體 232_n、電晶體 204）的電晶體的剖面結構的例子。雖然圖 13A 至 13D 示出在絕緣層 400 上設置電晶體的例子，但是也可以在玻璃基板等基板上設置電晶體。另外，當將圖 13A 至 13D 所示的電晶體應用於實施例 4 中的開關電晶體 202_1 時，絕緣層 400 相當於絕緣層 130。

圖 13A 所示的電晶體 410 是底閘極結構的薄膜電晶體之一，且還將其稱為反交錯型薄膜電晶體。

電晶體 410 在絕緣層 400 上包括閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、源極電極層 405a 及汲極電極層 405b。此外，設置有覆蓋電晶體 410 並層疊在氧化物半導體層 403 上的絕緣層 407。在絕緣層 407 上還形成有

絕緣層 409。

圖 13B 所示的電晶體 420 是被稱為通道保護型（也稱為通道停止型）的底閘極結構的一種，並將其也稱為反交錯型薄膜電晶體。

電晶體 420 包括在絕緣層 400 上的閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、覆蓋氧化物半導體層 403 的通道形成區的用作通道保護層的絕緣層 427、源極電極層 405a 及汲極電極層 405b。此外，形成有覆蓋電晶體 420 的絕緣層 409。

圖 13C 所示的電晶體 430 是底閘極型的薄膜電晶體，並且在具有絕緣表面的基板的絕緣層 400 上包括閘極電極層 401、閘極絕緣層 402、源極電極層 405a、汲極電極層 405b 及氧化物半導體層 403。此外，設置有覆蓋電晶體 430 並與氧化物半導體層 403 接觸的絕緣層 407。在絕緣層 407 上還形成有絕緣層 409。

在電晶體 430 中，與絕緣層 400 及閘極電極層 401 上接觸地設置閘極絕緣層 402，在閘極絕緣層 402 上接觸地設置有源極電極層 405a、汲極電極層 405b。而且，在閘極絕緣層 402 及源極電極層 405a、汲極電極層 405b 上設置有氧化物半導體層 403。

圖 13D 所示的電晶體 440 是頂閘極結構的薄膜電晶體之一。電晶體 440 在絕緣層 400 上包括絕緣層 437、源極電極層 405a、汲極電極層 405b、氧化物半導體層 403、閘極絕緣層 402、閘極電極層 401。與源極電極層 405a、汲極電極

層 405b 分別接觸地設置有佈線層 436a、佈線層 436b，並且源極電極層 405a、汲極電極層 405b 分別與佈線層 436a、佈線層 436b 電連接。

當將底閘極結構的電晶體 410、420、430 設置在基板上時，也可以將成為基底膜的絕緣膜設置在基板和閘極電極層之間。基底膜具有防止來自基板的雜質元素的擴散的功能，並且使用選自氮化矽膜、氧化矽膜、氮氧化矽膜或氧氮化矽膜中的一種膜的單層結構或多種膜的疊層結構形成該基底膜。

作為閘極電極層 401 的材料，可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、鈳等的金屬材料或以上述金屬材料為主要成分的合金材料，以單層或疊層形成閘極電極層 401。

閘極絕緣層 402 可以藉由等離子體 CVD 法或濺射法等並使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層、氮氧化鋁層或氧化鉛層的單層或疊層形成。例如，作為第一閘極絕緣層，藉由等離子體 CVD 法形成厚度為大於或等於 50nm 且小於或等於 200nm 的氮化矽層 (SiN_y ($y > 0$))，且在第一閘極絕緣層上層疊用作第二閘極絕緣層的厚度為大於或等於 5nm 且小於或等於 300nm 的氧化矽層 (SiO_x ($x > 0$))，來形成總厚度為 200nm 的閘極絕緣層。

作為用於源極電極層 405a 和汲極電極層 405b 的導電膜，例如可以使用選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元

素；以上述元素為成分的合金；或者組合上述元素的合金的膜等。此外，還可以採用在Al、Cu等的金屬層的下側或上側的一方或兩者層疊Ti、Mo、W等的高熔點金屬層的結構。另外，也可以藉由使用添加有防止在Al膜中產生小丘或晶須的元素（Si、Nd、Sc等）的Al材料，來提高耐熱性。

如連接到源極電極層405a、汲極電極層405b的佈線層436a、佈線層436b那樣的導電膜也可以使用與源極電極層405a、汲極電極層405b同樣的材料。

此外，成為源極電極層405a、汲極電極層405b（包括由與它們相同的層形成的佈線層）的導電膜也可以使用導電金屬氧化物形成。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為ITO）、氧化銦氧化鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或使這些金屬氧化物材料包含氧化矽的材料。

作為絕緣層407、427、437，可以典型地使用無機絕緣膜諸如氧化矽膜、氮化矽膜、氧化鋁膜或氮化鋁膜等。

作為絕緣層409，可以使用無機絕緣膜諸如氮化矽膜、氮化鋁膜、氮氧化矽膜、氮氧化鋁膜等。

此外，也可以在絕緣層409上形成平坦化絕緣膜以減少因電晶體產生的表面凹凸。作為平坦化絕緣膜，可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂等的有機材

料。此外，除了上述有機材料之外，還可以使用低介電常數材料（low-k材料）等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜，來形成平坦化絕緣膜。

本實施例可以與其他實施例所記載的結構適當地組合並實施。

實施例 6

使用圖 15A 至 15C 說明在上述實施例 1 至 5 中能夠用於電晶體（例如，實施例 1 至 4 中的開關電晶體 202_1 至 202_n、電晶體 232_1 至 232_n、電晶體 204）的半導體層的氧化物半導體層的一個方式。

本實施例中的氧化物半導體層具有在第一結晶氧化物半導體層上形成有比第一結晶氧化物半導體層厚的第二結晶氧化物半導體層的疊層結構。

在絕緣層 130 上形成絕緣層 159。在本實施例中，作為絕緣層 159 利用 PCVD 法或濺射法形成厚度為大於或等於 50nm 且小於或等於 600nm 的氧化物絕緣層。例如，作為絕緣層 159 可以採用選自氧化矽膜、氧化鎵膜、氧化鋁膜、氧氮化矽膜、氧氮化鋁膜以及氮氧化矽膜中的單層或它們的疊層。

接著，在絕緣層 159 上形成厚度為大於或等於 1nm 且小於或等於 10nm 的第一氧化物半導體膜。藉由濺射法形成第一氧化物半導體膜，並且，藉由該濺射法進行成膜時的基板溫度為大於或等於 200℃ 且小於或等於 400℃。

在本實施例中，在以下條件下形成厚度為 5nm 的第一氧化物半導體膜：使用氧化物半導體靶材（In-Ga-Zn-O 基氧化物半導體靶材（ $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳數比]））；基板與靶材之間的距離是 170mm；基板溫度是 250℃；壓力是 0.4Pa；直流（DC）電源是 0.5kW；並且在只有氧、只有氬或氧和氬的氣圍下。

接著，以設置基板的處理室中的氣圍為氮或乾燥空氣，進行第一加熱處理。將第一加熱處理的溫度設定為大於或等於 400℃ 且小於或等於 750℃。藉由第一加熱處理形成第一結晶氧化物半導體層 450a（參照圖 15A）。

雖然根據成膜時的基板溫度或第一加熱處理的溫度，但是藉由成膜或第一加熱處理而從膜表面開始晶化，結晶生長從膜表面向裏面進展，而得到 C 軸對準的結晶。藉由第一加熱處理，多個鋅及氧集在膜表面而在最表面形成一層或多層的由上平面呈六角形的鋅與氧構成的石墨烯類型的二維結晶，並且該二維結晶向膜厚度方向生長並重疊而成為疊層。若使加熱處理的溫度上升，則結晶生長從表面向裏面進展並還從裏面向底部進展。

藉由第一加熱處理，使作為氧化物絕緣層的絕緣層 159 中的氧擴散到與第一結晶氧化物半導體層 450a 之間的介面或其附近（離介面有 $\pm 5\text{nm}$ ），而降低第一結晶氧化物半導體層中的氧缺陷。因此，較佳在用作基底絕緣層的絕緣層 159 的膜中（塊（bulk）中）或第一結晶氧化物半導體層 450a 與絕緣層 159 之間的介面存在有至少超過化學計

量比的氧。

接著，在第一結晶氧化物半導體層450a上形成比10nm厚的第二氧化物半導體膜。藉由濺射法形成第二氧化物半導體膜，並且該成膜時的基板溫度為大於或等於200℃且小於或等於400℃。藉由將成膜時的基板溫度設定為大於或等於200℃且小於或等於400℃，前驅體（precursor）在以與第一結晶氧化物半導體層的表面上接觸的方式形成的氧化物半導體層中排列，能夠使該氧化物半導體層中的結晶具有所謂的秩序性。

在本實施例中，在以下條件下形成厚度為25nm的第二氧化物半導體膜：使用氧化物半導體用靶材（In-Ga-Zn-O基氧化物半導體用靶材（ $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳數比]））；基板與靶材之間的距離是170mm；基板溫度是400℃；壓力是0.4Pa；直流（DC）電源是0.5kW；並且在只有氧、只有氬或氧和氬的氣圍下。

接著，以設置基板的處理室中的氣圍為氮、氧或乾燥空氣，進行第二加熱處理。將第二加熱處理的溫度設定為400℃以上且750℃以下。藉由第二加熱處理形成第二結晶氧化物半導體層450b（參照圖15B）。藉由在氮氣圍、氧氣圍或氮和氧的混合氣圍下進行第二加熱處理，來謀求第二結晶氧化物半導體層的高密度化及缺陷個數的減少。藉由第二加熱處理，以第一結晶氧化物半導體層450a為晶核，結晶生長向膜厚度方向即從底部向裏面進展，而形成第二結晶氧化物半導體層450b。

此外，較佳以不接觸於大氣的方式連續地進行從形成絕緣層 159 直到第二加熱處理的製程。較佳將從形成絕緣層 159 直到第二加熱處理的製程中採用的氣圍控制為幾乎不含有氫及氧的氣圍（惰性氣圍、減壓氣圍、乾燥空氣氣圍等）。例如，採用露點為 -40°C 或以下的水分，較佳採用露點為 -50°C 或以下的乾燥氮氣圍。

接著，對由第一結晶氧化物半導體層 450a 及第二結晶氧化物半導體層 450b 構成的氧化物半導體層進行加工，形成由島狀氧化物半導體疊層構成的氧化物半導體層 453（參照圖 15C）。雖然在圖式中，第一結晶氧化物半導體層 450a 與第二結晶氧化物半導體層 450b 之間的介面由虛線表示並將其作為氧化物半導體疊層，但是，實際上沒有明確的介面，而在此為了容易理解而圖示。

作為氧化物半導體疊層的加工，可以在氧化物半導體疊層上形成所希望的形狀的掩模之後對該氧化物半導體疊層進行蝕刻。可以藉由光刻製程等的方法形成上述掩模。或者，也可以藉由噴墨法等的方法形成掩模。

此外，氧化物半導體疊層的蝕刻可以採用乾蝕刻或濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。

此外，藉由上述製造方法得到的第一結晶氧化物半導體層及第二結晶氧化物半導體層的特徵之一是具有 C 軸對準。注意，第一結晶氧化物半導體層及第二結晶氧化物半導體層的結構不是單晶結構也不是非晶結構，並且含有氧化物，該氧化物包括具有 C 軸對準的結晶（C Axis Aligned

Crystal；也稱為CAAC）。另外，第一結晶氧化物半導體層及第二結晶氧化物半導體層在其一部分具有晶粒介面。

另外，第一結晶氧化物半導體層及第二結晶氧化物半導體層是至少具有Zn的氧化物材料，例如有四元金屬氧化物的In-Al-Ga-Zn-O基材料、In-Sn-Ga-Zn-O基材料；三元金屬氧化物的In-Ga-Zn-O基材料、In-Al-Zn-O基材料、In-Sn-Zn-O基材料、Sn-Ga-Zn-O基材料、Al-Ga-Zn-O基材料、Sn-Al-Zn-O基材料；二元金屬氧化物的In-Zn-O基材料、Sn-Zn-O基材料、Al-Zn-O基材料、Zn-Mg-O基材料；以及Zn-O基材料等。此外，也可以使用In-Si-Ga-Zn-O基材料、In-Ga-B-Zn-O基材料、In-B-Zn-O基材料。此外，也可以使上述材料包含SiO₂。在此，例如，In-Ga-Zn-O基材料是指含有銦（In）、鎵（Ga）、鋅（Zn）的氧化物膜，對其組成比沒有特別的限制。此外，也可以包含In、Ga及Zn以外的元素。

此外，不侷限於在第一結晶氧化物半導體層上形成第二結晶氧化物半導體層的雙層結構，也可以在形成第二結晶氧化物半導體層之後反復進行用來形成第三結晶氧化物半導體層的成膜及加熱處理的步驟來形成三層以上的疊層結構。

可以適當地將由藉由上述製造方法形成的氧化物半導體疊層構成的氧化物半導體層453用於可以在本說明書所揭示的半導體裝置中應用的電晶體（例如，（例如，實施例1至4中的開關電晶體202_1至202_n、電晶體232_1至

232_n、電晶體 204、252、262）、實施例 5 中的電晶體 410、420、430、440）。

此外，在使用本實施例的氧化物半導體疊層作為氧化物半導體層 144 的實施例 4 的開關電晶體 202_1 中，從氧化物半導體層的一方面向另一方面不施加電場，並且電流不在氧化物半導體疊層的厚度方向（從一方面流向另一方面的方向，明確而言，圖 10B 的上下方向）上流過。因為採用電流主要流在氧化物半導體疊層的介面的電晶體結構，所以即使在光照射到電晶體或對電晶體施加 BT 壓力的情況下，電晶體特性的劣化也被抑制或降低。

藉由如氧化物半導體層 453 那樣的第一結晶氧化物半導體層與第二結晶氧化物半導體層的疊層用於電晶體，能夠實現具有穩定的電特性且高可靠性的電晶體。

本實施例可以與其他實施例所記載的結構適當地組合並實施。

實施例 7

從上述實施例所示的本說明書所揭示的半導體裝置所具有的分壓器電路輸出的電位可以用於多種負載，而能夠提供具有各種功能的半導體裝置。圖 16 示出本說明書所揭示的半導體裝置的一個方式的塊圖。

圖 16 所示的半導體裝置包括電位供應源 300、分壓器電路 301 以及負載 302。電位供應源 300 對分壓器電路 301 供應高電位 VDDH，並且對負載 302 供應電位 VDD 及電位 VSS

。分壓器電路301將從電位供應源300供應的電位分割，並且將其作為電位 V_1 至 V_n 供應給負載302。

作為負載302，可以使用設置有像素部及驅動電路部等的顯示面板（液晶面板、發光面板）或設置有行解碼器電路、列解碼器電路及儲存單元等的記憶體等。當將記憶體用作負載302時，作為電位供應源300可以使用升壓電路等。

本說明書所揭示的半導體裝置可以對應於對於各種負載302的電位供應，並且藉由選擇負載302，能夠提供具有各種功能的半導體裝置。

使用圖17A至圖17F對應用之前的實施例所說明的半導體裝置的電子裝置進行說明。在本實施例中，說明將上述半導體裝置應用於電腦；行動電話機（也稱為行動電話、行動電話裝置）；可攜式資訊終端（也包括可攜式遊戲機、聲音再現裝置等）；數位相機、數位攝像機；電子紙；電視機（也稱為電視或電視接收機）等的電子裝置的情況。

圖17A示出筆記本型個人電腦，包括外殼701、外殼702、顯示部703以及鍵盤704等。之前的實施例所示的半導體裝置設置在外殼701和外殼702中的至少一個中。因此，能夠實現功耗被充分降低的筆記本個人電腦。

圖17B示出可攜式資訊終端（PDA），其主體711包括顯示部713、外部介面715以及操作按鈕714等。另外，還包括用於操作可攜式資訊終端的觸屏筆712等。之前的實

施例所示的半導體裝置設置在主體 711 中。因此，能夠實現功耗被充分降低的可攜式資訊終端。

圖 17C 示出安裝有電子紙的電子書閱讀器，該電子書閱讀器 720 包括外殼 721 和外殼 723 的兩個外殼。外殼 721 和外殼 723 分別設置有顯示部 725 和顯示部 727。外殼 721 和外殼 723 由軸部 737 相連接，且可以以該軸部 737 為軸進行開閉動作。另外，外殼 721 包括電源開關 731、操作鍵 733 以及揚聲器 735 等。之前的實施例所示的半導體裝置設置在外殼 721 和外殼 723 中的至少一個。因此，能夠實現功耗被充分減少的電子書閱讀器。

圖 17D 示出行動電話機，包括外殼 740 和外殼 741 的兩個外殼。再者，外殼 740 和外殼 741 滑動而可以從如圖 17D 所示那樣的展開狀態變成重疊狀態，所以可以實現適於攜帶的小型化。另外，外殼 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指向裝置 746、拍攝裝置用透鏡 747 以及外部連接端子 748 等。此外，外殼 740 包括進行行動電話機的充電的太陽電池單元 749 和外部記憶體插槽 750 等。另外，天線內置在外殼 741 中。之前的實施例所示的半導體裝置設置在外殼 740 和外殼 741 中的至少一個。因此，能夠實現功耗被充分降低的行動電話機。

圖 17E 示出數位相機，包括主體 761、顯示部 767、取景器 763、操作開關 764、顯示部 765 以及電池 766 等。之前的實施例所示的半導體裝置設置在主體 761 中。因此，能夠實現功耗被充分降低的數位相機。

圖 17F 示出電視機 770，包括外殼 771、顯示部 773 以及支架 775 等。可以藉由外殼 771 具有的開關和遙控操作機 780 來進行電視機 770 的操作。外殼 771 和遙控操作機 780 安裝有之前的實施例所示的半導體裝置。因此，能夠實現功耗被充分減少的電視機。

如上所述，本實施例所示的電子裝置安裝有根據之前的實施例的半導體裝置。所以，可以實現功耗被減少的電子裝置。

【圖式簡單說明】

在圖式中：

圖 1 為說明半導體裝置的一個方式的電路圖；

圖 2 為說明半導體裝置的一個方式的電路圖；

圖 3 為說明半導體裝置的一個方式的電路圖；

圖 4 為說明半導體裝置的一個方式的電路圖；

圖 5 為說明半導體裝置的一個方式的電路圖；

圖 6A 及 6B 為說明半導體裝置的一個方式的電路圖；

圖 7A 及 7B 為說明半導體裝置的一個方式的電路圖；

圖 8 為說明半導體裝置的一個方式的時序圖；

圖 9 為說明半導體裝置的一個方式的電路圖；

圖 10A 及 10B 分別為說明半導體裝置的一個方式的剖面圖及平面圖；

圖 11A 至 11E 為說明半導體裝置的製造方法的一個方式的圖；

圖 12A 至 12D 為說明半導體裝置的製造方法的一個方式的圖；

圖 13A 至 13D 為說明半導體裝置的一個方式的圖；

圖 14A 及 14B 為說明半導體裝置的一個方式的圖；

圖 15A 至 15C 為說明半導體裝置的製造方法的一個方式的圖；

圖 16 為說明半導體裝置的一個方式的塊圖；

圖 17A 至 17F 為示出電子裝置的圖。

【主要元件符號說明】

100：基板

106：元件分離絕緣層

108：閘極絕緣層

110：閘極電極

116：通道形成區

120：雜質區

122：金屬層

124：金屬化合物區

128：絕緣層

130：絕緣層

140：絕緣層

142a：源極電極

142b：汲極電極

144：氧化物半導體層

146：閘極絕緣層
148：閘極電極
150：絕緣層
152：絕緣層
155a：氧化物導電層
155b：氧化物導電層
156：電極
158：佈線
159：絕緣層
164：電容器
185：基板
201：電阻器
202：開關電晶體
203：運算放大器電路
204：電晶體
205：電阻器
206：電容器
207：電阻器
208：電容器
209：電阻器
211：電晶體
212：電晶體
213：電晶體
214：電晶體

- 215：電 晶 體
- 216：電 晶 體
- 217：電 阻 器
- 220：電 晶 體
- 222：定 電 流 源
- 223：電 容 器
- 224：電 阻 器
- 225：電 容 器
- 232：電 晶 體
- 233：電 晶 體
- 240：電 源 線
- 241：選 擇 線
- 242：電 源 線
- 245：電 源 線
- 252：電 晶 體
- 262：電 晶 體
- 300：電 位 供 應 源
- 301：分 壓 器 電 路
- 302：負 載
- 400：絕 緣 層
- 401：閘 極 電 極 層
- 402：閘 極 絕 緣 層
- 403：氧 化 物 半 導 體 層
- 405a：源 極 電 極 層

405b：汲極電極層

407：絕緣層

409：絕緣層

410：電晶體

420：電晶體

427：絕緣層

430：電晶體

436a：佈線層

436b：佈線層

437：絕緣層

440：電晶體

450a：第一結晶氧化物半導體層

450b：第二結晶氧化物半導體層

453：氧化物半導體層

701：外殼

702：外殼

703：顯示部

704：鍵盤

711：主體

712：觸摸筆

713：顯示部

714：操作按鈕

715：外部介面

720：電子書閱讀器

721：外殼
723：外殼
725：顯示部
727：顯示部
731：電源開關
733：操作鍵
735：揚聲器
737：軸部
740：外殼
741：外殼
742：顯示面板
743：揚聲器
744：麥克風
745：操作鍵
746：指向裝置
747：拍攝裝置用透鏡
748：外部連接端子
749：太陽能電池單元
750：外部記憶體插槽
761：主體
763：取景器部分
764：操作開關
765：顯示部
766：電池

767 : 顯 示 部

770 : 電 視 機

771 : 外 殼

773 : 顯 示 部

775 : 支 架

780 : 遙 控 操 作 機

七、申請專利範圍：

1. 一種半導體裝置，包括分壓器電路，該分壓器電路包括：

電源線；

選擇線；

運算放大器電路，包括第一電晶體，該第一電晶體包括第一閘極、第一源極及第一汲極；

第一電阻器及第二電阻器，該第一電阻器及該第二電阻器係串聯連接於該電源線；以及

開關電晶體，包括閘極、源極及汲極，該閘極電連接於該選擇線，該源極電連接於該第一電阻器和該第二電阻器之間的節點，並且該汲極電連接於該運算放大器電路的該第一電晶體的該第一閘極，

其中，該開關電晶體包括通道形成區，該通道形成區包括氧化物半導體，

其中，該第一電晶體包括通道形成區，該通道形成區包括矽，

其中，該開關電晶體及該第一電晶體係形成在相同的基板上，並且

該開關電晶體係在該第一電晶體上。

2. 一種半導體裝置，包括分壓器電路，該分壓器電路包括：

電源線；

選擇線；

運算放大器電路，包括第一電晶體，該第一電晶體包括第一閘極、第一源極及第一汲極；

第一電阻器及第二電阻器，該第一電阻器及該第二電阻器係串聯連接於該電源線；以及

開關電晶體，包括閘極、源極及汲極，該閘極電連接於該選擇線，該源極電連接於該第一電阻器和該第二電阻器之間的節點，並且該汲極電連接於該運算放大器電路的該第一電晶體的該第一閘極，

其中，該分壓器電路包括電位控制電晶體，該電位控制電晶體組態為使該第一電阻器及該第二電阻器藉由該電位控制電晶體的源極及汲極而電連接於該電源線，

其中，各該開關電晶體及該電位控制電晶體包括通道形成區，該通道形成區包括氧化物半導體，

其中，該第一電晶體包括通道形成區，該通道形成區包括矽，

其中，該開關電晶體及該第一電晶體係形成在相同的基板上，並且

該開關電晶體係在該第一電晶體上。

3. 根據申請專利範圍第 1 或 2 項之半導體裝置，該運算放大器電路包括：

定電流源；

第二電晶體，包括第二閘極、第二源極及第二汲極，該第二源極電連接於該第一源極及該定電流源；

第三電晶體，包括第三閘極、第三源極及第三汲極；

以及

第四電晶體，包括第四閘極、第四源極及第四汲極，該第四閘極電連接於該第三閘極、該第三汲極及該第一汲極，該第四源極電連接於該第三源極，並且該第四汲極電連接於該第二汲極及該第二閘極。

4. 一種半導體裝置，包括分壓器電路，該分壓器電路包括：

電源線；

選擇線；

電容器；

第一電阻器及第二電阻器，係串聯連接於該電源線；

以及

開關電晶體，包括閘極、汲極及源極，該閘極電連接於該選擇線，該源極電連接於該第一電阻器和該第二電阻器之間的節點，並且該汲極電連接於該電容器，

其中，該開關電晶體包括通道形成區，該通道形成區包括氧化物半導體。

5. 一種半導體裝置，包括分壓器電路，該分壓器電路包括：

電源線；

第一電晶體，該第一電晶體包括第一閘極；

第一電阻器及第二電阻器，該第一電阻器及該第二電阻器係串聯連接於該電源線；以及

開關電晶體，包括閘極、源極及汲極，該閘極電連接

於該源極及該第一電阻器和該第二電阻器之間的節點，並且該汲極電連接於該第一電晶體的該第一閘極，

其中，該開關電晶體包括通道形成區，該通道形成區包括氧化物半導體，並且

其中，該第一電晶體包括通道形成區，該通道形成區包括矽。

6.根據申請專利範圍第 1、4 及 5 項中之任一項之半導體裝置，該分壓器電路還包括電位控制電晶體，該電位控制電晶體組態為使該第一電阻器及該第二電阻器藉由該電位控制電晶體的源極及汲極而電連接於該電源線。

7.根據申請專利範圍第 1、4 及 5 項中之任一項之半導體裝置，該分壓器電路還包括電位控制電晶體，該電位控制電晶體組態為使該第一電阻器及該第二電阻器藉由該電位控制電晶體的源極及汲極而電連接於該電源線，

其中，該電位控制電晶體的閘極電連接於該開關電晶體的該閘極。

8.根據申請專利範圍第 2 項之半導體裝置，

其中，該電位控制電晶體的閘極電連接於該開關電晶體的該閘極。

9.根據申請專利範圍第 1、2、4 及 5 項中之任一項之半導體裝置，還包括：

電位供應源，組態為對該分壓器電路供應電位；以及
負載，係連接於該電位供應源的輸出及該分壓器電路的輸出。

10.根據申請專利範圍第5項之半導體裝置，

其中，該開關電晶體及該第一電晶體係形成在相同的基板上，並且

該開關電晶體係在該第一電晶體上。

11.根據申請專利範圍第1、2、4及5項中之任一項之半導體裝置，

其中，該氧化物半導體包含銮。

12.根據申請專利範圍第1、2、4及5項中之任一項之半導體裝置，

其中，該半導體裝置是電腦、行動電話機、可攜式資訊終端、數位相機、數位攝影機、電子紙及電視機中的任一者。

13.一種半導體裝置的驅動方法，該半導體裝置包括：

分壓器電路，包括：

電源線；

選擇線；

運算放大器電路，包括第一電晶體，該第一電晶體包括第一閘極、第一源極及第一汲極；以及

第一電阻器及第二電阻器，該第一電阻器及該第二電阻器係串聯連接於該電源線；以及

開關電晶體，包括閘極、源極及汲極，該閘極電連接於該選擇線，該源極電連接於該第一電阻器和該第二電阻器之間的第一節點，並且該汲極電連接於該運算放大器電

路的該第一電晶體的該第一閘極而形成第二節點，

該驅動方法包括：

使用該第一電阻器及該第二電阻器分割供應給該電源線的電位，以便得到所希望的電位；

當該開關電晶體開啓時，藉由該開關電晶體對該運算放大器電路施加該所希望的電位；

當該開關電晶體關閉時，在該第二節點保持該所希望的電位；以及

在該開關電晶體開啓或關閉的情況下，都從該運算放大器電路輸出該所希望的電位，

其中，該開關電晶體包括通道形成區，該通道形成區包括氧化物半導體，並且

其中，該第一電晶體包括通道形成區，該通道形成區包括矽。

14. 一種半導體裝置的驅動方法，該半導體裝置包括：

分壓器電路，包括：

電源線；

選擇線；

電容器；以及

第一電阻器及第二電阻器，係串聯連接於該電源線；以及

開關電晶體，包括閘極、汲極及源極，該閘極電連接於該選擇線，該源極電連接於該第一電阻器和該第二電阻

器之間的第一節點，並且該汲極電連接於該電容器而形成第二節點，

該驅動方法包括：

使用該第一電阻器及該第二電阻器分割供應給該電源線的電位，以得到所希望的電位；

當該開關電晶體開啓時，藉由該開關電晶體對該電容器施加該所希望的電位；

當該開關電晶體關閉時，在該第二節點保持該所希望的電位；以及

藉由該電容器施加保持在該第二節點的該所希望的電位，

其中，該開關電晶體包括通道形成區，該通道形成區包括氧化物半導體。

15. 根據申請專利範圍第 13 或 14 項之半導體裝置的驅動方法，

其中，該半導體裝置包括電位控制電晶體，該電位控制電晶體組態為使該第一電阻器及該第二電阻器藉由該電位控制電晶體的源極及汲極而電連接於該電源線，並且，

其中，當該開關電晶體關閉時，該電位控制電晶體關閉。

圖 1

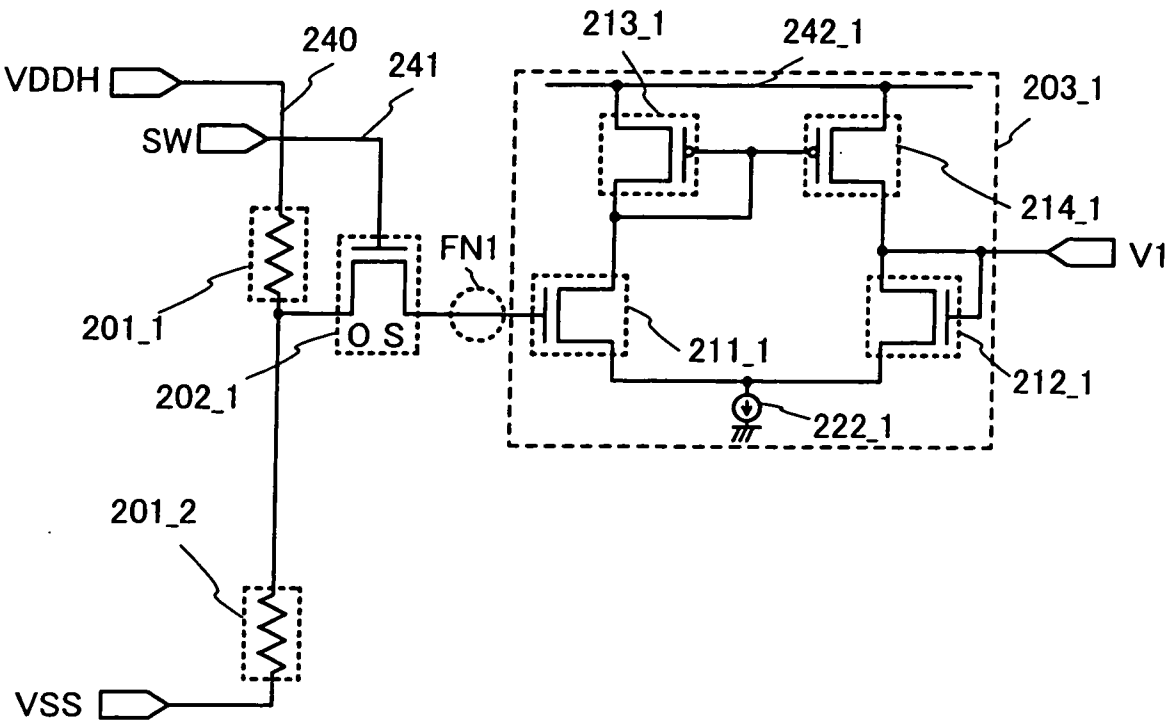


圖2

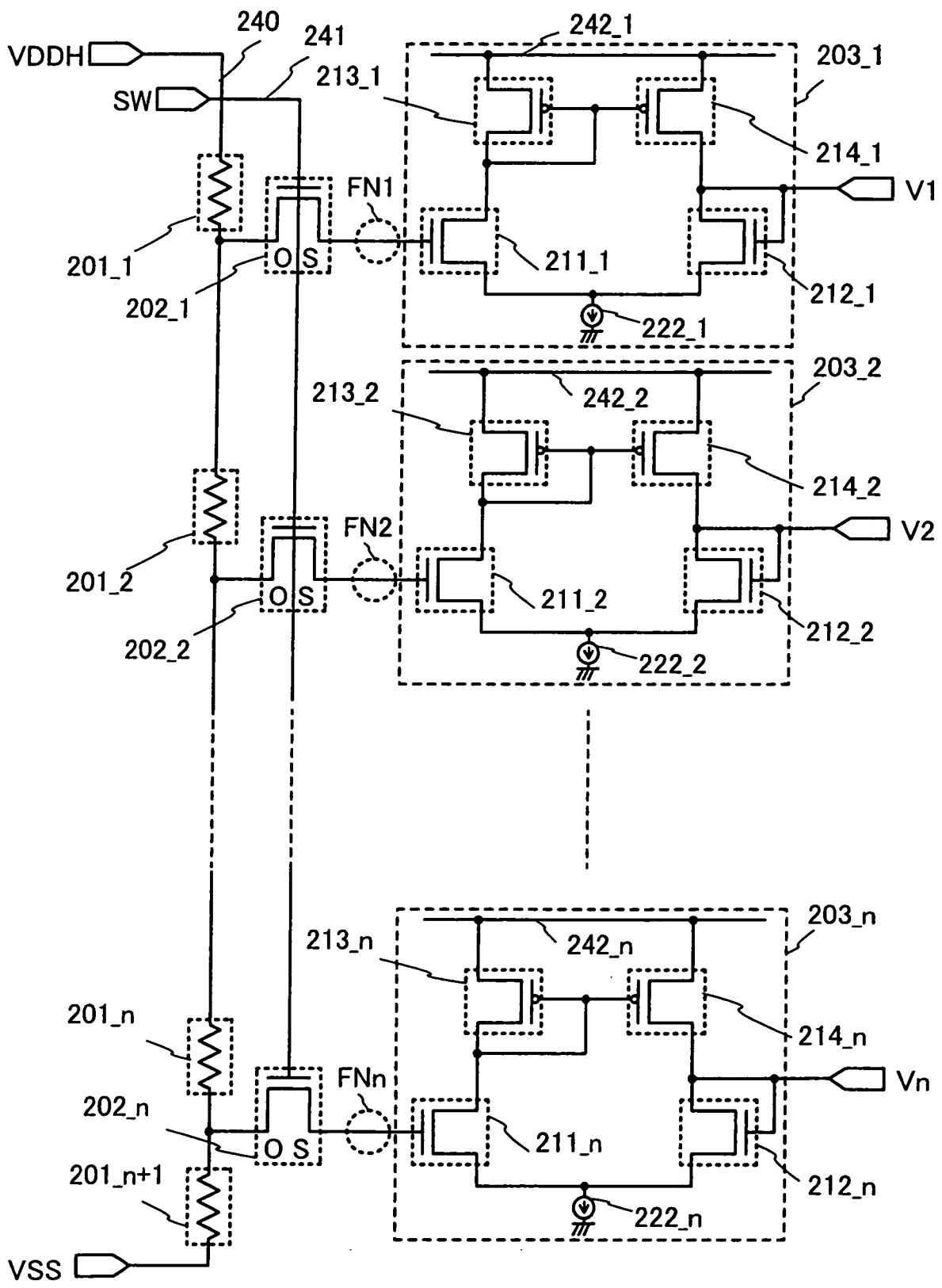
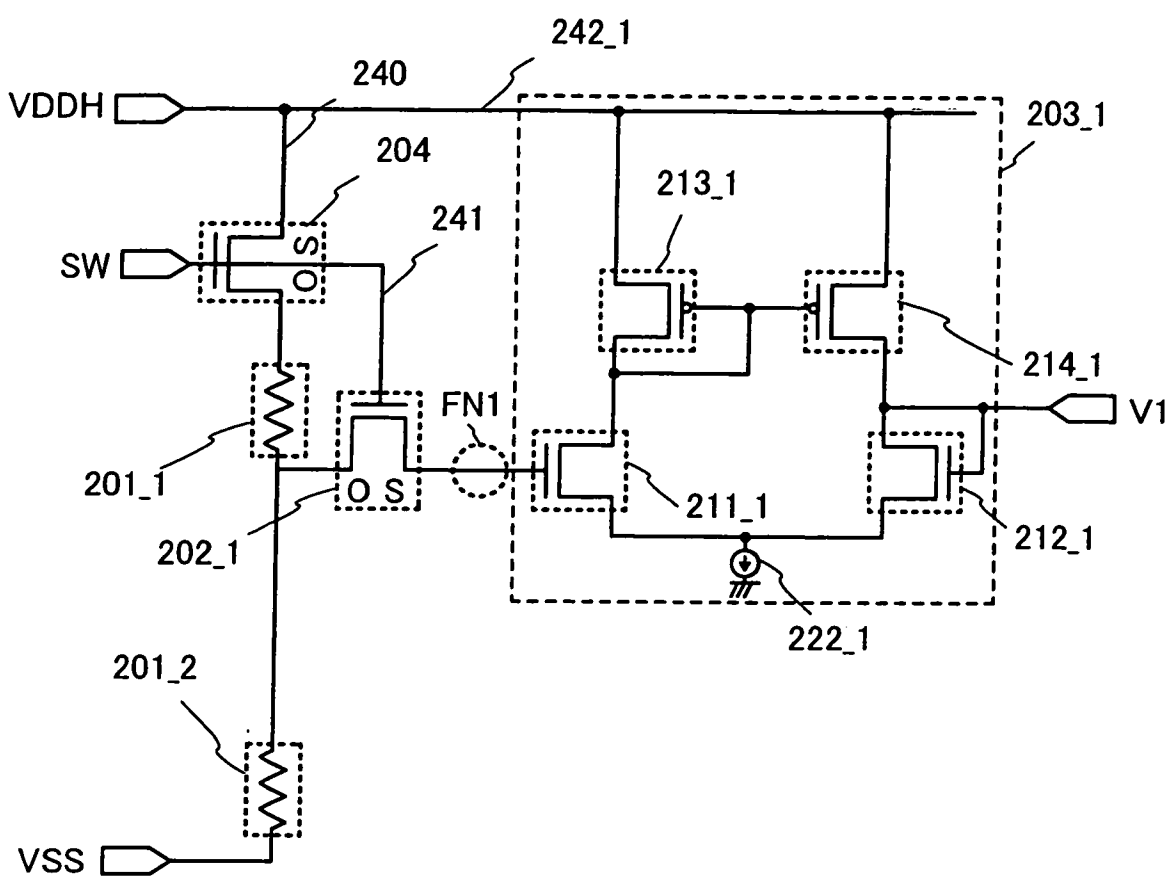


圖3



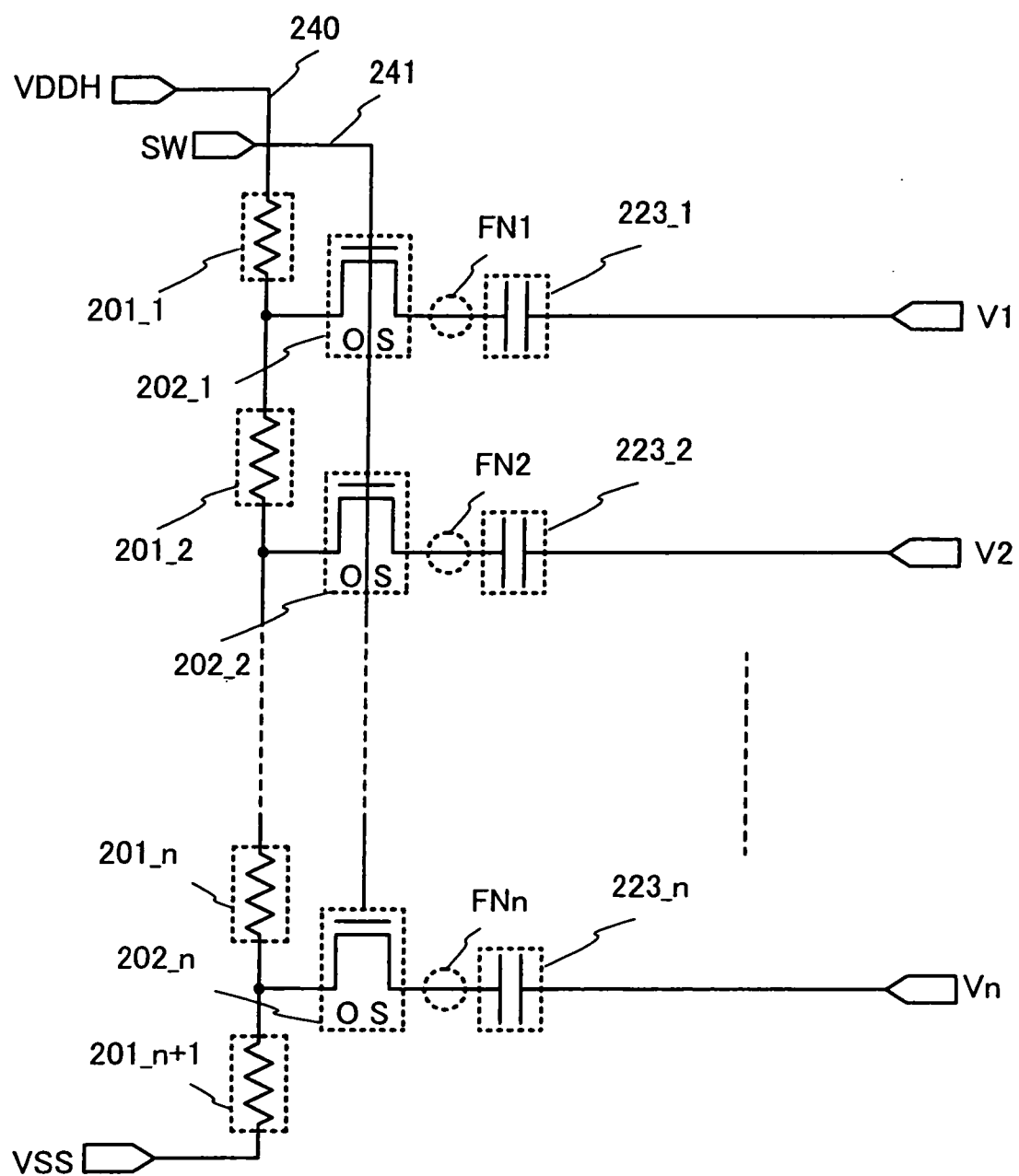
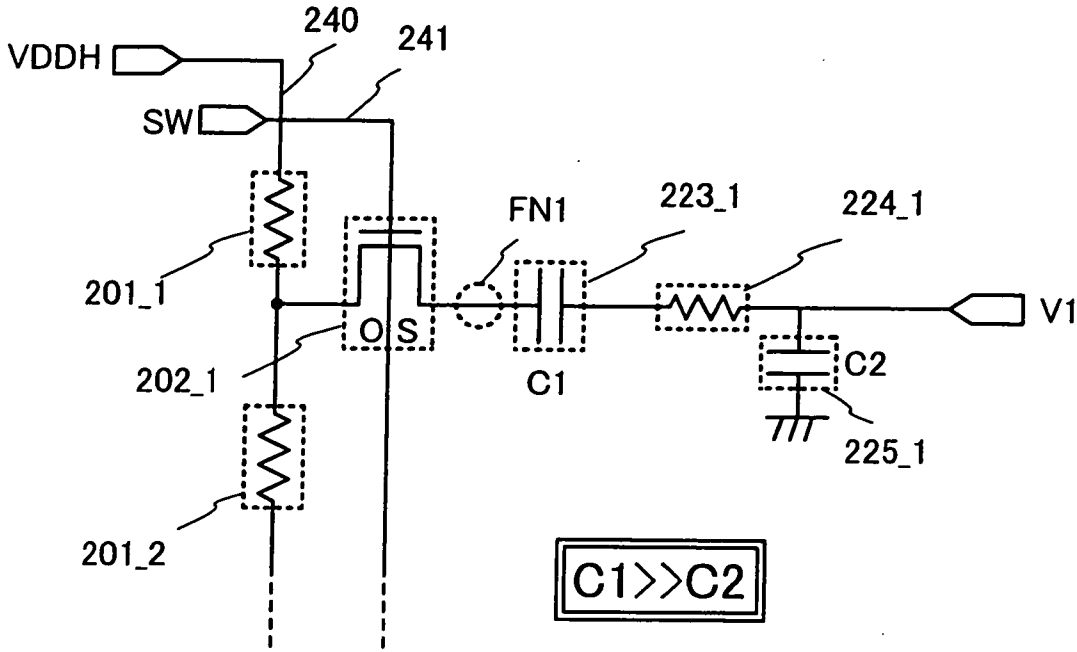


圖5



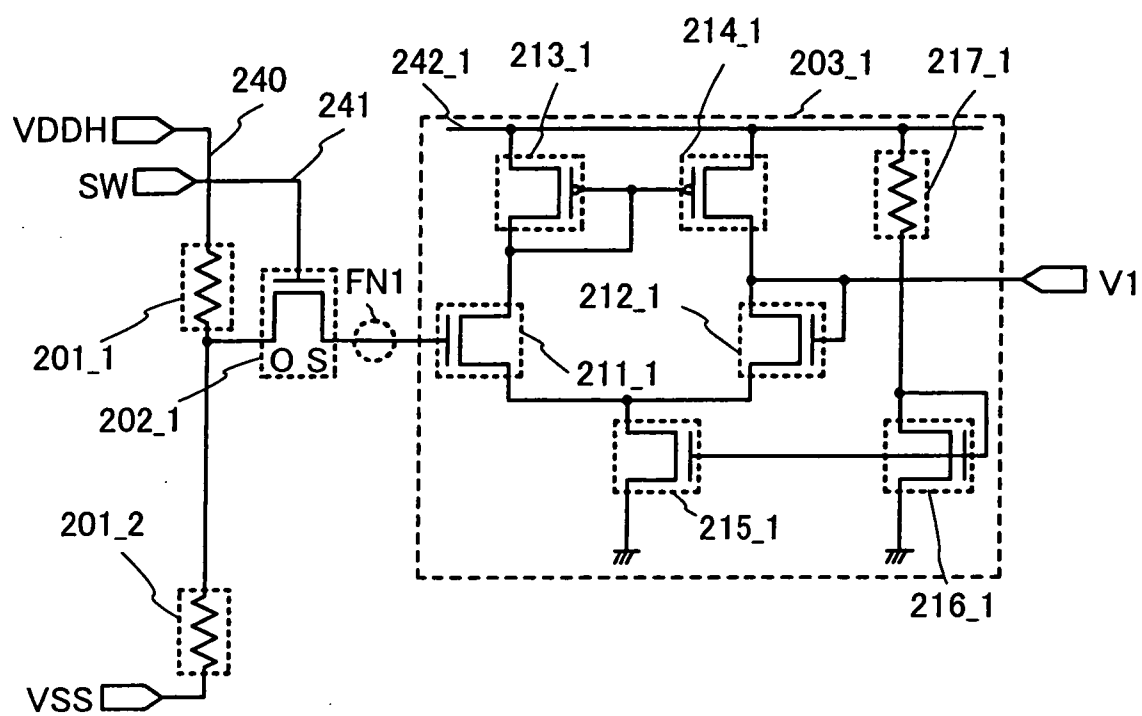


圖 6B

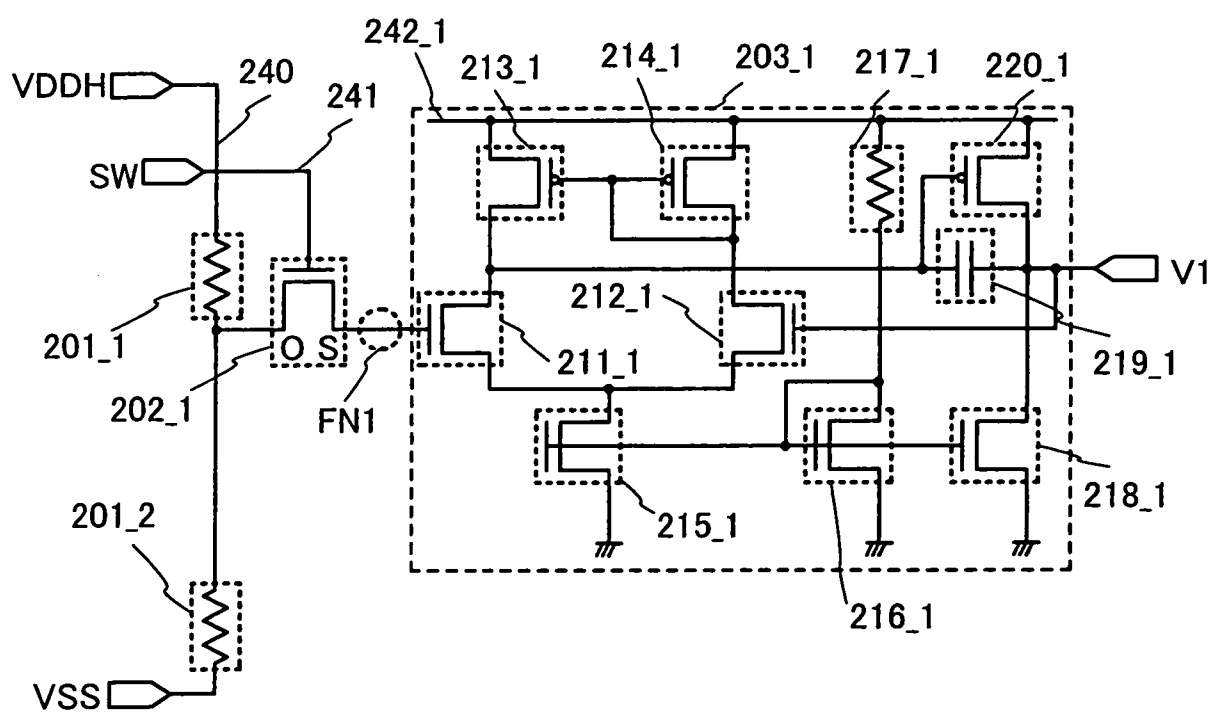


圖 7A

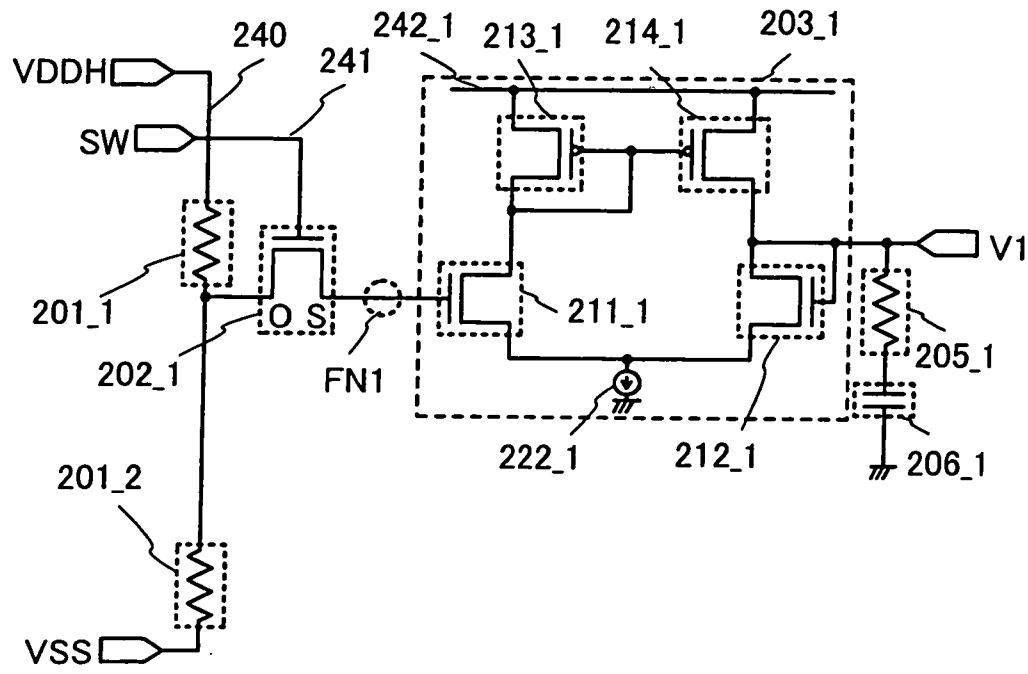


圖 7B

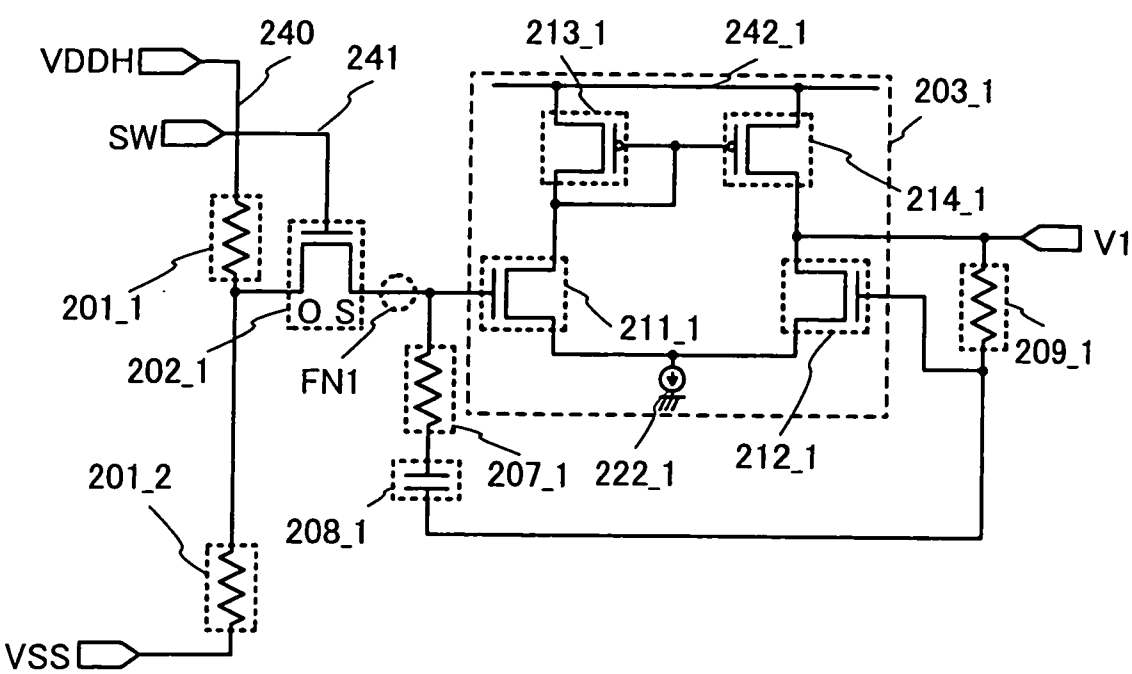


圖 8

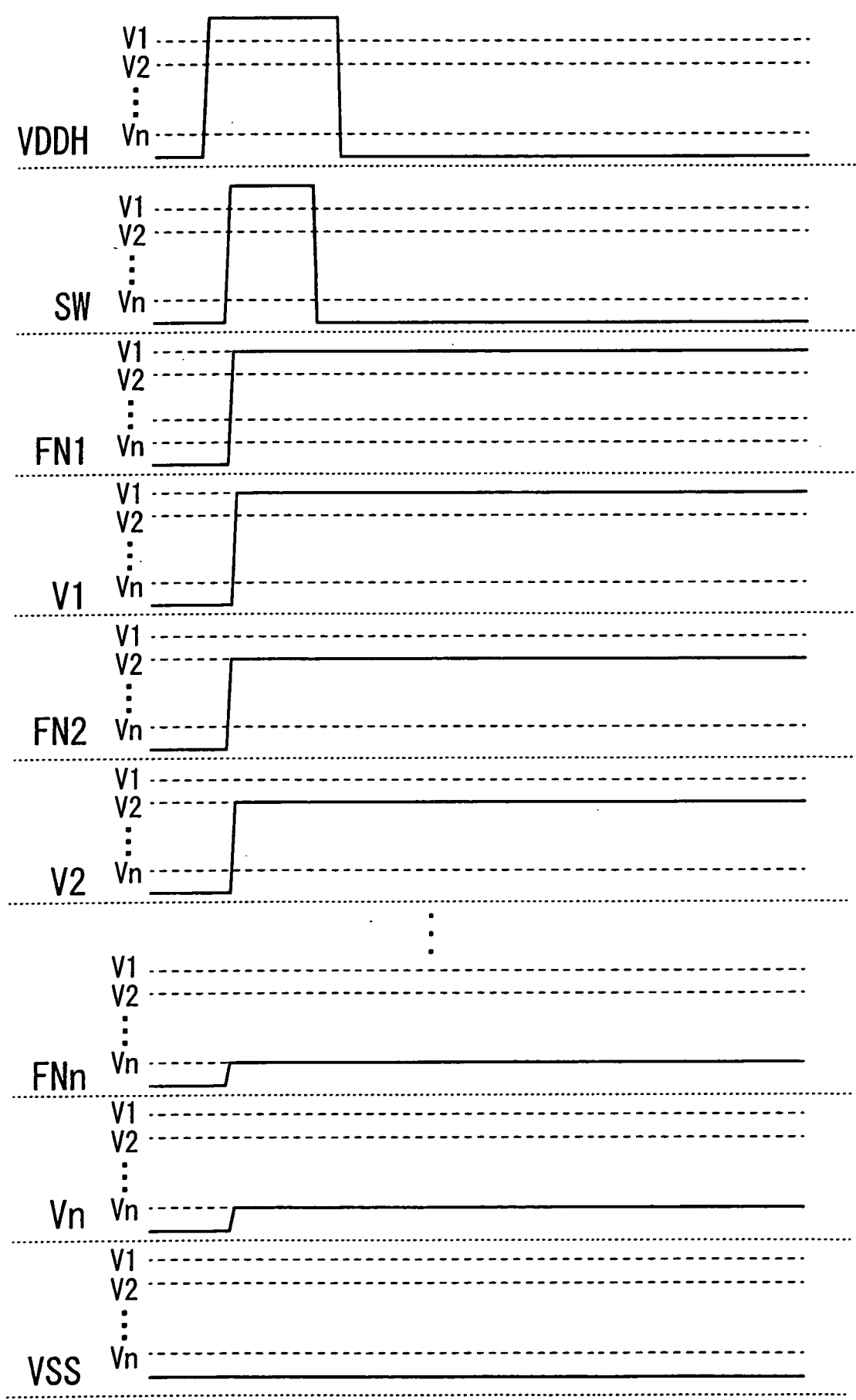


圖 9

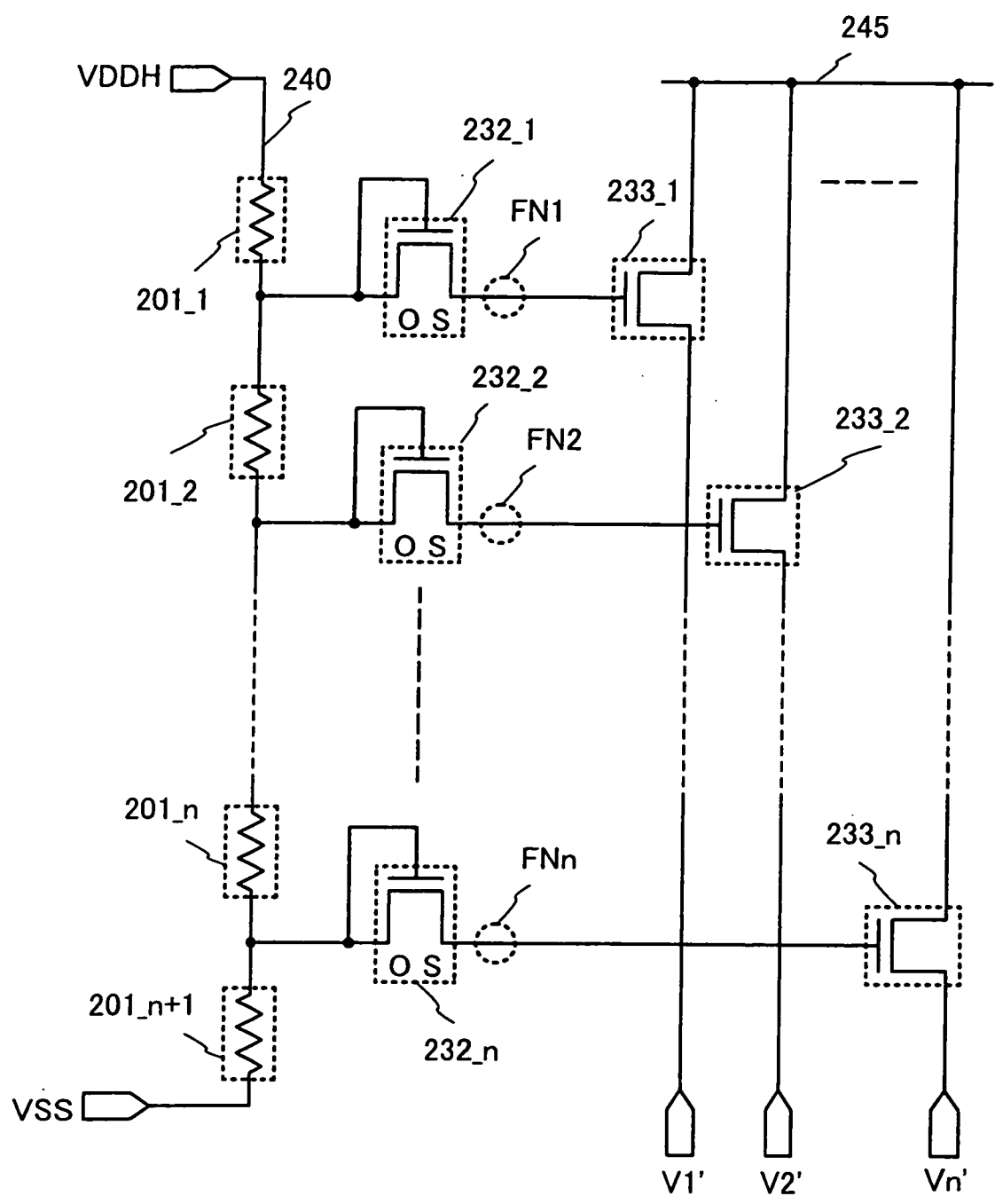


圖 10A

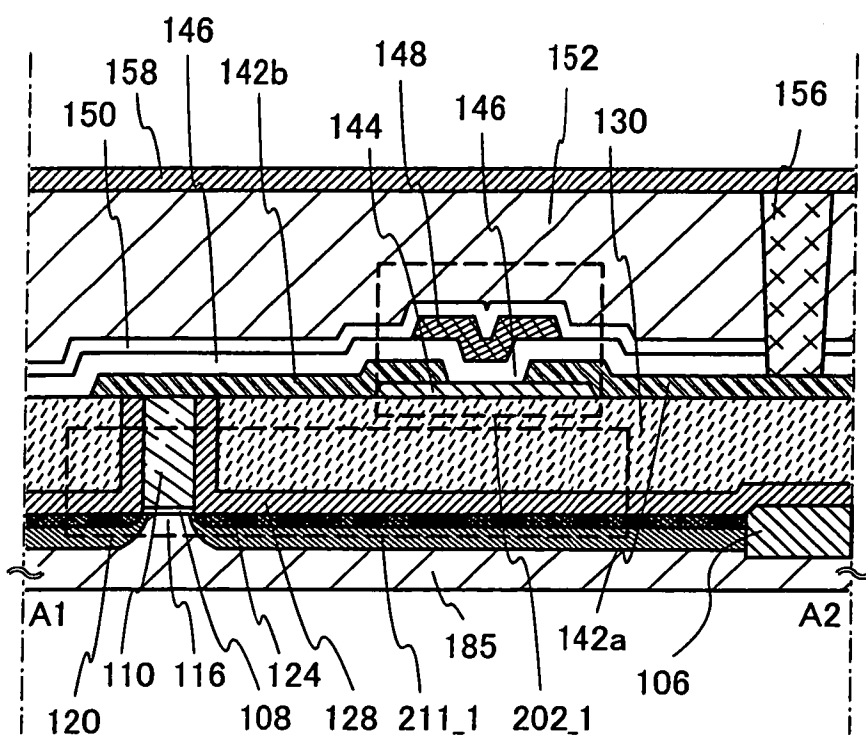


圖 10B

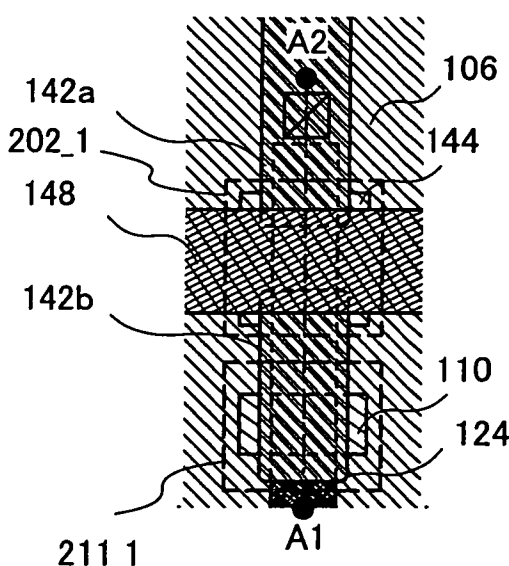


圖 11A

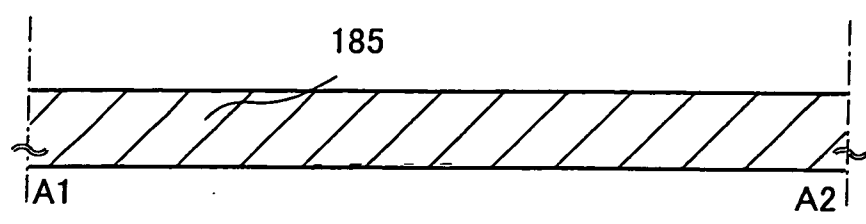


圖 11B

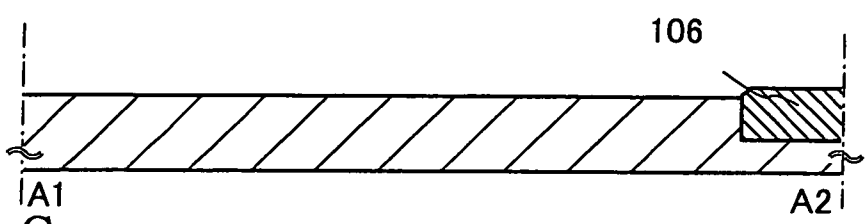


圖 11C

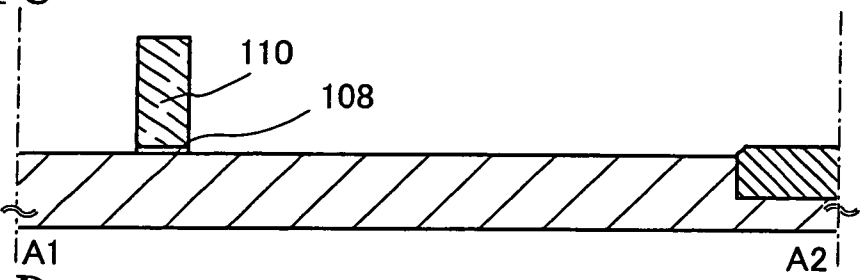


圖 11D

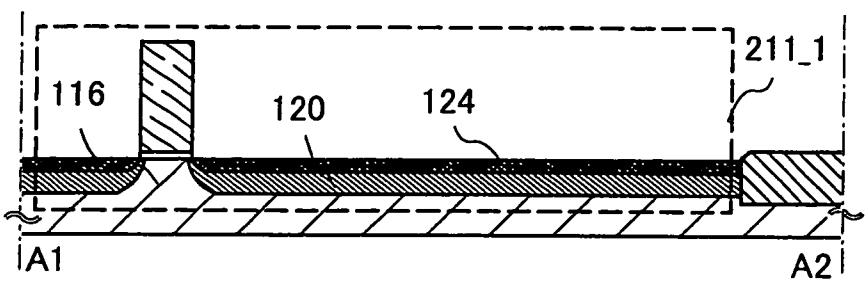


圖 11E

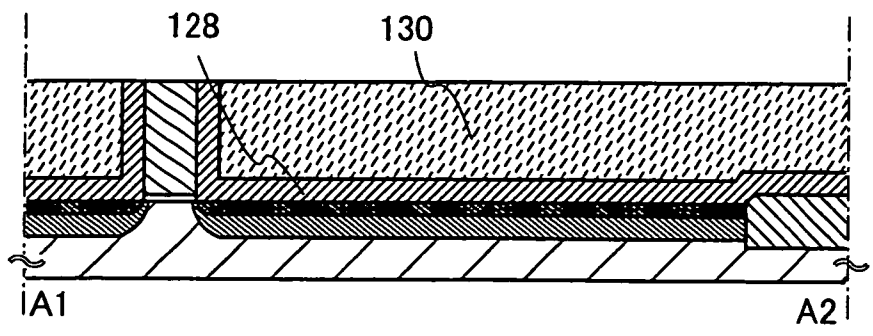


圖 12A

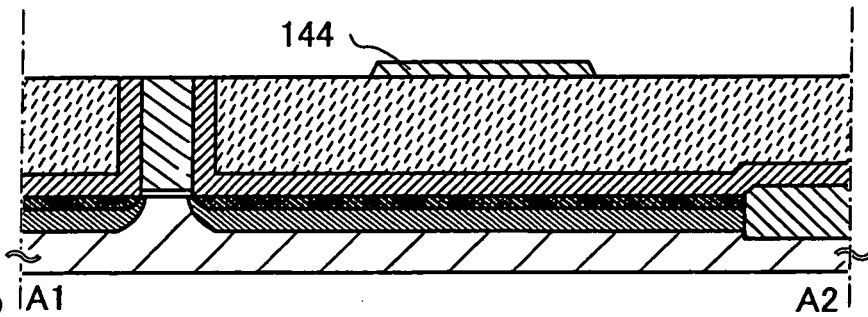


圖 12B

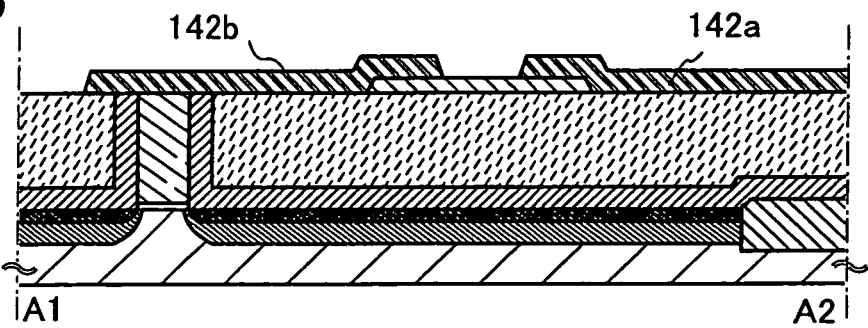


圖 12C

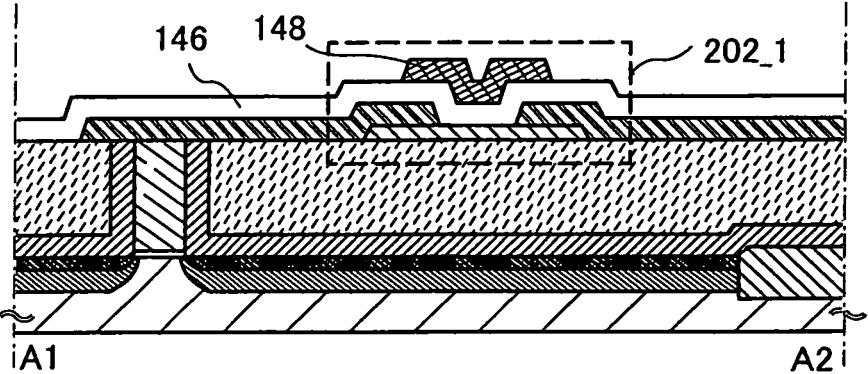


圖 12D

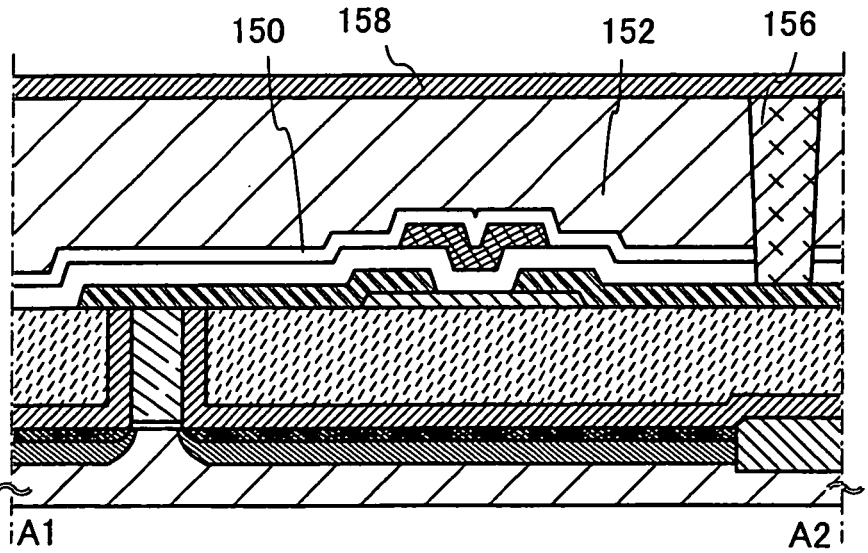


圖 13A

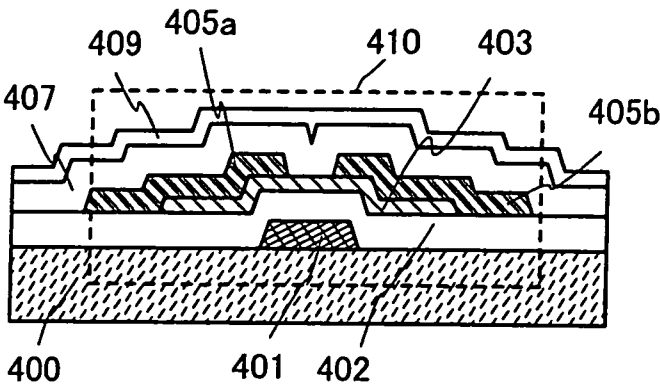


圖 13B

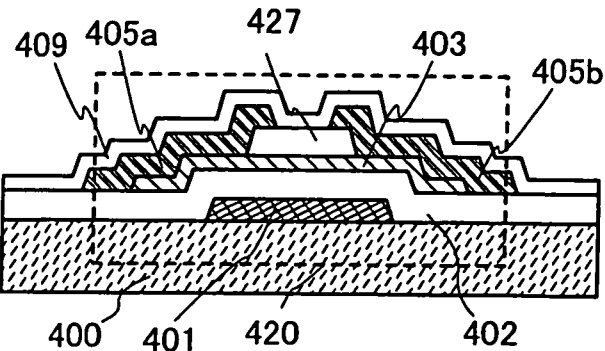


圖 13C

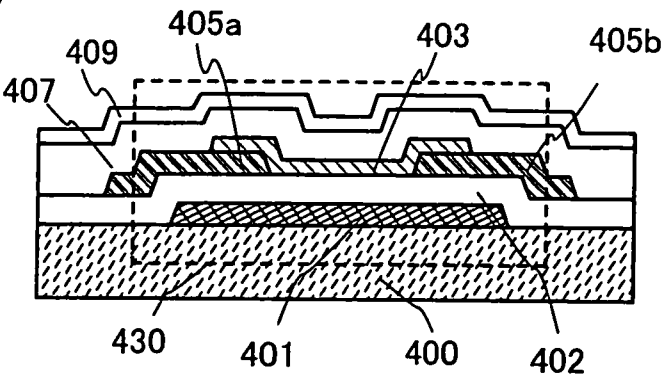


圖 13D

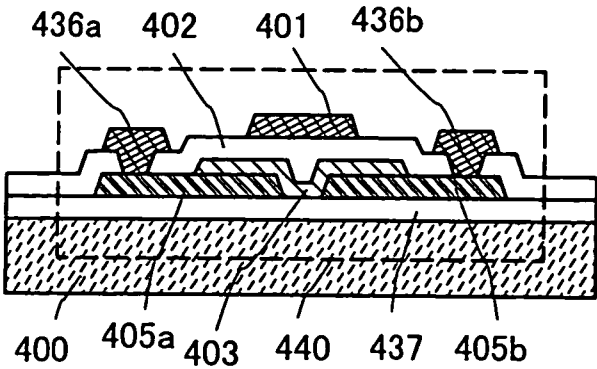


圖 14A

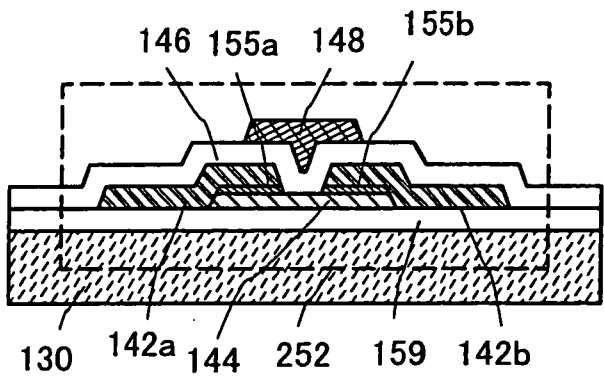


圖 14B

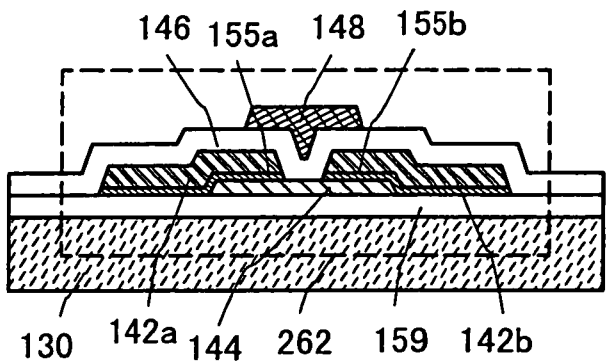


圖 15A

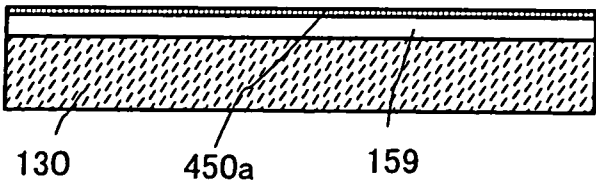


圖 15B

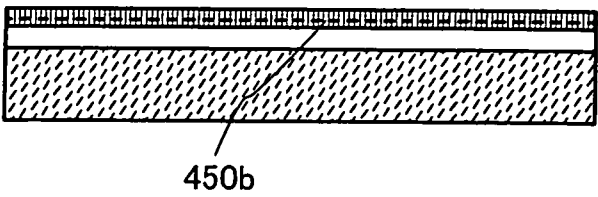


圖 15C

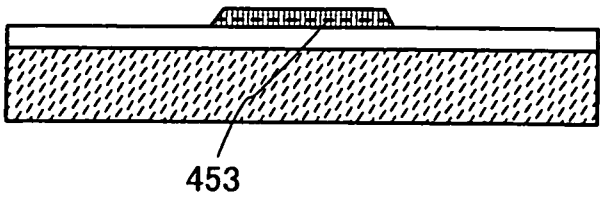


圖 16

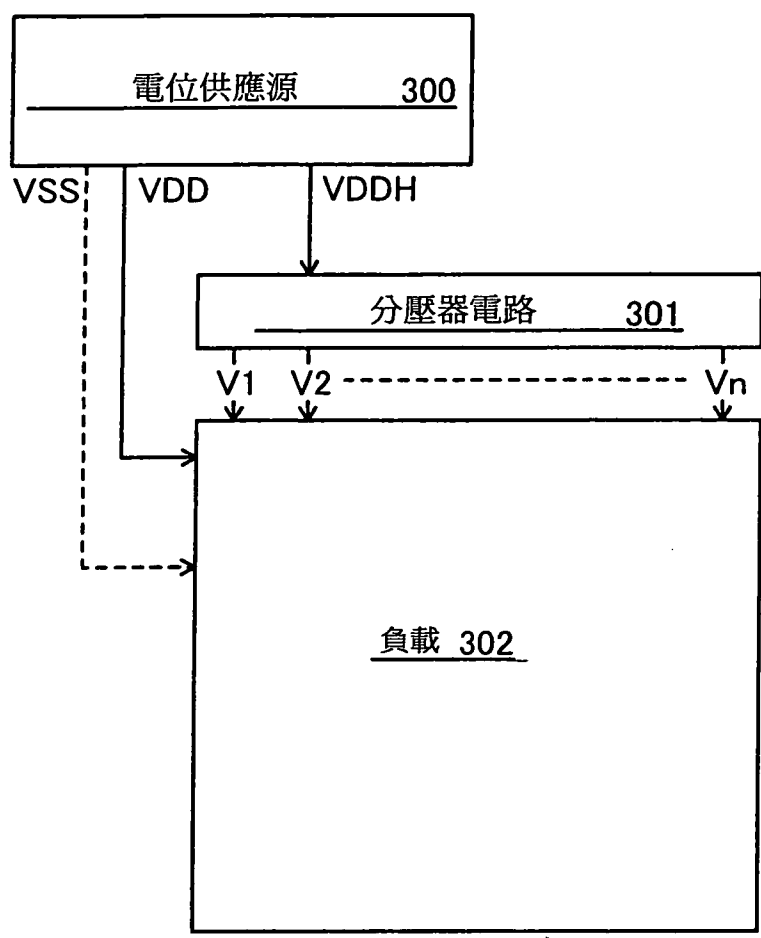


圖 17A

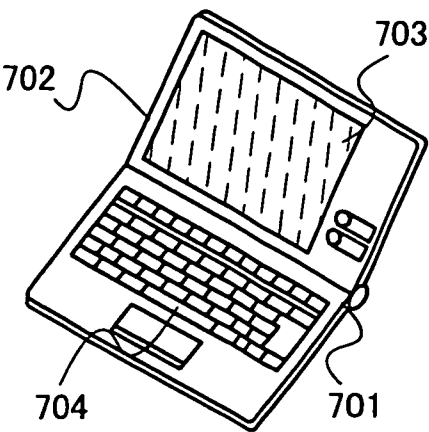


圖 17D

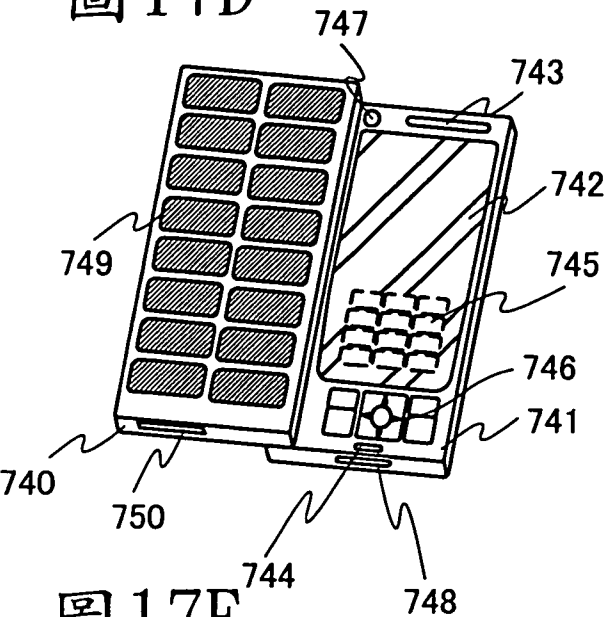


圖 17B

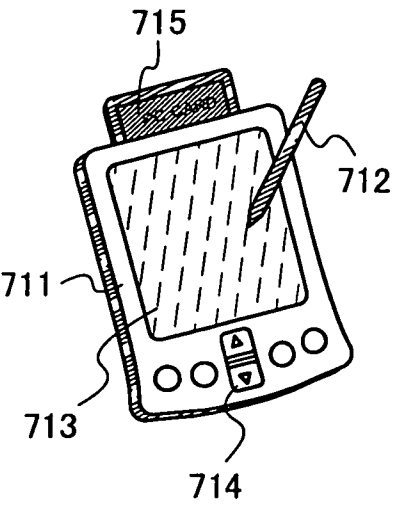


圖 17E

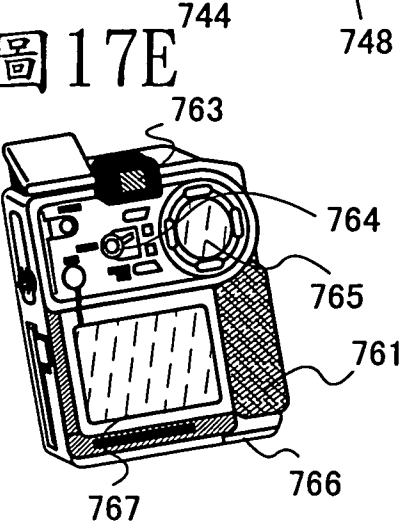


圖 17C

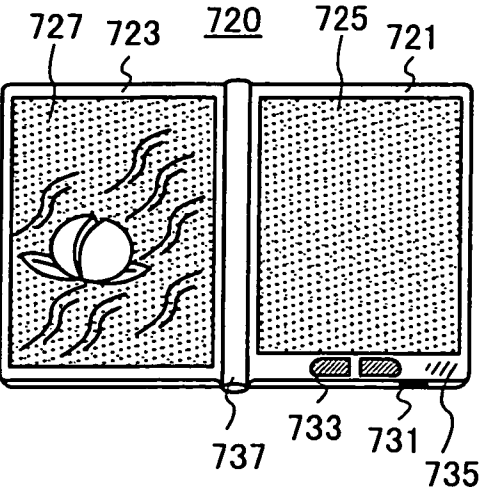


圖 17F

