



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0038682

(43) 공개일자 2015년04월08일

(51) 국제특허분류(Int. Cl.)

G06F 11/34 (2006.01)

(52) CPC특허분류

G06F 11/3423 (2013.01)

G06F 11/3433 (2013.01)

(21) 출원번호 10-2015-7006757(분할)

(22) 출원일자(국제) 2010년11월17일

심사청구일자 2015년03월17일

(62) 원출원 특허 10-2012-7015898

원출원일자(국제) 2010년11월17일

심사청구일자 2012년06월19일

(85) 번역문제출일자 2015년03월17일

(86) 국제출원번호 PCT/US2010/057089

(87) 국제공개번호 WO 2011/063031

국제공개일자 2011년05월26일

(30) 우선권주장

61/262,704 2009년11월19일 미국(US)

12/780,588 2010년05월14일 미국(US)

(71) 출원인

켈컴 인코퍼레이티드

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자

휴, 리양치

미국 92121-1714 캘리포니아 샌디에고 모어하우스 드라이브 5775

카다가라, 비자이 쿠마

미국 92121-1714 캘리포니아 샌디에고 모어하우스 드라이브 5775

(74) 대리인

특허법인 남앤드남

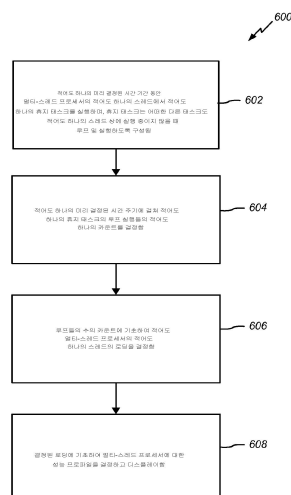
전체 청구항 수 : 총 32 항

(54) 발명의 명칭 멀티-스레드 프로세서의 성능을 측정하기 위한 방법 및 장치

(57) 요약

멀티-스레드 프로세서의 성능을 측정하기 위한 방법들 및 장치가 개시된다. 방법 및 장치는 미리 결정된 시간 기간들 동안 멀티-스레드 프로세서의 개별 스레드들에서 휴지(idle) 태스크의 실행을 통해 멀티-스레드 프로세서의 로딩을 결정한다. 휴지 태스크는 어떠한 다른 태스크도 스레드들 상에 실행 중이지 않을 때 루프 및 실행하도록 구성된다. 각각의 스레드 상의 휴지 태스크의 루프 실행들은 미리 결정된 시간 기간들 각각에 걸쳐 카운트된다. 그 후에 이들 카운트들로부터, 멀티-스레드 프로세서의 스레드들 각각의 로딩이 결정될 수 있다. 로딩은 그 후 실시간으로 디스플레이될 수 있는 프로세서 프로파일을 개발하기 위해 이용될 수 있다.

대 표 도 - 도6



명세서

청구범위

청구항 1

멀티-스레드 프로세서의 로딩을 결정하기 위한 방법으로서,

적어도 하나의 미리 결정된 시간 기간 동안 상기 멀티-스레드 프로세서의 적어도 하나의 스레드에서 적어도 하나의 휴지(idle) 태스크를 실행하는 단계 - 상기 휴지 태스크는 어떠한 다른 태스크도 상기 적어도 하나의 스레드 상에서 실행 중이지 않을 때 루프를 실행하도록 구성되고, 그리고 루프 동작의 반복들이 카운트될 수 있는 반복적인 루프 동작으로서 구성됨 - ;

상기 적어도 하나의 미리 결정된 시간 기간에 걸쳐 상기 적어도 하나의 휴지 태스크의 루프 실행들의 카운트를 결정하는 단계;

상기 카운트에 기초하여 적어도 상기 멀티-스레드 프로세서의 상기 적어도 하나의 스레드의 로딩 값을 결정하는 단계; 및

미리 결정된 샘플링 기간에 걸쳐 모든 스레드들이 휴지인 상기 프로세서의 멀티-스레드 프로세서 사이클들의 수를 결정하는 단계

를 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 방법.

청구항 2

제 1 항에 있어서,

측정된 로딩 값에 기초하여 상기 멀티-스레드 프로세서에 대한 성능 프로파일을 결정하는 단계를 더 포함하는, 멀티-스레드 프로세서의 로딩을 결정하기 위한 방법.

청구항 3

제 2 항에 있어서,

상기 멀티-스레드 프로세서의 하나 이상의 스레드들 각각에 대한 상기 성능 프로파일을 디스플레이하는 단계를 더 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 방법.

청구항 4

제 1 항에 있어서

상기 카운트를 결정하는 단계는:

휴지 태스크 카운트 벡터들의 어레이를 형성하는 단계를 더 포함하고,

상기 휴지 태스크 카운트 벡터들 각각은 복수의 미리 결정된 시간 기간들에 걸쳐 각각의 미리 결정된 시간 기간 동안 하나 이상의 스레드들에서 각각의 실행되는 휴지 태스크에 대해 각각의 카운트에 대한 엔트리들을 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 방법.

청구항 5

제 1 항에 있어서,

상기 하나 이상의 스레드들에서 어떠한 태스크들도 실행되지 않는 휴지 동작으로 상기 멀티-스레드 프로세서를

강제하는(forcing) 단계;

적어도 하나의 스레드에서 상기 적어도 하나의 휴지 태스크를 실행하는 단계; 및

상기 멀티-스레드 프로세서가 휴지 동작으로 강제될 때 적어도 하나의 미리 결정된 시간 기간에 걸쳐 상기 적어도 하나의 스레드에서 상기 휴지 태스크의 실행을 위한 최대 카운트 값을 결정하는 단계

를 더 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 방법.

청구항 6

제 5 항에 있어서,

상기 최대 카운트 값에 대한 상기 적어도 하나의 미리결정된 시간 기간에 걸친 상기 적어도 하나의 휴지 태스크의 루프 실행들의 카운트의 비를 계산함으로써 상기 멀티-스레드 프로세서의 성능 프로파일을 결정하는 단계를 더 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 방법.

청구항 7

제 1 항에 있어서,

상기 미리 결정된 샘플링 기간 동안 발생하는 멀티-스레드 프로세서 사이클들의 총 수를 결정하는 단계; 및

멀티-스레드 프로세서 사이클들의 결정된 총 수에 대한, 모든 스레드들이 휴지인 상기 프로세서의 멀티-스레드 프로세서 사이클들의 결정된 수의 비에 기초하여 상기 멀티-스레드 프로세서의 성능 프로파일을 도출하는 단계

를 더 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 방법.

청구항 8

제 7 항에 있어서,

상기 멀티-스레드 프로세서의 하나 이상의 스레드들 전부에 대한 상기 성능 프로파일을 디스플레이하는 단계를 더 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 방법.

청구항 9

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치로서,

적어도 하나의 미리 결정된 시간 기간 동안 상기 멀티-스레드 프로세서의 적어도 하나의 스레드에서 적어도 하나의 휴지 태스크를 실행하고 — 상기 휴지 태스크는 어떠한 다른 태스크도 상기 적어도 하나의 스레드 상에서 실행 중이지 않을 때 루프를 실행하도록 구성되고, 그리고 루프 동작의 반복들이 카운트될 수 있는 반복적인 루프 동작으로서 구성됨 — ;

상기 적어도 하나의 미리 결정된 시간 기간에 걸쳐 상기 적어도 하나의 휴지 태스크의 루프 실행들의 카운트를 결정하고;

상기 카운트에 기초하여 적어도 상기 멀티-스레드 프로세서의 상기 적어도 하나의 스레드의 로딩 값을 결정하고; 그리고

미리 결정된 샘플링 기간에 걸쳐 모든 스레드들이 휴지인 상기 프로세서의 멀티-스레드 프로세서 사이클들의 수를 결정하도록

구성되는 적어도 하나의 프로세서를 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 10

제 9 항에 있어서,

상기 적어도 하나의 프로세서는:

측정된 로딩 값에 기초하여 상기 멀티-스레드 프로세서에 대한 성능 프로파일을 결정하도록 추가로 구성되는,
멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 11

제 10 항에 있어서,

상기 적어도 하나의 프로세서는:

상기 멀티-스레드 프로세서의 하나 이상의 스레드들 각각에 대한 상기 성능 프로파일을 디스플레이하도록 추가로 구성되는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 12

제 9 항에 있어서

상기 적어도 하나의 프로세서는:

복수의 미리 결정된 시간 기간들에 걸쳐 각각의 미리 결정된 시간 기간 동안 하나 이상의 스레드들에서 각각의 실행되는 휴지 태스크에 대해 각각의 카운트에 대한 엔트리들을 포함하는 휴지 태스크 카운트들의 어레이를 형성하는 것에 의해 상기 카운트를 결정하도록 추가로 구성되는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 13

제 9 항에 있어서,

상기 적어도 하나의 프로세서는:

상기 하나 이상의 스레드들에서 어떠한 태스크들도 실행되지 않는 휴지 동작으로 상기 멀티-스레드 프로세서를 강제하고;

적어도 하나의 스레드에서 상기 적어도 하나의 휴지 태스크를 실행하며; 그리고

상기 멀티-스레드 프로세서가 휴지 동작으로 강제될 때 적어도 하나의 미리 결정된 시간 기간에 걸쳐 상기 적어도 하나의 스레드에서 상기 휴지 태스크의 실행을 위한 최대 카운트 값을 결정하도록

추가로 구성되는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 14

제 13 항에 있어서,

상기 적어도 하나의 프로세서는:

상기 최대 카운트 값에 대한 상기 카운트의 비를 계산함으로써 상기 멀티-스레드 프로세서의 성능 프로파일을 결정하도록 추가로 구성되는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 15

제 9 항에 있어서,

상기 적어도 하나의 프로세서는:

상기 미리 결정된 샘플링 기간 동안 발생하는 멀티-스레드 프로세서 사이클들의 총 수를 결정하고; 그리고

멀티-스레드 프로세서 사이클들의 결정된 총 수에 대한, 모든 스레드들이 휴지인 상기 프로세서의 멀티-스레드 프로세서 사이클들의 결정된 수의 비에 기초하여 상기 멀티-스레드 프로세서의 성능 프로파일을 도출하도록

추가로 구성되는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 16

제 15 항에 있어서,

상기 적어도 하나의 프로세서는:

상기 멀티-스레드 프로세서의 하나 이상의 스레드들 전부에 대한 상기 성능 프로파일을 디스플레이하도록 추가로 구성되는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 17

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치로서,

적어도 하나의 미리 결정된 시간 기간 동안 상기 멀티-스레드 프로세서의 적어도 하나의 스레드에서 적어도 하나의 휴지 태스크를 실행하기 위한 수단 - 상기 휴지 태스크는 어떠한 다른 태스크도 상기 적어도 하나의 스레드 상에서 실행 중이지 않을 때 루프를 실행하도록 구성되고, 그리고 루프 동작의 반복들이 카운트될 수 있는 반복적인 루프 동작으로서 구성됨 - ;

상기 적어도 하나의 미리 결정된 시간 기간에 걸쳐 상기 적어도 하나의 휴지 태스크의 루프 실행들의 카운트를 결정하기 위한 수단;

상기 카운트에 기초하여 적어도 상기 멀티-스레드 프로세서의 상기 적어도 하나의 스레드의 로딩 값을 결정하기 위한 수단; 및

미리 결정된 샘플링 기간에 걸쳐 모든 스레드들이 휴지인 상기 프로세서의 멀티-스레드 프로세서 사이클들의 수를 결정하기 위한 수단

을 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 18

제 17 항에 있어서,

측정된 로딩 값에 기초하여 상기 멀티-스레드 프로세서에 대한 성능 프로파일을 결정하기 위한 수단을 더 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 19

제 18 항에 있어서,

상기 멀티-스레드 프로세서의 하나 이상의 스레드들 각각에 대한 상기 성능 프로파일을 디스플레이하기 위한 수단을 더 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 20

제 17 항에 있어서

상기 카운트를 결정하기 위한 수단은:

복수의 미리 결정된 시간 기간들에 걸쳐 각각의 미리 결정된 시간 기간 동안 하나 이상의 스레드들에서 각각의 실행되는 휴지 태스크에 대해 각각의 카운트에 대한 엔트리들을 포함하는 휴지 태스크 카운트들의 어레이를 형성하기 위한 수단을 더 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 21

제 17 항에 있어서,

상기 하나 이상의 스레드들에서 어떠한 태스크들도 실행되지 않는 휴지 동작으로 상기 멀티-스레드 프로세서를 강제하기 위한 수단;

적어도 하나의 스레드에서 상기 적어도 하나의 휴지 태스크를 실행하기 위한 수단; 및

상기 멀티-스레드 프로세서가 휴지 동작으로 강제될 때 적어도 하나의 미리 결정된 시간 기간에 걸쳐 상기 적어도 하나의 스레드에서 상기 휴지 태스크의 실행을 위한 최대 카운트 값을 결정하기 위한 수단

을 더 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 22

제 21 항에 있어서,

상기 최대 카운트 값에 대한 상기 카운트의 비를 계산함으로써 상기 멀티-스레드 프로세서의 성능 프로파일을 결정하기 위한 수단을 더 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 23

제 17 항에 있어서,

상기 미리 결정된 샘플링 기간 동안 발생하는 멀티-스레드 프로세서 사이클들의 총 수를 결정하기 위한 수단; 및

멀티-스레드 프로세서 사이클들의 결정된 총 수에 대한, 모든 스레드들이 휴지인 상기 프로세서의 멀티-스레드 프로세서 사이클들의 결정된 수의 비에 기초하여 상기 멀티-스레드 프로세서의 성능 프로파일을 도출하기 위한 수단을 더 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 24

제 23 항에 있어서,

상기 멀티-스레드 프로세서의 하나 이상의 스레드들 전부에 대한 상기 성능 프로파일을 디스플레이하기 위한 수단을 더 포함하는,

멀티-스레드 프로세서의 로딩을 결정하기 위한 장치.

청구항 25

컴퓨터-판독가능한 매체로서,

컴퓨터로 하여금 멀티-스레드 프로세서의 성능 프로파일을 발생시키게 하기 위한 코드를 포함하며, 상기 코드는:

컴퓨터로 하여금 적어도 하나의 미리 결정된 시간 기간 동안 상기 멀티-스레드 프로세서의 적어도 하나의 스레드에서 적어도 하나의 휴지 태스크를 실행하게 하기 위한 코드 - 상기 휴지 태스크는 어떠한 다른 태스

크도 상기 적어도 하나의 스레드 상에서 실행 중이지 않을 때 루프를 실행하도록 구성되고, 그리고 루프 동작의 반복들이 카운트될 수 있는 반복적인 루프 동작으로서 구성됨 - ;

컴퓨터로 하여금 상기 적어도 하나의 미리 결정된 시간 기간에 걸쳐 상기 적어도 하나의 휴지 태스크의 루프 실행들의 카운트를 결정하게 하기 위한 코드;

컴퓨터로 하여금 상기 카운트에 기초하여 적어도 상기 멀티-스레드 프로세서의 상기 적어도 하나의 스레드의 로딩 값을 결정하게 하기 위한 코드; 및

컴퓨터로 하여금 미리 결정된 샘플링 기간에 걸쳐 모든 스레드들이 휴지인 상기 프로세서의 멀티-스레드 프로세서 사이클들의 수를 결정하게 하기 위한 코드

를 포함하는,

컴퓨터-판독가능한 매체.

청구항 26

제 25 항에 있어서,

컴퓨터로 하여금 측정된 로딩 값에 기초하여 상기 멀티-스레드 프로세서에 대한 성능 프로파일을 결정하게 하기 위한 코드를 더 포함하는,

컴퓨터-판독가능한 매체.

청구항 27

제 26 항에 있어서,

컴퓨터로 하여금 상기 멀티-스레드 프로세서의 하나 이상의 스레드들 각각에 대한 상기 성능 프로파일을 디스플레이하게 하기 위한 코드를 더 포함하는,

컴퓨터-판독가능한 매체.

청구항 28

제 25 항에 있어서

상기 컴퓨터로 하여금 상기 카운트를 결정하게 하기 위한 코드는:

컴퓨터로 하여금 복수의 미리 결정된 시간 기간들에 걸쳐 각각의 미리 결정된 시간 기간 동안 하나 이상의 스레드들에서 각각의 실행되는 휴지 태스크에 대해 각각의 카운트에 대한 엔트리들을 포함하는 휴지 태스크 카운트들의 어레이를 형성하게 하기 위한 코드를 더 포함하는,

컴퓨터-판독가능한 매체.

청구항 29

제 25 항에 있어서,

컴퓨터로 하여금 상기 하나 이상의 스레드들에서 어떠한 태스크들도 실행되지 않는 휴지 동작으로 상기 멀티-스레드 프로세서를 강제하게 하기 위한 코드;

컴퓨터로 하여금 적어도 하나의 스레드에서 상기 적어도 하나의 휴지 태스크를 실행하게 하기 위한 코드; 및

컴퓨터로 하여금 상기 멀티-스레드 프로세서가 휴지 동작으로 강제될 때 적어도 하나의 미리 결정된 시간 기간에 걸쳐 상기 적어도 하나의 스레드에서 상기 휴지 태스크의 실행을 위한 최대 카운트 값을 결정하게 하기 위한 코드

를 더 포함하는,

컴퓨터-판독가능한 매체.

청구항 30

제 29 항에 있어서,

컴퓨터로 하여금 상기 최대 카운트 값에 대한 상기 적어도 하나의 미리 결정된 시간 기간에 걸친 상기 적어도 하나의 휴지 태스크의 루프 실행들의 카운트의 비를 계산함으로써 상기 멀티-스레드 프로세서의 성능 프로파일을 결정하게 하기 위한 코드를 더 포함하는,

컴퓨터-판독가능한 매체.

청구항 31

제 25 항에 있어서,

컴퓨터로 하여금 상기 미리 결정된 샘플링 기간 동안 발생하는 멀티-스레드 프로세서 사이클들의 총 수를 결정하게 하기 위한 코드; 및

컴퓨터로 하여금 멀티-스레드 프로세서 사이클들의 결정된 총 수에 대한, 모든 스레드들이 휴지인 상기 프로세서의 멀티-스레드 프로세서 사이클들의 결정된 수의 비에 기초하여 상기 멀티-스레드 프로세서의 성능 프로파일을 도출하게 하기 위한 코드

를 더 포함하는,

컴퓨터-판독가능한 매체.

청구항 32

제 31 항에 있어서,

컴퓨터로 하여금 상기 멀티-스레드 프로세서의 하나 이상의 스레드들 전부에 대한 상기 성능 프로파일을 디스플레이하게 하기 위한 코드를 더 포함하는,

컴퓨터-판독가능한 매체.

발명의 설명

기술 분야

[0001] 본 특허출원은 2009년 11월 19일에 출원되고 본 명세서의 양수인에게 양수되며 본 명세서에서 명시적으로 참조로 통합되는 "METHODS AND APPARATUS FOR PERFORMANCE PROFILING OF A MULTI-THREAD PROCESSOR"란 명칭의 가출원 제 61/262,704 호에 대한 우선권을 주장한다.

[0002] 본 발명은 일반적으로 멀티-스레드 프로세서의 성능을 측정하기 위한 방법들 및 장치에 관한 것으로, 더 구체적으로 다양한 용도들 및 데이터 레이트들에 대하여 그리고 스레드 단위 기반으로(on a per thread basis) 무선 디바이스들과 같은 디바이스들에서 멀티-스레드 프로세서들의 로딩 측정 및 성능 프로파일링을 위한 방법들 및 장치에 관한 것이다.

배경 기술

[0003] 무선 디바이스들과 같은 디바이스들에서, 무선 통신이 실행 중인 프로세서의 성능을 프로파일링하는 것이 중요하다. 프로세서 성능의 프로파일링 및 측정은 설계 디버깅을 위한 편의 툴을 제공할 수 있을 뿐 아니라, 설계 최적화를 위한 통찰력을 제공할 수 있다. 그와 같은 프로파일링의 결과는 일 예에서 무선 디바이스와 같은, 프로세서를 이용하는 디바이스에서의 자원 관리를 위해 이용될 수 있다. 그와 같은 자원 관리는 프로파일링이 실시간 방식으로 수행되는 경우에 동적이고 플렉서블할 수 있다. 일 예는 성능 프로파일링에 기초하여 측정되는 프로세서 로딩에 기초한 통신 흐름 제어이다.

[0004] 무선 기술이 진화함에 따라, 많은 정교한 모바일 특징들 및 높은 데이터 레이트들이 무선 디바이스들 또는 휴대용 디바이스들에 구현되도록 요구된다. 결과적으로, 무선 디바이스들의 프로세서 기술이 또한 진화한다. 예를 들어, GSM/GPRS와 같은 2G 셀룰러 기술들에 대해, 전형적인 프로세서는 단일 스레드 아키텍처에 기초하는 한편, HSPA+/LTE/EV-DO와 같은 3G/4G 셀룰러 기술들에 대해, 프로세서들은 멀티-스레드 기반으로 진화하였다.

[0005] 그러나, 알려진 기술분야에서 이용가능한 어떠한 방식 또는 장치도 여러 용도 경우들 및 데이터 레이트들 하에서 멀티-스레드 프로세서 CPU 로딩을 측정하지 못한다. 더욱이, 패킷 데이터 세션이 무선 디바이스와 같은 디

바이스에서 진행중일 때, 각 스레드 당, 멀티-스레드 프로세서 CPU 용법(usage)을 조사하기 위해 이용가능한 알려진 툴이나 도구가 존재하지 않는다. 게다가, 패킷 데이터 세션이 무선 디바이스에서 진행중일 때 멀티-스레드 프로세서의 "모두-대기인"(즉, 모든 프로세서 스레드들이 휴지(idle)인) 상태를 조사하기 위해 이용가능한 알려진 툴이나 도구가 존재하지 않는다. 따라서, 멀티-스레드 프로세서의 로딩을 결정하고 결정된 로딩을 이용하여 프로세서의 성능을 프로파일링할 필요성이 존재한다.

발명의 내용

[0006]

일 양상에서, 멀티-스레드 프로세서의 로딩을 결정하기 위한 방법이 개시된다. 방법은 적어도 하나의 미리 결정된 시간 기간 동안 멀티-스레드 프로세서의 적어도 하나의 스레드에서 적어도 하나의 휴지 태스크를 실행하는 단계를 포함한다. 휴지 태스크는 어떠한 다른 태스크도 적어도 하나의 스레드 상에 실행 중이지 않을 때 루프(loop) 및 실행하도록 구성된다. 적어도 하나의 미리 결정된 시간 기간에 걸친 적어도 하나의 휴지 태스크의 루프 실행들의 적어도 하나의 카운트가 결정된다. 마지막으로, 방법은 루프 실행들의 수의 적어도 하나의 카운트에 기초하여 적어도 멀티-스레드 프로세서의 적어도 하나의 스레드의 로딩을 결정하는 단계를 포함한다.

[0007]

다른 양상에서, 멀티-스레드 프로세서의 로딩을 결정하기 위한 장치가 개시된다. 장치는 적어도 하나의 미리 결정된 시간 기간 동안 멀티-스레드 프로세서의 적어도 하나의 스레드에서 적어도 하나의 휴지 태스크를 실행하도록 구성되는 적어도 하나의 프로세서를 포함하며, 여기서 휴지 태스크는 어떠한 다른 태스크도 적어도 하나의 스레드 상에 실행 중이지 않을 때 루프 및 실행하도록 구성된다. 프로세서는 또한 적어도 하나의 미리 결정된 시간 기간에 걸쳐 적어도 하나의 휴지 태스크의 루프 실행들의 적어도 하나의 카운트를 결정하도록 구성된다. 마지막으로, 프로세서는 루프 실행들의 수의 적어도 하나의 카운트에 기초하여 적어도 멀티-스레드 프로세서의 적어도 하나의 스레드의 로딩을 결정하도록 구성된다.

[0008]

또 다른 양상에 따르면, 멀티-스레드 프로세서의 로딩을 결정하기 위한 장치가 개시된다. 장치는 적어도 하나의 미리 결정된 시간 기간 동안 멀티-스레드 프로세서의 적어도 하나의 스레드에서 적어도 하나의 휴지 태스크를 실행하기 위한 수단을 포함하며, 여기서 휴지 태스크는 어떠한 다른 태스크도 적어도 하나의 스레드 상에 실행 중이지 않을 때 루프 및 실행하도록 구성된다. 적어도 하나의 미리 결정된 시간 기간에 걸쳐 적어도 하나의 휴지 태스크의 루프 실행들의 적어도 하나의 카운트를 결정하기 위한 수단이 더 포함된다. 또한, 장치는 루프 실행들의 수의 적어도 하나의 카운트에 기초하여 적어도 멀티-스레드 프로세서의 적어도 하나의 스레드의 로딩을 결정하기 위한 수단을 포함한다.

[0009]

또 하나의 양상에 따르면, 컴퓨터-판독가능한 매체를 포함하는 컴퓨터 프로그램 물건이 개시된다. 매체는 컴퓨터로 하여금 멀티-스레드 프로세서의 성능 프로파일을 발생시키게 하기 위한 코드를 포함하며, 여기서 코드는 컴퓨터로 하여금 적어도 하나의 미리 결정된 시간 기간 동안 멀티-스레드 프로세서의 적어도 하나의 스레드에서 적어도 하나의 휴지 태스크를 실행하게 하기 위한 코드를 포함한다. 휴지 태스크는 어떠한 다른 태스크도 적어도 하나의 스레드 상에 실행 중이지 않을 때 루프 및 실행하도록 구성된다. 컴퓨터로 하여금 적어도 하나의 미리 결정된 시간 기간에 걸쳐 적어도 하나의 휴지 태스크의 루프 실행들의 적어도 하나의 카운트를 결정하게 하기 위한 코드 및 컴퓨터로 하여금 루프 실행들의 수의 적어도 하나의 카운트에 기초하여 적어도 멀티-스레드 프로세서의 적어도 하나의 스레드의 로딩을 결정하게 하기 위한 코드가 더 포함된다.

도면의 간단한 설명

[0010]

도 1은 다중 액세스 무선 통신 시스템의 일 예를 도시한다.

도 2는 본 개시되는 방법들 및 장치를 사용하거나 이용할 수 있는 예시적인 통신 시스템의 블록도이다.

도 3은 멀티-스레드 프로세서 프로파일링 어레이먼트의 블록도를 예증한다.

도 4는 멀티-스레드 프로세서의 로딩을 결정하기 위한 장치 동작을 예증하는 블록도이다.

도 5는 멀티-스레드 프로세서의 다수의 스레드들 상에 실행되는 휴지 태스크들에 대한 카운트들을 누산하기 위한 슬립(sleep) 벡터들의 어레이를 예증한다.

도 6은 본 개시물의 일 양상에 따른 멀티-스레드 프로세서 프로파일링을 달성하기 위한 방법이다.

도 7은 본 개시물의 일 양상에 따른 다른 멀티-스레드 프로세서 프로파일링을 달성하기 위한 다른 방법이다.

도 8은 멀티-스레드 프로세서의 프로파일을 결정하기 위한 다른 예시적인 장치의 블록도를 예증한다.

발명을 실시하기 위한 구체적인 내용

- [0011] 본 개시물은 고속 패킷 액세스(HSPA), 진화된 HSPA(HSPA+), 롱 텀 에볼루션(LTE) 및 EV-DO 기술들과 같은 3G/4G 기술들에 대해 디바이스들에서 이용되는 것들과 같은 멀티-스레드 프로세서 CPU의 성능의 측정 및/또는 프로파일링을 제공하는 방법들 및 장치를 특징으로 한다. 추가로, 여기에 개시되는 방법 및 장치는 멀티-스레드 CPU 용법 또는 동작을 설계하거나 최적화하는데 이용하기 위해 실시간으로 디스플레이될 수 있는 실시간 프로파일링 및/또는 측정을 제공한다.
- [0012] 본 명세서에 설명되는 장치 및 방법들은 멀티-스레드 프로세서들을 이용하는 다양한 디바이스들에 적용가능하다. 특정 양상에서, 본 장치 및 방법들은 무선 디바이스에서의 프로세서 동작을 최적화하는데 노력하기 위해 멀티-스레드 프로세서들을 이용하는 무선 디바이스들에 적용될 수 있다. 그와 같은 디바이스들이 구현할 수 있는 예시적인 무선 통신 기술들은 코드 분할 다중 액세스(CDMA), 시분할 다중 액세스(TDMA) 네트워크들, 주파수 분할 다중 액세스(FDMA), 직교 FDMA(OFDMA), 단일-캐리어 FDMA(SC-FDMA), 고속 패킷 액세스(HSPA 및 HSPA+) 기술들, 롱 텀 에볼루션(LTE), EV-DO 기술들 등을 포함하는 것이 주목된다. CDMA 네트워크는 유니버설 지상 라디오 액세스(UTRA), cdma2000 등과 같은 라디오 기술을 구현할 수 있다. UTRA는 광대역-CDMA(W-CDMA) 및 저속 칩 레이트(LCR)를 포함한다. cdma2000은 IS-2000, IS-95 및 IS-856 표준들을 커버한다. TDMA 네트워크는 GSM(Global System for Mobile Communications)과 같은 라디오 기술을 구현할 수 있다. OFDMA 네트워크는 울트라 이동 대역폭(UMB), 이벌브드 UTRA(E-UTRA), IEEE 802.11, IEEE 802.16(WiMax), IEEE 802.20, 플래시-OFDM 등과 같은 라디오 기술을 구현할 수 있다. UTRA, E-UTRA 및 GSM은 UMTS(Universal Mobile Telecommunication System)의 일부분이다. 롱 텀 에볼루션(LTE)은 E-UTRA를 이용하는 UMTS의 차세대 릴리스(upcoming release)이다. UTRA, E-UTRA, GSM, UMTS 및 LTE는 "제 3세대 파트너십 프로젝트"(3GPP)란 명칭의 기구로부터의 문서들에 설명된다. cdma2000은 "제 3세대 파트너십 프로젝트 2"(3GPP2)란 명칭의 기구로부터의 문서들에 설명된다. 이들 다양한 라디오 기술들 및 표준들은 기술분야에 알려져 있다.
- [0013] 또한, 본 명세서에 이용된 바와 같은 용어 "프로세서"는 CPU, ASIC, 디지털 신호 프로세서(DSP) 또는 명령들을 실행할 수 있는 임의의 다른 타입의 프로세서를 포함할 수 있지만, 이들로 제한되는 것은 아니다. 추가로, 본 개시물은 주로 멀티-스레드 프로세서들에 관한 것이지만, 본 장치 및 방법들이 병렬로, 동시적으로, 등으로 프로세스들을 실행하는 임의의 프로세서에 또는 심지어 잠재적으로 멀티-태스킹에 적용하는 것이 당업자에게 명백할 것이다. 더욱이, 본 개시물은 무선 디바이스들에 이용되는 프로세서들의 문맥에서 논의되더라도, 당업자는 본 방법들 및 장치가 애플리케이션 또는 이용에 관계없이 임의의 멀티-스레드 프로세서에 널리 적용될 수 있음을 인식할 것이다.
- [0014] 도 1을 참조하면, 본 방법들 및 장치가 사용될 수 있는 다중 액세스 무선 통신 시스템의 일 예가 도시된다. 액세스 포인트(100)(AP)(또는 eNodeB 또는 기지국)는 하나가 104 및 106을 포함하고, 다른 것은 108 및 110을 포함하며, 추가적인 것은 112 및 114를 포함하는 다수의 안테나 그룹들을 포함한다. 도 1에서, 각 안테나 그룹에 대해 2개의 안테나들만이 도시되지만, 각 안테나 그룹에 대해 더 많거나 더 적은 안테나들이 이용될 수 있다. 액세스 단말(116)(AT)(또는 이동 디바이스 또는 사용자 장비(UE))은 안테나들(112 및 114)과 통신하며, 여기서 안테나들(112 및 114)은 다운링크(DL) 또는 순방향 링크(120)를 통해 액세스 단말(116)에 정보를 전송하고 업링크(UL) 또는 역방향 링크(118)를 통해 액세스 단말(116)로부터 정보를 수신한다. 액세스 단말(122)은 안테나들(106 및 108)과 통신하며, 여기서 안테나들(106 및 108)은 순방향 링크(126)를 통해 액세스 단말(122)에 정보를 전송하며 역방향 링크(124)를 통해 액세스 단말(122)로부터 정보를 수신한다. FDD 시스템에서, 통신 링크들(118, 120, 124 및 126)은 통신을 위해 서로 다른 주파수를 이용할 수 있다. 예를 들어, DL(120)은 UL(118)에 의해 이용된 것과 다른 주파수를 이용할 수 있다. TDD 시스템에서, UL 및 DL 신호들의 시간 다중화로, UL(118) 및 DL(120) 둘 다에 대해 단일 주파수가 이용된다.
- [0015] 안테나들의 각 그룹 및/또는 안테나들이 통신하도록 설계되는 영역은 종종 액세스 포인트의 섹터로 지칭된다. 일 양상에서, 안테나 그룹들 각각은 액세스 포인트(100)에 의해 커버되는 영역들의 섹터에서 액세스 단말들과 통신하도록 설계된다.
- [0016] 액세스 포인트는 단말들과 통신하기 위해 이용되는 고정국일 수 있으며 또한 액세스 포인트, 노드 B 또는 일부 다른 용어로 지칭될 수 있다. 액세스 단말은 또한 액세스 단말, 사용자 장비(UE), 무선 통신 디바이스, 단말, 액세스 단말 또는 일부 다른 용어로 지칭될 수 있다.
- [0017] 도 2는 공간 다이버시티 다중화를 제공하는 MIMO 시스템(200)에서 송신기 시스템(210)(또한 액세스 포인트로서

알려짐) 및 수신기 시스템(250)(또한 액세스 단말로서 알려짐)의 일 예의 블록도이다. 송신기 시스템(210)에서, 다수의 데이터 스트림들에 대한 트래픽 데이터가 데이터 소스(212)로부터 전송(TX) 데이터 프로세서(214)에 제공된다.

[0018] 일 양상에서, 각 데이터 스트림이 각각의 송신 안테나를 통해 전송된다. TX 데이터 프로세서(214)는 코딩된 데이터를 제공하기 위해 그 데이터 스트림에 대해 선택된 특정 코딩 방식에 기초하여 각 데이터 스트림에 대한 트래픽 데이터를 포맷, 코딩 및 인터리빙한다.

[0019] 각 데이터 스트림에 대한 코딩된 데이터는 OFDM 기술들을 이용하여 파일럿 데이터로 다중화될 수 있다. 파일럿 데이터는 전형적으로 알려진 방식으로 프로세싱되는 알려진 데이터 패턴이며 채널 응답을 추정하기 위해 수신기 시스템에서 이용될 수 있다. 각 데이터 스트림에 대한 다중화 파일럿 및 코딩된 데이터는 그 후에 변조 심볼들을 제공하기 위해 그 데이터 스트림에 대해 선택되는 특정 변조 방식(예를 들어, BPSK, QPSK, M-PSK 또는 M-QAM)에 기초하여 변조(즉, 심볼 매핑)된다. 각 데이터 스트림에 대한 데이터 레이트, 코딩 및 변조는 프로세서(230)에 의해 수행되는 명령들에 의해 결정될 수 있다.

[0020] 모든 데이터 스트림들에 대한 변조 심볼들은 그 후에 TX MIMO 프로세서(220)에 제공되며, TX MIMO 프로세서(220)는 (예를 들어, OFDM을 위해) 변조 심볼들을 더 프로세싱할 수 있다. TX MIMO 프로세서(220)는 그 후에 NT개의 변조 심볼 스트림들을 NT개의 송신기들(TMTR)(222a 내지 222t)에 제공한다. 특정 양상들에서, TX MIMO 프로세서(220)는 빔 형성 가중치들을 데이터 스트림들의 심볼들에 및 그 심볼이 전송되는 안테나에 적용한다.

[0021] 각 송신기(222)는 하나 이상의 아날로그 신호들을 제공하기 위해 각 심볼 스트림을 수신하고 프로세싱하며, MIMO 채널 상의 전송을 위해 적합한 변조 신호를 제공하기 위해 아날로그 신호들을 추가로 조정(예를 들어, 증폭, 필터링, 및 상향변환)한다. 그 후에, 송신기들(222a 내지 222t)로부터 NT개의 변조된 신호들은 NT개의 안테나들(224a 내지 224t)로부터 각각 전송된다.

[0022] 수신기 시스템(250)에서, 전송된 변조 신호들은 NR개의 안테나들(252a 내지 252r)에 의해 수신되고 각 안테나(252)로부터 수신된 신호는 각 수신기(RCVR)(254a 내지 254r)로 제공된다. 각 수신기(254)는 각 수신된 신호를 조정(예를 들어, 필터링, 증폭, 및 하향변환)하고, 샘플들을 제공하기 위해 조정된 신호를 디지털화하고, 대응하는 "수신된" 심볼 스트림을 제공하기 위해 상기 샘플들을 더 프로세싱한다.

[0023] 그 후에, RX 데이터 프로세서(260)는 NT개의 "검출된" 심볼 스트림들을 제공하기 위해 특정 수신기 프로세싱 기술에 기초하여 NR개의 수신기들(254)로부터 NR개의 수신된 심볼 스트림들을 수신하고 프로세싱한다. 그 후에, RX 데이터 프로세서(260)는 데이터 스트림에 대한 트래픽 데이터를 복구시키기 위해 각 검출된 심볼 스트림을 복조, 디인터리빙(deinterleaving), 및 디코딩한다. RX 데이터 프로세서(260)에 의한 프로세싱은 송신기 시스템(210)에서의 TX MIMO 프로세서(220) 및 TX 데이터 프로세서(214)에 의해 수행되는 것과 상보적이다.

[0024] 역방향 링크 또는 UL 메시지는 통신 링크 및/또는 수신 데이터 스트림에 관한 다양한 타입들의 정보를 포함할 수 있다. 그 후에, 역방향 링크 메시지는 데이터 소스(236)로부터 다수의 데이터 스트림들에 대한 트래픽 데이터를 또한 수신하는 TX 데이터 프로세서(238)에 의해 프로세싱되고, 변조기(280)에 의해 변조되고, 송신기들(254a 내지 254r)에 의해 조정되며, 송신기 시스템(210)에 다시 송신된다.

[0025] 송신기 시스템(210)에서, 수신기 시스템(250)에 의해 전송된 역방향 링크 또는 UL 메시지를 추출하기 위해 수신기 시스템(250)으로부터의 변조된 신호들이 안테나들(224)에 의해 수신되고, 수신기들(222)에 의해 조정되고, 복조기(240)에 의해 복조되고, RX 데이터 프로세서(242)에 의해 프로세싱된다. 그 후에, 프로세서(230)는 빔 형성 가중치들을 결정하기 위하여 어떠한 사전 코딩된 매트릭스를 사용할지를 결정하고, 그 후에 추출된 메시지를 프로세싱한다.

[0026] *본 개시물은 무선 디바이스들(210 및 250)에서의 프로세서들(230 또는 270)과 같은 프로세서를 프로그래밍하기 위한 장치 및 방법들을 제공할 뿐 아니라, 무선 디바이스들이든 아니든 간에, 임의의 수의 다양한 장치에서의 임의의 멀티-스레드 프로세서에 적용될 수 있음이 주목된다.

[0027] 구현의 일 예로서, 도 3은 멀티-스레드 프로세서 프로그래밍 어레이먼트의 블록도를 예증한다. 예증된 바와 같이, 집적 또는 칩셋(예를 들어, 이동국 모듈™(MSM™)) 또는 더 폭넓게 전체 디바이스로서 고려되는 바와 같이 구성될 수 있는 디바이스(300)는 멀티-스레드 프로세서인 프로세서(302)를 포함할 수 있다. 프로세서(302)는 프로세서(302)의 패키징에 집적될 수 있거나 그로부터 분리되는(또는 심지어 디바이스(300)로부터 분리되는)

메모리(304)를 동반한다. 추가로, 이하에서 더 논의될, 프로세서(302)의 모든 스레드들이 휴지 상태인 CPU 사이클들을 결정하는 것과 같은 추가적인 프로파일 또는 성능 데이터를 제공하기 위해 다른 로직(306)이 디바이스(300) 내에 (또는 그 외부에) 포함될 수 있다. 대안적으로, 로직(306)에 의해 수행되는 기능들은 프로세서(302)에 의해 수행될 수 있다. 추가로, 디스플레이 인터페이스(308)가 실시간 프로파일링 데이터를 디스플레이 하기 위해 포함될 수 있다.

[0028] 도 4는 멀티-스레드 프로세서의 로딩을 결정하기 위한 장치 동작을 예증하는 블록도이다. 이 예증은 단지 하나의 예로서 무선 디바이스와 같은 디바이스에서 동작가능한 멀티-스레드 프로세싱 시스템의 표현인 시스템(400)을 도시한다. 시스템(400)은 일부 근본적(underlying) 운영 체제(OS)(402)에 기초하여 멀티-스레드들을 포함하는 동작들을 실행한다. 운영 체제 및 수반되는 소프트웨어는 멀티-스레드 프로세싱 시스템에서의 스레드들 중 하나 이상에 휴지 태스크를 실행하도록 구성될 수 있다. 어떠한 다른 태스크도 스레드에서 실행되지 않을 때 실행되도록 구성되는 휴지 태스크는 무한 루프 또는 일부 다른 반복 동작일 수 있다. 일 양상에서, 휴지 태스크는 간단하게 아무것도 수행하지 않지만 그 반복들이 카운트될 수 있는 루프 동작을 수행하는 루프이다.

[0029] 일 양상에서, 시스템(400)은 하나 이상의 스레드들 각각에서 실행되는 휴지 태스크의 루프들의 카운트를 저장하기 위해 이용되는 레지스터(404) 또는 동등 디바이스(또는 소프트웨어 또는 펌웨어인 경우에 기능)를 포함할 수 있다. 레지스터(404)는 레지스터(404)에서의 카운트 저장 장치들 중 하나를 지시하는 참조 번호 406에 의해 예증된 바와 같은 각 스레드에 대한 별개의 카운트 저장 장치를 포함한다. 레지스터(404)는 미리 결정된 시간 기간(예를 들어, T개의 밀리초들(ms))에 걸쳐 N개의 스레드들(T1 내지 TN) 각각에서 실행되는 각 휴지 태스크에 대한 카운트들을 저장한다. 일 양상에서, 레지스터(404)는 N개의 독립 스레드들 각각에 대해 실행된 휴지 태스크의 루프 카운트를 포함한다. 각각 휴지 태스크 실행들의 루프 카운트를 갖는 N개의 엘리먼트들을 갖는, 벡터(408)로 상징적으로 도시되는 벡터가 그 후에 미리 결정된 주기(T ms)의 각 지속기간 동안 형성된다. 벡터는 사용자의 디스플레이를 위해 카운트 데이터를 수집하고 프로세싱하기 위해, 통신 커플링(410)을 통해 컴퓨터 및 메모리(412)와 같은 프로세싱 디바이스에 출력된다.

[0030] N개의 스레드들 벡터들 각각에 대한 N개의 휴지 태스크 카운트의 [T1, T2, T3, ... TN]의 벡터(408)는 다수의 T ms 샘플링 기간들의 벡터 어레이가 형성될 수 있도록 T ms마다 출력된다. 따라서, T ms의 미리 결정된 시간 기간마다, 벡터들의 수가 1만큼 증가한다. 슬립 벡터들의 최대 수는 미리 결정된 수 M이다. M*T ms 이후에, 모든 휴지 태스크 카운트 벡터들은 M*N의 크기를 갖는 어레이를 형성한다. 어레이는 M*T ms 이후에 업데이트된다.

[0031] 도 5는 멀티-스레드 프로세서의 다수의 스레드들 상에 실행되는 휴지 태스크들에 대한 카운트들을 누산하기 위한 휴지 태스크 카운트 벡터들의 예시적인 어레이(500)를 예증한다. 예를 들어, 스레드들의 수 N = 6이고, 미리 결정된 샘플링 시간 T = 10 ms이며, 총 샘플링 시간들의 수 M = 1024이면, 슬리핑 어레이는 도시된 바와 같은 1024*6(즉, M*N) 어레이(500)일 것이다. 도 5의 예는 단순히 예시적인 것이며, M, N 및 T의 값들은 임의의 원하는 수로 설정될 수 있음이 주목된다.

[0032] 도 6은 멀티-스레드 프로세서(예를 들어, 프로세서(302))의 성능을 프로파일링하기 위해 이용될 수 있는 멀티-스레드 프로세서 프로파일링을 위한 방법(600)을 예증한다. 방법(600)은 블록(602)에 도시된 바와 같이 먼저 적어도 하나의 미리 결정된 시간 기간 동안 멀티-스레드 프로세서의 적어도 하나의 스레드에서 적어도 하나의 휴지 태스크를 실행하는 단계를 포함하며, 휴지 태스크는 어떠한 다른 태스크도 적어도 하나의 스레드 상에 실행 중이지 않을 때 루프 및 실행하도록 구성된다. 특정 양상에서, 블록(602)의 프로세스들은 각각의 스레드가 휴지 상태일 때마다(즉, 어떠한 다른 기능 또는 태스크도 그 스레드 상에 실행 중이지 않음) 멀티-스레드 프로세서(예를 들어, 302)의 각 독립 스레드에서 루핑 휴지 태스크를 구현하는 것을 포함할 수 있다.

[0033] 방법(600)은 블록(604)에 의해 표시된 바와 같은 적어도 하나의 미리 결정된 시간 기간에 걸쳐 적어도 하나의 휴지 태스크의 루프 실행들의 적어도 하나의 카운트를 결정하는 단계를 더 포함한다. 이전에 논의된 바와 같이, 카운팅은 레지스터(404) 또는 유사한 유닛 또는 기능에 의해 달성될 수 있다. 추가적인 양상에서, 블록(602)에서 휴지 태스크들을 실행하고 카운팅하는 프로세스들은 이전에 논의된 바와 같은 M*N 벡터 어레이를 형성하기 위해 M개의 미리 결정된 시간 기간들 동안 실행된다. 따라서, 블록들(602 및 604)은 M*N 어레이를 획득하기 위해 M개의 미리 결정된 시간 기간들에 걸쳐 N개의 스레드들에 대한 다수의 N개의 벡터들에 대한 휴지 태스크 실행 및 루프 실행들의 카운팅을 포함할 수 있다.

[0034] 또한, 블록들(602 및 604)의 프로세스들은 도 6에서 시간 순차적으로 예증되며, 프로세스들은 미리 결정된 시간 기간의 종료시까지 각 휴지 태스크 루프의 실행 후에 레지스터가 카운트들을 진행시키는 경우에 동시적으로 또

는 반복적으로 실행될 수 있음이 당업자에 의해 이해될 것이다. 시간 기간이 만료한 후에, 레지스터는 M개의 시간 기간들의 카운트 어레이가 도출될 때까지 다음의 미리 결정된 시간 기간 등에서 휴지 태스크의 루프들을 카운팅하기 위해 제로로 리셋된다.

[0035]

적어도 하나의 미리 결정된 시간 기간 후와 같이, 블록(604)의 프로세스가 완료된 후에, 루프 카운트(들)는 블록(606)에 의해 예증된 바와 같이 카운트에 기초하여 멀티-스레드 프로세서의 하나 이상의 독립 스레드들의 로딩을 결정하기 위해 이용될 수 있다. 일 예에서, 휴지 태스크는 어떠한 다른 태스크들도 스레드에서 실행되지 않을 때만 실행하도록 구성되기 때문에 휴지 태스크 루프들의 카운트는 특정 스레드가 얼마나 자주 휴지 상태인지의 타이밍을 제공한다. 따라서, 주어진 미리 결정된 시간 기간에 걸쳐 주어진 스레드에 대한 최대 슬립 카운트가 알려지는 경우에, 그 시간 기간에 대한 로딩은 기준치 최대 슬립 카운트에 대해 정상의 프로세서 동작 동안의 휴지 태스크 루프 카운트의 비에 기초하여 결정될 수 있다. 다수의 미리 결정된 시간 기간들(예를 들어, 이전에 논의된 바와 같은 M개의 시간 기간들)에 걸친 이러한 로딩은 멀티-스레드 프로세서에서 하나 이상의 스레드들이 얼마나 자주 로딩되는지 알기 위해 성능 프로파일의 적어도 일 양상을 도출하도록 이용될 수 있다.

[0036]

블록(606)에서 로딩을 결정하는 방식의 일 특정 예에서(비록 도 6에 명시적으로 예증되지 않더라도), 멀티-스레드 프로세서의 하나 이상의 스레드들은 휴지 동작에 있도록 강제될 수 있다. 휴지 태스크는 그 후에, 적어도 미리 결정된 시간 기간 동안 멀티-스레드 프로세서의 각 스레드에서 실행될 수 있으며 휴지 태스크의 루프 실행들의 수가 카운트된다. 다른 특정 예에서, 이전에 논의된 M*N 어레이를 채우도록 충분한 카운트들을 획득하기 위해 총 M개의 미리 결정된 시간 기간들 동안 휴지 태스크들이 실행될 수 있다. 프로세서(또는 멀티-스레드 프로세서를 제외한 다른 프로세서)는 (본 명세서에서 최대 슬립 스칼라 값 또는 “MAX_SLEEP_SCALAR”로서 명명되는) 휴지 태스크들만이 실행된 경우의 M개의 주기들 동안 M*N 어레이에서 로딩된 최대 휴지 태스크 카운트를 탐색할 수 있다. 사실상, 이 값은 100% CPU 휴지 조건 또는 임의의 주어진 스레드의 슬립을 나타낸다.

[0037]

각 N개의 벡터에서의 각 스레드에 대한 카운트 값들은 그 후에 특정 스레드들의 로딩을 나타내는 최대 휴지 태스크 조건에 걸쳐 휴지 태스크들의 퍼센티지인 휴지 태스크 또는 슬립 프로파일을 도출하기 위해 MAX_SLEEP_SCALAR 값으로 나누어질 수 있다. 대안적으로, M*N 어레이가 결정될 때, M개의 주기들에 걸친 특정 스레드의 총 카운트가 합산될 수 있으며 특정 스레드에 대한 로딩을 획득하기 위해 M만큼 곱해진 MAX_SLEEP_SCALAR로 나뉘질 수 있다. 어쨌든, 결정된 로딩은 퍼센티지의 단위들로 또는 블록(608)에서의 프로세스에 의해 표시된 바와 같은 임의의 다른 적합한 수(예를 들어, 간단하게 휴지 태스크의 단편 또는 MAX_SLEEP_SCALAR로 나누어진 슬립 카운트)로 디스플레이될 수 있다. 멀티-스레드 프로세서에서, 각 휴지 태스크 또는 슬립 프로파일은 스레드 당 디스플레이될 수 있다.

[0038]

방법(600)에서의 모든 프로세스들의 실행 후에, 방법(600)은 시간에 걸친 프로파일링 데이터의 발생을 계속하기 위해 연속적으로 반복할 것이다. 일 예에서, 미리 결정된 시간 기간은 10 ms이며, M개의 주기들의 총 수는 25와 같다. 따라서, 슬립 프로파일을 결정하기 위해 이용되는 데이터의 누산은 250 ms마다 수행되고(즉, 블록들(602 내지 606)), 디스플레이되며(블록(608)), 그 후에 후속하는 250 ms 주기마다 반복되고 디스플레이된다.

[0039]

도 7은 멀티-스레드 프로세서에 대한 다른 성능 프로파일을 결정하는 다른 예시적인 방법(700)을 예증한다. 도시된 바와 같이, 방법(700)은 블록(702)에서 도시된 바와 같이 미리 결정된 샘플링 기간(예를 들어, Y ms)에 걸쳐 휴지 상태인 모든 스레드들을 갖는 프로세서의 멀티-스레드 프로세서 사이클들의 수를 결정하는 단계를 포함한다. 용어 프로세서 사이클은 프로세싱 유닛의 CPU 사이클을 표시하는 것이 주목된다. 더욱이, 사이클들이 모두 휴지 상태인 스레드들을 갖는다는 결정은 도 3에 도시된 로직(306)과 같은 로직에 의해 구현될 수 있으며, 여기서 모든 스레드들이 휴지 상태일 때 표시가 출력된다. 일 양상에서, 이러한 결정은 스레드가 태스크를 실행하지 않을 때 스레드 클럭이 휴지 상태인 경우에 멀티-스레드 프로세서의 특성에 의존할 수 있음이 주목된다. 따라서, 모든 스레드 클럭들이 휴지 상태일 때, 로직이 모든 스레드들이 휴지 상태임을 표시하는 로직 상태를 출력하도록 로직이 구성될 수 있다. 일 예에서, 블록(702)의 프로세스는 본 명세서에서 “All_Wait_Cycle,”로 지칭되는 “모든 스레드들이 대기(휴지) 상태인” 멀티-스레드 프로세서 사이클들의 수를 획득하는 것을 포함한다.

[0040]

또한, 방법(700)은 블록(704)에 도시된 바와 같은 미리 결정된 샘플링 기간(예를 들어, Y ms) 동안 발생하는 멀티-스레드 프로세서 사이클들의 총 수를 결정하는 단계를 포함한다. 일 양상에서, 샘플링 기간에서 발생하는

이러한 사이클들의 총 수는 “Total_Cycle.” 로 지칭될 수 있다.

[0041] 또한, 방법(700)은 블록(706)에 도시된 바와 같이 멀티-스레드 프로세서 사이클의 결정된 총 수에 대한, 모든 스레드들이 휴지 상태인 프로세서의 멀티-스레드 프로세서 사이클들의 결정된 수의 비에 기초하여 멀티-스레드 프로세서의 성능 프로파일을 도출하는 단계를 포함한다. 본 명세서에서 "모두-대기인 비(all-wait ratio)" 또는 "모두-대기인 퍼센티지(all-wait percentage)"로 명명되는 이러한 비는 따라서 $All_Wait_Cycle/Total_Cycle$ 로 도출된다.

[0042] 방법(600)과 유사하게, 방법(700)은 또한 모두-대기인 퍼센티지 정보의 디스플레이를 야기하는 추가적인 프로세스를 포함한다. 일 양상에서 방법들(600 및 700)은 함께 모든 스레드들이 휴지 상태이거나 대기 상태인 빈도에 관한 프로파일을 결정할 뿐 아니라, 얼마만큼 각 스레드가 이용되는지의 로딩 프로파일을 결정함으로써 멀티-스레드 프로세서의 더 완전한 성능 프로파일링 기록 데이터 세트를 획득하기 위해 유용한 것임이 주목된다. 추가로, 개시된 장치 및 방법들은 디스플레이 인터페이스(예를 들어, 308)를 통해 프로파일 정보를 디스플레이하기 위해 디스플레이 기능(예를 들어, 프로세서(302)에 의해 구현되는 기능)에 Y ms마다 프로파일링 기록 데이터 세트를 발생시키고 제출할 수 있다. 프로파일링 기록 데이터 세트는 (도 4에 도시된 바와 같은) 휴지 카운트 어레이 및 상기에 논의된 MAX_SLEEP_SCALER 로 이루어질 수 있다. 프로파일링 기록 데이터 세트는 또한 샘플링 기간 Y ms 동안 모두-대기인 퍼센티지를 포함할 수 있다. 일 양상에서 미리 결정된 샘플링 기간 Y ms는 카운트 어레이에서 총 M개의 미리 결정된 시간 기간들과 동일할 수 있음이 주목된다. 발생할 수 있는 프로파일링 기록 데이터 세트의 일 예로서, 이하의 표 1은 적어도 3개의 항목들, Y = 250 ms, 각각의 미리 결정된 시간 기간이 10 ms와 동일한 N = 6(6개의 스레드들) 및 M = 25(즉, 25 x 10 ms = 250 ms의 총 어레이 시간)의 특정 예를 제공한다.

표 1

[0043] 프로파일링 기록 데이터 세트

기록 항목	타입	설명
MAX_250ms_SLEEP_SCALER	UINT32	250ms 주기 동안의 최대 휴지 슬립 카운트. 디폴트=20500 최대 카운트*25
250ms 슬립 프로파일링 원시 데이터	UINT32 어레이[6]	(6개의 스레드들에 대한) 250ms 주기 동안 6개의 슬립 프로파일링 원시 데이터
250ms 동안 모두-대기인 퍼센티지(%)	UINT16	이 값은 250ms의 주기 동안 모두 6개의 스레드들이 대기 상태(즉, "모두-대기")인 퍼센티지(0% 내지 100%)이다.

[0044] 도시된 바와 같이, MAX_SLEEP_SCALER 에는 M = 25인 미리 결정된 시간 기간들의 205 ms 총계 샘플링, 10 ms 길이의 미리 결정된 시간 기간들(즉, 250 ms의 총 주기)에 의한 M = 25에 대한 M*N 어레이의 원시 카운트 데이터, 및 250 ms의 동일한 길이의 주기 동안 모두-대기인 퍼센티지의 3개의 항목들이 포함된다. 본 예에서, 상기 논의된 디스플레이 기능은 퍼센티지(%) 단위들로, 즉 각 개별 슬립 카운트를 MAX_SLEEP_SCALER 로 나누어 휴지 카운트를 도출하고 스레드 당 슬립 프로파일링을 디스플레이할 수 있다. 그럼에도 불구하고, 대안적으로 이러한 퍼센티지 계산은 정밀 조사하에 멀티-스레드 프로세서에 의해 수행될 수 있으며 데이터 세트에서의 다른 필드로서 전송될 수 있다.

[0045] 도 8은 멀티-스레드 프로세서의 프로파일을 결정하기 위한 다른 예시적인 장치(800)의 블록도를 예증한다. 장치(800)는 멀티-스레드 프로세서의 성능 프로파일들을 도출하기 위해 동작하는 방법들(600 및 700)과 관련하여 상술한 그러한 기능들과 같은 다양한 기능들을 달성하기 위한 다양한 모듈들 또는 수단들을 포함한다. 장치(800)의 수단들 또는 모듈들은 하드웨어, 소프트웨어, 펌웨어 또는 그들의 임의의 조합으로 구현될 수 있다. 더욱이, 정밀 조사하의 멀티-스레드 프로세서, 다른 프로세서, 개인용 컴퓨터, 전용 디바이스 또는 그들의 임의의 조합은 장치(800)의 다양한 모듈들 또는 수단들을 구현할 수 있다. 추가로, 일 양상에서 장치(800)는 무선 통신 디바이스 내에서 적어도 부분적으로 구현될 수 있다.

- [0046] 장치(800)는 적어도 하나의 미리 결정된 시간 기간 동안 멀티-스레드 프로세서(예를 들어, 프로세서(302))의 적어도 하나의 스레드에서 적어도 하나의 휴지 태스크를 실행하기 위한 수단(802)을 포함하며, 휴지 태스크는 어떠한 다른 태스크도 적어도 하나의 스레드 상에 실행 중이지 않을 때 루프 및 실행하도록 구성된다. 일 예에서, 수단(802)은 프로세서(302) 및 특히, 프로세서의 OS 실행(예를 들어, OS(402))에 의해 구현될 수 있다. 장치(800)는 단지 수단들 사이의 통신 또는 다양한 기능들 사이의 정보의 전달을 표시하기 위해 커플링(804)으로서 도 8에 나타나는 통신 수단 또는 통신 커플링을 더 포함한다.
- [0047] 장치는 적어도 하나의 미리 결정된 시간 기간에 걸쳐 적어도 하나의 휴지 태스크의 루프 실행들의 적어도 하나의 카운트를 결정하기 위한 수단(806)을 더 포함한다. 일 예에서, 수단(806)은 또한 레지스터(예를 들어, 이전에 논의된 레지스터(404))와 같은, 휴지 태스크의 루프들의 카운트를 증가시키고 저장하는 수단과 함께 멀티-스레드 프로세서(예를 들어, 302)에 의해 달성될 수 있다. 수단(806)에 의해 누산되는 카운트 정보는 그 후에 루프 실행들의 수의 적어도 하나의 카운트에 기초하여 적어도 멀티-스레드 프로세서의 적어도 하나의 스레드의 로딩을 결정하기 위한 수단(808)에 통신될 수 있다. 수단(808)은 멀티-스레드 프로세서, 다른 프로세서, 개인용 컴퓨터 또는 멀티-스레드 프로세서를 포함하는 디바이스의 외부에 있는 다른 컴퓨터로 구현될 수 있음이 주목된다. 예를 들어, 수단(806)으로부터의 원시 카운트 데이터는 차례로 로딩을 결정하기 위해 외부 디바이스에 전송되는, 표 1에서의 데이터 세트와 같은 데이터 세트의 일부분으로 이루어질 수 있다.
- [0048] 더욱이, 장치(800)는 성능 프로파일(들)을 디스플레이하기 위한 수단(810)을 포함할 수 있다. 대안적으로 수단(810)은 장치(800)의 외부에 있는 디스플레이(도시되지 않음)에 성능 프로파일 데이터 세트를 전송하기 위한 수단으로서 구성될 수 있다. 추가로, 장치(800)는 무엇보다도, 프로세서(예를 들어, 멀티-스레드 프로세서 또는 프로세서(812))에 의해 실행가능한 코드를 저장할 수 있고 또한 성능 프로파일 데이터를 저장할 수 있는 메모리(814) 및 프로세서(812)를 대안적으로 포함할 수 있다. 마지막으로, 장치(800)는 이전에 논의된 **All_Wait_Cycle** 인, 멀티-스레드 프로세서가 휴지 상태이거나 대기하는 CPU 사이클들의 수와 같은 데이터를 결정하도록 구성되는 부가적인 하드웨어 또는 로직(816)을 포함할 수 있다.
- [0049] 당업자는 상술한 장치 및 방법들이 추가적인 장비 또는 소프트웨어를 필요로 하지 않고서 프로세서 성능 프로파일링의 동적 및 실시간 방식을 제공함을 인식할 것이다. 더욱이, 본 개시되는 프로파일링은 프로파일링이 부분적으로 "휴지" 태스크들로 수행되기 때문에 성능 저하를 야기하지 않는다. 본 장치 및 방법들은 디버깅 및 전력 최적화를 포함하는 시스템 최적화를 위해 중요할 수 있다. 더욱이, 방법들 및 장치는 테스트 툴로서 CPU를 이용하는 시스템의 설계 및 개발을 위해 이용될 수 있거나, 또한 CPU 및/또는 수반되는 시스템의 계속 진행중인 "온-더-플라이(on-the-fly)" 최적화를 가능하게 하는 프로파일링을 수행하기 위해, 무선 디바이스에서도 같이 사용되는 CPU에 구현될 수 있다.
- [0050] 특정 양상에서, 본 개시되는 방법들 및 장치는 이들이 그와 같은 디바이스들에만 제한되지는 않지만, 무선 디바이스들에 대한 프로세서 성능을 측정하고 프로파일하기 위해 동적 및 실시간 방식을 제공한다. 개시되는 방법들 및 장치는 최대 슬립 또는 휴지 카운트 스칼라를 도출하고, 프로파일링 기록 데이터 세트를 수집 및 제출하며, 실시간 방식으로 임의의 또는 모든 프로파일링 정보를 디스플레이하는, "휴지" 태스크의 설계 및 구현, "모두-대기인 퍼센티지" 기능의 설계를 포함할 수 있다. 요약하면, 본 개시되는 장치 및 방법들은 다양한 사용 경우들 및 데이터 레이트들 하에서 멀티-스레드 프로세서 CPU 로딩을 측정하기 위해, 각 스레드 당 멀티-스레드 프로세서 CPU 용법을 조사하기 위해, 그리고 무선 디바이스에서 진행중인 패킷 데이터 세션과 같은 특정 태스크가 수행될 때, 멀티-스레드 프로세서의 "모두-대기인"(즉, 모든 프로세서 스레드들이 휴지인) 상태를 조사하기 위해 혁신적인 방법을 제공한다. 이러한 모든 제공되는 특징들은 무선 표준화 또는 임의의 추가적인 툴들을 필요로 하지 않음이 주목된다.
- [0051] 용어 "예시적인"은 본 명세서에서 “예, 보기, 또는 예시로서 기능하는” 것을 의미하도록 이용되는 것이 주목된다. “예시적인” 것으로서 본 명세서에 설명되는 임의의 실시예는 반드시 다른 실시예들에 비해 바람직하거나 유리한 것으로 해석되는 것은 아니다.
- [0052] 개시되는 프로세스들에서의 단계들의 특정 순서 또는 계층구조는 단지 예시적인 방식들의 일 예임이 이해된다. 설계 선호도들에 기초하여, 프로세스들에서의 단계들의 특정 순서 또는 계층구조는 본 발명의 범위 내에서 유지하면서 재배열될 수 있음이 이해된다. 수반되는 방법 청구항들은 샘플 순서로 다양한 단계들의 엘리먼트들을 제시하며 제시되는 특정 순서 또는 계층구조에 제한되는 것을 의미하지 않는다.
- [0053] 당업자는 정보 및 신호들이 다양한 서로 다른 기술들 및 기법들 중 임의의 것을 이용하여 표현될 수 있음을 이

해할 것이다. 예를 들어, 상기 설명을 통해 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기 장들 또는 입자들, 광학 장들 또는 입자들, 또는 이들의 임의의 조합으로 표현될 수 있다.

[0054]

당업자는 본 명세서에 개시되는 실시예들과 관련하여 설명되는 다양한 예증적인 논리 블록들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어, 또는 양자의 조합들로서 구현될 수 있음을 더 인식할 것이다. 하드웨어와 소프트웨어의 상호 호환성을 명확히 예증하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들이 일반적으로 그들의 기능적 관점에서 설명되었다. 그와 같은 기능이 하드웨어로 구현되는지, 또는 소프트웨어로 구현되는지는 특정 애플리케이션 및 전체 시스템에 대해 부과된 설계 제약들에 의존한다. 당업자는 설명된 기능을 각각의 특정 애플리케이션에 대해 다양한 방식으로 구현할 수 있지만, 그와 같은 구현 결정들이 본 발명의 범위를 벗어나는 것으로 해석되어서는 안 된다.

[0055]

본 명세서에 개시된 실시예들과 관련하여 설명되는 다양한 예시적인 논리 블록들, 모듈들, 및 회로들이 범용 프로세서, 디지털 신호 프로세서(DSP), 응용 주문형 집적회로(ASIC), 필드 프로그램가능한 게이트 어레이(FPGA) 또는 다른 프로그램가능한 논리 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들 또는 본 명세서에 설명된 기능들을 수행하도록 설계된 것들의 임의의 조합으로 구현 또는 수행될 수 있다. 범용 프로세서는 마이크로프로세서일 수 있지만 대안적으로, 프로세서는 기존 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수 있다. 프로세서는 또한 예를 들어, DSP 및 마이크로프로세서, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 이상의 마이크로프로세서들, 또는 임의의 다른 그와 같은 구성의 조합과 같이 컴퓨팅 디바이스들의 조합으로서 구현될 수 있다.

[0056]

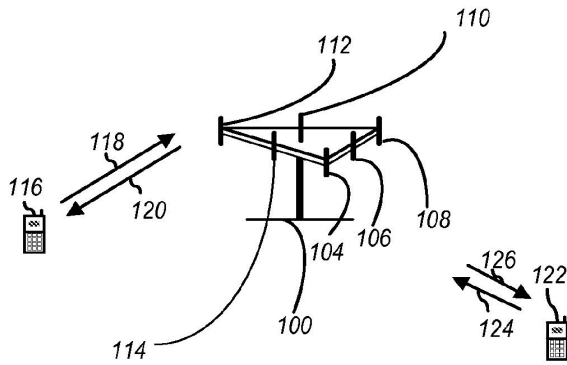
본 명세서에 개시된 실시예들과 관련하여 설명되는 알고리즘 및 방법의 단계들은 직접 하드웨어에서, 프로세서에 의해 실행되는 소프트웨어 모듈에서, 또는 둘 다의 조합에서 구체화될 수 있다. 소프트웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드디스크, 휴대용 디스크, CD-ROM 또는 기술 분야에 알려진 저장 매체의 임의의 다른 형태로 상주할 수 있다. 예시적인 저장매체는 프로세서와 결합되어, 프로세서는 저장매체로부터 정보를 판독하여 저장매체에 정보를 기록할 수 있다. 대안적으로, 저장 매체는 프로세서에 집적될 수 있다. 프로세서 및 저장매체는 ASIC에 상주할 수 있다. ASIC은 사용자 단말에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 사용자 단말에서 이산 컴포넌트들로서 상주할 수 있다.

[0057]

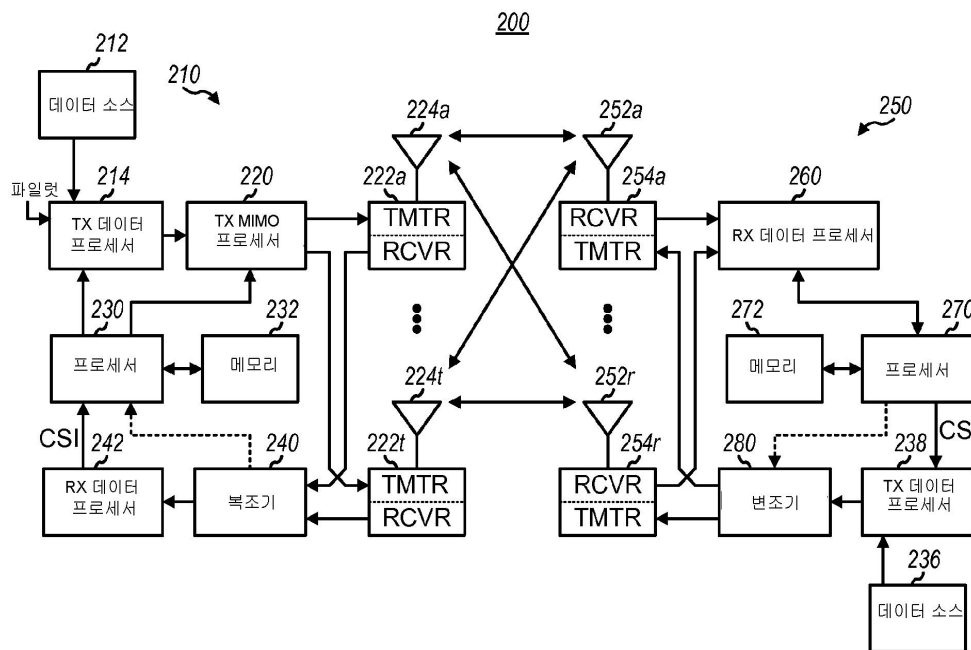
개시된 실시예들에 대한 이전의 설명은 당업자가 본 발명을 제조하거나 이용할 수 있도록 제공된다. 이들 실시예들에 대한 다양한 변형들은 당업자에게 명백할 것이며, 본 명세서에 정의된 일반적인 원리들은 본 발명의 정신 또는 범위를 벗어나지 않고서 다른 실시예들에 적용될 수 있다. 그리하여, 본 발명은 본 명세서에 도시된 실시예들로 제한되는 것이 아니라, 본 명세서에 개시된 원리들 및 신규한 특징들과 일관되는 최광의의 범위에 따르는 것이다.

도면

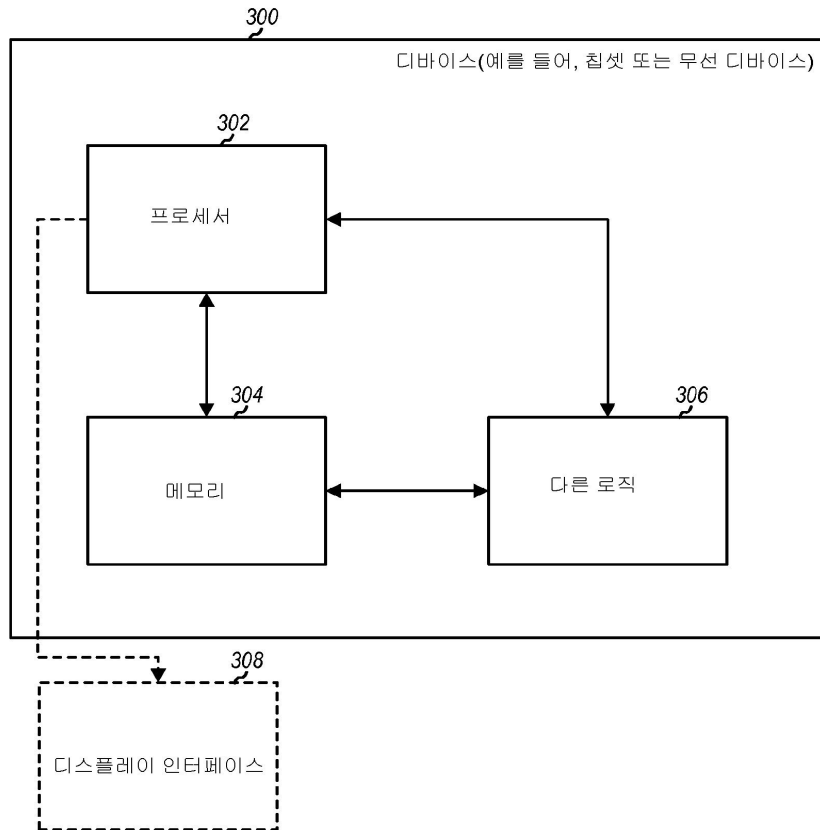
도면1



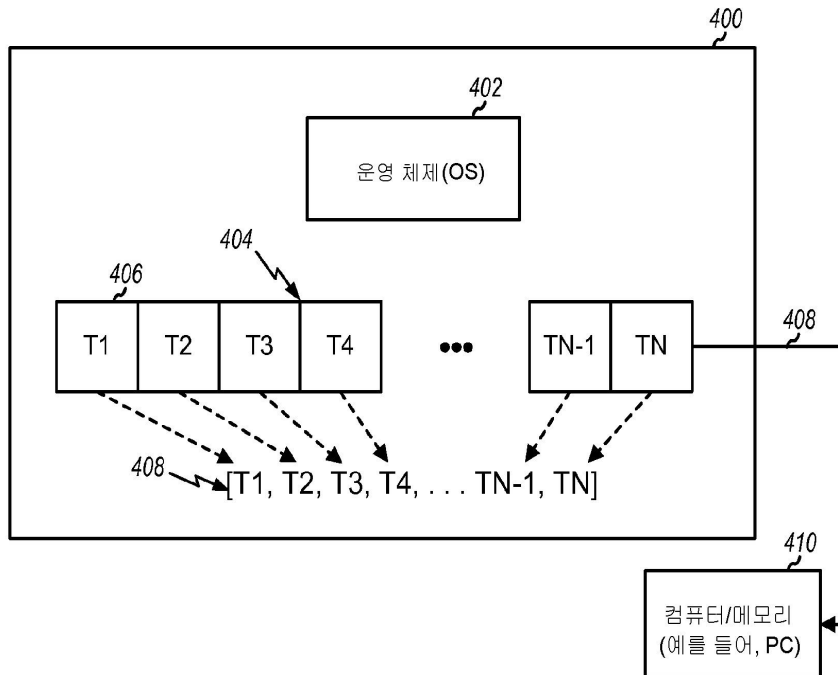
도면2



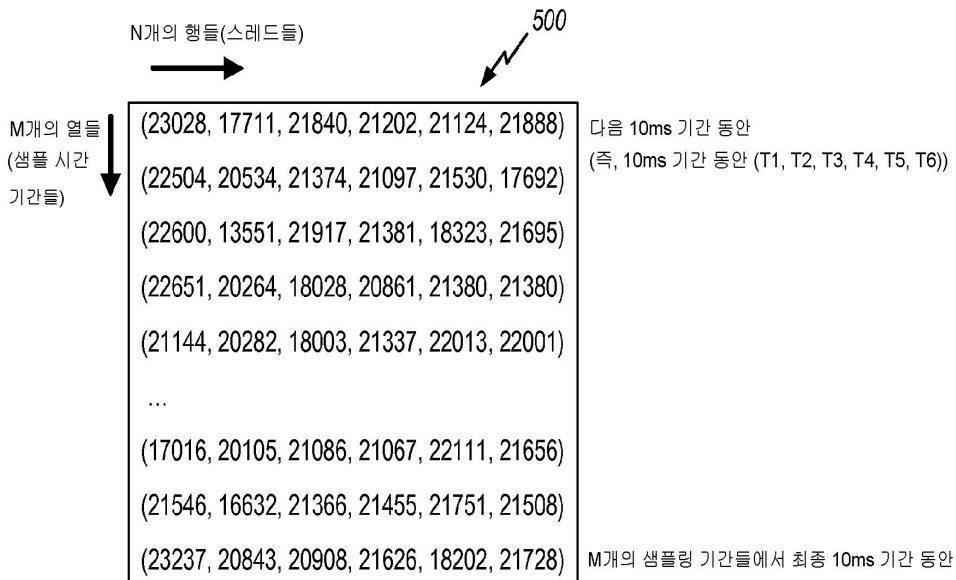
도면3



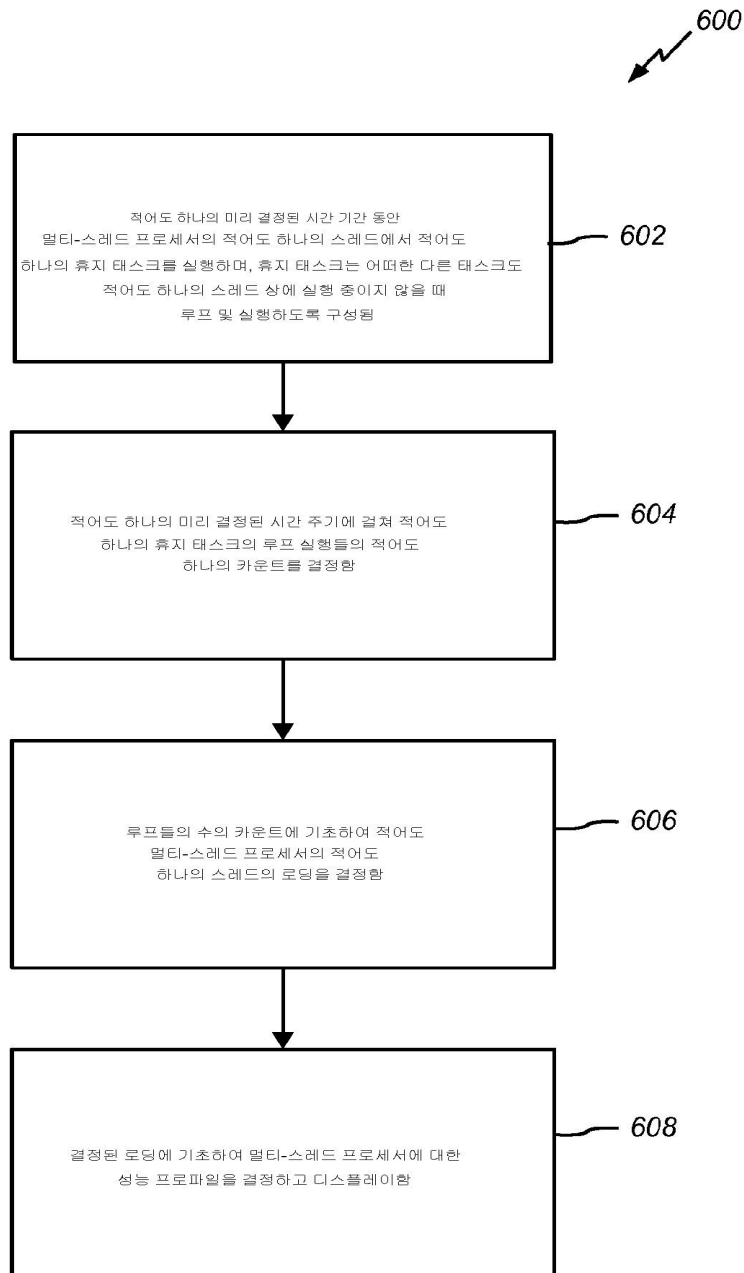
도면4



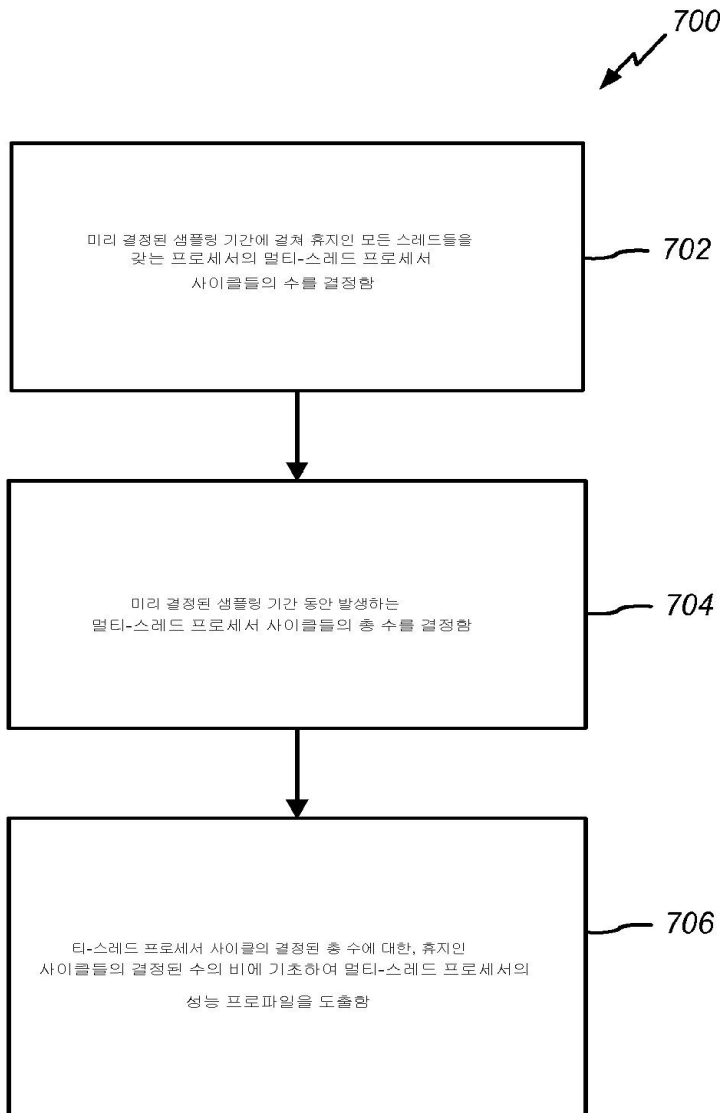
도면5



도면6



도면7



도면8

