(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3583482号
(P3583482)
(45)発行日　平成16年11月4日(2004.11.4)　(24)登録日　平成16年8月6日(2004.8.6)

(51)Int.Cl.[7]	F I		
G11C 29/00	G11C	29/00	671M
G11C 11/401	G11C	11/34	371A
G11C 11/407	G11C	11/34	354F
H01L 21/822	H01L	27/04	T
H01L 27/04			

請求項の数 10　(全 22 頁)

(21)出願番号　特願平6-240126
(22)出願日　平成6年10月4日(1994.10.4)
(65)公開番号　特開平8-106799
(43)公開日　平成8年4月23日(1996.4.23)
審査請求日　平成13年10月1日(2001.10.1)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】

【請求項１】

外部から供給される外部電源電圧により動作する半導体集積回路装置であって、

前記外部電源電圧を所定の内部電源電圧に変換して供給する内部電圧発生手段と、

前記半導体集積回路装置の外部との信号の入出力のための外部端子と、

テストモードを指定する信号を発生する手段と、

前記内部電圧発生手段の出力と前記外部端子との間に設けられ、前記テストモード指定信号に応じて動作する、直列接続されたｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとを含むスイッチ手段とを備えた、半導体集積回路装置。

【請求項２】

前記内部電圧発生手段の発生する電位は、外部電源電位と逆極性であり、前記スイッチ手段が開状態ではｐチャネルＭＯＳトランジスタのゲートが上記逆極性電位にバイアスされている、請求項１記載の半導体集積回路装置。

【請求項３】

前記半導体集積回路装置は、ダイナミック型ＲＡＭであって、前記外部端子は、通常の動作においては他の信号入力に供されるものである、請求項１記載の半導体集積回路装置。

【請求項４】

前記外部端子は、データ出力バッファに駆動信号を供給する出力イネーブル入力端子であり、

前記出力イネーブル入力端子からの信号を受ける第１の入力と、前記テストモード指定信

号を受ける第２の入力と、データ出力バッファに駆動信号を与える出力とを有し、前記テストモード信号に応答して、前記出力イネーブル入力端子からの信号をそのまま出力する第１の状態と、前記出力イネーブル入力端子からの信号にかかわりなくデータ出力バッファを駆動状態とする信号を出力する第２の状態とに切換わる２入力論理回路をさらに含み、
前記出力イネーブル入力端子と前記内部電圧発生手段の出力とは、前記スイッチ手段を介して接続されている、請求項３記載の半導体集積回路装置。
【請求項５】
前記半導体集積回路装置は、ダイナミック型ＲＡＭであって、前記テストモード指定信号発生手段は、テストモードセット時に擬似アドレス入力信号として入力された信号に応じて前記テストモード指定信号を発生して各スイッチ手段に供給する内部タイミング発生回路を含む、請求項１記載の半導体集積回路装置。
【請求項６】
外部から供給される外部電源電圧により動作する半導体集積回路装置であって、
前記外部電源電圧を所定の内部電源電圧に変換して供給する内部電圧発生手段と、
前記半導体集積回路装置の外部から任意の電圧を印加するための外部端子と、
テストモードを指定する信号を発生する手段と、
前記テストモードにおいて前記内部電圧発生手段の動作を停止する手段と、
前記内部電圧発生手段の出力と前記外部端子との間に設けられ、前記テストモード指定信号に応じて動作する、直列接続されたｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとを含むスイッチ手段とを備えた、半導体集積回路装置。
【請求項７】
前記内部電圧発生手段の発生する電位は、外部電源電位と逆極性であり、前記スイッチが開状態ではｐチャネルＭＯＳトランジスタのゲートが上記逆極性電位にバイアスされている、請求項６記載の半導体集積回路装置。
【請求項８】
前記半導体集積回路装置は、ダイナミック型ＲＡＭであって、前記外部端子は、通常の動作においては他の信号入力に供されるものである、請求項６記載の半導体集積回路装置。
【請求項９】
前記外部端子は、データ出力バッファに駆動信号を供給する出力イネーブル入力端子であり、
前記出力イネーブル入力端子からの信号を受ける第１の入力と、前記テストモード指定信号を受ける第２の入力と、データ出力バッファに駆動信号を与える出力とを有し、前記テストモード信号に応答して、前記出力イネーブル入力端子からの信号をそのまま出力する第１の状態と、前記出力イネーブル入力端子からの信号にかかわりなくデータ出力バッファを駆動状態とする信号を出力する第２の状態とに切換わる２入力論理回路をさらに含み、
前記出力イネーブル入力端子と前記内部電圧発生手段の出力とは、前記スイッチ手段を介して接続されている、請求項８記載の半導体集積回路装置。
【請求項１０】
前記半導体集積回路装置は、ダイナミック型ＲＡＭであって、前記テストモード指定信号発生手段は、テストモードセット時に擬似アドレス入力信号として入力された信号に応じて前記テストモード指定信号を発生して各スイッチ手段あるいは内部電圧発生手段に供給する内部タイミング発生回路を含む、請求項６記載の半導体集積回路装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
この発明は、半導体集積回路装置に関し、特に、ダイナミック型ランダムアクセスメモリ（以下、ＤＲＡＭ）のような内部電源回路を有する半導体記憶装置に関するものである。
【０００２】

【従来の技術】
ＤＲＡＭ等の半導体記憶装置の高集積化に伴うＭＯＳトランジスタのゲート長のスケールダウンの結果において、トランジスタの信頼性確保とともに消費電力低減のためには、動作電源電圧の低電圧化が有効である。しかし、トランジスタトランジスタ論理（以下、ＴＴＬ）との互換性維持のため、半導体記憶装置の外部電圧レベルとしては従来の５Ｖを用いざるを得ない。
【０００３】
そこで、チップ内部に外部電源電圧ｅｘｔ．V_{CC}を５Ｖから３～４Ｖ程度まで降圧させ内部回路に供給する内部降圧回路を形成し、高信頼性、高速動作、低消費電力を満足させる方法が一般に採用されている。
【０００４】
また、ＤＲＡＭの高集積化によるメモリセル面積の指数関数的な減少にもかかわらず、十分なＳ／Ｎ比等ソフトエラー耐性を維持するためにメモリキャパシタ容量は一定値以上が必要で、必然的にメモリキャパシタ絶縁膜厚は薄膜化されることになる。しかし、薄膜化には膜質の劣化やトンネル電流の増加という困難があり、これを緩和させるために、メモリセルプレート電位V_{CP}をV_{CC}／２とし絶縁膜中の電界強度を減少させることが一般的である。
【０００５】
さらに、集積化が進むにつれてビット線間隔も非常に狭くなり、ビット線間の結合容量を介して隣接ビット線から受ける干渉ノイズが無視できなくなる。この対策として、ビット線対を隣合って配置し、ビット線へのノイズをビット線対に共通に重畳させノイズキャンセルすることが行なわれる。この場合、ビット線はスタンバイ時にはV_{cc}／２の電位に設定（プリチャージ電圧：V_{BL}）されている。
【０００６】
また、たとえばｎチャネルＭＯＳトランジスタのコンタクト領域であるn^{+}　領域とそれが形成されているｐウェルとの間に設けられるｐ－ｎ接合容量を低減し回路の動作の高速化を図る等の理由によりｐ－ウェルあるいはｐ型シリコン基板自体に－２～－３Ｖ程度の負電圧V_{BB}が印加されるのが一般的で、この負電圧も５Ｖ単一電源からチップ上の基板バイアス回路により生成される。
【０００７】
以上のように、高集積化が進んだＤＲＡＭ等の半導体記憶装置においては、外部電源こそ５Ｖ単一であっても、チップ内でその回路動作に必要な様々な電位を形成する内部電源を搭載している。
【０００８】
これらの内部電源回路は、その発生する電位がプロセス変動等の影響を受けにくい回路構成となるように設計されている。したがって、これら内部電源電位は、定常状態においては設計値に保持されているが、実際に半導体記憶装置が動作中においては、種々の要因により変動を受けている。
【０００９】
さらに、これら内部電源により駆動される記憶保持を行なうメモリ回路や読出動作を行なうセンスアンプ回路等は、プロセス変動等の外的要因により内部電源電位に対してその正常動作可能な範囲（動作マージン）も変化する。
【００１０】
そこで、内部電源電圧の変動に伴うＤＲＡＭ等の内部回路の特性変化を試験することは、動作マージンの的確な評価、ひいては、それら内部回路から構成されるシステムとしてのＤＲＡＭ等の信頼性向上につながる。
【００１１】
図１２に、従来のＤＲＡＭの構成を表わす概略ブロック図を示す。図１２においてアドレスバッファ１０５は、外部から供給されたアドレス信号Ａ０～Ａ８を行デコーダ１０２および列デコーダ１０３に選択的に供給する。行デコーダ１０２は、アドレスバッファ１０

５から供給される行アドレス信号に応答して、複数のワード線ＷＬのうち１つを選択して駆動する。列デコーダ１０３は、アドレスバッファ１０５から供給される列アドレス信号に応答して、複数のビット線対のうち１つを選択する。

【００１２】

センスアンプ１０４は、その各々に対応するビット線対の間の電位差を増幅する。列デコーダ１０３によって選択されたビット線対に対応する増幅された信号は、出力バッファ１０７に供給される。出力バッファ１０７は、その供給された電位を増幅して出力データＤＱ１～ＤＱ８として外部に供給する。データ入力バッファ１０６は、外部から供給された入力データＤＱ１～ＤＱ８を増幅する。この増幅された信号が、列デコーダ１０３によって選択されたビット線対に供給される。

【００１３】

次に、図１２の概略ブロック図で示される従来のＤＲＡＭの読出動作を外部信号のタイミングチャート図１３に従って説明する。／ＲＡＳ信号が立下がる時点で行アドレス信号がアドレスバッファ１０５に取込まれ、行デコーダ１０２に入力される。続いて／ＣＡＳ信号が立下がる時点で、列アドレス信号がアドレスバッファ１０５に取込まれ、列デコーダ１０３に入力される。このとき／ＷＥがＨレベルに保持されると、以下一連のリード動作が行なわれる。すなわち、指定された行および列の位置の記憶データが増幅され、データ出力バッファに転送される。出力イネーブル信号（／ＯＥ信号）がＬレベルになることで出力ピンにデータが出力される。

【００１４】

次に、同様に図１４に従って書込動作について説明する。

行アドレスおよび列アドレスがアドレスバッファ１０５に取込まれる動作は読出動作と同様である。ただし書込動作では／ＣＡＳ立下がり時に列アドレスがバッファ１０５に取込まれるとともにD_{in}（入力データ）がデータ入力バッファ１０６に取込まれる。取込まれたデータは、データ入力バッファ１０６から、ＩＯ線を介して列アドレスによって選択されたビット線に書込まれる。このライト動作は、／ＣＡＳと／ＷＥとがともにＬレベルになったときに起動される。この場合は、／ＯＥの信号レベルは一連の動作に何ら影響は与えない。

【００１５】

図１５は、図１２におけるメモリセルアレイ１０１を構成する１つのメモリセルＭＣおよびその周辺の回路を拡大した図である。ここで図１５に従って、前記内部電源電圧ｉｎｔ．V_{CC}、V_{CP}、V_{BL}、V_{BB}について説明する。

【００１６】

例として、メモリキャパシタＣｓにＨレベルが記憶されている場合を考え、メモリセルＭＣからこの記憶情報を読出す動作について述べる。図１６は、図１５の各部位の信号レベルの時間変化を示している。

【００１７】

任意の時刻において、メモリキャパシタの基準電位V_{CP}は、図１２中のセルプレート電圧発生回路１１１で形成された電位V_{CP}（＝V_{CC}／２）にバイアスされている。

【００１８】

また、ｎチャネルＭＯＳトランジスタの形成されているｐウェルは、図１２中の基板バイアス発生回路１１３で形成された負電位V_{BB}（－２～－３Ｖ程度）にバイアスされている。

【００１９】

スタンバイ状態の時刻t_0　においては、メモリキャパシタにはＨレベル信号が記憶されているので、その対向電極（ストレージノード）の電位はV_{CC}である。このときワード線（ＷＬ）の電位はＬレベルであって、トランジスタＱ５１はオフ状態で、メモリキャパシタＣｓは、ビット線に対して電気的にフローティング状態にある。

【００２０】

一方、ビット線（ＢＬおよび／ＢＬ）の電位は、ビット線イコライズ信号（ＢＬＥＱ信号

）がＨレベルにあり、トランジスタＱ５２、Ｑ５３、Ｑ５４がオン状態にあることで、図１２中のビット線プリチャージ電圧発生回路１１２で形成された電位V_{BL}（通常V_{CC}／２）に保持されている。

【００２１】

次に、時刻t_1　において、ＢＬＥＱ信号がＬレベルとなり、トランジスタＱ５２、Ｑ５３、Ｑ５４がオフ状態となって、ビット線対ＢＬおよび／ＢＬが電気的にフローティング状態となる。

【００２２】

時刻t_2　で、ワード線（ＷＬ）の電位がＨレベルとなるとトランジスタＱ５１がオン状態となり、メモリキャパシタＣｓに蓄積されていた電荷がビット線ＢＬに注入され、その電位が／ＢＬに対して上昇する。ただし、ここで生じる電位差は一般に数百ｍＶというわずかな変位でしかない。

【００２３】

時刻t_3　で、センスアンプがその活性化信号（図示せず）により動作を開始し、上記微小電位差を増幅し、ビット線ＢＬの電位をV_{CC}まで上昇させ、ビット線／ＢＬの電位を０まで押し下げる。外部にはこの電位差V_{CC}が出力信号として取出される。

【００２４】

時刻t_5　で、ワード線電位がＬレベルとなり、トランジスタＱ５１がオフとなることで、ストレージノードの電位は再び読出前の電位V_{CC}（Ｈレベル）に保持される。

【００２５】

時刻t_6　で、ＢＬＥＱ信号がＨレベルとなりビット線ＢＬ、／ＢＬは再びV_{BL}にプリチャージされる。

【００２６】

以上のように、メモリセルからの記憶情報読出は、微小電圧を増幅することで行なうため、Ｓ／Ｎ比の維持のためには、内部電源電圧の安定性が必要であり、同時にその値の変動に対して十分な動作マージンを持っていることが不可欠である。

【００２７】

また、前記ＤＲＡＭの通常の読出、書込動作において以下の２点が特徴的である。

【００２８】

１つは、内部電源電圧ｉｎｔ．V_{CC}、V_{CP}、V_{BL}、V_{BB}等は外部電源電圧ｅｘｔ．V_{CC}が決まると一意的に定まった値となり、外部からその値を測定したり、ましてや外部から直接にその値を独立に変化させることはできないという点である。

【００２９】

もう１つは、／ＯＥ信号自体は内部でのその値ｉｎｔ．ＯＥが常にＨレベル固定、つまり／ＯＥ信号はＬレベル固定、であっても、通常の読出、書込動作が可能な点である。

【００３０】

そこで、内部電源電圧に対する動作マージンを的確に評価することを可能とするために、上記第１の点について、これを問題点としてとらえ、その解決を図ったものに、たとえば特開平３－１６０６９９号公報等に記載された半導体集積回路装置がある。以下、その実施例の構成とその機能について述べる。

【００３１】

図１７は、上記実施例中に示された内部降圧回路の回路構成である。

降圧回路ＶＤは、ＭＯＳＦＥＴＱ１、Ｑ２からなるカレントミラー回路を負荷とするＭＯＳＦＥＴＱ１１、Ｑ１２、Ｑ１３からなる差動増幅回路を基本とする。

【００３２】

ＭＯＳＦＥＴＱ１１およびＱ１２のゲートがそれぞれ反転入力端子および非反転入力端子となり、ＭＯＳＦＥＴＱ１３はそのゲートとドレインとが共通結合されており、定電流電源として作用する。ＭＯＳＦＥＴＱ１１のゲートには、基準電圧V_{REF}　が供給されており、ＭＯＳＦＥＴＱ１およびＱ１１の共通結合されたドレインは、さらにｐチャネルＭＯＳＦＥＴＱ３のゲートに結合される。ＭＯＳＦＥＴＱ３のソースは、電源電圧ｅｘｔ．

V_{CC}に結合され、そのドレインは、ＭＯＳＦＥＴＱ１２のゲートに結合されるとともに、内部電源電圧供給点ｉｎｔ．V_{CC}に結合される。

【００３３】

このとき、たとえば内部電源電圧ｉｎｔ．V_{CC}のレベルが上昇し、基準電位V_{REF}より高くなった場合、ＭＯＳＦＥＴＱ１２のコンダクタンスが大きくなり、ＭＯＳＦＥＴＱ１１のコンダクタンスは逆に小さくなる。したがって、ＭＯＳＦＥＴＱ３のゲート電圧は高くなり、そのコンダクタンスが小さくなるため、結果的にｉｎｔ．V_{CC}のレベルが低くなる。一方、ｉｎｔ．V_{CC}のレベルが、基準電位V_{REF}よりも低くなった場合は、上記と逆にｉｎｔ．V_{CC}のレベルを高くするように回路が動作する。以上のようにしてｉｎｔ．V_{CC}のレベルは、基準電位V_{REF}に収束し安定化される。

【００３４】

基準電圧発生回路ＶｒＧは、上記降圧回路ＶＤに内部基準電位V_r　１を供給する回路である。

【００３５】

スイッチ回路ＳＣは、図示しない信号源から供給されるテストモード信号t_eがＬレベルのときは、降圧回路ＶＤに基準電位V_r　１を供給し、t_eがＨレベルのときは、降圧回路ＶＤの基準電位入力端子と外部端子Ａ０とを接続するための切換回路である。図１７中では、Ｑ１４、Ｑ１５がともにｎチャネルＭＯＳＦＥＴで、Ｑ１４のゲートには、インバータＮ１によりt_eの反転信号が入力する構成となっている。

【００３６】

したがって、上記内部降圧回路ＶＤは、テストモード信号t_eにより、テスト時に内部降圧電源電圧ｉｎｔ．V_{CC}を、外部端子Ａ０から任意の基準電位V_r　２を供給することで制御する方法を提供するものである。

【００３７】

【発明が解決しようとする課題】

しかしながら、前記外部端子からの内部電源駆動回路には以下の３つの問題点がある。

【００３８】

第１は、内部電源回路がその搭載される半導体集積回路に供給している電位そのものを実動作中に測定する方法が提供されていない点である。回路動作の解析、ひいては、集積回路動作の安定性・信頼性の向上のためには、まず上記方法を可能とする回路構造が望ましい。

【００３９】

第２は、外部端子によるテスト時に必然的に発生する外部端子電位の正へのオーバーシュート、負へのアンダーシュートに対する保護がなされていない点である。

【００４０】

外部端子で発生する上記オーバーシュートやアンダーシュートが、直接内部回路に伝達されると、たとえばＤＲＡＭでは、内部記憶情報の破壊や最悪の場合素子の破損等を招くことになる。

【００４１】

第３には、前記のように内部発生電位は、基板バイアス電位V_{BB}のごとく、負電位を発生する場合があり、この場合、上記負へのアンダーシュートに対しては、より負側の電位まで対策が必要である点である。

【００４２】

したがって、この発明の１つの目的は、半導体集積回路に搭載される内部電源回路の発生する電位をその半導体集積回路の動作中に外部端子から測定することを可能とすることである。

【００４３】

この発明の別の目的は、外部端子から供給する任意の電位に内部電源電圧を設定可能とし、その内部電源電圧に対するその半導体集積回路の動作マージンを的確に評価し得る半導体集積回路を提供することである。

【００４４】
さらにこの発明の別の目的は、その外部端子において発生する供給電位の正へのオーバーシュートおよび負へのアンダーシュートに対して、内部回路を保護する機能を有する半導体集積回路を提供することである。
【００４５】
【課題を解決するための手段】
本発明は、以下の手段で前記課題の解決を図るものである。
【００４６】
請求項１の発明によると、外部から供給される外部電源電圧により動作する半導体集積回路装置は、外部電源電圧を所定の内部電源電圧に変換して供給する内部電圧発生手段と、半導体集積回路装置の外部との信号の入出力のための外部端子と、テストモードを指定する信号を発生する手段と、内部電圧発生手段の出力と前記外部端子との間に設けられ、テストモード指定信号に応じて動作する、直列接続されたｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとを含むスイッチ手段とを備える。
【００４７】
請求項２の発明によると請求項１記載の半導体集積回路装置においては、内部電圧発生手段の発生する電位は、外部電源電位と逆極性であり、そのスイッチ手段が開状態では、ｐチャネルＭＯＳトランジスタのゲートが上記逆極性電位にバイアスされている。
【００４８】
請求項３の発明によると請求項１記載の半導体集積回路装置は、ＤＲＡＭであって、その外部との信号を入出力する外部端子は、通常の動作においては、他の信号入力に供される。
【００４９】
請求項４の発明によると請求項３記載のＤＲＡＭにおいては、その外部との信号を入出力する外部端子は、データ出力バッファに接続する出力イネーブル端子である。そのデータ出力バッファとの接続は、以下のようなバッファ回路を介している。
【００５０】
つまり、出力イネーブル入力端子からの信号を受ける第１の入力と、テストモード指定信号を受ける第２の入力と、データ出力バッファに駆動信号を与える出力とを有し、テストモード信号に応答して、出力イネーブル入力端子からの信号をそのまま出力する第１の状態と、出力イネーブル入力端子からの信号にかかわりなくデータ出力バッファを駆動状態とする信号を出力する第２の状態とに切換わる２入力論理回路を介して、出力イネーブル入力端子と出力バッファが接続されている。
【００５１】
さらに、出力イネーブル入力端子と内部電圧発生手段の出力とは、テストモード指定信号に応じて同時に開閉される、直列接続されたｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとを含むスイッチ手段を介して接続している。
【００５２】
請求項５の発明によると、請求項１記載の半導体集積回路装置は、ＤＲＡＭであって、そのテストモード指定信号発生手段は、テストモードセット時に入力される擬似アドレス入力信号に応じてテストモード指定信号を発生して各スイッチ手段に供給する内部タイミング発生回路を含んでいる。
【００５３】
請求項６の発明によると、外部から供給される外部電源電圧により動作する半導体集積回路装置は、外部電源電圧を所定の内部電源電圧に変換して供給する内部電圧発生手段と、半導体集積回路装置の外部から任意の電圧を印加するための外部端子と、テストモードを指定する信号を発生する手段と、テストモードにおいて内部電圧発生手段の動作を停止する手段と、内部電圧発生手段の出力と外部端子との間に設けられ、テストモード指定信号に応じて動作する、直列接続されたｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとを含むスイッチ手段とを備える。

【００５４】
請求項７の発明によると、請求項６記載の半導体集積回路装置においては、内部電圧発生手段の発生する電位は、外部電源電位と逆極性であり、そのスイッチ手段が開状態では、ｐチャネルＭＯＳトランジスタのゲートが、上記逆極性電位にバイアスされている。
【００５５】
請求項８の発明によると、請求項６記載の半導体集積回路装置は、ＤＲＡＭであって、その外部からの印加電圧を入力する外部端子は、通常の動作においては、他の信号入力に供される。
【００５６】
請求項９の発明によると、請求項８記載のＤＲＡＭにおいては、その外部からの印加電圧を入力する外部端子は、データ出力バッファに接続する出力イネーブル入力端子である。そのデータ出力バッファのと接続は、以下のようなバッファ回路を介している。つまり、出力イネーブル入力端子からの信号を受ける第１の入力と、テストモード指定信号を受ける第２の入力と、データ出力バッファに駆動信号を与える出力とを有し、テストモード信号に応答して、出力イネーブル入力端子からの信号をそのまま出力する第１の状態と、出力イネーブル入力端子からの信号にかかわりなくデータ出力バッファを駆動状態とする信号を出力する第２の状態とに切換わる２入力論理回路を介して、出力イネーブル入力端子と出力バッファが接続されている。
【００５７】
さらに、出力イネーブル入力端子と内部電圧発生手段の出力とは、テストモード指定信号に応じて同時に開閉される、直列接続されたｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとを含むスイッチ手段を介して接続している。
【００５８】
請求項１０の発明によると、請求項６記載の半導体集積回路装置は、ＤＲＡＭであって、そのテストモード指定信号発生手段は、テストモードセット時に入力される擬似アドレス入力信号に応じてテストモード指定信号を発生し各スイッチ手段および内部電源回路に供給する内部タイミング発生回路を含んでいる。
【００５９】
【作用】
本発明に係る半導体集積回路は、以下の作用を奏する。
【００６０】
請求項１では、内部電源回路の出力と外部端子との接続を開閉するスイッチ手段をｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとを直列に接続したスイッチ回路とした。したがって、外部端子の電位が正にオーバーシュートするとｎチャネルＭＯＳトランジスタによりカットオフされ、負にアンダーシュートするとｐチャネルＭＯＳトランジスタでカットオフされることで、内部電源に上記オーバーシュート、アンダーシュートを影響を与えることなく、上記半導体集積回路が動作している状態のままで、内部電源出力を外部から測定することができる。
【００６１】
請求項２では、請求項１の発明において、そのスイッチ回路が開状態ではｐチャネルＭＯＳトランジスタのゲートが、内部電源の発生する負電位にバイアスされているので、この負電位以下のアンダーシュートは上記ｐチャネルＭＯＳトランジスタでカットオフされる。このため、負極性の電位を発生する内部電源に対しても外部端子電位のオーバーシュート、アンダーシュートの影響を与えることなく、その半導体集積回路が動作している状態のままで、内部電源出力を外部から測定することができる。
【００６２】
請求項３では、請求項１における半導体集積回路装置はＤＲＡＭであって、前記外部端子は通常の動作においては他の信号入力に供されるものであるので、新たに外部端子用の入力ピンを作製する必要がなく、上記内部電源電圧の測定を行なうことができる。
【００６３】

請求項４では、請求項３におけるＤＲＡＭの出力バッファと出力イネーブル入力端子とは、テストモード信号に応答して、出力イネーブル入力端子からの信号にかかわりなくデータ出力バッファを駆動状態とする信号を出力する論理回路を介して接続している。しかも、出力イネーブル入力端子と内部電源発生手段の出力とは、テストモード指定信号に応じて同時に開状態となる、直列接続されたｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとを含むスイッチ手段を介して接続している。

【００６４】

したがって、上記出力イネーブル入力端子を外部端子として使用することで、外部端子電位のオーバーシュート、アンダーシュートの影響を内部回路に与えることなく、しかも、外部端子用の入力ピンを新たに作製する必要なく、上記内部電源発生手段の出力電圧の測定を行なうことができる。

【００６５】

請求項５では、請求項１における半導体集積回路装置はＤＲＡＭであって、各スイッチ手段に対するテストモード指定信号は、テストモードセット時に擬似アドレス入力信号として入力された信号に応じて、内部タイミング発生回路から供給されるので、上記テストモード指定信号用の新たな入力ピンを作製することなく、上記内部電源電圧の測定を行なうことができる。

【００６６】

請求項６では、内部電源回路の出力と外部端子との接続を開閉するスイッチ手段をｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとを直列に接続したスイッチ回路とし、かつテストモード指定信号により、内部電源を停止できる手段を有するので、外部端子の電位が正にオーバーシュートするとｎチャネルＭＯＳトランジスタによりカットオフされ、負にアンダーシュートするとｐチャネルＭＯＳトランジスタでカットオフされることで、内部電源に上記オーバーシュート、アンダーシュートの影響を与えることなく、外部端子から内部電源電圧に相当する任意の電圧を供給することができる。

【００６７】

請求項７では、請求項３において、そのスイッチ回路が開状態ではｐチャネルＭＯＳトランジスタのゲートが内部電源の発生する負電位にバイアスされているので、この負電位以下のアンダーシュートは上記ｐチャネルＭＯＳトランジスタでカットオフされる。このため、負極性の電位を発生する内部電源に対しても、外部端子の電位のオーバーシュート、アンダーシュートの影響を与えることなく、外部端子から内部電源電圧に相当する任意の電圧を供給することができる。

【００６８】

請求項８では、請求項７における半導体集積回路装置はＤＲＡＭであって、前記外部端子は通常の動作においては、他の信号入力に供されるものであるので、新たに外部端子用の入力ピンを作製する必要なく、上記内部電源電圧に相当する任意の電圧を供給することができる。

【００６９】

請求項９では、請求項８におけるＤＲＡＭの出力バッファと出力イネーブル入力端子とは、テストモード信号に応答して、出力イネーブル入力端子からの信号にかかわりなくデータ出力バッファを駆動状態とする信号を出力する論理回路を介して接続している。しかも、出力イネーブル入力端子と内部電源発生手段の出力とは、テストモード指定信号に応じて同時に開状態となる、直列接続されたｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとを含むスイッチ手段を介して接続している。

【００７０】

したがって、上記出力イネーブル入力端子を外部端子として使用することで、外部端子電位のオーバーシュート、アンダーシュートの影響を内部回路に与えることなく、しかも、外部端子用の入力ピンを新たに作製する必要なく、上記内部電源電圧に相当する任意の電圧を外部端子から供給することができる。

【００７１】

請求項１０では、請求項６における半導体集積回路装置は、ＤＲＡＭであって、各スイッチ手段および内部電源発生手段に対するテストモード指定信号は、テストモードセット時に擬似アドレス入力信号として入力された信号に応じて、内部タイミング発生回路から供給されるので、上記テストモード指定信号用の新たな入力ピンを作製することなく、内部電源電圧に相当する任意の電圧を外部から供給することができる。

【００７２】

【実施例】

図１は、本発明の一実施例であるＤＲＡＭを示す概略ブロック図である。

【００７３】

図１に示した実施例は、下記の点を除いて、図１２に示した従来例と同じであり、共通する部分については説明を省略する。

【００７４】

すなわち、電圧降圧回路１０９の出力が、テストモード指定信号Ｓ１によって切換制御されるスイッチ回路ＳＷ１を介して外部端子１１４に接続されるとともに、基準電圧発生回路１１０の出力も、テストモード指定信号Ｓ２によって、切換制御されるスイッチ回路ＳＥ６を介して外部端子１１４に接続される。

【００７５】

さらに、セルプレート電圧発生回路１１１の出力は、テストモード指定信号Ｓ２によって切換制御されるスイッチ回路ＳＷ２を介して、ビット線プリチャージ電圧回路１１２の出力は、テストモード指定信号Ｓ３によって切換制御されるスイッチ回路ＳＷ３を介して、基板バイアス発生回路１１３の出力は、テストモード指定信号Ｓ４によって切換制御されるスイッチ回路ＳＷ４を介して、外部端子１１４に接続される。以下、図１に示した各スイッチおよび各内部電源回路の動作について個別に説明する。

【００７６】

図２は、図１中でＳＷ１～ＳＷ４で示されたスイッチ回路の回路構成を示す。各スイッチ回路は、ｎチャネルＭＯＳトランジスタＴ１とｐチャネルＭＯＳトランジスタＴ２の直列に接続された構成となっている。外部端子１１４は、ｎチャネルＭＯＳトランジスタＴ１のドレインと接続されている。ｎチャネルＭＯＳトランジスタＴ１とｐチャネルＭＯＳトランジスタＴ２のソース同士が接続され、ｐチャネルＭＯＳトランジスタＴ２のドレインと内部電源回路、たとえば図１の電圧降圧回路１０９の出力とが接続している。

【００７７】

ｎチャネルＭＯＳトランジスタＴ１のゲートには、テストモード指定信号、たとえば図２中のＳ１が入力し、ｐチャネルＭＯＳトランジスタＴ２のゲートにはテストモード指定信号Ｓ１をインバータ１１６で反転したものが入力する。したがって、Ｓ１がＨレベルでは、このスイッチ回路はオン状態となり、Ｌレベルでオフ状態となる。

【００７８】

図３は、図１のＤＲＡＭのうち、図２のスイッチ回路のｎチャネルＭＯＳトランジスタＴ１およびｐチャネルＭＯＳトランジスタＴ２に相当する部分の断面を示す図である。この図によりこのスイッチに外部端子１１４から入力する電圧に対するカットオフ特性を説明する。例として、ｐ型Ｓｉ基板を用いた場合に、ｎチャネルＭＯＳトランジスタは、ｐウェル内に、ｐチャネルＭＯＳトランジスタはｎウェル内に形成されているとする。

【００７９】

通常、ｐウェルは接地電位V_{SS}あるいは基板バイアスV_{BB}にバイアスされている。また、ｎウェルは、外部電源電圧ｅｘｔ．V_{CC}にバイアスされている。したがって、テストモード指定信号Ｓ１がＨレベル（＝ｅｘｔ．V_{CC}）になると、ｎチャネルＭＯＳトランジスタのゲート直下には、ｎ型反転層が形成され導通し、ｐチャネルＭＯＳトランジスタのゲートにはＬレベル（＝０Ｖ）が印加され、その直下にはｐ型反転層が形成されて導通状態となる。

【００８０】

ここで、外部端子１１４の電位が、V_{CC}を超えて正にオーバーシュートすると、ｎチャ

ネルＭＯＳトランジスタのゲート電位はV_{CC}であるので、ｎチャネルＭＯＳトランジスタのドレイン近傍でｎ型反転層が消失し、導通状態がカットオフされる。

【００８１】

一方で、外部端子１１４の電位が、０Ｖを下回って負にアンダーシュートすると、ｐチャネルＭＯＳトランジスタのゲート電位は０Ｖであるので、ｐチャネルＭＯＳトランジスタのソース近傍でｐ型反転層が消失し、導通状態がカットオフされる。

【００８２】

以上のように図３のスイッチ回路では、ｎチャネルＭＯＳトランジスタとｐチャネルＭＯＳトランジスタとが直列に接続されているので、外部端子１１４の電位が正へオーバーシュートした場合も、負にアンダーシュートした場合も、導通状態がカットオフされる。この結果、内部電源回路に接続している内部回路に直接オーバーシュートあるいはアンダーシュートした電圧が印加されることがなく、内部の記憶情報等が破壊されるのを防ぐことが可能である。

【００８３】

図４は、上記スイッチ回路を用いて、図１中の内部電圧降圧回路１０９を外部端子１１４によりモニタする場合の概略ブロック図である。内部降圧回路１０９は図１７の従来例とほぼ同一の回路構成であり、差動増幅回路の定電流電源トランジスタＱ１３のゲート電位が外部より制御できる構成となっている点のみが従来例と異なる。

【００８４】

以下の説明ではまず、このｎチャネルＭＯＳトランジスタＱ１３がオン状態、つまり、テストモード指定信号（ＴＥ２信号）がＬレベルの場合について述べる。テストモード指定信号Ｓ１がＨレベル、テストモード指定信号Ｓ６がＬレベルのときは、スイッチ回路ＳＷ１がオン状態、スイッチ回路ＳＷ６がオフ状態となり、外部端子１１４により、内部降圧電源電圧ｉｎｔ．V_{CC}の値をモニタすることが可能である。

【００８５】

一方、テストモード指定信号Ｓ１がＬレベル、テストモード指定信号Ｓ６がＨレベルのときは、スイッチ回路ＳＷ１がオフ状態、スイッチ回路ＳＷ６がオン状態となり、外部端子１１４により基準電圧発生回路の出力V_{REF}をモニタすることが可能である。

【００８６】

図５は、前記スイッチ回路を用いて図１中のセルプレート電圧発生回路１１１あるいはビット線プリチャージ電圧発生回路１１２の出力を外部端子１１４によりモニタする場合の概略ブロック図である。まず、セルプレート電圧発生回路１１１あるいはビット線プリチャージ電圧発生回路１１２の動作について簡単に説明する。

【００８７】

両電圧発生回路は、どちらも外部電源電圧ｅｘｔ．V_{CC}から、V_{CC}／２の電圧を発生する回路であり、基本構成は全く同一である。この回路では、基本となる構成は、ｎチャネルＭＯＳトランジスタＱ２２とｐチャネルＭＯＳトランジスタＱ２３との直列接続であり、これらのＭＯＳトランジスタを流れる電流をスイッチングトランジスタのｐチャネルＭＯＳトランジスタＱ２１でオン／オフする構成となっている。

【００８８】

以下では、ｐチャネルＭＯＳトランジスタＱ２１がオン状態つまりテストモード指定信号ＴＥ３がＬレベルの場合を考える。ｎチャネルＭＯＳトランジスタＱ２２のゲートには、$V_{CC}/2+|V_{thn}|$（V_{thn}：ｎチャネルトランジスタのしきい値）の電圧が印加され、ｐチャネルＭＯＳトランジスタＱ２３のゲートには、$V_{CC}/2-|V_{thp}|$（V_{thp}：ｐチャネルトランジスタのしきい値）の電圧が印加されることにより、出力ノードには、V_{CC}／２の電圧が発生する構成となっている。

【００８９】

テストモード指定信号Ｓ３（Ｓ４）が、Ｈレベルとなるとスイッチ回路ＳＷ３（ＳＷ４）がオン状態となり、外部端子１１４により内部電源電圧V_{BL}あるいはV_{CP}をモニタすることが可能である。

【００９０】
次に、内部電源の発生する電圧が負電位である場合にその内部電源電圧をモニタする回路構成について述べる。
【００９１】
まず、負電位を発生する内部電源回路である基板バイアス発生回路１１３の動作を図６に示した概略ブロック図により説明する。リングオシレータ２００で発生した信号は途中ＮＯＲ回路１１７を経由してドライブ回路３００に入力する。そのときテストモード信号ＴＥ１がＬレベルであれば、ＮＯＲ回路の出力はリングオシレータ４００からの入力を反転したものとなり、テストモード指定信号ＴＥ１がＨレベルであれば、ＮＯＲ回路の出力は常時Ｌレベルとなって本回路の動作は停止する。
【００９２】
以下は、テストモード指定信号ＴＥ１がＬレベルの場合について述べる。Ａ点の電位、V_{BB}は最初はともに０Ｖである。ドライブ回路５００からの出力が０ＶからV_{CC}に立上がると、Ａ点はポンプ用容量C_pによりＨレベルに上昇する。すると、ｐチャネルＭＯＳトランジスタＱ３１がオンしてＡ点をV_{th}レベルまで下げようとする（このときｐチャネルＭＯＳトランジスタＱ３２はオフしたまま）。Ａ点の電位がV_{th}になった時点で、ｐチャネルＭＯＳトランジスタＱ３１はオフする。
【００９３】
次にドライブ回路５００からの出力がV_{CC}から０Ｖに立下がると、Ａ点はポンプ用容量C_pにより－（$V_{CC}-V_{th}$）レベルに立下げられる。するとｐチャネルＭＯＳトランジスタＱ３２がオンしてＡ点からV_{BB}へ電子が供給される。このためＡ点の電位は－（$V_{CC}-V_{th}$）レベルから、$-V_{th}$のレベルへ上昇していく（このときｐチャネルＭＯＳトランジスタＱ３１はオフしたまま）。Ａ点の電位が、$-V_{th}$になった時点でｐチャネルＭＯＳトランジスタＱ３２はオフする。この結果、V_{BB}の電位は少し負の値となる。
以上の動作が繰り返されることにより、V_{BB}の電位は徐々に負の値になっていき、$V_{BB}=-(V_{CC}-2V_{th})$の時点でｐチャネルＭＯＳトランジスタＱ３２を経由するＡ点からV_{BB}への電子の供給が止まる。
【００９４】
つまり、上記基板バイアス回路により$V_{BB}=-(V_{CC}-2V_{th})$の負電位が基板に印加されることになる。
【００９５】
図７は、図１中の基板バイアス発生回路１１３で発生する負電位を外部端子１１４からモニタする回路構成を示す。
【００９６】
ｎチャネルＭＯＳトランジスタとｐチャネルＭＯＳトランジスタを直列に接続しているという点では、図２のスイッチ回路と基本的に同様である。異なる点は、テストモード指定信号Ｓ４がＨレベルのときは、図６で説明した基板バイアス発生回路１１３と同様の負電位発生回路４００によりｐチャネルＭＯＳトランジスタＱ４２のゲートに負電位が印加される構成としたことである。
【００９７】
なお、この実施例では、テストモード指定信号Ｓ４がＬレベルでは、ｎチャネルＭＯＳトランジスタＱ４６がオン状態となり、ｐチャネルＭＯＳトランジスタＱ４２のゲートには、ｐチャネルＭＯＳトランジスタＱ４５のしきい値電圧が印加されている構成としている。テストモード指定信号Ｓ４がＬレベルのとき、ｐチャネルＭＯＳトランジスタＱ４２がオフとなる電圧が印加されるのであれば、特にこのような構成に限定されない。
【００９８】
この場合も、図２、図３と同様な理由により、このスイッチ回路により外部端子１１４の電位のオーバーシュート、アンダーシュートをカットオフすることが可能である。すなわち、このスイッチ回路ＳＷ４が開状態においては、ｎチャネルＭＯＳトランジスタＱ４１

のゲートには、Ｈレベルの信号V_{CC}が印加されているので、この信号よりも高い電位が、このトランジスタのドレインに印加されると、ゲート直下のｎ型反転層は、ドレイン近傍で消失し、カットオフされる。一方、ｐチャネルＭＯＳトランジスタＱ４２のゲートは、負電位（この場合はV_{BB}に等しい）にバイアスされており、この負電位以下の電位がこのトランジスタのソースに印加されると、ゲート直下のｐ型反転層がソース近傍で消失し、カットオフされることになる。

【００９９】

したがって、図７のスイッチ回路ＳＷ４の構成でテストモード指定信号Ｓ４をＨレベルにすると、外部端子１１４の電位が正へオーバーシュートした場合も、負にアンダーシュートした場合も、導通状態がカットオフされるので、内部電源回路およびそれに接続している内部回路に直接オーバーシュートあるいはアンダーシュートした電圧が印加されることがない。したがって、内部の記憶情報等が破壊されることを防ぐことが可能で、半導体集積回路の内部電源電位の評価を安定かつ信頼性の高い状態で測定することが可能である。

【０１００】

次に、内部電源電位に相当する電圧を外部から任意の値に制御する回路構成について説明する。

【０１０１】

まず、図４の内部電圧降圧電源１０９については、テストモード時に、テストモード指定信号ＴＥ２をＨレベルにする（／ＴＥ２をＬレベルにする）ことにより、ｎチャネルＭＯＳトランジスタＱ１３をオフにすることで、降圧回路動作を停止させ、同時に制御信号Ｓ１をＨレベルとすることでスイッチ回路ＳＷ１をオン状態とし、外部端子１１４から電圧を供給すればよい。

【０１０２】

このとき、従来例（特開平３－１６０６９９号公報）と同様にテストモード指定信号ＴＥ２をＬレベルとし、テストモード指定信号Ｓ６をＨレベルとすることによりスイッチ回路ＳＷ６をオン状態とすることで、外部端子１１４から、任意の基準電位V_{REF}を供給し、内部降圧電圧ｉｎｔ．V_{CC}を任意の値に変化させることも可能である。

【０１０３】

以上の手続により、外部から内部降圧電源電圧ｉｎｔ．V_{CC}を任意の値に変化させて、ＤＲＡＭの動作マージンを評価することが可能となる。

【０１０４】

次に、図５のビット線プリチャージ電圧発生回路１１２（セルプレート電圧発生回路１１１）については、テストモード時にテストモード指定信号ＴＥ３（ＴＥ４）をＨレベルとし、ｐチャネルＭＯＳトランジスタＱ２１をオフ状態とすることで、この回路動作を停止し、テストモード指定信号Ｓ３（Ｓ４）をＨレベルとし、スイッチ回路ＳＷ３（ＳＷ４）をオン状態とすることで、外部端子１１４から各々任意の電圧を供給すればよい。

【０１０５】

この場合も、ビット線プリチャージ電圧V_{BL}、セルプレート電圧V_{CP}を外部から任意の値に変化させることが可能である。

【０１０６】

さらに外部電源と逆極性の内部電源電圧に相当する電圧を外部から任意の値に制御する回路構成について説明する。

【０１０７】

これは、まず図６の基板バイアス発生回路１１３において、テストモード指定信号ＴＥ１をＨレベルとすることで、この回路動作を停止し、図７においてテストモード指定信号Ｓ４をＨレベルとすることにより、スイッチ回路をオン状態とし、外部端子１１４から、任意の電位を供給すればよい。

【０１０８】

以上により、負電位V_{BB}に相当する電圧を外部から任意の値に制御することができる。

【０１０９】

上述の第１の実施例では、内部電源電圧の外部からのモニタおよび制御のために専用の外部端子１１４を用いていたが、通常モードでは他の信号入力に使われている端子を用いることも可能である。ＤＲＡＭは、通常たとえば２８ピンのパッケージに封入されるものの、集積規模の増大に伴うアドレス入力ピン数やデータ入出力ピン数の増加により、通常動作モードにおいて使用されないピンの空きは、存在しなくなる傾向にある。

【０１１０】

このため、テストモードにおいては通常データや制御信号の入力に供されるピンを上記外部端子として使うことが必要となる。

【０１１１】

この発明の第２の実施例は、通常の動作では他の信号入力に供されている端子として、特に出力イネーブル端子１１５を用いるものである。図８にその概略ブロック図を示す。従来の技術の項において、従来のＤＲＡＭにおいては、／ＯＥ信号がＬレベル固定であっても、通常の読出、書込動作が可能であることを述べた。そこで、出力イネーブル入力端子１１５と出力バッファとの間に、図８においてＳＷ５で表わされる図９の回路を挿入する。図９の回路において、テストモード指定信号Ｓ５がＨレベルとなると、インバータ１１６を介してこの信号が２入力ＮＡＮＤ回路１１８の一方の入力端子に印加されるので、もう一方の入力端子に接続される出力イネーブル入力端子のレベルに無関係に、ＮＡＮＤ出力のｉｎｔ．ＯＥ信号はＨレベルすなわち、／ＯＥ信号がＬレベルに固定されているのと同等になる。一方テストモード指定信号Ｓ５がＬレベルでは、ＮＡＮＤ出力信号ｉｎｔ．ＯＥは／ＯＥ信号と一致する。したがって、テストモード指定信号Ｓ５をＨレベルとすると、／ＯＥ信号がＬレベル固定となって、読出、書込動作が常時可能となり、テストモード指定信号Ｓ５をＬレベルとすると通常の／ＯＥ信号と同一動作が可能となる。

【０１１２】

なお、上述の第１および第２の実施例において、テストモード指定信号Ｓ１～Ｓ６およびＴＥ１～ＴＥ４は、テストモードセット時に擬似アドレス信号として、アドレス入力端子に入力された信号に応じて内部タイミング発生回路１０８で発生されるものとする。

【０１１３】

図９に、擬似アドレス信号と制御信号との組合せの態様の一例を示す。たとえば、内部降圧電源電圧を外部からモニタする場合、擬似アドレス信号（A_0、A_1、A_2、A_3、A_4、A_5、A_6、A_7、A_8）＝（０、０、０、０、／、／、／、／、／）（／は任意）を与えると、内部タイミング発生回路１０８でテストモード指定信号Ｓ１、Ｓ５および／ＴＥ２をＨレベル信号としてそれぞれ供給する構成とすることである。

【０１１４】

図８および図１１により、内部タイミング発生回路の動作のタイミングチャートの一例について説明する。まず、内部タイミング発生回路１０８は、ＷＣＢＲ（／ＷＥ・／ＣＡＳビフォア／ＲＡＳ）サイクルが実行されることで、入力された擬似アドレス信号に応じた信号Ｓ１、Ｓ５を発生し、テストモードに入る。この状態で通常どおり、／ＲＡＳ信号の立下がりで行アドレスを取込み、／ＣＡＳ信号の立下がりで列アドレスを取込み、同時に入力データが取込まれ書込動作が行なわれる。このとき、制御信号Ｓ５がＨレベルとなることで、ｉｎｔ．ＯＥ信号はＨレベル、つまり、／ＯＥ信号がＬレベル固定となっているので書込動作は正常に行なわれる。また、テストモード指定信号Ｓ１がＨレベルとなることで、スイッチ回路Ｓ１がオン状態となり、出力イネーブル端子／ＯＥにより、内部降圧電源電圧ｉｎｔ．V_{CC}を測定することが可能である。

【０１１５】

【発明の効果】

以上の説明のように本発明の半導体集積回路装置は以下のような効果を奏する。

【０１１６】

請求項１の発明によると、外部から供給される外部電源電圧により動作する半導体集積回路装置は、外部電源電圧を所定の内部電源電圧に変換して供給する内部電圧発生手段と、

半導体集積回路装置の外部との信号の入出力のための外部端子と、テストモードを指定する信号を発生する手段と、内部電圧発生手段の出力と外部端子との間に設けられ、テストモード指定信号に応じて動作する、直列接続されたｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとを含むスイッチ手段とを備えているので、半導体集積回路を動作させつつ、上記内部電源出力のモニタをすることが可能である。

【０１１７】

しかも、回路テスタによりテスト中に、上記スイッチ回路がオン状態で、外部端子の電位が正へオーバーシュートあるいは負へアンダーシュートしても、その影響を内部回路に与えないことが可能である。したがって、内部電源電圧の変動に伴う内部回路の特性変化を安定かつ高い信頼性で試験することが可能である。

【０１１８】

請求項２の発明によると、請求項１記載の半導体集積回路装置においては、内部電圧発生手段の発生する電位は、外部電源電圧と逆極性であり、そのスイッチ手段の開状態では、ｐチャネルＭＯＳトランジスタのゲートが上記逆極性電位にバイアスされているので、外部端子の電位がテスト中に正へオーバーシュートあるいは上記逆極性電位以下にアンダーシュートしてもその影響を内部回路に与えないことが可能である。したがって請求項１と同様な効果を奏することが可能である。

【０１１９】

請求項３の発明によると、請求項１記載の半導体集積回路装置は、ＤＲＡＭであって、その外部との信号を入出力する外部端子は、通常の動作においては、他の信号入力に供されるものであるので、新たに外部端子用の入力ピンを作製する必要なく、上記内部電源電圧の測定を行なうことが可能である。かつ、請求項１と同様の効果を奏する。

【０１２０】

請求項４の発明によると、請求項３記載のＤＲＡＭの出力バッファと出力イネーブル入力端子とは、テストモード信号に応答して、出力イネーブル入力端子からの信号にかかわりなくデータ出力バッファを駆動状態とする信号を出力する論理回路を介して接続している。しかも、出力イネーブル入力端子と内部電源発生手段の出力とは、テストモード指定信号に応じて同時に開状態となる、直列接続されたｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとを含むスイッチ手段を介して接続している。

【０１２１】

したがって、上記出力イネーブル入力端子を外部端子として使用することで、外部端子電位のオーバーシュート、アンダーシュートの影響を内部回路に与えることなく、しかも、外部端子用の入力ピンを新たに作製する必要なく、上記内部電源電圧の測定を行なうことが可能であり、かつ請求項３と同様の効果を奏する。

【０１２２】

請求項５の発明によると、請求項１記載の半導体集積回路装置は、ＤＲＡＭであって、各スイッチ手段や内部電源回路への外部からの制御信号は、テストモードセット時に、擬似アドレス入力信号として入力された信号に応じて、内部タイミング発生回路から供給されるので、上記外部信号用の新たな入力ピンを作製することなく、上記内部電源電圧の測定を行なうことが可能であり、かつ請求項１と同様の効果を奏する。

【０１２３】

請求項６の発明によると、外部から供給される外部電源電圧により動作する半導体集積回路装置は、外部電源電圧を所定の内部電源電圧に変換して供給する内部電圧発生手段と、半導体集積回路装置の外部から任意の電圧を印加するための外部端子と、テストモードを指定する信号を発生する手段と、前記テストモードにおいて内部電圧発生手段の動作を停止する手段と、内部電圧発生手段の出力と外部端子との間に設けられ、テストモード指定信号に応じて動作する、直列接続されたｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとを含むスイッチ手段とを備えているので、外部端子の電位が正にオーバーシュートするとｎチャネルＭＯＳトランジスタによりカットオフされ、負にアンダーシュートするとｐチャネルＭＯＳトランジスタでカットオフされることで、内部電源に上記

オーバーシュート、アンダーシュートの影響を与えることなく、外部端子から内部電源電圧に相当する電圧を供給することができる。したがって、内部電源電圧変動に対する半導体集積回路の動作マージンを的確に評価でき、ひいては、上記半導体集積回路装置の高信頼度化、高速化、低消費電力化を図ることができる。

【０１２４】

請求項７の発明によると、請求項６記載半導体集積回路装置においては、内部電圧発生手段の発生する電位は、外部電源電圧と逆極性であり、そのスイッチ手段が開状態では、ｐチャネルＭＯＳトランジスタのゲートが上記逆極性電位にバイアスされているので、外部端子の電位がテスト中に正へオーバーシュートあるいは上記逆極性電位以下にアンダーシュートしてもその影響を内部回路に与えることなく、外部端子から内部電源電圧に相当する電圧を供給することができ、請求項６と同様の効果を奏する。

【０１２５】

請求項８の発明によると、請求項６記載の半導体集積回路装置は、ＤＲＡＭであって、その外部からの任意の電圧を入力する外部端子は、通常の動作においては他の信号入力に供されるものであるので、新たに外部端子用の入力ピンを作製する必要なく、上記内部電源電圧に相当する任意の電圧を外部から供給することができ、請求項６と同様の効果を奏する。

【０１２６】

請求項９の発明によると、請求項７記載のＤＲＡＭの出力バッファと出力イネーブル入力端子とは、テストモード信号に応答して、出力イネーブル入力端子からの信号にかかわりなくデータ出力バッファを駆動状態とする信号を出力する論理回路を介して接続している。しかも、出力イネーブル入力端子と内部電源発生手段の出力とは、テストモード指定信号に応じて同時に開状態となる、直列接続されたｐチャネルＭＯＳトランジスタとｎチャネルＭＯＳトランジスタとを含むスイッチ手段を介して接続している。

【０１２７】

したがって、上記出力イネーブル入力端子を外部端子として使用することで、外部端子電位のオーバーシュート、アンダーシュートの影響を内部回路に与えることなく、しかも、外部端子用の入力ピンを新たに作製する必要なく、上記内部電源電圧に相当する電圧を外部から供給することが可能で、請求項８と同様の効果を奏する。

【０１２８】

請求項１０の発明である請求項６記載の半導体集積回路装置は、ＤＲＡＭであって、そのテストモード指定信号は以下のような信号である。つまりそのテストモード指定信号は、テストモードセット時に入力される擬似アドレス入力信号に応じて内部タイミング発生回路で発生され、各スイッチ手段および内部電圧発生手段に供給されるので、上記テストモード指定信号用の新たな入力ピンを作製することなく、上記内部電源電圧に相当する電圧を外部から供給することができ、請求項６と同様の効果を奏する。

【図面の簡単な説明】

【図１】この発明の第１の実施例によるＤＲＡＭの概略ブロック図である。

【図２】この発明の第１の実施例中のスイッチ回路の構成を示す図である。

【図３】図１のトランジスタ部の断面構造を示す図である。

【図４】この発明の第１の実施例中の１つの要部を示す概略ブロック図である。

【図５】この発明の第１の実施例中の他の要部を示す概略ブロック図である。

【図６】基板バイアス発生回路を示す概略ブロック図である。

【図７】この発明の第１の実施例中のさらに他の要部を示す概略ブロック図である。

【図８】この発明の第２の実施例によるＤＲＡＭの概略ブロック図である。

【図９】図８中のスイッチ回路ＳＷ５の構成を示す図である。

【図１０】この発明のアドレス信号と制御信号との組合せを示す図である。

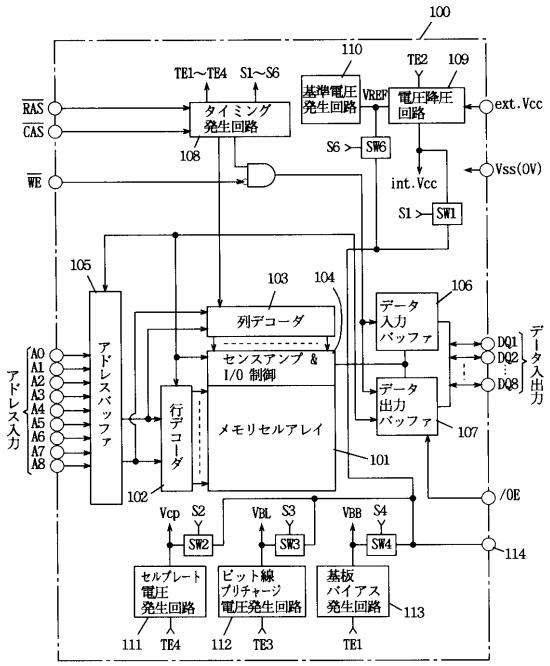
【図１１】この発明の第２の実施例のタイミングチャート図である。

【図１２】従来のＤＲＡＭを示す概略ブロック図である。

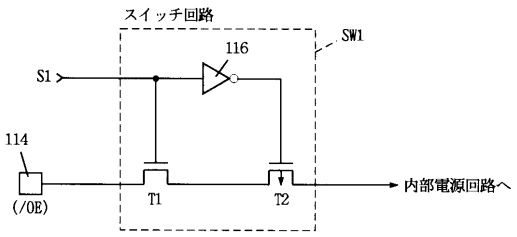
【図１３】従来のＤＲＡＭの読出動作のタイミングチャート図である。

【図１４】従来のＤＲＡＭの書込動作のタイミングチャート図である。
【図１５】従来のＤＲＡＭのメモリセル部の回路図である。
【図１６】従来のＤＲＡＭの書込動作のタイミングチャート図である。
【図１７】従来の内部電圧可変方法を示す図である。
【符号の説明】
１００　ＤＲＡＭ回路、１０１　メモリセル、１０２　行デコーダ回路、１０３　列デコーダ回路、１０４　センスアンプとＩ／Ｏ制御回路、１０５　アドレスバッファ回路、１０６　データ入力バッファ回路、１０７　データ出力バッファ回路、１０８　タイミング発生回路、１０９　電圧降圧回路、１１０　基準電圧発生回路、１１１　セルプレート電圧発生回路、１１２　ビット線プリチャージ電圧発生回路、１１３基板バイアス発生回路、１１４　外部端子、１１５　出力イネーブル入力端子、１１６　インバータ、１１７　ＮＯＲ回路、１１８　ＮＡＮＤ回路、２００　リングオシレータ回路、３００　ドライブ回路、４００　負電位発生回路。

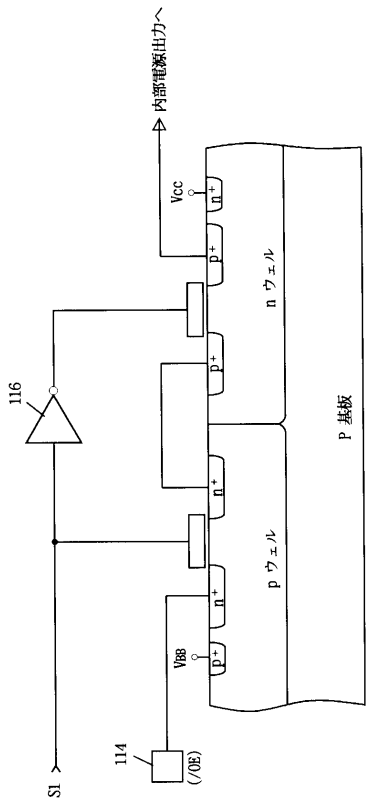
【図１】



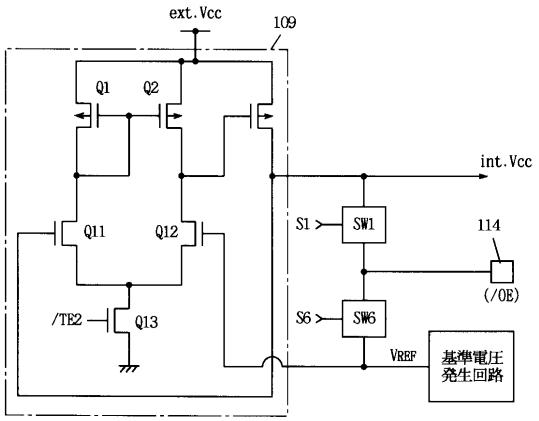
【図２】



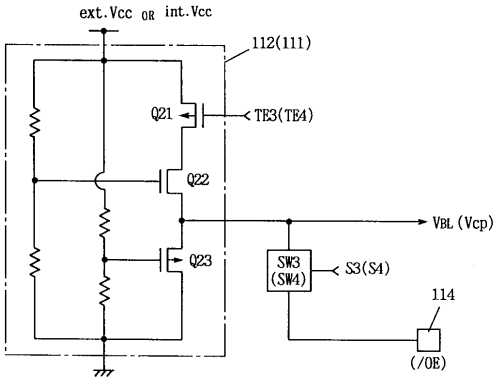
【図３】


内部電源出力へ
Vcc
n+
p+
n ウェル
p ウェル
P 基板
116
VBB
114
(/OE)
S1

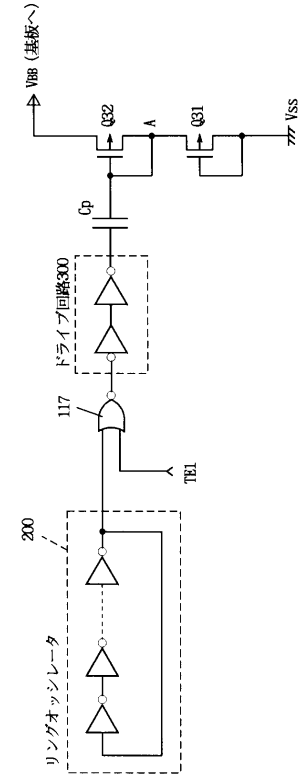
【図４】


ext.Vcc
109
Q1
Q2
int.Vcc
Q11
Q12
S1
SW1
114
(/OE)
/TE2
Q13
S6
SW6
VREF
基準電圧
発生回路

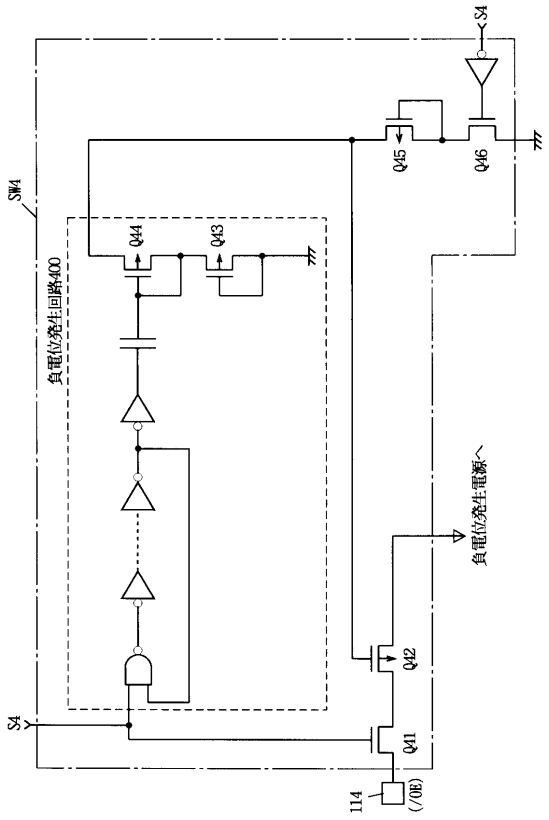
【図５】


ext.Vcc OR int.Vcc
112(111)
Q21
TE3(TE4)
Q22
VBL (Vcp)
Q23
SW3
(SW4)
S3(S4)
114
(/OE)

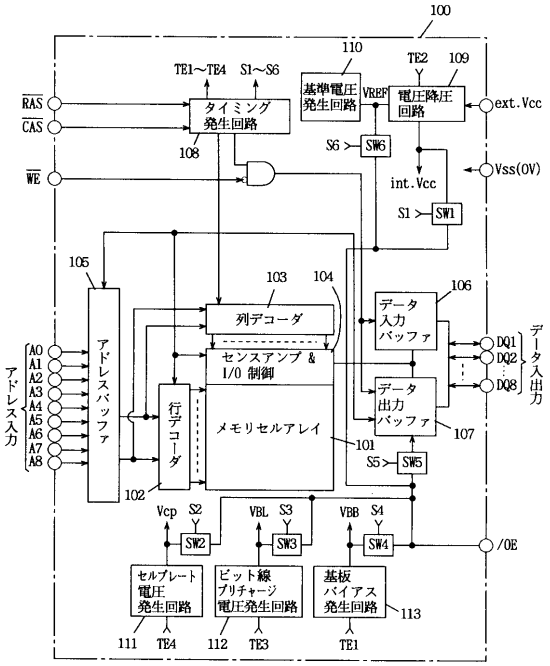
【図６】


VBB (基板へ)
Q32
A
Q31
Vss
Cp
ドライブ回路300
117
TE1
200
リングオッシレータ

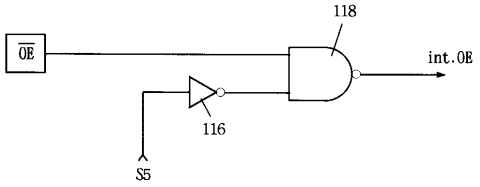
【図７】


S4
Q45
Q46
SW4
Q44
Q43
負電位発生回路400
負電位発生電源へ
Q42
S4
Q41
114
(/OE)

【図８】



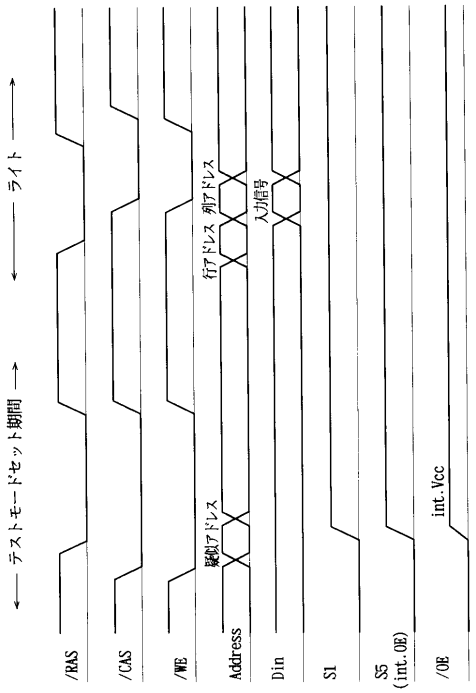
【図９】



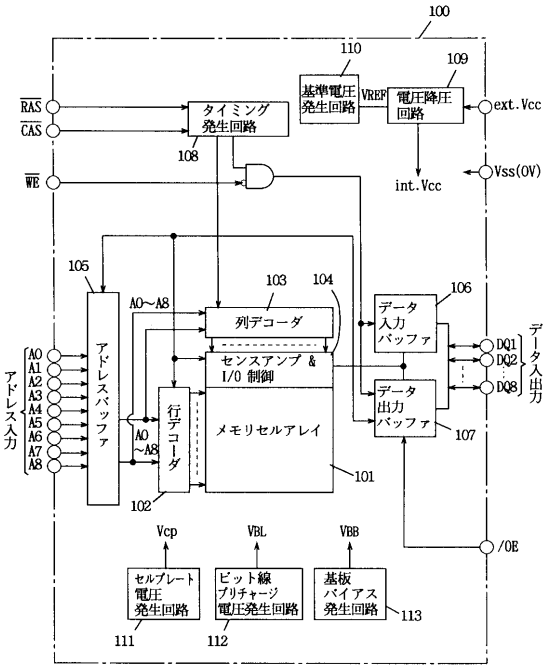
【図１０】

テストモード内容	int.Vcc モニタ	int.Vcc 印加	VBBF モニタ/印加	Vcpモニタ	Vcp印加	VBLモニタ	VBL印加	VBBモニタ	VBB印加
TE4	0	0	0	0	1	0	0	0	0
TE3	0	0	0	0	0	0	1	0	0
$\overline{TE2}$	1	0	1	1	1	1	1	1	1
TE1	0	0	0	0	0	0	0	0	1
S6	0	0	1	0	0	0	0	0	0
S5	1	1	1	1	1	1	1	1	1
S4	0	0	0	0	0	0	0	1	1
S3	0	0	0	0	0	1	1	0	0
S2	0	0	0	1	1	0	0	0	0
S1	1	1	0	0	0	0	0	0	0
A4～A8	任意	任意	任意	任意	任意	任意	任意	任意	任意
A3	0	0	0	0	0	0	0	0	1
A2	0	0	0	0	1	0	1	1	0
A1	0	0	1	1	0	1	1	1	0
A0	0	1	0	1	0	1	0	1	0

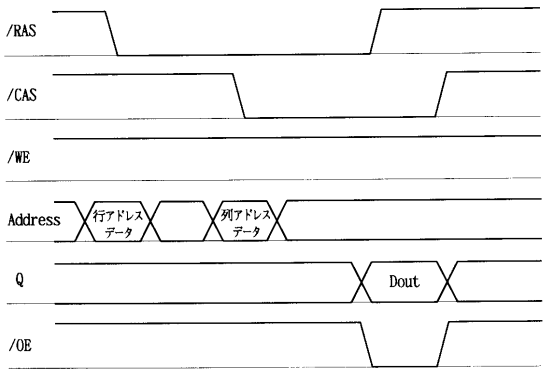
【図１１】



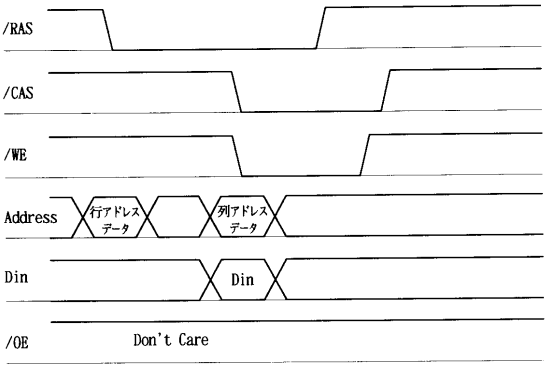
【図１２】



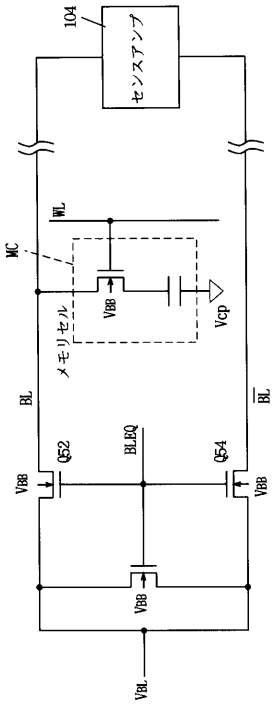
【図１３】



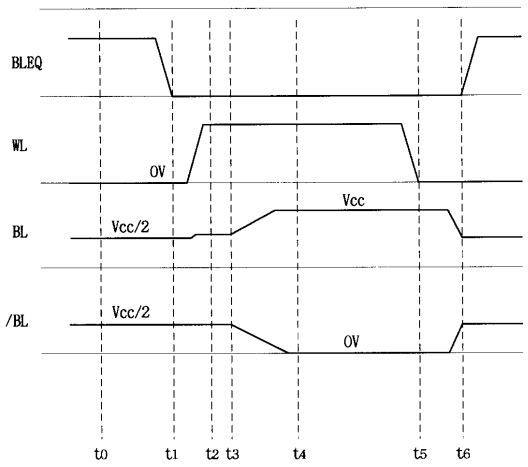
【図１４】



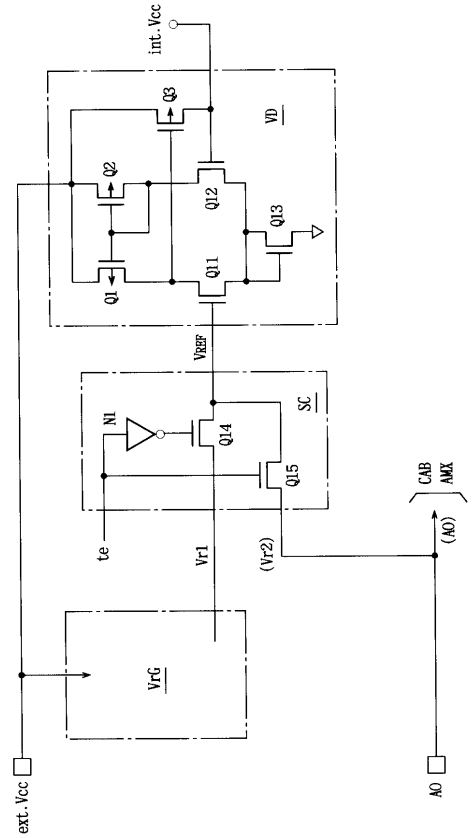
【図１５】



【図１６】



【図１７】


int.Vcc
Q3
VD
Q2
Q12
Q13
Q1
Q11
VREF
SC
N1
Q14
Q15
CAB
AMX
(AO)
te
Vr1
(Vr2)
Vrg
ext.Vcc
AO

フロントページの続き

(72)発明者　冨上　健司
兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社　北伊丹製作所内

審査官　長島　孝志

(56)参考文献　特開平０２－１６１７６９（ＪＰ，Ａ）
特開平０４－０２２０００（ＪＰ，Ａ）
特開平０５－３２２９９０（ＪＰ，Ａ）
特開平０３－１６０６９９（ＪＰ，Ａ）
特開平０６－１５０６９４（ＪＰ，Ａ）
特開平０３－１０４１００（ＪＰ，Ａ）
特開昭６３－２０７０００（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G11C 29/00
G11C 11/401-11/419
G11C 16/00-16/34
H03K 17/687
H01L 27/04