(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 600 06 031 T2** 2004.07.15

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 1 054 326 B1**
(21) Deutsches Aktenzeichen: **600 06 031.4**
(96) Europäisches Aktenzeichen: **00 304 159.7**
(96) Europäischer Anmeldetag: **17.05.2000**
(97) Erstveröffentlichung durch das EPA: **22.11.2000**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **22.10.2003**
(47) Veröffentlichungstag im Patentblatt: **15.07.2004**

(51) Int Cl.[7]: **G06F 11/10**

(30) Unionspriorität:
313849 **18.05.1999** **US**

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Hewlett-Packard Co. (n.d.Ges.d.Staates Delaware), Palo Alto, Calif., US

(72) Erfinder:
Brewer, Tony M., Plano, Texas 75093, US; Dugan, Mike, Richardson, Texas 75080, US

(74) Vertreter:
Schoppe, Zimmermann, Stöckeler & Zinkler, 82049 Pullach

(54) Bezeichnung: **Speicherfehlerkorrektur mit einem redundanten geschnittenen Speicher und Standard ECC Mechanismus**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Technisches Gebiet

[0001] Diese Erfindung bezieht sich auf ein Verfahren und eine Vorrichtung zur Fehlerkorrektur von Daten, die in einem digitalen Speicher gespeichert sind.

Hintergrund

[0002] Dynamischer Direktzugriffsspeicher (DRAM) wird in einer Vielzahl von Anwendungen, insbesondere in Verbindung mit digitalen Mikroprozessoren, weit verbreitet eingesetzt. Bei einer typischen Konfiguration sind mehrere zentrale Verarbeitungseinheiten (CPUs) schnittstellenmäßig mit einer Prozessor- und Speicheradreßvorrichtung (PMA) verbunden, wie in **Fig.** 1 gezeigt ist. Die PMA ist schnittstellenmäßig mit einer oder mehreren Prozessor- und Speicherdatenvorrichtungen (PMD) verbunden. Jede PMD ist schnittstellenmäßig mit einer Mehrzahl von Speichermodulen (MM) verbunden. Die PMA arbeitet, um die von jeder CPU empfangenen Adressen zuzuteilen, und leitet jede Adresse an die korrekte PMD. Die PMD empfängt die Adresse und bestimmt, wo in den MMs Daten gelesen oder geschrieben werden sollen. Jedes MM entspricht einem Stück Daten und umfaßt einen DRAM. Die PMD führt außerdem Fehlerkorrekturoperationen durch.

[0003] Die Anzahl von DRAM-Chips, die benötigt werden, um die erforderliche Speicherkapazität in einem Mehrprozessorsystem bereitzustellen, ist groß. Die Wahrscheinlichkeit, daß ein DRAM ausfällt, ist verglichen mit den anderen Komponenten in dem System hoch. DRAMs können Ein- oder Mehrbitfehler aus einer Vielzahl von Gründen aufweisen. Zufällige Einbitfehler können oft durch einen Strahlungsbeschuß bewirkt werden. Ein Übersprechen auf Leitungen, die mit dem DRAM verbunden sind, kann ebenso Fehler bewirken. Ferner kann eine gesamte DRAM-Vorrichtung ausfallen. Es ist deshalb wünschenswert, einen gewissen redundanten Speicher bereitzustellen, der mit einer Fehlererfassungs- und Korrekturlogik gekoppelt ist, um die nachteilige Wirkung des Auftretens von Fehlern zu minimieren. Vorzugsweise minimiert ein Fehlererfassungs- und Korrekturschema die Menge eines redundanten Speichers, der benötigt wird, während der Rechenmehraufwand, der zur Erfassung und Korrektur benötigt wird, minimiert wird. Üblicherweise wird ein Fehlerkorrekturschema verwendet, das die Wahrscheinlichkeit nichtkorrigierter Fehler auf einen annehmbaren Pegel reduziert.

[0004] Der klassische Ansatz für eine Erfassung und Korrektur von Fehlern ist durch die Verwendung eines Fehlerkorrekturcodes (ECC). Ein Fehlerkorrekturcode, der einem Stück Daten zugeordnet ist, ist gespeichert und wird verwendet, um zu bestimmen, ob ein Fehler in dem Stück aufgetreten ist, und dann, um das fehlerhafte Bit zu korrigieren. Typische ECCs liefern eine garantierte Einbitfehlerkorrektur und Doppelbitfehlererfassung. Zusätzlich können viele Mehrbitfehler erfaßt werden. Die Schwäche dieser Codes besteht darin, daß einige Mehrbitfehler als Einbitfehler erscheinen und einige Mehrbitfehler überhaupt nicht erfaßt werden (ein Kein-Fehler-Syndrom). Sorgfältiger ausgearbeitete Codes wurden erzeugt, die eine bessere Erfassungs- und Korrekturfähigkeit liefern. Diese Codes reduzieren weiter die Möglichkeit einer Datenkorruption zu Lasten eines größeren Rechenmehraufwands.

[0005] Eine weitere Lösung, die bei einem Gesamt-DRAM-Chip-Ausfall (entweder als ein Übergangsausfall oder ein Permanentausfall) anvisiert wird, wird durch ein Verteilen des ECC über zahlreiche DRAM-Chips erzielt, so daß keine zwei Bits, die durch einen einzelnen ECC-Bereich abgedeckt werden, von einem einzelnen DRAM-Chip sind. So sind, wenn der ECC-Code 64 Bits Daten abdeckt, alle 64 Bits Daten von unterschiedlichen DRAMs. Bei diesem Ansatz wird ein Block Daten an einen DRAM in dem Speichersystem geschrieben. Jedes Bit des Blocks gehört zu einem unterschiedlichen ECC-Bereich und nur ein Bit jedes ECC kann auf dem DRAM gespeichert sein. Dieser Ansatz funktioniert beim Lösen des Problems eines Einzel-DRAM-Ausfalls gut, hat jedoch einige Schwächen. Erstens bewirkt, sobald ein DRAM ausfällt, jedes zukünftige Problem (Einbit- oder Mehrbitfehler), daß die Daten nicht korrigierbar sind. Dies impliziert, daß Servicepersonal am Einsatzort schnell die ausfallende DRAM-Komponente austauschen muß, um garantierte Pegel einer Systemverfügbarkeit sicherzustellen. Die zweite Schwäche dieses Ansatzes besteht darin, daß, da jedes Bit einer DRAM-Speicherzeile zu einem unterschiedlichen ECC-Bereich gehören muß, eine große Anzahl von DRAMs zur Fehlerkorrektur adressiert werden muß, wenn eine Zeile Daten gelesen wird. Dies führt zu einem wesentlich erhöhten Leistungsverbrauch.

[0006] Ein alternativer Ansatz zur Fehlerkorrektur wurde aus Techniken angepaßt, die verwendet werden, um Plattenfehler zu lösen. Dieser Ansatz wird als die RAID-Technik, wenn sie auf Platten angewendet wird (redundantes Array unabhängiger Platten), und als Prüfsummentechniken bezeichnet, wenn es auf einen Speicher angewendet wird. Prüfsummenmechanismen verwenden einen redundanten DRAM und eine Prüfsumme zur Datenrekonstruktion, wenn ein Fehler erfaßt wird. Die Prüfsumme wird durch ein Bilden der Exklusiv-Oder-(XOR-) Operation zwischen den in einem Satz von N DRAM Blöcken oder MMs gespeicherten Daten erhalten. Die resultierende Prüfsumme wird dann in einem redundanten MM oder DRAM-Block gespeichert, der eine Kapazität aufweist, die zumindest gleich der Kapazität der anderen N DRAM-Blöcke oder MMs ist. Insbesondere werden die Daten bei jeder Adresse, x, jedes der N MMs (oder DRAM-Blöcke) Daten einer XOR-Operation unterzogen, um eine Prüfsumme zu bilden, die in

einer entsprechenden Adresse, x, des redundanten MM (oder DRRM-Blocks) gespeichert wird. Wenn ein MM oder DRAM-Block, der Daten enthält, ausfällt, können die Daten, die in demselben gespeichert waren, durch ein Durchführen einer XOR-Operation bezüglich der verbleibenden DRAMs, gemeinsam mit der Prüfsumme, die in dem redundanten DRAM-Block gespeichert ist, rekonstruiert werden. Diese Sicherungsoperation wird üblicherweise durch die PMD durchgeführt.

[0007] Ein Ansatz des Stands der Technik speichert eine gesamte Speicherzeile in jedem Speichermodul. Ein Nachteil dieses Ansatzes besteht darin, daß, wenn ein DRAM-Block ausfällt, der gesamte Prozeß angehalten werden muß, bis die Daten des ausgefallenen DRAM-Blocks rekonstruiert sind. Ein weiterer Nachteil dieses Verfahrens besteht darin, daß, um einen einheitlichen Zugriff über alle Speichermodule in dem System bereitzustellen, der DRAM, der zum Speichern der Prüfsumme verwendet wird, unter allen der DRAM-Blöcken rotiert werden muß. Dies führt zu einer beträchtlichen zusätzlichen Komplexität und einem Rechenmehraufwand. Es wird ebenso angemerkt, daß die volle Bandbreite, die für einen Cachezugriff benötigt wird, von jedem DRAM-Block bei diesem Ansatz des Stands der Technik benötigt wird.

[0008] Ein weiterer Ansatz des Stands der Technik ist in dem U.S.-Patent Nr. 5,463,644 beschrieben, in dem es ein Speichersystem gibt, das eine Fähigkeit zur Korrektur von Mehrbitfehlern liefert, wobei das Speichersystem ein Array von acht Speicherelementen zum Speichern von Daten-Halbworten und ein neuntes Speicherelement zum Speichern eines Fehlersyndroms aufweist.

[0009] Es ist wünschenswert, eine Vorrichtung und Verfahren zum Rekonstruieren verlorener Daten in Echtzeit zu entwickeln, ohne einen Prozeß zur Rekonstruktion verlorener Daten anhalten zu müssen, und ohne die Prüfsummenspeicherung unter unterschiedlichen Modulen rotieren zu müssen, um einen einheitlichen Bandbreitenzugriff zu erzielen.

Zusammenfassung der Erfindung

[0010] Eine Aufgabe der vorliegenden Erfindung besteht deshalb darin, Verfahren und Vorrichtungen für einen zuverlässigen Speicher bereitzustellen, die kein Anhalten einer gerade arbeitenden Anwendung zur Rekonstruktion verlorener Daten benötigen. Eine weitere Aufgabe der vorliegenden Erfindung besteht darin, einen einheitlichen Zugriff auf alle Speichermodule in dem Speichersystem ohne eine erhöhte Komplexität und einen Rechenmehraufwand bereitzustellen.

[0011] Es gibt mehrere Ansätze, durch die eine Zeile eines Speichers in Speichermodulen gespeichert werden kann, bezüglich derer Prüfsummenoperationen durchgeführt werden können. Ein Ansatz des Stands der Technik ist in dem U.S.-Patent Nr. 4,849,978 beschrieben, wobei dieser Ansatz eine gesamte Speicherzeile in jedem Speichermodul speichert. Ein Nachteil dieses Ansatzes besteht darin, daß, wenn ein DRAM-Block ausfällt, der gesamte Prozeß angehalten werden muß, bis die Daten des ausgefallenen DRAM-Blocks rekonstruiert sind. Ein weiterer Nachteil dieses Verfahrens besteht darin, daß, um einen einheitlichen Zugriff über alle Speichermodule in dem System hinweg bereitzustellen, der zum Speichern der Prüfsumme verwendete DRAM unter allen DRAM-Blöcken rotiert werden muß. Dies führt zu einer beträchtlichen zusätzlichen Komplexität und einem Rechenmehraufwand. Es wird ebenso angemerkt, daß die volle Bandbreite, die für einen Cachezugriff benötigt wird, von jedem DRAM-Block bei diesem Ansatz des Stands der Technik benötigt wird.

[0012] Der folgende erfindungsgemäße Ansatz beschreibt ein System, das für eine Rekonstruktion von Daten in einem DRAM nicht angehalten werden muß, und bei dem der zur Speicherung der Prüfsumme verwendete DRAM nicht unter allen der DRAM-Blöcke rotiert werden muß.

[0013] Der erfindungsgemäße Ansatz besteht darin, ein Stück einer Speicherzeile in jedem von N Speichermodulen zu speichern. Gemäß einem Aspekt der vorliegenden Erfindung, der in den angehängten unabhängigen Ansprüchen detaillierter definiert ist, wird ein redundantes Speicherstück zusätzlich zu N Datenstücken bereitgestellt, wobei N eine Ganzzahl ist. Jedes Stück Speicher kann durch separate DRAM-Chips implementiert sein. Das redundante Stück speichert eine Prüfsumme, die verwendet werden kann, um die Daten eines beliebigen der N Stücke zu rekonstruieren. Die Prüfsumme wird durch ein Durchführen XOR-Operation bezüglich der N Datenstücke, gemeinsam auf eine bitweise Art gebildet. So wird Bit 0 der N Datenstücke gemeinsam einer XOR-Operation unterzogen, um Bit 0 des redundanten Stücks zu erzeugen. Ähnlich wird ein Bit n des redundanten Stücks durch ein Durchführen einer XOR-Operation bezüglich des Bits n der N Datenstücke erzeugt. Der logische XOR-Operator weist die Eigenschaft auf, daß durch ein Durchführen einer XOR-Operation bezüglich der in dem redundanten Stück gespeicherten Prüfsumme mit den Daten in N-1 der Datenstücke das Ergebnis die Daten sind, die in dem verbleibenden N-ten Datenstück gespeichert waren.

[0014] Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Fehlerkorrekturcode (ECC) für jedes Stück, einschließlich das redundante Stück, für eine Einbitfehlererfassung und -korrektur auf einer Stück-nach-Stück-Basis vorgesehen. Der ECC wird ebenso verwendet, um Mehrbitfehler zu erfassen, die in einem Stück auftreten. Wenn der ECC einen Einbitfehler anzeigt, wird der Fehler korrigiert. Wenn der ECC einen Mehrbitfehler anzeigt, werden die Daten für dieses Stück unter Verwendung der in dem redundanten Stück gespeicherten Prüfsumme rekonstruiert.

[0015] Gemäß einem weiteren Aspekt der vorliegenden Erfindung werden in dem Speichersystem gespeicherte Daten über alle der N Datenstücke verteilt. Wenn z. B. eine Speicherzeile Daten, die gespeichert werden soll, 80 Bits lang ist und es **8** Datenstücke gibt, werden 10 Bits des Blocks an jedes Datenstück geschrieben. Diese Daten werden Bit für Bit einer XOR-Operation unterzogen, um 10 Bits Prüfsumme zu erzeugen, die in dem redundanten Stück gespeichert werden soll. Da auf alle Stücke in jedem Zyklus zugegriffen wird, wird ein einheitlicher Zugriff auf alle Speichermodule erzielt. Da eine Korrektur von Mehrbitfehlern auf einer Speicherzeile-nach-Speicherzeile-Basis durchgeführt werden kann, wenn jeder Block von dem Speicher gelesen wird, muß das System für eine Rekonstruktion der Daten in einem gesamten DRAM nicht angehalten werden.

[0016] Der oben beschriebene Ansatz schützt vor Ausfällen bei Speichermoduldatenpfaden zu XOR-Gattern innerhalb eines PMD-Chips.

[0017] Gemäß einem weiteren Aspekt der vorliegenden Erfindung kann die vorliegende Erfindung auf kleine Speichersysteme angepaßt sein, bei denen es aufgrund der Kosten unpraktisch wäre, einen redundanten Speicher und Prüfsummenoperationen zu implementieren. In diesem Fall liefert die vorliegende Erfindung dennoch eine ECC-Typ-Fehlererfassung und -Korrektur, der redundante Speicher und die Prüfsummenfunktionen können jedoch weggelassen werden.

[0018] Es wird angemerkt, daß jedes der Speichermodule, die in dem erfindungsgemäßen Speichersystem vorgesehen sind, als das redundante Stück verwendet werden kann. Da auf alle Stücke einheitlich zugegriffen wird, besteht kein Bedarf nach einer Rotation des redundanten Stücks unter den Stücken.

[0019] Deshalb besteht ein Vorteil der vorliegenden Erfindung darin, daß eine Anwendung für eine Rekonstruktion von Daten in einem gesamten DRAM nicht angehalten werden muß.

[0020] Ein weiterer Vorteil der vorliegenden Erfindung besteht darin, daß kein Bedarf nach einer Rotation des redundanten Stücks unter den Stücken einer Speicherzeile besteht.

[0021] Das Vorangegangene hat die Merkmale und technischen Vorteile der vorliegenden Erfindung ziemlich breit herausgestellt, damit die folgende detaillierte Beschreibung der Erfindung besser verständlich ist. Zusätzliche Merkmale und Vorteile der Erfindung sind im folgenden beschrieben, die den Gegenstand der Ansprüche der Erfindung bilden. Es sollte für Fachleute auf diesem Gebiet ersichtlich sein, daß die Konzeption und das spezifische offenbarte Ausführungsbeispiel ohne weiteres als eine Basis zum Modifizieren oder Entwerfen anderer Strukturen zum Ausführen der gleichen Zwecke der vorliegenden Erfindung verwendet werden könnten. Es sollte ebenso für Fachleute auf diesem Gebiet erkennbar sein, daß derartige äquivalente Aufbauten nicht von dem Schutzbereich der Erfindung, wie diese in den beigefügten Ansprüchen dargelegt ist, abweichen.

Kurze Beschreibung der Zeichnungen

[0022] Für ein vollständigeres Verständnis der vorliegenden Erfindung und der Vorteile derselben wird im folgenden Bezug auf die folgenden Beschreibungen, in Verbindung mit den beigefügten Zeichnungen, genommen. Es zeigen:

[0023] **Fig.** 1 ein Funktionsblockdiagramm eines Mehrprozessorsystems mit Speicher und Steuerungseinheiten; und

[0024] **Fig.** 2 ein Funktionsblockdiagramm eines Speichersystems, das die vorliegende Erfindung einschließt.

Detaillierte Beschreibung

[0025] Ein Funktionsblockdiagramm eines Mehrprozessorsystems mit Speicher und Steuerungseinheit ist in **Fig.** 1 gezeigt. **Fig.** 2 stellt ein Speichersystem, das in N Datenstücke **10** organisiert ist, zum Speichern von Daten dar. Ein zusätzliches redundantes Stück **11** ist zum Speichern von Prüfsummeninformationen bereitgestellt. Jedes der N Datenstücke **10** umfaßt M Bits und das redundante Stück **11** umfaßt ebenso M Bits. Jedes Stück kann als eine separate DRAM-Einheit implementiert sein. Eine Speicherzeile ist in N separate Datenstükke mit jeweils M Bits unterteilt. Die N Stücke einer Speicherzeile sind in den N unterschiedlichen DRAM-Einheiten gespeichert.

[0026] Es wird darauf verwiesen, daß die Verbindung der MMs **120** mit dem Rest des Rechensystems, vorzugsweise durch die PMD **103**, parallel ausgeführt ist. Diese Parallelverbindung liefert einen wichtigen Vorteil für die Funktionsweise des erfindungsgemäßen Fehlererfassungs- und Korrekturmechanismus. Bei einem Ansatz des Stands der Technik mußte jede der Speichervorrichtungen, die verschiedene Sequenzen von Bits enthalten, die gesamte Bandbreite der Cachezeile durch eine Serienverbindung tragen, was potentiell bewirkt, daß die Speichervorrichtungen einen Flaschenhals bei einem Datenfluß und ein einschränkender Faktor auf die Geschwindigkeit, mit der Speicherdaten durch das Rechensystem bewegt werden könnten, sind.

[0027] Bei einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung ist im Gegensatz dazu die Mehrzahl von MMs oder anderen Speicherspeicherungsvorrichtungen parallel zu dem Rest des Systems geschaltet und kooperiert deshalb, um die Datenzeilenbandbreite zu tragen. In diesem Fall müssen deshalb die einzelnen MMs oder anderen Speichervorrichtungen nicht die gesamte Datenzeilenbandbreite tragen. Diese Veränderung der Konfiguration ermöglicht einen effizienteren und schnelleren Zugriff auf die Daten, die unter den verschiedenen „Stücken" oder MMs verteilt sind, sowie eine ef-

fizientere Funktionsweise des Datenprüf- und Korrekturprozesses als Ganzem.

[0028] Ein Funktionsblockdiagramm eines Verfahrens, das die vorliegende Erfindung einschließt, ist in **Fig.** 2 gezeigt. Ein Fehlerkorrekturcode (ECC") wird für jedes Stück durch ECC-Erzeuger **12** erzeugt. Die ECC-Erzeuger **12** können in Hardware als Teil der MM-Struktur implementiert sein oder können in Hardware durch eine PMD implementiert sein.

[0029] Der ECC, der für jedes Stück einer Speicherzeile **14** erzeugt wird, kann ein standardmäßiger ECC sein, der durch einen standardmäßigen ECC-Algorithmus des Stands der Technik erzeugt wird, oder kann ein eigener ECC sein, der durch einen eigenen ECC-Algorithmus erzeugt wird. Eine Vielzahl von ECC-Algorithmen kann praktiziert werden, ohne von dem Schutzbereich der vorliegenden Erfindung abzuweichen.

[0030] Um eine zusätzliche Form von Fehlererfassung und -korrektur durchzuführen, wird eine Prüfsumme durch ein Durchführen einer Exklusiv-Oder-(XOR-) Operation für jedes Bit in dem Prüfsummenstück erzeugt. Ein Array von XOR-Operatoren **13** ist zu diesem Zweck vorgesehen. Die XOR-Funktionalität kann durch eine zweckgebundene XOR-Hardware in einer PMD **103** oder einer anderen geeigneten Verarbeitungsvorrichtung vorgesehen sein. Für Anwendungen, die RAM, ROM und andere Formen von Hochgeschwindigkeitsdirektzugriffsspeicher beinhalten, ist eine Softwareimplementierung im allgemeinen nicht geeignet. Für Speichermechanismen, wie z. B. CD-ROMS, Festplatten, DVDs und dergleichen, ist eine Softwareimplementierung der XOR-Funktionalität jedoch machbar. Bits in der gleichen Position in einer Sequenz von M Bits in jedem der N Stücke der Speicherzeile **14** werden bezüglich einander einer XOR-Operation unterzogen, um den Bitwert zu bestimmen, der in dem redundanten Stück **11** als Prüfsummendaten plaziert werden soll.

[0031] Insbesondere werden die Bits in der „0"-Position jedes der N Datenstücke der Speicherzeile **14** gemeinsam einer XOR-Operation unterzogen und das Ergebnis wird in einem „0"-Positionsbit oder Bit 0 des redundanten Stücks **11** gespeichert. Ähnlich wird Bit 1 jedes der N Datenstücke **14** einer XOR-Operation unterzogen und das Ergebnis wird in Bit 1 der geeigneten Zeile **15** des redundanten Stücks **11** gespeichert. Dieser Prozeß wird für alle M Bits jedes der N Datenstücke **14** ausgeführt.

[0032] Das redundante Stück **11** des Speichers, das die Prüfsummeninformationen enthält, wird verwendet, um eines der ursprünglichen Speicherzeilendatenstücke zu regenerieren, wenn der von dem entsprechenden Datenstück in dem Speicher gelesene Wert unleserlich ist. Das ursprüngliche Speicherzeilendatenstück wird durch ein Durchführen einer bitweisen Exklusiv-Oder-Operation bezüglich der Daten des redundanten Stücks mit allen Daten der Speicherdatenstücke mit Ausnahme des Datenstücks, das unleserlich ist, regeneriert. Die beschriebene Exklusiv-Oder-Operation ergibt die Daten, die ursprünglichen in dem korrupten Datenstück vorhanden waren. Die in dem redundanten Stück Speicher enthaltenen Daten können verwendet werden, um zu verifizieren, daß die von den Datenstücken in dem Speicher gelesenen Daten die Werte sind, die ursprünglich an den Speicher geschrieben wurden. Die Verifizierung wird durch ein Durchführen einer Exklusiv-Oder-Operation bezüglich der Daten des redundanten Stücks mit allen Daten des Datenstücks durchgeführt. Das Ergebnis der bitweisen Exklusiv-Oder-Operationen sollte Null sein. Ein Wert von Null für jede Exklusiv-Oder-Operation zeigt an, daß die Daten die gleichen wie die sind, die ursprünglich an den Speicher geschrieben wurden. Ein Nicht-Null-Wert zeigt an, daß zumindest ein Element der Daten oder Datenstücke korrupt war.

[0033] Die Fehlererfassungs- und Korrekturfunktion des Speichersystems aus **Fig.** 2 funktioniert wie folgt. Ein Block Daten wird an das Speichersystem geschrieben, so daß die Bits des Blocks Daten gleichmäßig über alle N Datenstücke **10** verteilt sind. Es wird z. B. angenommen, daß der Datenblock **80** Bits lang ist, und daß es 8 Datenstücke **10** gibt, d. h. N = B. Dann werden 10 Datenbits des Blocks an jedes Stück geschrieben. Ein ECC für jedes Stück wird durch ECC-Erzeuger **12** erzeugt. Ebenso wird die durch die XOR-Operatoren **13** erzeugte Prüfsumme in dem redundanten Stück **11** gespeichert. Es wird angemerkt, daß der ECC für das redundante Stück **11** aus den Daten des redundanten Stücks **11** erzeugt wird, und nicht durch ein Durchführen einer bitweisen XOR-Operation bezüglich des ECC der ursprünglichen N Datenstücke **10**.

[0034] Dieser Ansatz zur Speicherkorrektur, der in **Fig.** 2 dargestellt ist, kann ebenso gegen bestimmte Ausfälle des PMD-Chips **103** (**Fig.** 1) schützen, sowie einen Datenpfad, der von den Speichermodulen **120** (**Fig.** 1) zu dem PMD-Chip **103** (**Fig.** 1) führt. Insbesondere liefert der Ansatz einen Schutz bis zu dem Punkt, an dem die bitweise XOR-Operation durchgeführt wird, wobei ein derartiger Punkt durch das Element **13** in **Fig.** 2 dargestellt wird.

[0035] Wenn Daten von dem Speichersystem aus **Fig.** 2 gelesen werden, wird eine Fehlererfassung und -korrektur, falls nötig, durchgeführt. Als erstes wird für jedes Datenstück **10** der ECC geprüft, wobei, wenn ein Einbitfehler erfaßt wird, eine Einbitkorrektur unter Verwendung eines ECC-Algorithmus, der in der Technik bekannt ist, durchgeführt wird. So sind bei jedem Stück die Daten in einem der folgenden drei Zustände: Daten in dem Speicher waren korrekt, Daten benötigten eine Einbitkorrektur und wurden korrigiert oder Daten haben Mehrbitfehler, die durch den ECC-Algorithmus nicht korrigiert werden konnten. Die folgenden Situationen müssen behandelt werden, um die ursprünglichen Daten bereitzustellen, wenn Speicher gelesen wird:

Fall 1 Der für jedes der N Datenstücke **10** und das

redundante Stück **11** erzeugte ECC zeigt korrekte Daten, wie sie von dem Speicher gelesen werden, an. Keine Aktion wird für diesen Fall benötigt. Die Daten werden aus den N Datenstücken **10** erhalten, die die ursprünglichen Daten gespeichert haben. Es wird angemerkt, daß es in diesem Fall möglich ist zu verifizieren, daß kein Stück unkorrekterweise als funktionierende Daten berichtet wurde, wenn es tatsächlich einen Mehrbitfehler aufgewiesen hat, der zu dem Kein-Fehler-Syndrom-Wert aliasiert hat. Dies wird durch ein Verifizieren, daß das XOR-Ergebnis der Daten, die von den N ursprünglichen Stücken gelesen werden, zu dem Wert führt, der von dem redundanten Stück gelesen wird, erzielt.

Fall 2 Der ECC aller der N Datenstücke **10** berichtet entweder korrekte Daten, wie diese von dem Speicher gelesen werden, oder daß ein Einbitfehler aufgetreten ist und korrigiert wurde. In diesem Fall werden Daten von den N Datenstücken **10** erhalten. Wie in dem Fall Nummer 1 sollte das XOR-Ergebnis der von den N Datenstücken gelesenen Daten mit den Daten übereinstimmen, die von dem redundanten Stück gelesen werden, unter der Voraussetzung, daß kein Mehrbitfehler, der zu dem Kein-Fehler-Syndrom-Wert aliasiert hat, aufgetreten ist.

Fall 3 Der ECC eines einzelnen Datenstücks **10** zeigt einen Mehrbitfehler an und die anderen Datenstükke **10** haben keinen Fehler, oder einen korrigierten Einbitfehler. In diesem Fall werden die Mehrbitfehlerdaten verworfen und die anderen N-1 Datenstücke und das redundante Stück **11** werden bitweise einer XOR-Operation unterzogen, um die Daten des Stücks mit dem Mehrbitfehler erneut zu erzeugen. Es wird angemerkt, daß, obwohl die Daten rekonstruiert werden konnten, es nicht möglich ist zu verifizieren, ob eines der anderen Stücke einen Mehrbitfehler aufgewiesen hat, der zu den Kein-Fehler-ECC-Syndrom-Wert aliasiert hat. Die Wahrscheinlichkeit, daß ein Mehrbitfehler nicht erfaßt wird oder als ein korrigierbarer Einbitfehler erfaßt wird, ist die gleiche wie die bei einem System, das nur einen ECC-Speicherschutz verwendet. Die Wahrscheinlichkeit jedoch, daß ein erfaßter Mehrbitfehler auf einem Stück einer Speicherzeile auftritt, die gelesen wurde, und ein nichterfaßter Mehrbitfehler auf einem unterschiedlichen Stück der gleichen gelesenen Speicherzeile auftritt, ist wesentlich niedriger.

Fall 4 Mehrere Stücke zeigen Mehrbitfehler an. Für diesen Fall ist es nicht möglich, die ursprünglichen Daten zu rekonstruieren. Die Kohärenzoperation muß einen Fehler an den erteilenden Prozessor oder die I/O-Steuerung zurückgeben.

[0036] Es wird angemerkt, daß jedes der N + 1-Speichermodule, die in dem Speichersystem aus **Fig.** 2 vorgesehen sind, als das redundante Stück verwendet werden kann. Da auf alle Stücke einheitlich zugegriffen wird, gibt es keinen Bedarf nach einer Rotation des redundanten Stücks unter den Stücken.

[0037] Obwohl die vorliegende Erfindung und ihre Vorteile detailliert beschrieben wurden, wird darauf verwiesen, daß verschiedene Veränderungen, Substitutionen oder Änderungen hierin durchgeführt werden können, ohne von dem Schutzbereich der Erfindung, wie diese durch die angefügten Ansprüche definiert ist, abzuweichen. Ferner ist der Schutzbereich der vorliegenden Anmeldung nicht beabsichtigt, um auf die bestimmten Ausführungsbeispiele von Prozeß, Maschine, Herstellung, Materialzusammensetzung, Einrichtung, Verfahren und Schritte, die in dieser Spezifizierung beschrieben sind, eingeschränkt zu sein. Wie dies für Fachleute auf diesem Gebiet ohne weiteres aus der Offenbarung der vorliegenden Erfindung ersichtlich ist, können Prozesse, Maschinen, Herstellungen, Materialzusammensetzungen, Einrichtungen, Verfahren oder Schritte, wie sie gegenwärtig existieren oder später entwickelt werden, die im wesentlichen die gleiche Funktion durchführen oder im wesentlichen das gleiche Ergebnis wie die entsprechenden hierin beschriebenen Ausführungsbeispiele erzielen, gemäß der vorliegenden Erfindung verwendet werden.

Patentansprüche

1. Eine Vorrichtung zur Erfassung und Korrektur von Ein-und Mehrbitspeicherfehlern in einem Speichersystem, mit folgenden Merkmalen:

einem Array von Speichermodulen (**120**) zum Speichern einer Mehrzahl von Datenstücken;

einem redundanten Speichermodul (**11**) zum Speichern einer Prüfsumme (**15**), wobei das redundante Speichermodul (**11**) zumindest soviel Bitspeicherraum wie jedes Speichermodul des Arrays von Speichermodulen (**120**) aufweist;

einem Array von Fehlerkorrekturcodeerzeugern (**12**) zum Erzeugen eines Fehlerkorrekturcodes für jedes der Datenstücke und zum Erzeugen eines Fehlerkorrekturcodes für die Prüfsumme (**15**), die in dem redundanten Speichermodul (**11**) gespeichert ist;

einem Array von Exklusiv-Oder-(XOR-) Operatoren (**13**) zum Bilden der Prüfsumme (**15**) aus den Bits der Datenstücke, wobei:

die Prüfsumme (**15**) einen Speicherraum für eine Anzahl von Bits aufweist, die einer Anzahl von Bits in jedem Datenstück entspricht, wobei jedes Bit in jedem Datenstück eine Position in einer Reihenfolge von Bits aufweist, und

jedes Bit in der Prüfsumme (**15**) durch ein Durchführen einer XOR-Operation bezüglich aller Bits an der gleichen Position in der Reihenfolge von Bits jedes Datenstücks bestimmt wird, wodurch der Prüfsumme (**15**) ausreichende Informationen geliefert werden, um eine Korrektur eines Datenstücks mit einem Mehrbitfehler zu ermöglichen,

wobei die Prüfsumme (**15**), einer XOR-Operation mit

den Daten aller Datenstücke bis auf eines unterzogen wird, abhängig davon, ob der Fehlererfassungscode einen Mehrbitfehler anzeigt, um Daten, die in dem einen der Datenstücke gespeichert sind, das keiner XOR-Operation mit der Prüfsumme unterzogen wird, zu rekonstruieren.

2. Die Vorrichtung gemäß Anspruch 1, bei der auf das Array von Speichermodulen (**120**) parallel durch ein Computersystem zugegriffen wird, wodurch ein Bedarf umgangen wird, daß jedes Speichermodul (**120**) eine Datenübertragungsbandbreite einer gesamten Cache-Leitung handhaben muß.

3. Die Vorrichtung gemäß Anspruch 1, bei der jeder Fehlerkorrekturcode (**12**) folgende Merkmale aufweist:
eine Fähigkeit, einzelne Bitfehler zu erfassen und zu korrigieren; und
eine Fähigkeit, einen Mehrbitfehler in einem Speichermodul (**120**) zu erfassen.

4. Die Vorrichtung gemäß Anspruch 2, bei der die Prüfsumme (**15**) in dem redundanten Speichermodul (**11**) in Kombination mit allen Speichermodulen (**120**) bis auf eines verwendet werden kann, um einen Mehrbitfehler, der durch einen Fehlerkorrekturcode eines Datenstücks erfaßt wird, zu korrigieren, wodurch es ermöglicht wird, daß die Vorrichtung einen gleichzeitigen Ausfall eines einzelnen Bits in einem Datenstück und einen Mehrbitausfall in einem anderen Datenstück toleriert.

5. Die Vorrichtung gemäß Anspruch 1, bei der ein Block von Daten, die in dem Speichersystem gespeichert werden sollen, einheitlich über alle der Datenstücke verteilt ist.

6. Die Vorrichtung gemäß Anspruch 1, bei der die XOR-Operatoren (**13**) in Hardware implementiert sind.

7. Die Vorrichtung gemäß Anspruch 1, wobei die Vorrichtung vor einem Ausfall eines Datenpfades zwischen einem Speichermodul (**120**) und einem PMD-Chip (**103**) schützt.

8. Die Vorrichtung gemäß Anspruch 1, bei der eine Mehrzahl von Einbitfehlern auf unterschiedlichen Speichermodulen (**120**) und ein Mehrbitfehler auf einem der Speichermodule (**120**) korrigiert werden können, ohne andere Funktionen eines Computersystems, mit dem die Vorrichtung verbunden ist, zu unterbrechen.

9. Ein Verfahren zum Erfassen und Korrigieren von Einund Mehrbitspeicherfehlern in einem Speichersystem, wobei das Verfahren folgende Schritte aufweist:
Verteilen von Daten in einer Speicherleitung gleichmäßig in einer Mehrzahl von Datenstücken, wobei jedes Stück auf einem Speichermodul (**120**) gespeichert ist, das dem Datenstück zugeordnet ist, wobei jedes Datenstück eine Sequenz von Bits gleicher Länge aufweist, und wobei die Sequenz eine Reihenfolge aufweist und jedes Bit eine Position in der Reihenfolge aufweist;
Durchführen von XOR-Operationen bezüglich aller Bits an der gleichen Position in der Reihenfolge von Bits in jedem Datenstück, wodurch eine Sequenz von XOR-Ergebnisbits erzeugt wird, die eine Prüfsumme (**15**) bilden;
Speichern der Prüfsumme (**15**) in einem redundanten Speichermodul (**11**);
Erzeugen eines Fehlerkorrekturcodes für jedes der Datenstücke und eines Fehlerkorrekturcodes zur Verwendung durch die Prüfsumme (**15**) beim Korrigieren von Mehrbitfehlern in den Datenstücken; und
Unterziehen der Prüfsumme (**15**) einer XOR-Operation mit den Daten aller Datenstücke bis auf eines, um Daten, die in dem einen der Datenstücke gespeichert sind, das keiner XOR-Operation mit der Prüfsumme (**15**) unterzogen wird, zu rekonstruieren, wenn ein Mehrbitfehler in dem einen der Datenstücke erfaßt wurde, das keiner XOR-Operation mit der Prüfsumme (**15**) unterzogen wird.

Es folgt ein Blatt Zeichnungen

Anhängende Zeichnungen

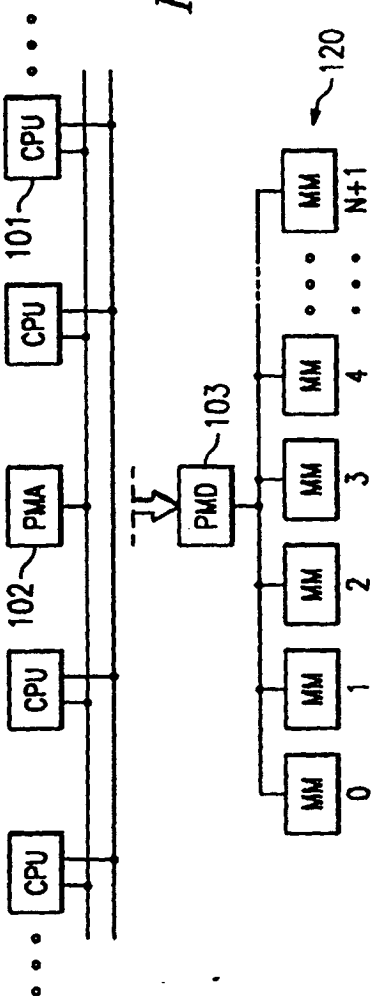


FIG. 1

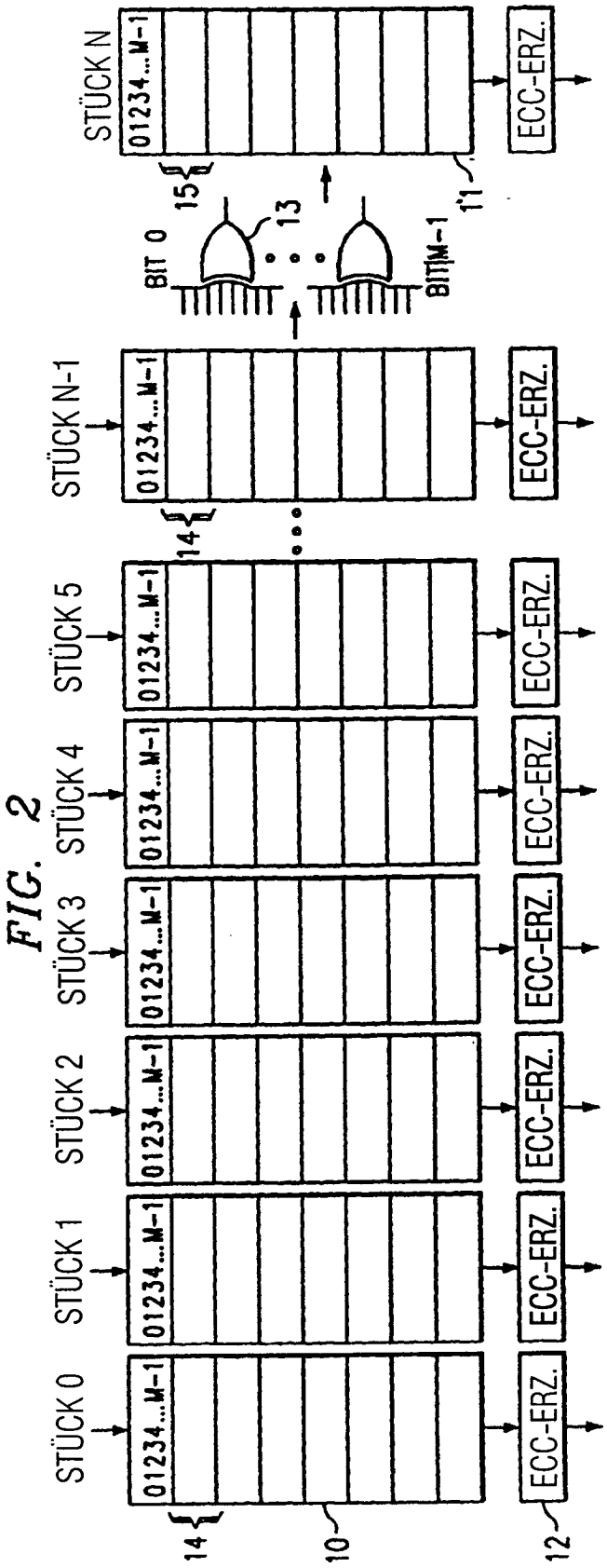


FIG. 2