



(12)发明专利

(10)授权公告号 CN 105191142 B

(45)授权公告日 2018.09.28

(21)申请号 201480012312.2

(22)申请日 2014.03.11

(65)同一申请的已公布的文献号

申请公布号 CN 105191142 A

(43)申请公布日 2015.12.23

(30)优先权数据

13/828,879 2013.03.14 US

(85)PCT国际申请进入国家阶段日

2015.09.06

(86)PCT国际申请的申请数据

PCT/US2014/023667 2014.03.11

(87)PCT国际申请的公布数据

W02014/150575 EN 2014.09.25

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 L·刘 C·纳拉斯隆

(74)专利代理机构 上海专利商标事务所有限公司
31100

代理人 周敏

(51)Int.Cl.

H03L 7/18(2006.01)

(56)对比文件

US 2006/0284657 A1,2006.12.21,说明书
第[0002]-[0010],[0134]-[0136]段、附图1A,
1B,17.

US 7132864 B1,2006.11.07,全文.

CN 1237042 A,1999.12.01,全文.

审查员 刘凤娇

权利要求书3页 说明书12页 附图13页

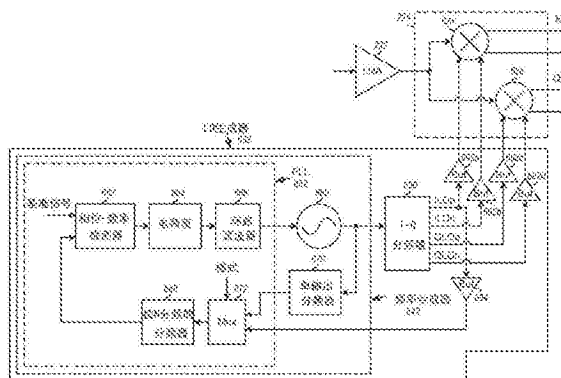
(54)发明名称

具有多相分频器和锁相环的本地振荡器

(L0)生成器

(57)摘要

在一种设计中,一种装置包括振荡器、分频器、和锁相环(PLL)。振荡器接收控制信号并且提供具有由该控制信号决定的频率的振荡器信号。分频器接收该振荡器信号并生成不同相位的多个分频信号。PLL接收基准信号和所选分频信号并生成用于振荡器的控制信号。分频器被周期性地通电和断电并在多个可能状态之一中苏醒,其中每个状态与所选分频信号的不同相位相关联。所选分频信号的相位连续性通过使用分频器作为PLL的一部分来确保。PLL将所选分频信号锁定到基准信号,并且所选分频信号因基准信号具有连续相位而具有连续相位。



1. 一种用于生成本地振荡器信号的装置,包括:

振荡器,其被配置成接收控制信号并且提供具有由所述控制信号决定的频率的振荡器信号;

分频器,其被配置成接收所述振荡器信号并且生成不同相位的多个分频信号;以及

锁相环(PLL),其被配置成接收基准信号和所述多个分频信号当中的所选分频信号并且生成用于所述振荡器的所述控制信号,其中所述分频器被周期性地通电和断电,并且其中所选分频信号具有连续相位。

2. 如权利要求1所述的装置,其特征在于,由所述分频器生成的所述多个分频信号包括异相90度的四个分频信号,并且其中所述PLL被配置成接收所述四个分频信号当中的所述所选分频信号。

3. 如权利要求1所述的装置,其特征在于,所述分频器包括2分频同相-正交分频器,其提供异相90度的四个分频信号。

4. 如权利要求1所述的装置,其特征在于,所述分频器在被通电之际处于多个可能状态之一,并且所述分频器的所述多个可能状态与所述分频器被通电时所述所选分频信号的不同相位相关联。

5. 如权利要求1所述的装置,其特征在于,进一步包括:

下变频器,其被配置成使用基于所述多个分频信号中的至少一个分频信号生成的本地振荡器(LO)信号来将输入射频(RF)信号下变频。

6. 如权利要求1所述的装置,其特征在于,所述分频器在用于下行链路接收的时间区间之前通电并且在用于上行链路传送的时间区间的至少部分期间断电。

7. 一种用于生成本地振荡器信号的装置,包括:

振荡器,其被配置成接收控制信号并且提供具有由所述控制信号决定的频率的振荡器信号;

分频器,其被配置成接收所述振荡器信号并且生成不同相位的多个分频信号;以及

锁相环(PLL),其被配置成接收基准信号和所述多个分频信号当中的所选分频信号并且生成用于所述振荡器的所述控制信号;以及

第二分频器,其被配置成接收所述振荡器信号并生成第二分频信号,其中所述PLL被配置成基于所述基准信号和来自所述分频器的所述所选分频信号或者基于所述基准信号和来自所述第二分频器的所述第二分频信号来生成所述控制信号。

8. 如权利要求7所述的装置,其特征在于,所述PLL包括:

复用器,其被配置成接收来自所述分频器的所述所选分频信号和来自所述第二分频器的所述第二分频信号,并且提供所述所选分频信号或所述第二分频信号,以及

相位-频率检测器,其被配置成接收所述基准信号和来自复用器的所述所选分频信号或所述第二分频信号并且提供用于生成所述控制信号的检测器输出信号。

9. 如权利要求7所述的装置,其特征在于,所述PLL包括:

复用器,其被配置成接收来自所述分频器的所述所选分频信号和来自所述第二分频器的所述第二分频信号,并且提供所述所选分频信号或所述第二分频信号,

第三分频器,其被配置成接收来自所述复用器的所述所选分频信号或所述第二分频信号并且提供第三分频信号,以及

相位-频率检测器,其被配置成接收所述基准信号和所述第三分频信号并且提供用于生成所述控制信号的检测器输出信号。

10.如权利要求7所述的装置,其特征在于,所述分频器被选择成生成非连续本地振荡器(L0)信号,并且其中所述第二分频器被选择成生成连续L0信号。

11.一种用于生成本地振荡器信号的方法,包括:

由振荡器生成具有由控制信号决定的频率的振荡器信号;

由分频器将所述振荡器信号分频以获得不同相位的多个分频信号;以及

基于基准信号和所述多个分频信号当中的所选分频信号来生成所述控制信号,其中所述分频器被周期性地通电和断电,并且其中所选分频信号具有连续相位。

12.如权利要求11所述的方法,其特征在于,将所述振荡器信号分频包括将所述振荡器信号分频以获得异相90度的四个分频信号,并且其中所述所选分频信号是所述四个分频信号之一。

13.如权利要求11所述的方法,其特征在于,进一步包括:

基于所述多个分频信号中的至少一个分频信号来生成本地振荡器(L0)信号;以及使用所述L0信号来将输入射频(RF)信号下变频。

14.如权利要求11所述的方法,其特征在于,进一步包括:

用分频器生成多个分频信号;

在用于下行链路接收的时间区间之前通电;以及

在用于上行链路传送的时间区间的至少部分期间断电。

15.一种用于生成本地振荡器信号的方法,包括:

生成具有由控制信号决定的频率的振荡器信号;

将所述振荡器信号分频以获得不同相位的多个分频信号;

基于所述振荡器信号来生成第二分频信号;以及

基于基准信号和所述多个分频信号中的所选分频信号或者基于基准信号和所述第二分频信号来生成所述控制信号。

16.如权利要求15所述的方法,其特征在于,所述基于所述所选分频信号或所述第二分频信号来生成所述控制信号包括:

检测基准信号与所述所选分频信号或所述第二分频信号之间的相位误差,以及

基于所检测到的相位误差来生成所述控制信号。

17.如权利要求15所述的方法,其特征在于,所述基于所述所选分频信号或所述第二分频信号来生成所述控制信号包括:

将所述所选分频信号或所述第二分频信号分频以获得第三分频信号,

检测基准信号与所述第三分频信号之间的相位误差,以及

基于所检测到的相位误差来生成所述控制信号。

18.一种用于生成本地振荡器信号的设备,包括:

用于生成具有由控制信号决定的频率的振荡器信号的装置;

用于将所述振荡器信号分频以获得不同相位的多个分频信号的装置;以及

用于基于基准信号和所述多个分频信号当中的所选分频信号来生成所述控制信号的装置,其中用于将所述振荡器信号分频的装置被周期性地通电和断电,并且其中所选分频

信号具有连续相位。

19. 如权利要求18所述的设备,其特征在于,所述用于将所述振荡器信号分频的装置包括用于将所述振荡器信号分频以获得异相90度的四个分频信号的装置,并且其中所述所选分频信号是所述四个分频信号之一。

20. 如权利要求18所述的设备,其特征在于,进一步包括:

用于基于所述多个分频信号中的至少一个分频信号来生成本地振荡器 (LO) 信号的装置;以及

用于使用所述LO信号来将输入射频 (RF) 信号下变频的装置。

21. 如权利要求18所述的设备,其特征在于,进一步包括:

用于在用于下行链路接收的时间区间之前使用于将所述振荡器信号分频的装置通电的装置;以及

用于在用于上行链路传送的时间区间的至少部分期间使用于将所述振荡器信号分频的装置断电的装置。

22. 一种用于生成本地振荡器信号的设备,包括:

用于生成具有由控制信号决定的频率的振荡器信号的装置;

用于将所述振荡器信号分频以获得不同相位的多个分频信号的装置;

用于基于所述振荡器信号来生成第二分频信号的装置;以及

用于基于基准信号和所述多个分频信号中的所选分频信号或者基于基准信号和所述第二分频信号来生成所述控制信号的装置。

23. 如权利要求22所述的设备,其特征在于,所述用于基于所述所选分频信号或所述第二分频信号来生成所述控制信号的装置包括:

用于检测基准信号与所述所选分频信号或所述第二分频信号之间的相位误差的装置,以及

用于基于所检测到的相位误差来生成所述控制信号的装置。

24. 如权利要求22所述的设备,其特征在于,所述用于基于所述所选分频信号或所述第二分频信号来生成所述控制信号的装置包括:

用于将所述所选分频信号或所述第二分频信号分频以获得第三分频信号的装置,

用于检测基准信号与所述第三分频信号之间的相位误差的装置,以及

用于基于所检测到的相位误差来生成所述控制信号的装置。

25. 一种非瞬态计算机可读介质,所述非瞬态计算机可读介质存储有:

用于使至少一个处理器指导由振荡器生成具有由控制信号决定的频率的振荡器信号的代码;

用于使所述至少一个处理器指导由分频器基于所述振荡器信号来生成不同相位的多个分频信号的代码;以及

用于使所述至少一个处理器指导基于基准信号和所述多个分频信号当中的所选分频信号来生成所述控制信号的代码,其中所述分频器被周期性地通电和断电,并且其中所选分频信号具有连续相位。

具有多相分频器和锁相环的本地振荡器 (LO) 生成器

[0001] 相关申请的交叉引用

[0002] 本申请要求2013年3月14日提交的美国专利申请S/N.13/828,879的权益,其通过引用纳入于此。

技术领域

[0003] 本公开一般涉及电子器件,尤其涉及用于生成用于频率转换的本地振荡器 (LO) 信号的技术。

背景技术

[0004] 无线设备(例如,蜂窝电话或智能电话)可传送和接收数据以与无线通信系统进行双向通信。无线设备可包括用于数据传送的发射机以及用于数据接收的接收机。对于数据传送,发射机可用数据来调制发射LO信号以获得经调制射频(RF)信号,放大经调制RF信号以获得具有恰当发射功率电平的输出RF信号,并经由天线将该输出RF信号传送到基站。对于数据接收,接收机可经由天线获得收到RF信号,放大该收到RF信号并用接收LO信号对该收到RF信号进行下变频,并处理该经下变频信号以恢复由基站发送的数据。

[0005] 无线设备可包括LO生成器以生成用于发射机的发射LO信号和用于接收机的接收LO信号。LO信号是处于目标频率的周期性信号,并且可被用于变频。LO生成器可以不连续地工作并且可仅在需要时通电生成LO信号以便于减少功耗。支持LO生成器的不连续操作会是合乎期望的。

[0006] 概述

[0007] 本文公开了用于使用被周期性地通电和断电的LO生成器来生成具有连续相位的LO信号的技术。该LO信号可由该LO生成器内的分频器来生成。该分频器可被周期性地通电和断电并在多个可能状态之一中苏醒,其中每个状态与该LO信号的不同相位相关联。

[0008] 在本公开的一方面,LO信号的相位连续性可通过使用分频器作为锁相环(PLL)的一部分来确保。PLL可将LO信号锁定到基准信号。LO信号随后将因基准信号具有连续相位而具有连续相位。

[0009] 在一示例性设计中,一种装置(例如,无线设备或集成电路)可包括振荡器、分频器和PLL。振荡器可接收控制信号并且提供具有由该控制信号决定的频率的振荡器信号。分频器可接收该振荡器信号并生成不同相位的多个分频信号。PLL可接收基准信号和该多个分频信号当中的所选分频信号并且可生成用于振荡器的控制信号。该装置可进一步包括下变频器,其可使用基于该多个分频信号中的至少一个分频信号生成的LO信号来将输入RF信号下变频。

[0010] 在一示例性设计中,该分频器可包括2分频同相-正交(I-Q)分频器,其可提供异相90度的四个分频信号。PLL可接收该四个分频信号当中的所选分频信号。分频器可以(i)在用于下行链路接收的时间区间之前通电和(ii)在用于上行链路传送的时间区间的至少部分期间断电。

[0011] 以下更加详细地描述本公开的各种方面和特征。

[0012] 附图简述

[0013] 图1示出了无线设备与不同无线系统通信。

[0014] 图2示出了图1中的无线设备的框图。

[0015] 图3示出了LO生成器的框图。

[0016] 图4示出了来自I-Q分频器的不同相位的分频信号。

[0017] 图5示出通电时具有非连续相位的LO信号。

[0018] 图6A到6C示出了能生成具有连续相位的LO信号的LO生成器的三个示例性设计。

[0019] 图7示出了I-Q分频器的示例性设计。

[0020] 图8A和8B示出了两个示例性帧结构。

[0021] 图9示出了使LO生成器通电和断电的示例性时间线。

[0022] 图10示出用于生成LO信号的过程。

[0023] 详细描述

[0024] 以下阐述的详细描述旨在作为本公开的示例性设计的描述，而无意表示可在其中实践本公开的仅有设计。术语“示例性”在本文中用于表示“用作示例、实例或例示”。本文中描述为“示例性”的任何设计不必被解释为优于或胜过其他设计。本详细描述包括具体细节以提供对本公开的示例性设计的透彻理解。对于本领域技术人员将明显的是，没有这些具体细节也可实践本文描述的示例性设计。在一些实例中，公知的结构和器件以框图形式示出以免湮没本文中给出的示例性设计的新颖性。

[0025] 本文公开了由非连续LO生成器生成具有连续相位的LO信号的技术。这些技术可被用于各种电子设备，诸如无线通信设备。

[0026] 图1示出能够与不同无线通信系统120和122通信的无线设备110。无线系统120和122可各自为长期演进 (LTE) 系统、码分多址 (CDMA) 系统、全球移动通信 (GSM) 系统、无线局域网 (WLAN) 系统、或其他某个无线系统。CDMA系统可实现宽带CDMA (WCDMA)、CDMA 1X、时分同步码分多址 (TD-SCDMA)、或某个其他版本的CDMA。TD-SCDMA也被称作通用地面无线电接入 (UTRA) 时分双工 (TDD) 1.28Mcps选项或低码片率 (LCR)。LTE支持频分双工 (FDD) 和时分双工 (TDD) 两者。例如，无线系统120可以是LTE系统，而无线系统122可以是TD-SCDMA系统。为简明起见，图1 示出了无线系统120包括一个基站130和一个系统控制器140，而无线系统122 包括一个基站132和一个系统控制器142。一般而言，每个无线系统可包括任何数目的基站以及网络实体的任意集合。每个基站可在其覆盖内支持无线设备的通信。

[0027] 无线设备110还可以被称为用户装备 (UE)、移动站、终端、接入终端、订户单元、站等。无线设备110可以是蜂窝电话、智能电话、平板设备、无线调制解调器、个人数字助理 (PDA)、手持式设备、膝上型计算机、智能本、上网本、无绳电话、无线本地环路 (WLL) 站、蓝牙设备、等等。无线设备110 可以能够与无线系统120和/或122通信。无线设备110还可以能够接收来自广播站 (例如广播站134) 的信号、来自一个或多个全球导航卫星系统 (GNSS) 中的卫星 (例如，卫星150) 的信号等。无线设备110可以支持用于无线通信的一种或多种无线电技术，诸如LTE、TD-SCDMA、WCDMA、CDMA 1X、GSM、802.11等等。

[0028] 图2示出了图1中的无线设备110的示例性设计的框图。为简明起见，图 2示出了无线设备110包括用于一个天线210的一个接收机220和一个发射机 250。一般而言，无线设备

110可包括任何数目的发射机、任何数目的接收机和任何数目的天线以支持用于任何数目的无线电技术和任何数目的频带的通信。

[0029] 接收机或发射机可以用超外差式架构或直接变频式架构来实现。在超外差式架构中,信号在RF和基带之间以多级变频,例如对于接收机来说,在一级中从RF到中频(IF),然后在另一级中从IF到基带。在直接变频式架构(也被称为零IF(ZIF)架构)中,信号在一级中在RF和基带之间变频。超外差式以及直接变频式架构可以使用不同的电路块和/或具有不同的要求。在图2中所示的示例性设计中,接收机220和发射机250用直接变频式架构来实现。本文所描述的技术可用于直接变频式架构和超外差式架构两者。

[0030] 在接收路径中,天线210接收来自基站和/或其他发射机站的下行链路信号并且向天线接口电路212提供天线输出信号。天线接口电路212对天线输出信号进行路由(以及可能地滤波)并向接收机220提供收到RF信号(RXin)。天线接口电路212可包括开关、双工器、共用器、滤波器、匹配电路等。

[0031] 在接收机220内,低噪声放大器(LNA)222放大收到RF信号并向下变频器提供输入RF信号。下变频器224还接收来自LO生成器230的LO信号。LO信号包括同相LO信号(ILO)和正交LO信号(QL0),它们异相90度。下变频器224使用LO信号将来自RF的输入RF信号下变频到基带,并且提供经下变频的同相(I)和正交(Q)信号(I_{dc}和Q_{dc})。低通滤波器226对经下变频的I和Q信号滤波并提供经滤波的I和Q信号。放大器(Amp)228放大经滤波的I和Q信号并向数据处理/控制器280提供输入基带I和Q信号(I_{in}和Q_{in})。低通滤波器226可包括用于经下变频I信号的一个低通滤波器以及用于经下变频Q信号的另一低通滤波器。类似地,放大器228可包括用于经滤波I信号的一个放大器以及用于经滤波Q信号的另一放大器。在数据处理器280内,模数转换器(ADC)282将输入基带I和Q信号数字化并提供I和Q采样。数据处理器280包括用以数字地处理I和Q采样以便恢复发送给无线设备110的数据的其他电路。

[0032] LO生成器230生成用于下变频器224的LO信号。LO生成器230可包括一个或多个压控振荡器(VCO)、PLL、基准振荡器、分频器、缓冲器等。基准信号生成器232生成基准频率处的基准信号并将该基准信号提供给数据处理器280、LO生成器230、和/或其他电路。

[0033] 在发射路径中,数据处理器280处理要被传送的数据并且获得I和Q码片。数模转换器(DAC)284将I和Q码片转换成I和Q输出基带信号,I和Q输出基带信号被提供给发射机250。在发射机250内,I和Q输出基带信号被低通滤波器252滤波、被放大器254放大、并被上变频器256基于来自LO生成器260的发射(TX)LO信号从基带上变频到RF以获得经调制RF信号。功率放大器(PA)258放大经调制RF信号并提供具有恰当发射功率电平的输出RF信号。输出RF信号被路由通过天线接口电路212并经由天线210来发射。

[0034] 图2示出了接收机220和发射机250的示例性设计。发射机和接收机还可包括图2中未示出的其他电路,诸如滤波器、匹配电路等。图2示出了无线设备110包括一个接收机220和一个发射机250。一般而言,无线设备可包括任何数目的接收机和任何数目的发射机以支持用于任何数目的频带、任何数目的天线、以及任何数目的无线电技术。例如,无线设备110可包括一个或多个接收机和一个或多个发射机以用于覆盖低于1000兆赫兹(MHz)的频率的低频带、覆盖从1000MHz到2300MHz的频率的中频带、和/或覆盖高于2300MHz的频率的高频带中的每一者。接收机220和发射机250的全部或部分可实现在一个或多个RF IC(RFIC)、模拟集成电路(IC)、混和信号IC等上。例如,接收机220内的所有电路可被实现在RFIC上。

[0035] 数据处理器/控制器280可为无线设备110执行各种功能。例如,数据处理器280可对经由接收机220接收到的数据以及经由发射机250传送的数据执行处理。控制器280可控制接收机220和发射机250中的各种电路的操作。存储器286可存储供数据处理器/控制器280使用的程序代码和数据。数据处理器/ 控制器280可以实现在一个或多个专用集成电路(ASIC)和/或其他IC上。

[0036] 图3示出了LO生成器330的框图,其可被用于图2中的LO生成器230 或260。LO生成器330包括频率合成器340、分频器390、和缓冲器 (Buf) 392a 到392d。频率合成器340包括PLL 350和VCO 380。频率合成器340生成期望频率处的VCO信号。分频器390对VCO信号分频并提供LO信号。

[0037] 在PLL 350内,相位-频率检测器362接收基准信号以及来自分频器368 的反馈信号、将这两个信号的相位进行比较、并提供检测器输出信号,该检测器输出信号指示基准信号与反馈信号之间的相位差/误差。电荷泵364接收检测器输出信号并生成与测得相位误差成比例的误差信号。环路滤波器366对该误差信号进行滤波并提供用于VCO 380的控制信号。VCO 380生成具有基于控制信号确定的频率的VCO信号。环路滤波器366调整该控制信号以使得反馈信号的相位被锁定到基准信号的相位。分频器368将VCO信号按因子N分频并提供反馈信号。分频器因子N可以是整数或非整数。

[0038] 分频器390将VCO信号分频并提供四个分频信号,包括ILOp、ILOn、QLOp 和QLOn信号,它们相对于彼此异相90度。缓冲器392a到392d缓冲这四个分频信号并提供包括异相90度的ILO信号和QLO信号的LO信号。ILO信号是包括经缓冲ILOp和ILOn信号的差分信号,ILOp和ILOn信号异相180度。QLO信号是包括经缓冲QLOp和QLOn信号的差分信号,QLOp和QLOn信号异相180度。一般而言,差分信号包括由后缀“p”标示的非反相信号以及由后缀“n”标示的反相信号。ILO信号可被提供给下变频器224内的混频器324。QLO 信号可被提供给下变频器224内的混频器325。

[0039] 图4示出针对分频器390为2分频I-Q分频器的情形的VCO信号以及 ILOp、ILOn、QLOp和QLOn信号。在此情形中,ILOp、ILOn、QLOp和QLOn 信号的频率是VCO信号的一半。此外,QLOp信号相对于ILOp信号被延迟90 度(或VCO信号的一半循环)。

[0040] 无线设备110可经由下行链路和上行链路与无线系统中的基站通信。下行链路(即前向链路)是指从基站至无线设备的通信链路,而上行链路(即反向链路)是指从无线设备至基站的通信链路。

[0041] 无线设备110可支持利用TDD和/或FDD与无线系统的通信。对于TDD,下行链路和上行链路共享相同频率,且下行链路传输和上行链路传输可在不同时间段里在该相同频率上发送。对于FDD,下行链路和上行链路被分配单独的频率。下行链路传输可在一个频率上发送,而上行链路传输可在另一频率上发送。支持TDD的一些示例性无线电技术包括LTE TDD、TD-SCDMA和GSM。支持FDD的一些示例性无线电技术包括LTE FDD、WCDMA和CDMA 1X。

[0042] 在利用TDD与无线系统通信时,无线设备110可仅在接收(RX)时间期间使接收机220中的电路系统通电/上电,并且可在非接收时间期间使接收机电路系统断电/下电,以便于节省电池功率。RX时间可覆盖被指定用于下行链路的时间段并且可仅覆盖无线设备110需要接收下行链路信号的时间段。非RX 时间可覆盖不是RX时间的部分的所有剩余时间段。例如,无线设备110可在 RX时间期间使LO生成器230通电并在非RX时间期间使LO生成器230

断电。LO生成器230由此可以非连续方式操作。

[0043] 如图3中所示,LO生成器230可包括频率合成器340以生成合适RF频率的VCO信号,并包括分频器390以生成LO信号。频率合成器340可被锁定到具有连续相位的基准信号,并且由此可生成具有连续相位的VCO信号,即使频率合成器340可被不断地通电和断电。然而,分频器390可在一组可能状态之一中上电。例如,分频器390可以是2分频的分频器并且可在其通电时任意地在状态‘0’或‘1’中苏醒。分频器390的状态取决于在分频器390苏醒时传入VCO信号的哪个边沿(例如,上升沿或下降沿)触发分频器390。一般而言,分频器的苏醒信号不与VCO信号定时或同步以便于节省电池功率和降低分频器的复杂度。如果2分频的分频器错过一个VCO边沿(或一个循环),则2分频的分频器输出的绝对相位被偏移 180° 。分频器390在其在状态‘0’中苏醒的情况下可生成具有第一相位的ILO和QLO信号并在其在状态‘1’中苏醒的情况下可生成具有第二相位的ILO和QLO信号。ILO和QLO信号于是可具有非连续相位,这可能是不合期望或不可接受的。

[0044] 图5示出因分频器上电时在不同状态中苏醒而具有不连续相位的LO信号。具有连续相位的基准信号在图5的顶部示出,并且可由图2中的基准信号生成器232生成,基准信号生成器232可一直通电。连续VCO信号可由一直通电的第一频率合成器生成。非连续VCO信号可由周期性地通电和断电的第二频率合成器生成。当第二频率合成器被锁定到具有连续相位的基准信号时,非连续VCO信号可具有连续相位。

[0045] 连续LO信号可通过将连续VCO信号分频来生成并且可具有连续相位。非连续LO信号可由将非连续VCO信号分频的分频器生成。该分频器在时间T1处被断电之前可在第一状态(例如,状态‘0’)中操作并且在时间T2处被通电之后在第二状态(例如,状态‘1’)中操作。分频器的不同状态可与ILO和QLO信号的不同I-Q关系相关联。非连续LO信号随后因分频器在时间T2处于不同状态而可在时间T2处具有相位不连续性。具体而言,非连续LO信号可在时间T1之前具有第一相位并在时间T2之后具有第二相位,其中第二相位不同于第一相位。

[0046] 被提供给图2中的下变频器224的LO信号应当具有时间上连续的相位(即,不具有相位不连续性)以便于适当地将RF信号下变频。可通过一直使频率合成器和分频器上电来达成相位连续性。然而,相当大量的电池功率可能被浪费来使频率合成器和分频器上电,即使当它们在上行链路子帧期间不需要用于数据接收时也如此,而仅仅是为了维持LO信号的相位连续性。

[0047] 在本公开的一方面,可通过作为PLL反馈环的一部分使用分频器(其生成LO信号以用于下变频器或上变频器)来生成具有连续相位的LO信号。该分频器可以是2分频I-Q分频器,其生成四个彼此正交的分频信号,例如,如图3中所示。分频器还可以是具有其他分频比的I-Q分频器,其生成不同相位的多个分频信号。

[0048] 本文所描述的技术可使得频率合成器和分频器能够甚至在这些电路周期性地通电和断电时生成具有连续相位的LO信号以节省电池功率。这些技术可被用于接收机的LO生成器以及发射机的LO生成器。为了清楚起见,这些技术的各个细节在以下关于图2中的接收机220的LO生成器230描述。

[0049] 图6A示出LO生成器630的示例性设计的框图,其即使在LO生成器630周期性地通电和断电时也能生成具有连续相位的LO信号。LO生成器630可被用于图2中的LO生成器230或260。LO生成器630包括频率合成器640、分频器690以及缓冲器692a到692d,其分别以与图

3中的频率合成器340、分频器390以及缓冲器392a到392d类似的方式耦合。频率合成器640包括PLL 650 和VCO 680,PLL 650和VCO 680以与图3中的PLL 350和VCO 380类似的方式耦合。

[0050] 在图6A 所示的示例性设计中,PLL 650包括相位-频率检测器662、电荷泵 664、环路滤波器666和分频器668,其分别以与图3中的相位-频率检测器362、电荷泵364、环路滤波器366和分频器368类似的方式耦合。分频器690将来自VCO 680的VCO信号按因子M分频,其中M可以是2、3、4或某一其他值。分频器690提供四个分频信号,包括ILOp、ILOn、QLOp和QLOn信号,它们相对于彼此异相90度。缓冲器692a到692d缓冲这四个分频信号并提供具有已知相位关系的ILO信号和QL0信号,例如,如图4中所示。缓冲器694 接收来自分频器690的所选分频信号、缓冲所选分频信号、并将经缓冲的分频信号提供给分频器668。所选分频信号可以是如图6A所示的ILOp信号,或者由分频器690提供的某一其他分频信号。哑缓冲器(诸如缓冲器694)可被置于用于ILOn、QLOp和QLOn信号的信号路径中,以使得分频器关于ILOp、ILOn、QLOp和QLOn信号具有类似的负载。

[0051] 分频器690位于PLL 650之外并且也可被称为L0分频器。分频器668是 PLL 650的一部分并且也可被称为可编程PLL分频器(或N分频器)。PLL分频器668可以是整数N分频器或分数N分频器。PLL分频器668可包括双模或多模预缩放器和频率计数器,其可生成模式控制信号以控制预缩放器的分频比。PLL分频器668可以不需要I/Q输入或输出。PLL分频器668通常可接收来自VCO的单相输出并且生成用于相位-频率检测器的单个输出信号,相位-频率检测器通常可以是单端的。在图6A 所示的示例性设计中,分频器668和690 两者均位于PLL 650的反馈环内。PLL 650生成针对VCO 680的控制信号以使得来自PLL分频器668的反馈信号的相位被锁定到基准信号的相位。由于来自 L0分频器690的ILOp信号被提供给PLL分频器668,因此PLL 650生成控制信号以使得ILOp信号的相位被锁定到基准信号的相位。ILOp信号随后将具有连续相位(即使L0生成器630被周期性地通电和断电),这是因为PLL 650 将ILOp信号的相位锁定到基准信号的连续相位。PLL分频器668或L0分频器690的初始苏醒状态可无关紧要,因为PLL 650将最终锁定到基准信号。如果给定分频器在非期望状态苏醒,则它可花费PLL 650更多时间来稳定到基准信号的相位。

[0052] 一般而言,用来生成L0信号的分频器可具有任何数目的可能状态并且可生成任何数目的分频信号。例如,该分频器可以是2分频I-Q分频器,其生成四个彼此正交的分频信号,如图6A 中所示。该分频器还可以是具有其他分频比的I-Q分频器,其生成具有不同相位的多个分频信号。在任何情形中,可从由该分频器输出的多个分频信号当中选择一个分频信号。所选分频信号可被反馈到PLL并锁定到具有连续相位的基准信号。所选分频信号随后将具有连续相位。其他分频信号因分频器的设计而将各自具有相对于所选分频信号的相位的已知相位。

[0053] 图6B示出L0生成器632的示例性设计的框图,其即使在L0生成器632 周期性地通电和断电时也能生成具有连续相位的L0信号。L0生成器632也可被用于图2中的L0生成器230或260。L0生成器632包括频率合成器642、分频器690、以及缓冲器692a到692d和694,其如以上关于图6A所描述地耦合。频率合成器642包括PLL 652、VCO 680和分频器670。PLL 652和VCO 680 以与图3中的PLL 350和VCO 380相似的方式耦合。

[0054] 在图6B所示的示例性设计中,PLL 652包括相位-频率检测器662、电荷泵664、环路

滤波器666和分频器668,其如以上关于图6A描述地耦合。PLL 652进一步包括复用器(Mux) 672。分频器670接收来自VC0 680的VC0信号、将VC0信号按因子L分频、并将第一分频信号提供给复用器672的第一输入。L可以等于2、3、4或某一其他值。缓冲器694接收和缓冲来自分频器 690的所选分频信号(例如,IL0p信号)并将第二分频信号提供给复用器672的第二输入。复用器672基于模式控制信号将第一或第二分频信号提供给分频器668。

[0055] 在一种设计中,L0生成器632可在连续模式或非连续模式中操作,这可由模式控制信号指示。在连续模式中,VC0信号可被分频器670分频、路由通过复用器672、并提供给分频器668。分频器670可提供单个分频信号并且放松PLL分频器668的频率工作范围要求。当分频器668可直接在VC0频率处操作时,分频器670可被绕过。缓冲器694在连续模式中可被断电。分频器690 在连续模式中可被通电以提供用于下变频器的L0信号。在非连续模式中,来自缓冲器694的IL0p信号可被路由通过复用器672并提供给分频器668。在 PLL 652的反馈环中使用IL0p信号可使得L0生成器632能够生成具有连续相位的IL0p信号,即使L0生成器632可被周期性地通电和断电也如此。分频器 670在非连续模式中可被断电。连续模式可被选择以供在L0生成器632被连续通电时或在不要具有连续相位的L0信号时使用。非连续模式可被选择以供在要求连续相位以及L0生成器632被周期性地通电和断电时使用。

[0056] 在一种设计中,VC0 680可驱动多个L0分频器以用于多频带和/或多模式应用。这多个L0分频器可包括L0分频器690和图6B中未示出的至少一个附加L0分频器。这多个L0分频器可以是物理分开的和/或可具有不同分频比。由于L0分频器、LNA和混频器可以是针对每个频带物理分开的,取代将不同 L0分频器输出反馈到PLL,它可有利地具有用于PLL自身的共用分频器(其可对应于图6B中的分频器670)。来自VC0 680的共用锁定VC0信号在连续模式中可被路由到多频带和/或多模式应用中的不同L0分频器。

[0057] 图6C示出L0生成器634的示例性设计的框图,其即使在L0生成器634 周期性地通电和断电时也能生成具有连续相位的L0信号。L0生成器634也可被用于图2中的L0生成器230或260。L0生成器634包括频率合成器644、分频器690、以及缓冲器692a到692d和694,其如以上关于图6A所描述地耦合。频率合成器644包括PLL 654、VC0 680和分频器674。PLL 644和VC0 680 以与以上图3中的PLL 350和VC0 380相似的方式耦合。

[0058] 在图6C所示的示例性设计中,PLL 654包括相位-频率检测器662、电荷泵664和环路滤波器666,其如以上关于图6A描述地耦合。PLL 654进一步包括复用器678。分频器674接收来自VC0 680的VC0信号、将VC0信号按因子K分频、并将第一分频信号提供给复用器678的第一输入。K可以是任何整数或非整数值。分频器676接收来自缓冲器694的所选分频信号、将所选分频信号按因子Q分频、并将第二分频信号提供给复用器678的第二输入。复用器678基于模式控制信号将第一或第二分频信号提供给相位-频率检测器662。

[0059] 在一种设计中,L0生成器634可在连续模式或非连续模式中操作,这可由模式控制信号指示。在连续模式中,VC0信号可被分频器674分频、路由通过复用器672、并提供给相位-频率检测器662。分频器676和缓冲器694可在连续模式中被断电。在非连续模式中,来自缓冲器694的IL0p信号可被分频器676分频、路由通过复用器678、并提供给相位-频率检测器662。在PLL 654 的反馈环中使用IL0p信号可使得L0生成器634能够生成具有连续相位的IL0p信号,即使L0生成器634可被周期性地通电和断电。分频器674可在非连续模式中被断电。

[0060] 在图6C所示的设计中,可使用分开的分频器674和676以用于连续模式和非连续模式。分频器674可靠近VC0 680定位以便于缩短VC0信号从VC0 680到分频器674的路由迹线,这可减少功率耗散并改善性能。分频器676可靠近分频器690定位以便于缩短ILOp信号从分频器690和缓冲器694到分频器676的路由迹线。

[0061] 图6A到6C示出了LO生成器的三种示例性设计,其中来自LO分频器的分频信号被用于PLL的反馈环中以确保连续相位用于分频信号。可生成具有连续相位的LO信号的LO生成器也可按其他方式来实现。例如,VC0可用某一其他类型的振荡器(诸如流控振荡器(IC0)等)来替代。PLL也可按其他方式来实现并且可包括图6A到6C中未示出的不同和/或附加电路。

[0062] 图7示出2分频I-Q分频器790的示例性设计的示意图,其可用于图3中的分频器390或图6A到6C中的分频器690。分频器790包括交叉耦合的两个D触发器796和798。触发器796使其Q输出耦合至触发器798的D输入。触发器798使其 $\bar{Q}$ 输出耦合至触发器796的D输入。反相器792使其输入接收VC0信号并使其输出耦合至触发器796的时钟输入。反相器794使其输入耦合至反相器792的输出并使其输出耦合至触发器798的时钟输入。触发器796分别从其Q和 $\bar{Q}$ 输出提供ILOp和ILOn信号。触发器798分别从其Q和 $\bar{Q}$ 输出提供QLOp和QLOn信号。

[0063] 触发器796和798因反相器794而被VC0信号的下降沿和上升沿时钟控制。因此,触发器798的Q和 $\bar{Q}$ 输出在触发器796的Q和 $\bar{Q}$ 输出之后的半个VC0信号循环转变。

[0064] 当触发器796被通电时,Q输出取决于触发器796是在状态‘0’还是‘1’苏醒而初始地提供逻辑高或逻辑低。触发器798晚半个VC0信号循环时钟锁定触发器796的Q输出上的逻辑值,并在其Q输出处提供时钟锁定的逻辑值。来自触发器798的Q输出的QLOp信号由此是来自触发器796的Q输出的ILOp信号的延迟版本。触发器796在下一个VC0信号循环处时钟锁定触发器798的 $\bar{Q}$ 输出(或触发器796的 $\bar{Q}$ 输出)上的逻辑值。触发器796由此在交替的VC0信号循环上在逻辑高与逻辑低之间翻转以便于实现2分频。

[0065] 图7示出了I-Q分频器的示例性设计,其可被用来生成用于LO信号的不同相位的多个分频信号。生成不同相位的多个分频信号的分频器也可使用其他电路以其他方式来实现。

[0066] 本文所描述的用于生成具有连续相位的LO信号的技术可用于利用TDD与各种无线系统通信的无线设备。例如,这些技术可用于LTE TDD系统、TD-SCDMA系统等中的无线设备。不同无线系统可利用不同帧结构来支持TDD。

[0067] 图8A示出用于TD-SCDMA的示例性帧结构800。传输时间线被划分成帧,每一帧由系统帧号(SFN)标识。每一帧具有10毫秒(ms)的历时并且被划分成两个子帧1和2。每一子帧具有5ms的历时并且被划分成7个时隙0到6、下行链路导频时隙(DwPTS)、上行链路导频时隙(UpPTS)、以及保护期(GP)。DwPTS、保护期、以及UpPTS位于时隙0之后。如由切换点所决定的,时隙0被用于下行链路,时隙1被用于上行链路,而时隙2到6可各自被用于下行链路和/或上行链路。每个时隙具有675微秒(μ s)的历时(或864个码片)。DwPTS具有75 μ s的历时(或96个码片),并且UpPTS具有125 μ s的历时(或160个码片)。保护期位于DwPTS与UpPTS之间且具有75 μ s的历时(或96个码片)。

[0068] 对于TD-SCDMA而言,每个时隙包括第一数据部分、中置码、第二数据部分、以及保护期。每个数据部分具有 $275\mu\text{s}$ 的历时(或352个码片),并且中置码具有 $112.5\mu\text{s}$ 的历时(或144个码片)。保护期位于时隙末尾处并具有 $12.5\mu\text{s}$ 的历时(或16个码片)。每个时隙可被指派给一个或多个用户用于数据传输。

[0069] 图8B示出用于LTE TDD的示例性帧结构850。传输时间线被划分成以无线电帧为单位,其中每个无线电帧具有10ms的历时。每个无线电帧被划分成具有索引0至9的10个子帧。LTE支持用于TDD的数种上行链路-下行链路配置。对于所有上行链路-下行链路配置,子帧0和5被用于下行链路,而子帧2 被用于上行链路。子帧3、4、7、8和9可取决于上行链路-下行链路配置各自被用于下行链路或上行链路。子帧1包括由DwPTS、保护期(GP)和UpPTS 组成的三个特殊字段。子帧6取决于上行链路-下行链路配置可包括仅DwPTS、或者所有三个特殊字段、或者下行链路子帧。对于不同的子帧配置,DwPTS、保护期和UpPTS可具有不同的历时。DwPTS可具有 214 与 $857\mu\text{s}$ 之间的历时。UpPTS可具有 71 与 $142\mu\text{s}$ 之间的历时。保护期可具有 71 与 $714\mu\text{s}$ 之间的历时。

[0070] 如图8A和8B所示,TD-SCDMA系统和LTE TDD系统具有下行链路时隙与上行链路时隙之间的快速切换。例如,在图8A中示出的TD-SCDMA系统中的子帧内,下行链路至上行链路转变发生在时隙0之后的 $75\mu\text{s}$ 的保护期内,而上行链路至下行链路转变发生在时隙末尾的 $12.5\mu\text{s}$ 的保护期内。

[0071] 一般而言,在TDD系统中,一些子帧可被用于下行链路并且可被称为下行链路子帧。其余子帧可被用于上行链路并且可被称为上行链路子帧。无线设备110可在上行链路子帧期间禁用尽可能多的接收机电路系统以节省电池功率。无线设备110也可在下行链路子帧期间禁用尽可能多的发射机电路系统以节省电池功率。

[0072] 如图8A和8B中所示,接收机可仅在一些时间区间期间活跃,并且发射机可在一些其他时间区间期间活跃,以用于利用TDD与无线系统通信。具体而言,接收机可在TD-SCDMA系统中在下行链路时隙期间活跃或在LTE TDD系统中在下行链路子帧期间活跃。发射机可在TD-SCDMA系统中在上行链路时隙期间活跃或在LTE TDD系统中在上行链路子帧期间活跃。为了节省电池功率并且可能地改善性能,L0生成器230可仅在接收机活跃时被启用,并且在其他时间可被禁用。

[0073] 图9示出用于使图2中的无线设备110中的RX L0生成器230和TX L0 生成器260通电和断电以用于TD-SCDMA的示例性时间线900。对于上行链路上的数据传输,TX L0生成器260 (i) 在时间T1在DwPTS的开始处被启用并且(ii) 在时间T4在用于上行链路的时隙1的末尾处被禁用。发射机250 (i) 在时间T2在时隙1的开始之前被启用并且(ii) 在时间T4在用于上行链路的时隙 1的末尾处被禁用。

[0074] 对于下行链路上的数据接收,RX L0生成器230 (i) 在时间T1在用于下行链路的时隙0的末尾处被禁用并且(ii) 在时间T3在用于下行链路的时隙2开始之前被启用。RX L0生成器230尝试在时间T3开始锁定到基准信号并且在时间T4达成锁定。接收机220 (i) 在时间T1在用于下行链路的时隙0的末尾处被禁用并且(ii) 在时间T4在用于下行链路的时隙2开始之前被启用。

[0075] 如图9中所示,RX L0生成器230可在下行链路子帧期间通电以生成用于数据接收的L0信号。RX L0生成器230可在上行链路子帧期间被断电。

[0076] 在一示例性设计中,一种装置(例如,无线设备、IC、电路模块等)可包括振荡器、分频器和PLL。振荡器(例如,图6A到6C中的VCO 680)可接收控制信号并提供具有由控制信号决定的频率的振荡器信号(例如,VCO信号)。分频器(例如,分频器690)可接收该振荡器信号并生成不同相位的多个分频信号。PLL(例如,图6A、6B或6C中的PLL 650、652或654)可接收基准信号和该多个分频信号当中的所选分频信号并且可生成用于振荡器的控制信号。该装置可进一步包括下变频器(例如,下变频器224),其可使用基于该多个分频信号中的至少一个分频信号生成的LO信号来将输入RF信号下变频。

[0077] 在一示例性设计中,分频器可生成多个分频信号,包括异相90度的四个分频信号。例如,该分频器可包括2分频I-Q分频器,其可提供异相90度的四个分频信号。PLL可接收该四个分频信号当中的所选分频信号。该分频器在被通电之际可处于多个可能状态之一中。分频器的该多个可能状态可与分频器被通电时所选分频信号的不同相位相关联。在PLL的反馈环中使用所选分频信号可确保所选分频信号具有连续相位,而不论分频器在通电时的状态如何。

[0078] 在一示例性设计中,该装置可进一步包括第二分频器(例如,图6B中的分频器670或图6C中的分频器674),其可接收振荡器信号并生成第二分频信号。PLL可基于来自该分频器的所选分频信号或者来自第二分频器的第二分频信号来生成控制信号。

[0079] 在图6C所示的示例性设计中,PLL可包括复用器和相位-频率检测器。复用器(例如,图6C中的复用器678)可接收来自该分频器的所选分频信号和来自第二分频器的第二分频信号,并且可提供所选分频信号或第二分频信号。相位-频率检测器(例如,检测器662)可接收基准信号和来自复用器的所选分频信号或第二分频信号,并且可提供用于生成控制信号的检测器输出信号。

[0080] 在图6B中所示的示例性设计中,PLL可包括复用器、第三分频器和相位-频率检测器。复用器(例如,图6B中的复用器672)可接收来自该分频器的所选分频信号和来自第二分频器的第二分频信号,并且可提供所选分频信号或第二分频信号。第三分频器(例如,分频器668)可接收来自复用器的所选分频信号或第二分频信号,并且可提供第三分频信号。相位-频率检测器(例如,检测器662)可接收基准信号和第三分频信号,并且可提供用于生成控制信号的检测器输出信号。

[0081] 在一示例性设计中,分频器可以(i)在用于下行链路接收的时间区间之前通电和(ii)在用于上行链路传送的时间区间的至少部分期间断电。在一示例性设计中,该分频器可被选择成生成非连续LO信号,并且第二分频器可被选择成生成连续LO信号。

[0082] 图10示出用于生成LO信号的过程1000的示例性设计。可生成(例如由图6A到6C中的VCO 680生成)具有由控制信号决定的频率的振荡器信号(框 1012)。可将振荡器信号分频(例如,由图6A到6C中的分频器690分频)以获得不同相位的多个分频信号(框1014)。可基于基准信号以及该多个分频信号当中的所选分频信号来生成控制信号(例如,由图6A、6B或6C中的PLL 640、642或644生成)(框1016)。可基于该多个分频信号中的至少一个分频信号来生成LO信号(框1018)。可使用该LO信号来将输入RF信号下变频(框 1020)。

[0083] 在框1014的一种设计中,振荡器信号可分频以获得异相90度的四个分频信号。所选分频信号可以是该四个分频信号之一。

[0084] 在一种设计中,被用来生成该多个分频信号的分频器可以不连续地操作。例如,该

分频器可以在用于下行链路接收的时间区间之前通电并且可以在用于上行链路传送的时间区间的至少部分期间断电。

[0085] 在一种设计中,第二分频信号可基于振荡器信号来生成(例如,由分频器 670或674生成)。控制信号可基于所选分频信号或第二分频信号来生成。在图6C所示的一种设计中,基准信号与所选分频信号或第二分频信号之间的相位误差可被检测,例如,如图6C中所示。控制信号可基于所检测到的相位误差来生成。在图6B中示出的另一设计中,所选分频信号或第二分频信号可在频率上分频以获得第三分频信号。基准信号与第三分频信号之间的相位误差可被检测。控制信号随后可基于所检测到的相位误差来生成。

[0086] 本领域技术人员应理解,信息和信号可使用各种不同技术和技艺中的任何一种来表示。例如,贯穿上面描述始终可能被述及的数据、指令、命令、信息、信号、位(比特)、码元、和码片可由电压、电流、电磁波、磁场或磁粒子、光场或光粒子、或其任何组合来表示。

[0087] 本领域技术人员将进一步领会,结合本文的公开所描述的各种解说性逻辑框、模块、电路、和算法步骤可被实现为电子硬件、计算机软件、或两者的组合。为清楚地解说硬件与软件的这一可互换性,各种解说性组件、块、模块、电路、和步骤在上面是以其功能性的形式作一般化描述的。此类功能性是被实现为硬件还是软件取决于具体应用和施加于整体系统的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本发明的范围。

[0088] 结合本文的公开所描述的各种解说性逻辑框、模块、以及电路可用设计成执行本文中描述的功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑器件、分立的门或晶体管逻辑、分立的硬件组件、或其任何组合来实现或执行。通用处理器可以是微处理器,但在替换方案中,处理器可以是任何常规的处理器、控制器、微控制器、或状态机。处理器还可以被实现为计算设备的组合,例如DSP与微处理器的组合、多个微处理器、与DSP核心协同的一个或多个微处理器、或任何其他此类配置。

[0089] 结合本文的公开所描述的方法或算法的步骤可直接在硬件中、在由处理器执行的软件模块中、或在这两者的组合中实施。软件模块可驻留在RAM存储器、闪存、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移动盘、CD-ROM、或者本领域中所知的任何其他形式的存储介质中。示例性存储介质耦合到处理器以使得该处理器能从/向该存储介质读写信息。替换地,存储介质可以被整合到处理器。处理器和存储介质可驻留在ASIC中。ASIC可驻留在用户终端中。替换地,处理器和存储介质可作为分立组件驻留在用户终端中。

[0090] 在一个或多个示例性设计中,所描述的功能可以在硬件、软件、固件、或其任何组合中实现。如果在软件中实现,则各功能可以作为一条或多条指令或代码存储在计算机可读介质上或藉其进行传送。计算机可读介质包括计算机存储介质和通信介质两者,包括促成计算机程序从一地向另一地转移的任何介质。存储介质可以是可被通用或专用计算机访问的任何可用介质。作为示例而非限定,这样的计算机可读介质可以包括RAM、ROM、EEPROM、CD-ROM或其他光盘存储、磁盘存储或其他磁存储设备、或能被用来携带或存储指令或数据结构形式的期望程序代码手段且能被通用或专用计算机、或者通用或专用处理器访问的任何其他介质。任何连接也被正当地称为计算机可读介质。例如,如果软件是使用同轴电缆、

光纤电缆、双绞线、数字订户线 (DSL)、或诸如红外、无线电、以及微波之类的无线技术从web网站、服务器、或其它远程源传送而来,则该同轴电缆、光纤电缆、双绞线、DSL、或诸如红外、无线电、以及微波之类的无线技术就被包括在介质的定义之中。如本文中所使用的盘(disk)和碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)、软盘和蓝光碟,其中盘(disk)往往以磁的方式再现数据,而碟(disc)用激光以光学方式再现数据。上述的组合应当也被包括在计算机可读介质的范围内。

[0091] 提供对本公开的先前描述是为使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对本领域技术人员来说都将是显而易见的,且本文中所定义的普适原理可被应用到其他变型而不会脱离本公开的精神或范围。由此,本公开并非旨在被限定于本文中所描述的示例和设计,而是应被授予与本文中所公开的原理和新颖性特征相一致的最广范围。

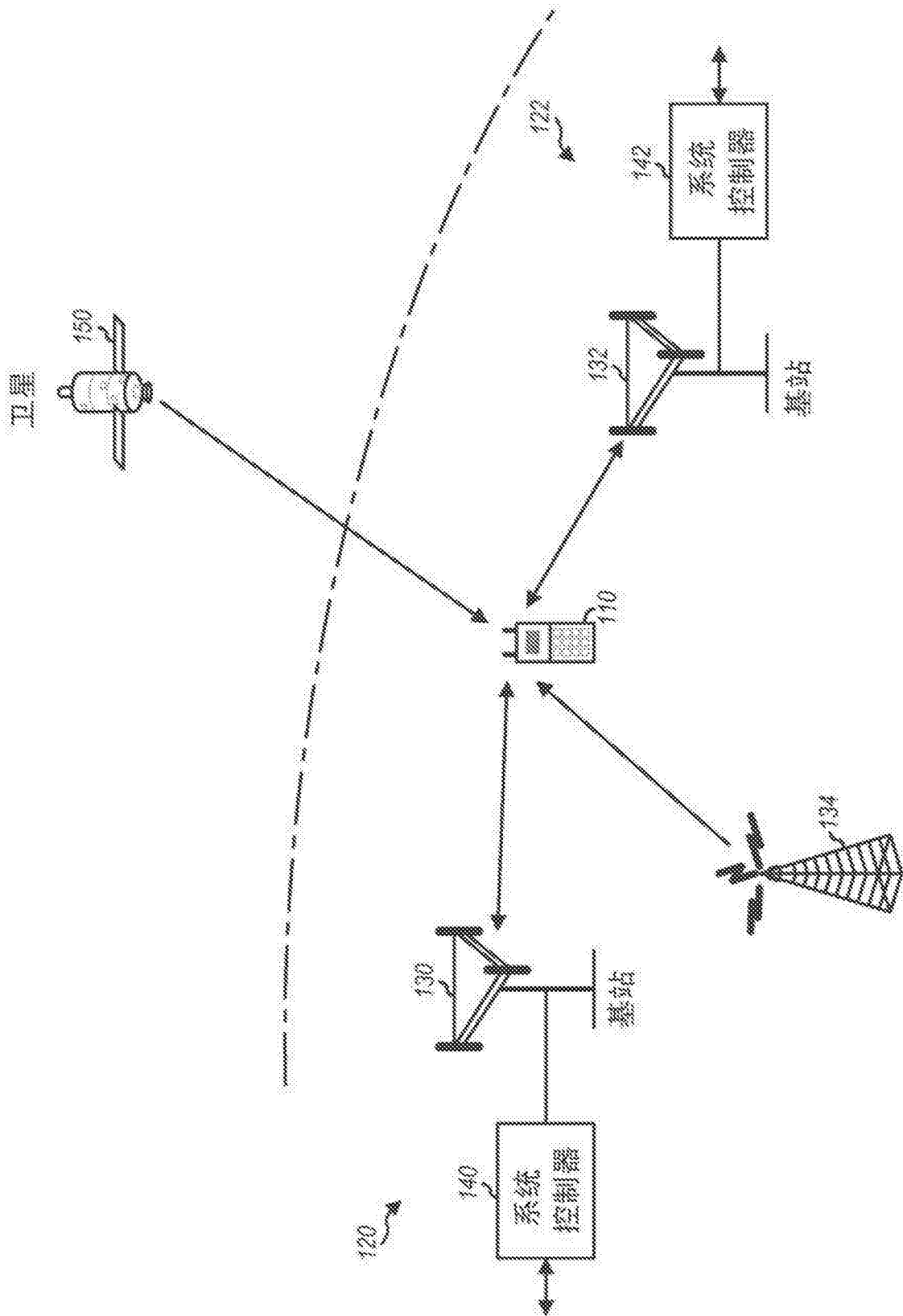


图1

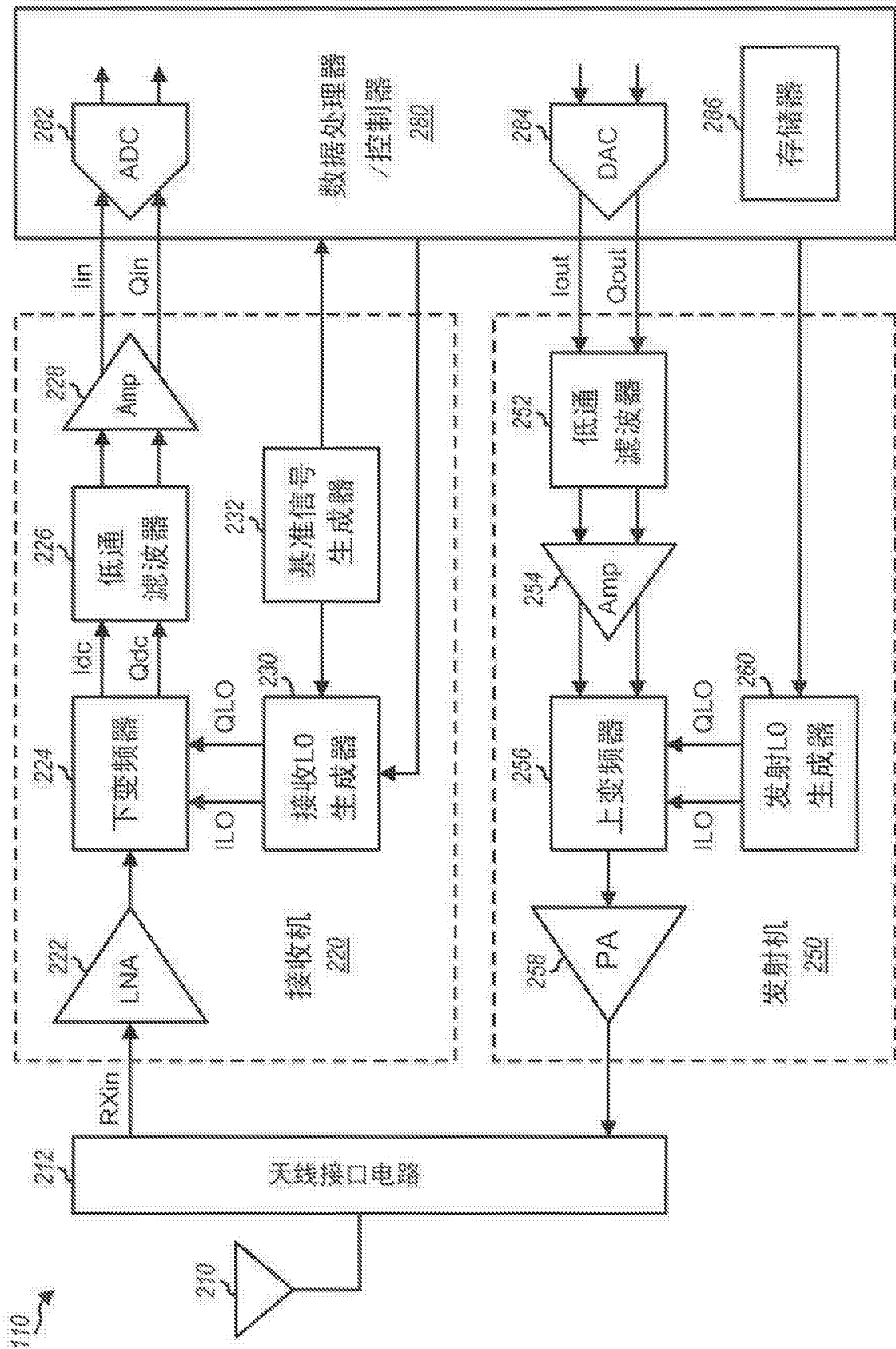


图2

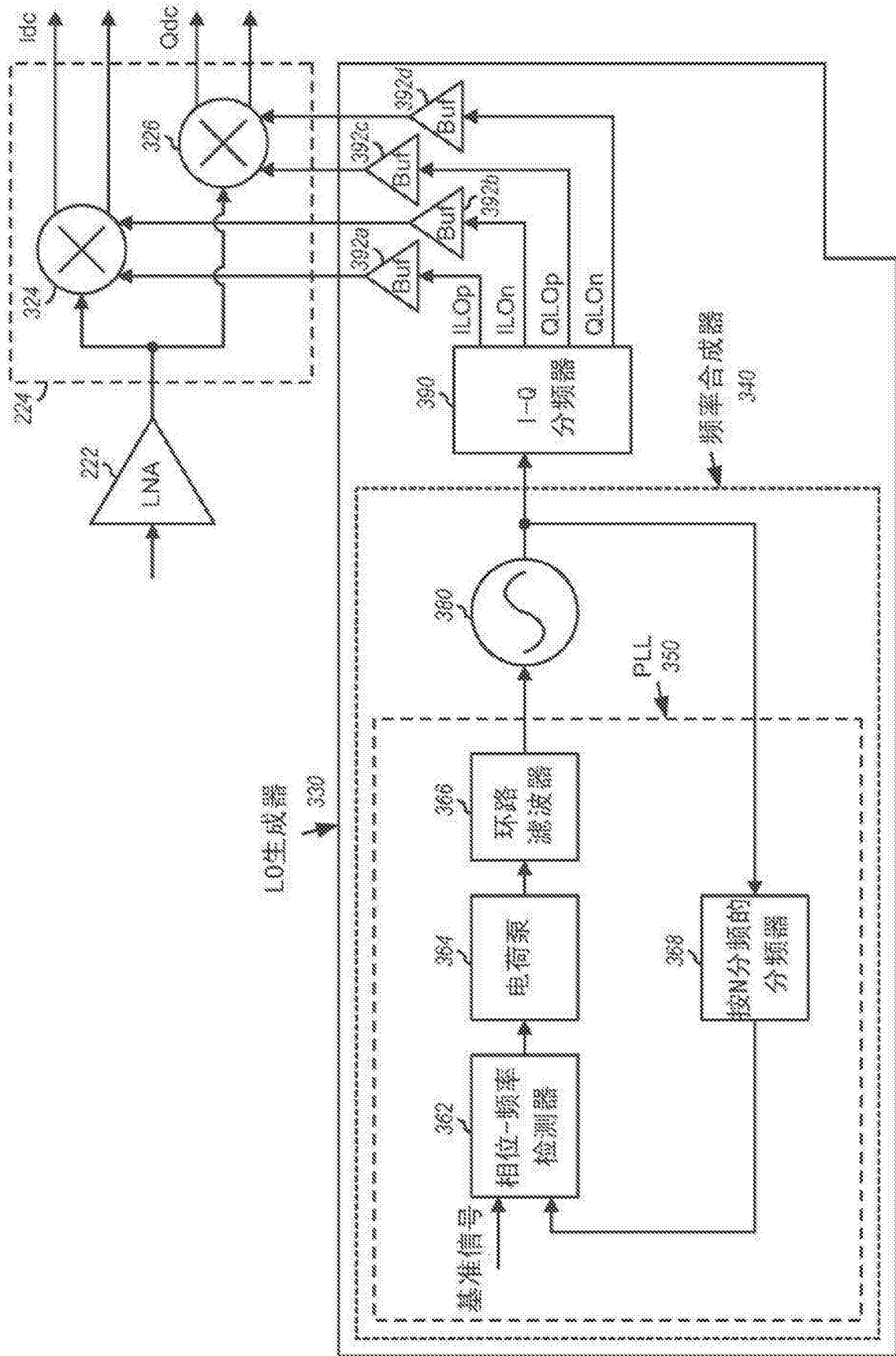


图3

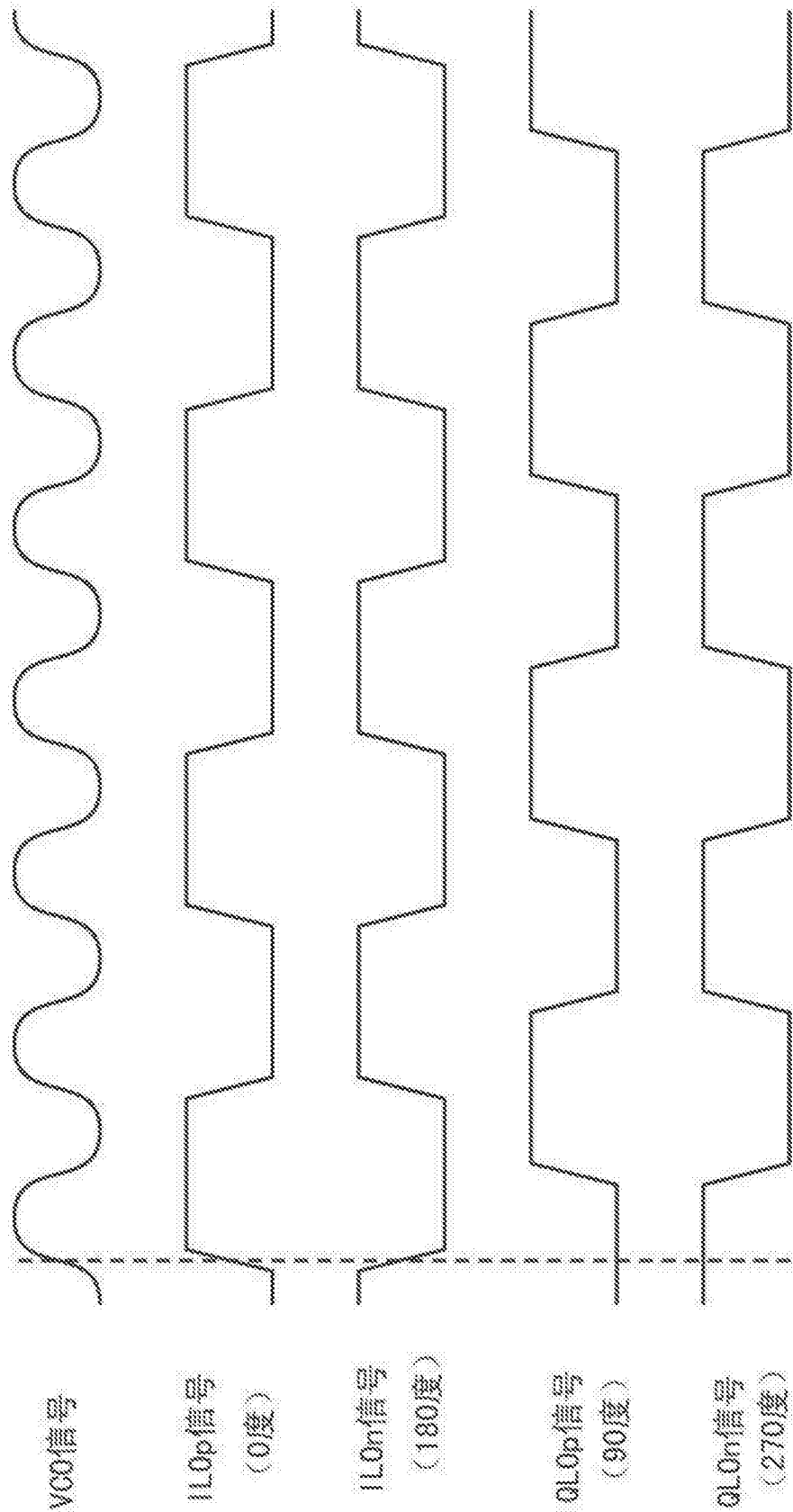
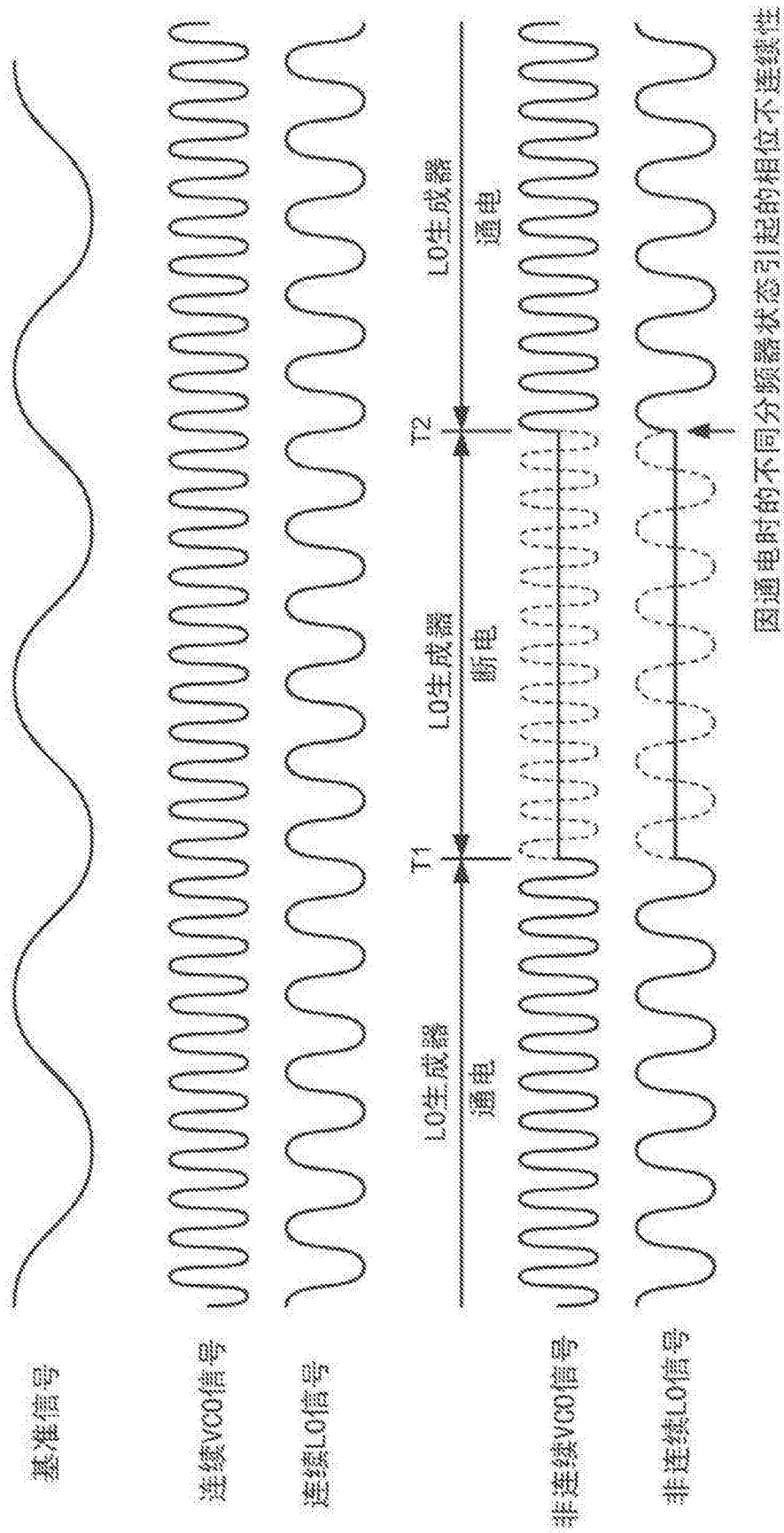


图4



因通电时的不同分频器状态引起的相位不连续性

图5

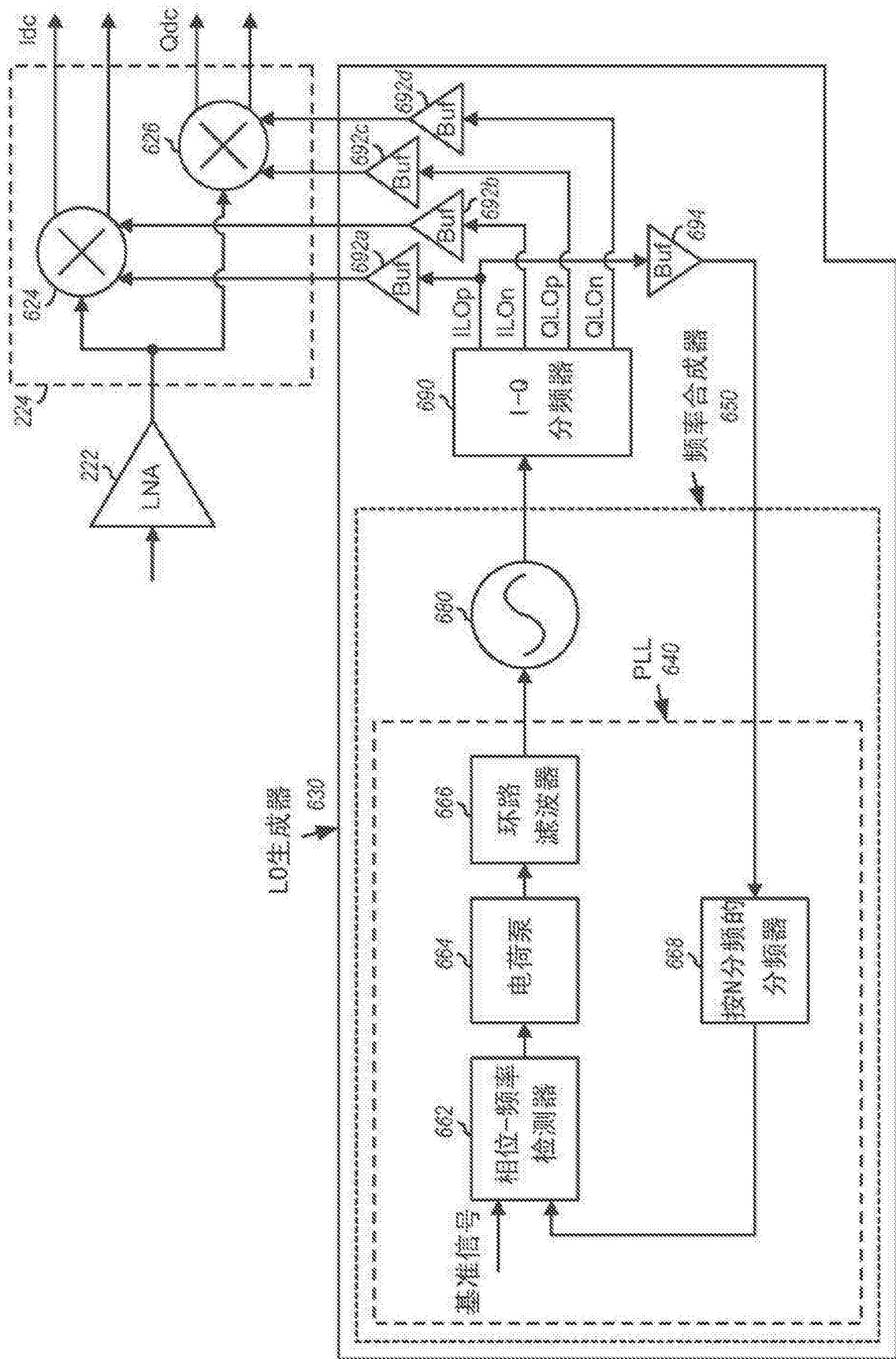


图6A

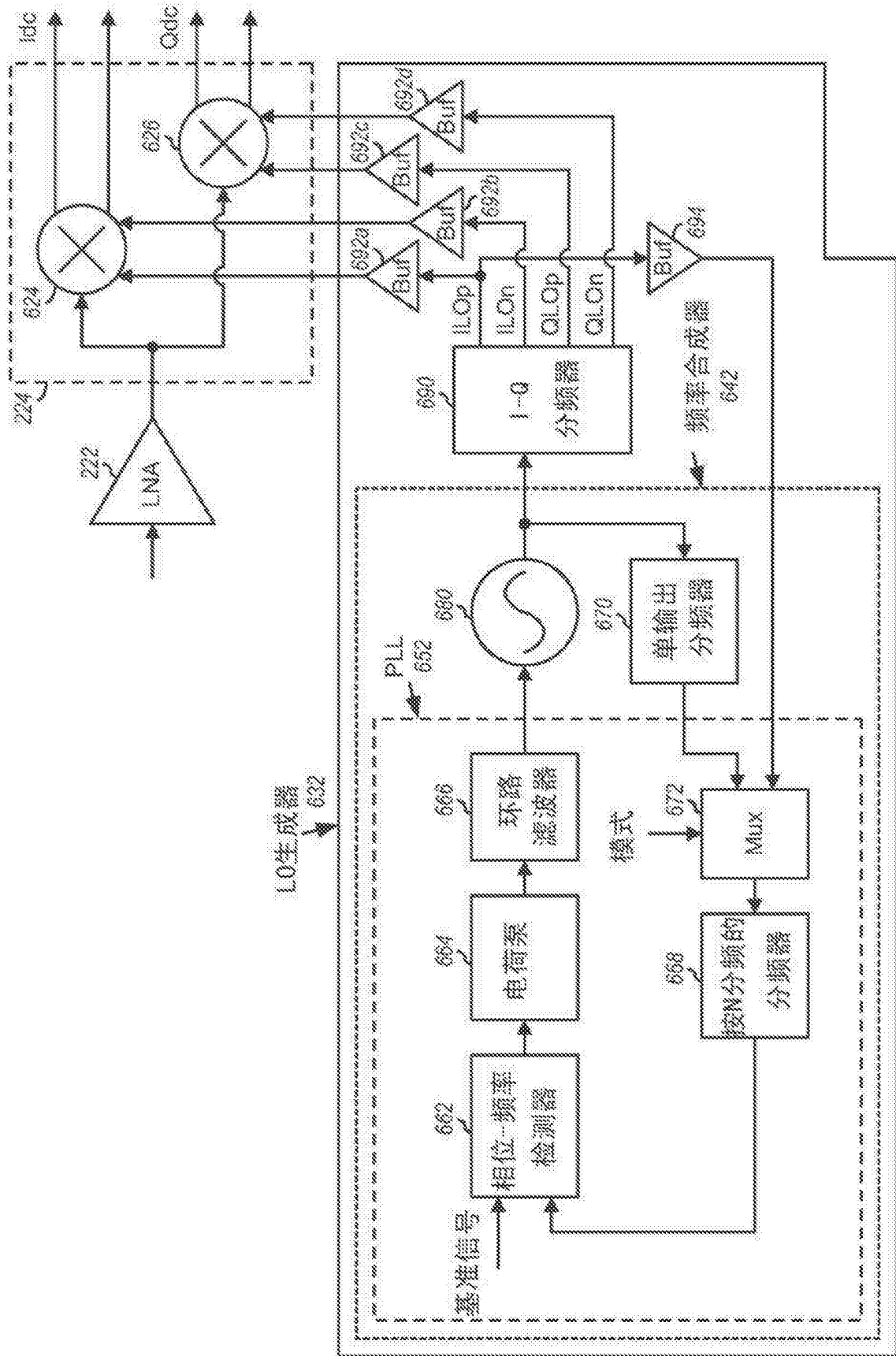


图6B

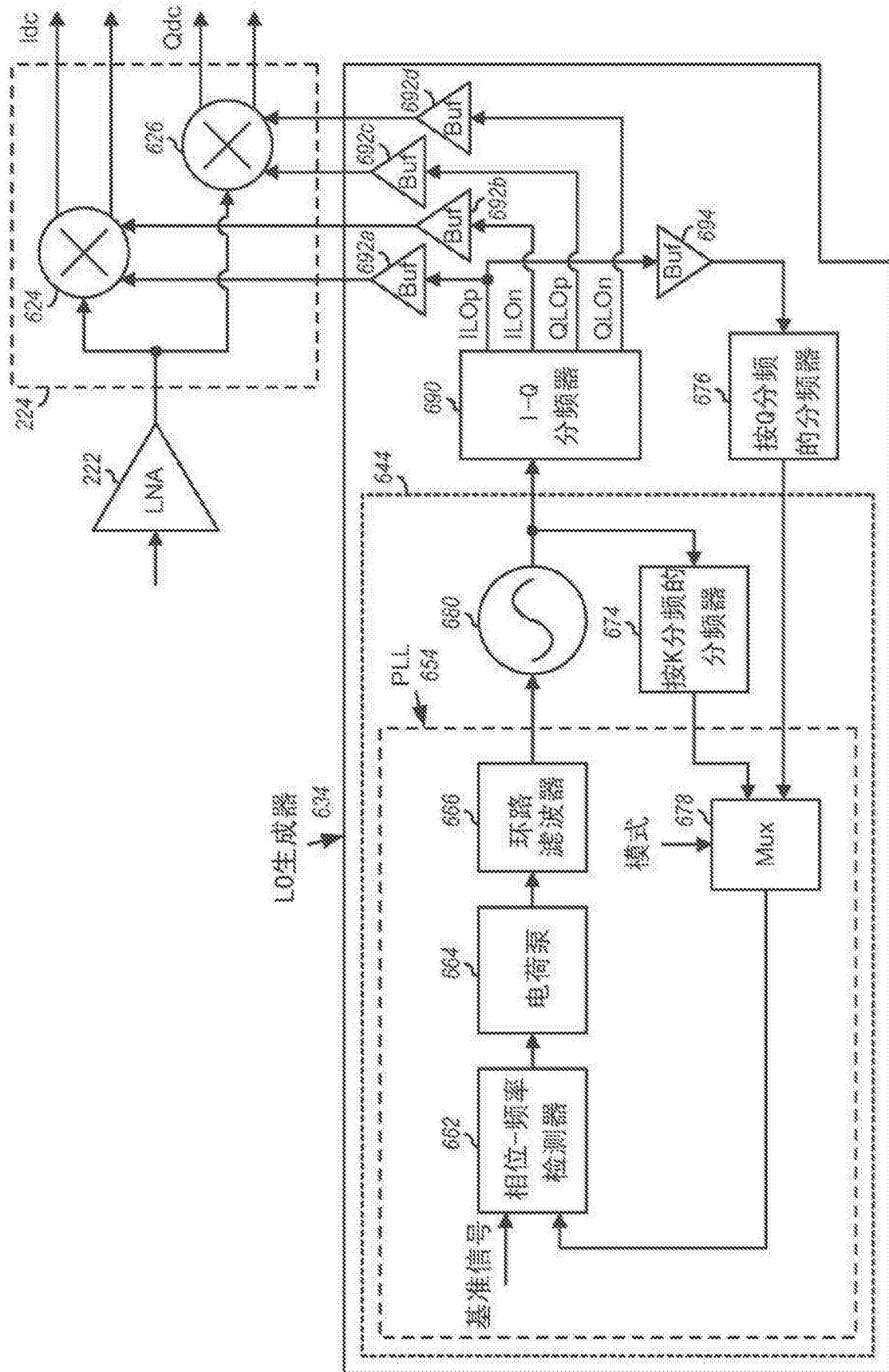


图6C

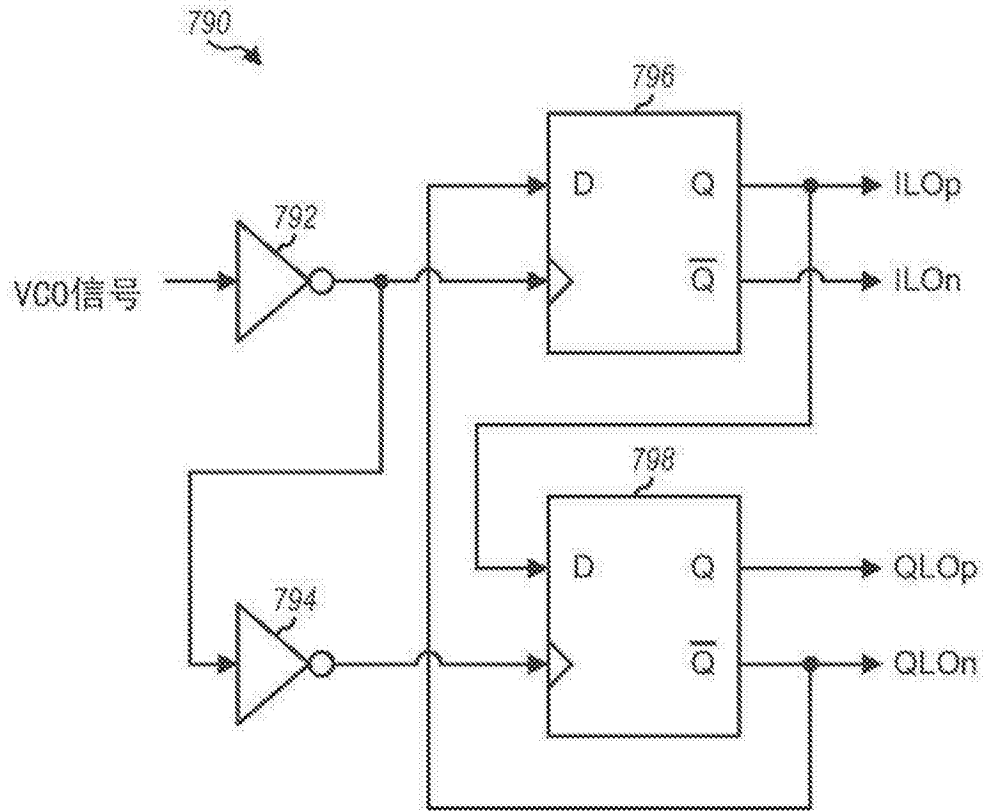


图7

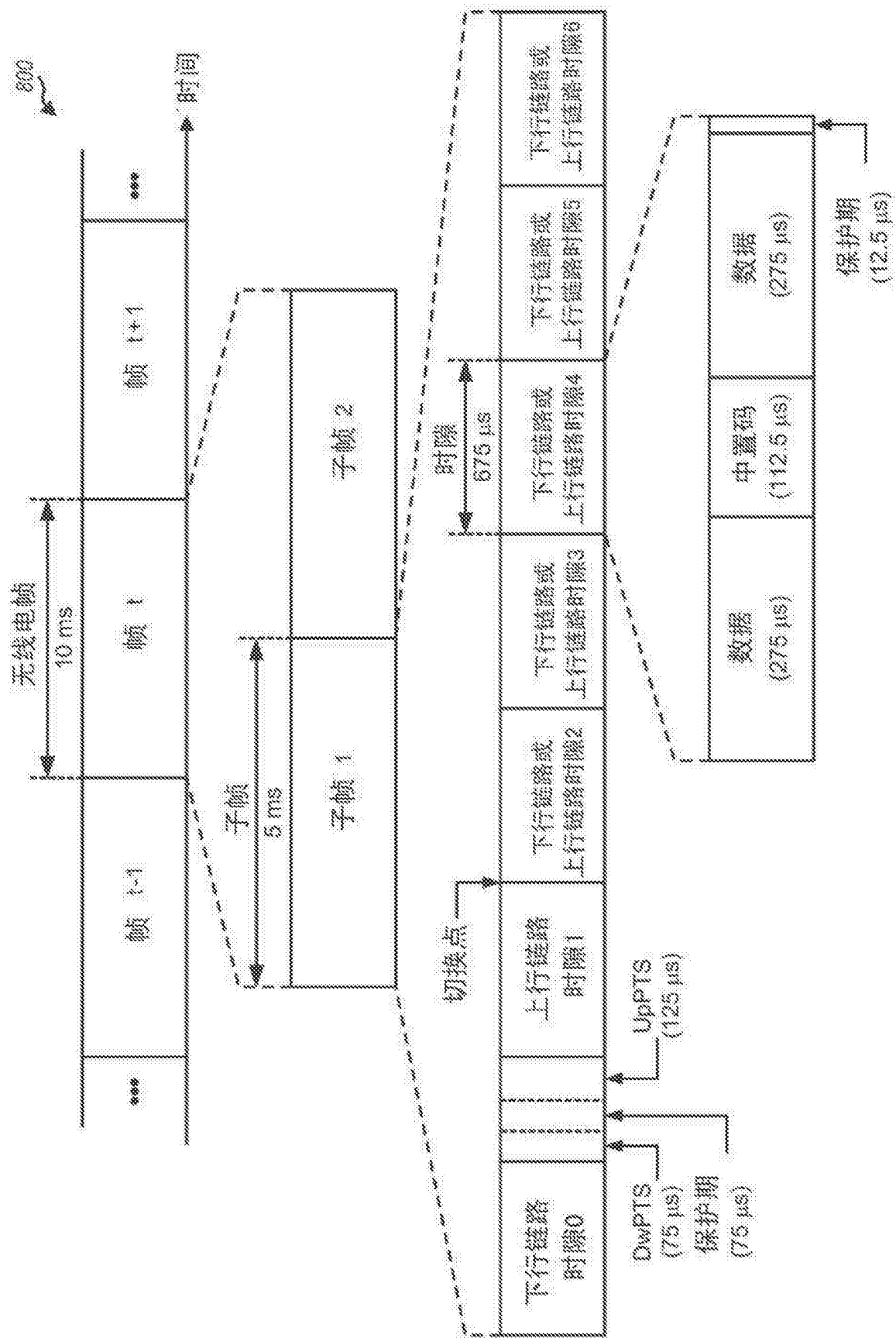


图8A

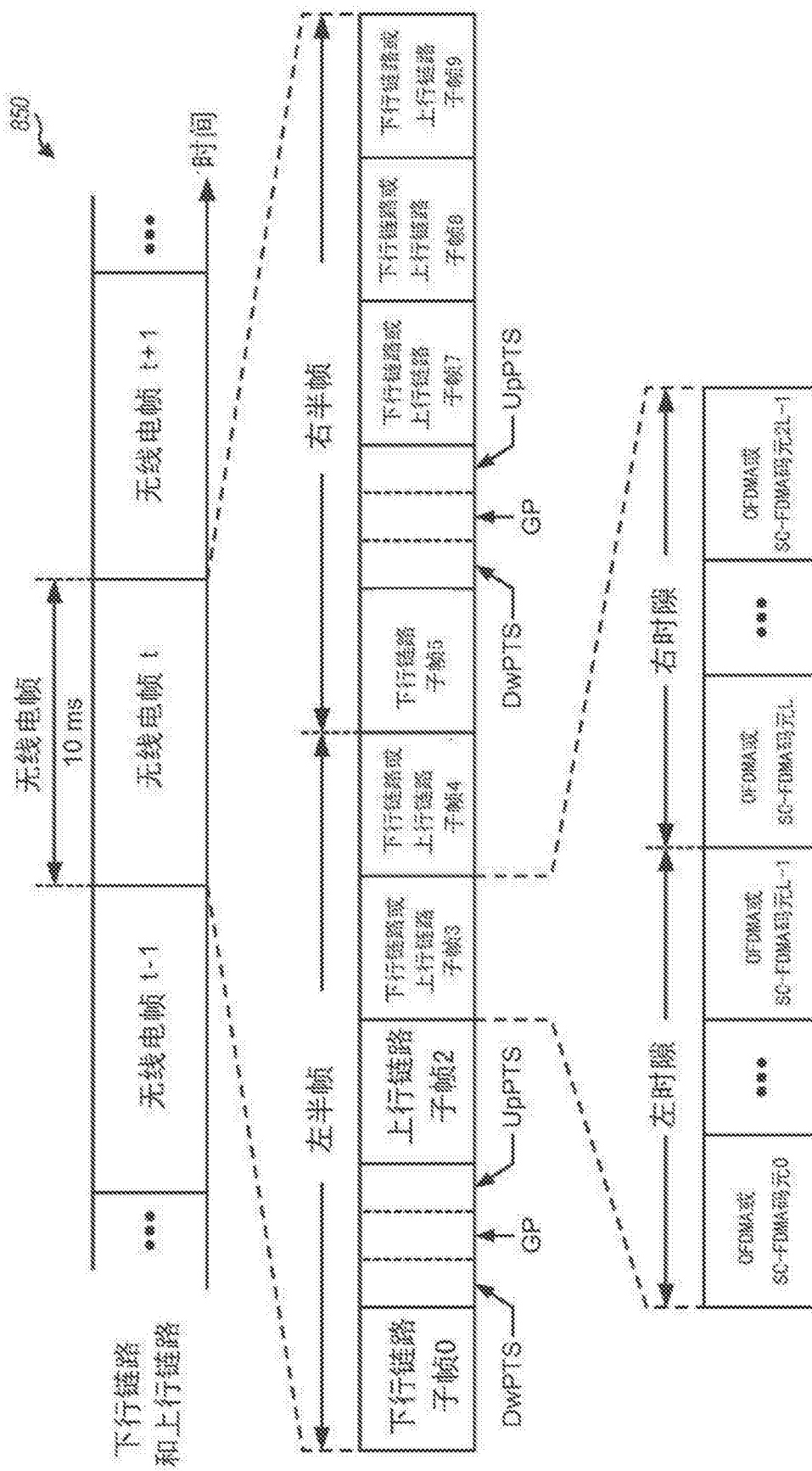


图8B

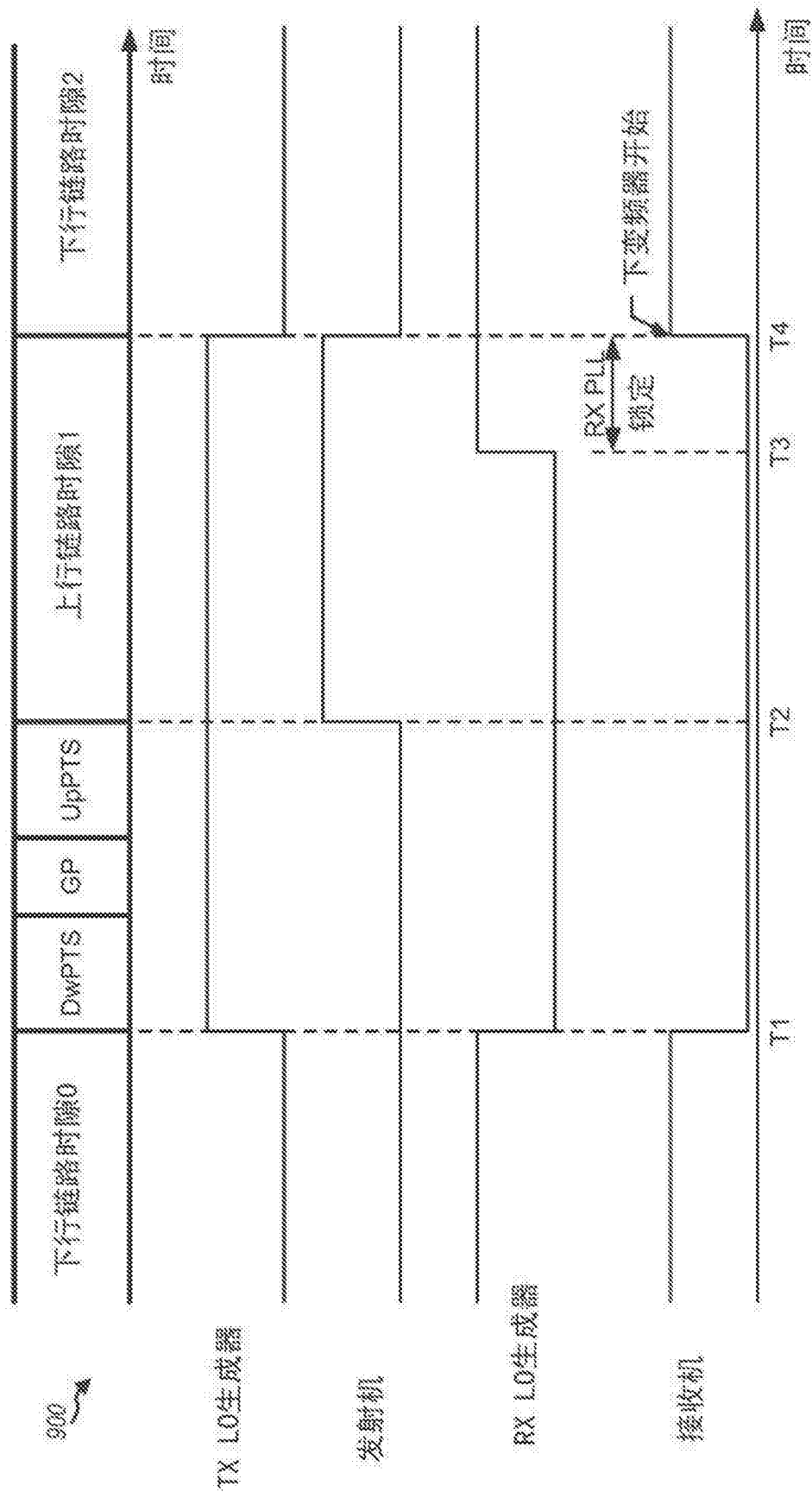


图9

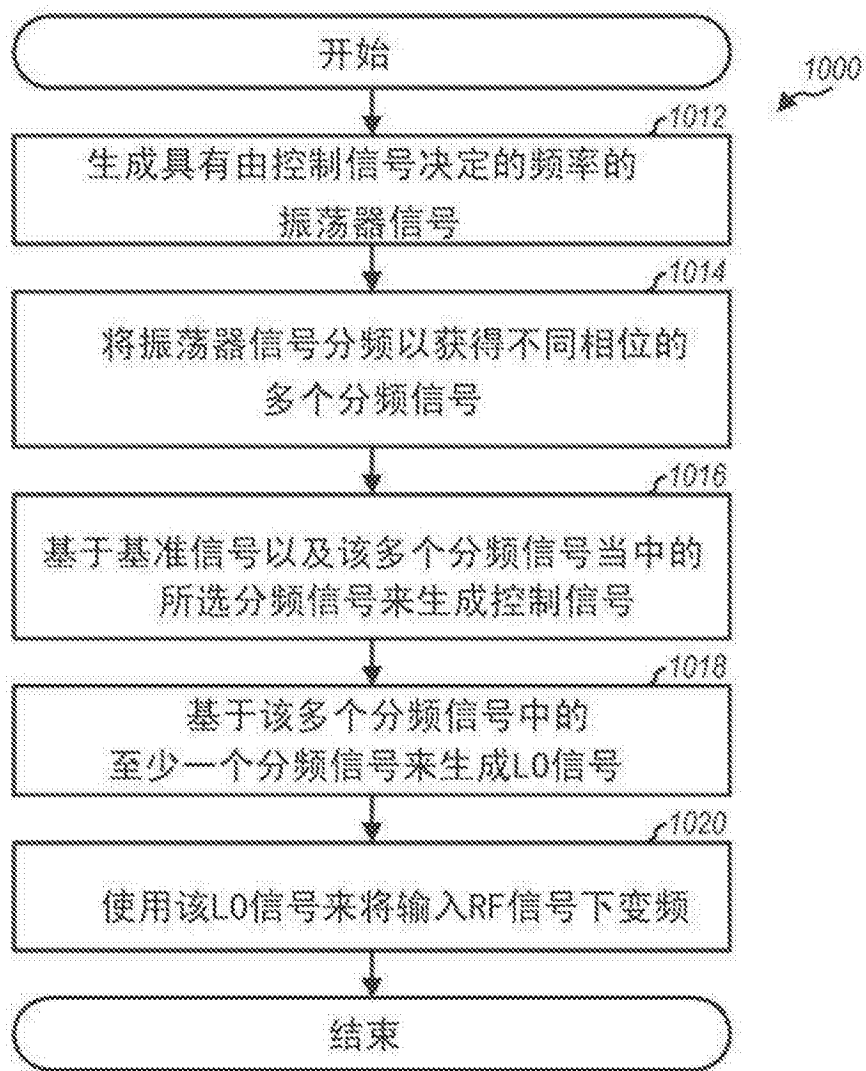


图10