

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4906093号
(P4906093)

(45) 発行日 平成24年3月28日 (2012.3.28)

(24) 登録日 平成24年1月20日 (2012.1.20)

(51) Int.Cl.	F I
G 0 5 F 1/56 (2006.01)	G O 5 F 1/56 3 1 O C
H O 1 L 27/04 (2006.01)	G O 5 F 1/56 3 1 O E
H O 1 L 21/822 (2006.01)	G O 5 F 1/56 3 1 O F
	H O 1 L 27/04 G

請求項の数 7 (全 46 頁)

(21) 出願番号	特願2006-350890 (P2006-350890)	(73) 特許権者	000153878
(22) 出願日	平成18年12月27日 (2006.12.27)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2008-165286 (P2008-165286A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成20年7月17日 (2008.7.17)	(72) 発明者	西戸 祐典
審査請求日	平成21年12月11日 (2009.12.11)		神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	高橋 圭
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		審査官	櫻田 正紀

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

無線信号を交流電圧に変換するアンテナと、
 前記交流電圧を直流電圧に変換する整流回路と、
 前記直流電圧より電源電圧を生成する電源回路と、
 前記電源回路に接続され、前記電源電圧をもとに負荷に供給する出力電圧を生成する定電圧回路と、
前記交流電圧を信号に復調する復調回路と、を有し、
 前記定電圧回路は、前記出力電圧を制御するための p チャネル型トランジスタと、増幅器と、抵抗部と、基準電圧発生回路と、スイッチと、を有し、
 前記増幅器の非反転入力端子は、前記抵抗部に接続され、
 前記増幅器の出力端子は、前記 p チャネル型トランジスタのゲートに接続され、
 前記増幅器の反転入力端子は、前記スイッチを介して前記基準電圧発生回路の出力端子に接続され、
前記復調回路で復調された前記信号が高電位の場合、前記スイッチをオン状態にして、
前記復調回路で復調された前記信号が低電位の場合、前記スイッチをオフ状態にすること
 を特徴とする半導体装置。

【請求項 2】

無線信号を交流電圧に変換するアンテナと、
 前記交流電圧を直流電圧に変換する整流回路と、

前記直流電圧より電源電圧を生成する電源回路と、
前記電源回路に接続され、前記電源電圧をもとに負荷に供給する出力電圧を生成する定電圧回路と、
前記交流電圧を信号に復調する復調回路と、を有し、
前記定電圧回路は、前記出力電圧を制御するためのnチャンネル型トランジスタと、増幅器と、抵抗部と、基準電圧発生回路と、スイッチと、を有し、
前記増幅器の反転入力端子は、前記抵抗部に接続され、
前記増幅器の出力端子は、前記nチャンネル型トランジスタのゲートに接続され、
前記増幅器の非反転入力端子は、前記スイッチを介して前記基準電圧発生回路の出力端子に接続され、
前記復調回路で復調された前記信号が高電位の場合、前記スイッチをオン状態にして、
前記復調回路で復調された前記信号が低電位の場合、前記スイッチをオフ状態にするこ
とを特徴とする半導体装置。

10

【請求項3】

請求項1または請求項2において、
前記基準電圧発生回路は、第1及び第2のPチャンネル型トランジスタと、第1及び第2のNチャンネル型トランジスタと、抵抗素子とを有し、
前記第1のPチャンネル型トランジスタのゲートは、前記第2のPチャンネル型トランジスタのゲートと、前記第2のPチャンネル型トランジスタのソース又はドレインの一方と、前記第2のNチャンネル型トランジスタのソース又はドレインの一方に接続され、
前記第1のPチャンネル型トランジスタのソース又はドレインの一方は、前記第1のNチャンネル型トランジスタのソース又はドレインの一方と、前記第2のNチャンネル型トランジスタのゲートに接続され、
前記第1のPチャンネル型トランジスタのソース又はドレインの他方は、前記第2のPチャンネル型トランジスタのソース又はドレインの他方に接続され、
前記第1のNチャンネル型トランジスタのゲートは、前記第2のNチャンネル型トランジスタのソース又はドレインの他方と、前記抵抗素子の一方の端子に接続され、
前記第1のNチャンネル型トランジスタのソース又はドレインの他方は、前記抵抗素子の他方の端子に接続されていることを特徴とする半導体装置。

20

【請求項4】

電源電圧を生成する電源回路と、
前記電源電圧をモニターするモニター回路と、
前記電源回路に接続され、前記電源電圧をもとに負荷に供給する出力電圧を生成する定電圧回路と、を有し、
前記定電圧回路は、前記出力電圧を制御するためのpチャンネル型トランジスタと、増幅器と、抵抗部と、基準電圧発生回路と、スイッチと、を有し、
前記増幅器の非反転入力端子は、前記抵抗部に接続され、
前記増幅器の出力端子は、前記pチャンネル型トランジスタのゲートに接続され、
前記増幅器の反転入力端子は、前記スイッチを介して前記基準電圧発生回路の出力端子に接続され、
前記基準電圧発生回路は、第1及び第2のPチャンネル型トランジスタと、第1及び第2のNチャンネル型トランジスタと、抵抗素子とを有し、
前記第1のPチャンネル型トランジスタのゲートは、前記第2のPチャンネル型トランジスタのゲートと、前記第2のPチャンネル型トランジスタのソース又はドレインの一方と、前記第2のNチャンネル型トランジスタのソース又はドレインの一方に接続され、
前記第1のPチャンネル型トランジスタのソース又はドレインの一方は、前記第1のNチャンネル型トランジスタのソース又はドレインの一方と、前記第2のNチャンネル型トランジスタのゲートに接続され、
前記第1のPチャンネル型トランジスタのソース又はドレインの他方は、前記第2のPチャンネル型トランジスタのソース又はドレインの他方に接続され、

30

40

50

前記第 1 の N チャンネル型トランジスタのゲートは、前記第 2 の N チャンネル型トランジスタのソース又はドレインの他方と、前記抵抗素子の一方の端子に接続され、

前記第 1 の N チャンネル型トランジスタのソース又はドレインの他方は、前記抵抗素子の他方の端子に接続され、

前記モニター回路は、前記電源電圧が、前記第 1 及び第 2 の P チャンネル型トランジスタを飽和領域で駆動する電圧のときに前記スイッチをオン状態とする信号を出力し、

前記モニター回路は、前記電源電圧が、前記第 1 及び第 2 の P チャンネル型トランジスタを飽和領域で駆動する電圧を下回ったときに前記スイッチをオフ状態とする信号を出力することを特徴とする半導体装置。

【請求項 5】

電源電圧を生成する電源回路と、

前記電源電圧をモニターするモニター回路と、

前記電源回路に接続され、前記電源電圧をもとに負荷に供給する出力電圧を生成する定電圧回路と、を有し、

前記定電圧回路は、前記出力電圧を制御するための n チャンネル型トランジスタと、増幅器と、抵抗部と、基準電圧発生回路と、スイッチと、を有し、

前記増幅器の反転入力端子は、前記抵抗部に接続され、

前記増幅器の出力端子は、前記 n チャンネル型 トランジスタのゲートに接続され、

前記増幅器の非反転入力端子は、前記スイッチを介して前記基準電圧発生回路の出力端子に接続され、

前記基準電圧発生回路は、第 1 及び第 2 の P チャンネル型トランジスタと、第 1 及び第 2 の N チャンネル型トランジスタと、抵抗素子とを有し、

前記第 1 の P チャンネル型トランジスタのゲートは、前記第 2 の P チャンネル型トランジスタのゲートと、前記第 2 の P チャンネル型トランジスタのソース又はドレインの一方と、前記第 2 の N チャンネル型トランジスタのソース又はドレインの一方に接続され、

前記第 1 の P チャンネル型トランジスタのソース又はドレインの一方は、前記第 1 の N チャンネル型トランジスタのソース又はドレインの一方と、前記第 2 の N チャンネル型トランジスタのゲートに接続され、

前記第 1 の P チャンネル型トランジスタのソース又はドレインの他方は、前記第 2 の P チャンネル型トランジスタのソース又はドレインの他方に接続され、

前記第 1 の N チャンネル型トランジスタのゲートは、前記第 2 の N チャンネル型トランジスタのソース又はドレインの他方と、前記抵抗素子の一方の端子に接続され、

前記第 1 の N チャンネル型トランジスタのソース又はドレインの他方は、前記抵抗素子の他方の端子に接続され、

前記モニター回路は、前記電源電圧が、前記第 1 及び第 2 の P チャンネル型トランジスタを飽和領域で駆動する電圧のときに前記スイッチをオン状態とする信号を出力し、

前記モニター回路は、前記電源電圧が、前記第 1 及び第 2 の P チャンネル型トランジスタを飽和領域で駆動する電圧を下回ったときに前記スイッチをオフ状態とする信号を出力することを特徴とする半導体装置。

【請求項 6】

請求項 1 または請求項 4 において、

前記増幅器の反転入力端子に容量素子が接続されていることを特徴とする半導体装置。

【請求項 7】

請求項 2 または請求項 5 において、

前記増幅器の非反転入力端子に容量素子が接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は無線通信によりデータの交信（受信、送信）を行う RF タグに関する。本発明

10

20

30

40

50

は、特に無線通信において大電力を受信した場合にＲＦタグのチップ本体の素子の劣化や破壊を防止する保護回路を具備するＲＦタグに関する。

【背景技術】

【０００２】

近年、無線通信を利用した個体識別技術（以下、無線通信システムという）が注目を集めている。特に、無線通信によりデータの交信を行うデータキャリアとして、ＲＦＩＤ（Radio Frequency Identification）技術を利用したＲＦタグ（以下、本明細書においてはカード型、チップ型等の形状を問わず総称してＲＦタグという）による個体識別技術が注目を集めている。ＲＦタグは、ＩＣ（Integrated Circuit）タグ、ＩＣチップ、ＲＦＩＤタグ、ＲＦタグ、無線タグ、電子タグとも呼ばれる。ＲＦタグを用いた個体識別技術は、個々の対象物の生産、管理等に役立てられ始めており、個人認証への応用も進められている。

10

【０００３】

ここでいう無線通信システムとは、リーダ／ライタ等の電力供給源兼送受信器と、ＲＦタグ等の送受信器との間を無線でデータのやりとりをする通信システムである。

【０００４】

無線通信システムでは、リーダ／ライタとＲＦタグとが物理的に接続されている必要がない。つまり、リーダ／ライタが指定する領域にＲＦタグが存在しさえすれば、リーダ／ライタはＲＦタグと通信し、ＲＦタグとデータのやりとりをおこなうことができる。

20

【０００５】

リーダ／ライタとＲＦタグ間においては、通信距離を伸ばすためにリーダ／ライタからＲＦタグへの電力供給効率を高める研究開発が盛んである。一方で、ＲＦタグは、ＣＰＵ等により演算機能を盛り込むといった高付加価値化も進み、安定した電力の供給が求められる（特許文献１を参照）。図２３に一例として、従来の定電圧回路の構成について示す。

【０００６】

図２３に示す定電圧回路５０００は、電圧制御用トランジスタ５００１、電圧制御用トランジスタのゲートに印加する電圧を出力する増幅器５００２、所望の基準電圧を生成する基準電圧発生回路５００３、及び電圧制御用トランジスタからの出力される電圧を分圧するための抵抗部５００４で構成されている。

30

【０００７】

なお、図２３における定電圧回路５０００は、外部より供給された信号を、目的の電圧まで降圧させるものである。

【０００８】

図２３に示す定電圧回路５０００において、電圧制御用トランジスタ５００１は入力端子 V_{IN} と出力端子 V_{OUT} との間に接続されている。また抵抗部５００４は出力端子 V_{OUT} と接地電位 GND の間に接続されている。また抵抗部５００４においては、２つの抵抗が直列に接続されている。増幅器５００２の反転入力端子には基準電圧発生回路５００３からの基準電圧 V_s が入力されている。増幅器５００２の非反転入力端子には、出力端子 OUT の電圧が抵抗部５００４で分圧された電圧 V_r が入力されている。増幅器５００２は、電圧 V_r が基準電圧 V_s になるように電圧制御用トランジスタ５００１に電圧を出力することで動作制御を行う。

40

【０００９】

なお、基準電圧発生回路５００３は、入力端子 IN からの電源電圧を電源にして動作している。

【００１０】

なお、図２３に示す定電圧回路において、一定の出力電圧を得るためには、基準電圧発生回路５００３を作動させるのに十分な電源電圧を供給することが必要である。

【特許文献１】特開２００３－１８００７３号公報

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 1 1 】

しかしながら定電圧回路に入力される電源電圧は、通信距離や通信環境により安定ではない。そして定電圧回路に入力される電源電圧の変動は大きく、基準電圧発生回路から出力される基準電圧が変動してしまっていた。そのため、定電圧回路から出力される出力電圧が一定でなくなるといった問題があった。

【 0 0 1 2 】

本発明は、以上のような問題を鑑みてなされたものであり、通信距離や通信環境により安定でないことに起因する電源電圧の変動により、基準電圧発生回路から出力される基準電圧が変動してしまう場合においても、定電圧回路の出力電圧を一定になるよう動作させる定電圧回路を提供することを課題とする。

10

【課題を解決するための手段】

【 0 0 1 3 】

本発明は、上記の問題を鑑みなされたものである。本発明は、出力電圧を制御するためのトランジスタと、増幅器と、抵抗部と、基準電圧発生回路と、を有する定電圧回路において、増幅器の反転入力端子（非反転入力端子）と、基準電圧発生回路との間に、スイッチを設けることを特徴とする。

【 0 0 1 4 】

本発明の定電圧回路の一は、出力電圧を制御するための p チャンネル型トランジスタと、増幅器と、抵抗部と、基準電圧発生回路と、を有し、増幅器の反転入力端子と、基準電圧発生回路との間には、スイッチが設けられていることを特徴とする。

20

【 0 0 1 5 】

本発明の定電圧回路の一は、出力電圧を制御するための p チャンネル型トランジスタと、増幅器と、抵抗部と、基準電圧発生回路と、を有し、増幅器の反転入力端子は基準電圧発生回路の出力端子が接続され、増幅器の非反転入力端子は抵抗部と接続され、増幅器の出力端子はトランジスタのゲートに接続されており、増幅器の反転入力端子と、基準電圧発生回路との間には、スイッチが設けられていることを特徴とする。

【 0 0 1 6 】

本発明の増幅器の反転入力端子には、反転入力端子に入力する電圧を保持するための容量素子が接続されていてもよい。

【 0 0 1 7 】

30

本発明の定電圧回路の一は、出力電圧を制御するための n チャンネル型トランジスタと、増幅器と、抵抗部と、基準電圧発生回路と、を有し、増幅器の非反転入力端子と、基準電圧発生回路との間には、スイッチが設けられていてもよい。

【 0 0 1 8 】

本発明の定電圧回路の一は、出力電圧を制御するための n チャンネル型トランジスタと、増幅器と、抵抗部と、基準電圧発生回路と、を有し、増幅器の非反転入力端子は基準電圧発生回路の出力端子が接続され、増幅器の反転入力端子は抵抗部と接続され、増幅器の出力端子はトランジスタのゲートに接続されており、増幅器の非反転入力端子と、基準電圧発生回路との間には、スイッチが設けられていることを特徴とする。

【 0 0 1 9 】

40

本発明の増幅器の非反転入力端子には、非反転入力端子に入力する電圧を保持するための容量素子が接続されていてもよい。

【 0 0 2 0 】

本発明の基準電圧発生回路は、複数のトランジスタで構成されていてもよい。

【 0 0 2 1 】

本発明の定電圧回路における入力端子の電圧により基準電圧発生回路の出力端子に出力される電圧が低下する期間に、スイッチをオフ状態にするものであってもよい。

【 0 0 2 2 】

また本発明の半導体装置の一は、無線信号を交流電圧に変換するアンテナと、交流電圧を直流電圧に変換する整流回路と、直流電圧より電源電圧を生成する電源回路と、電源回

50

路に接続され、電源電圧をもとに負荷に供給する出力電圧を生成する定電圧回路と、を有し、定電圧回路は、出力電圧を制御するためのpチャネル型トランジスタと、増幅器と、抵抗部と、基準電圧発生回路と、を有し、増幅器の反転入力端子と、基準電圧発生回路との間には、スイッチが設けられていることを特徴とする。

【0023】

また本発明の半導体装置の一は、無線信号を交流電圧に変換するアンテナと、交流電圧を直流電圧に変換する整流回路と、直流電圧より電源電圧を生成する電源回路と、電源回路に接続され、電源電圧をもとに負荷に供給する出力電圧を生成する定電圧回路と、を有し、定電圧回路は、出力電圧を制御するためのpチャネル型トランジスタと、増幅器と、抵抗部と、基準電圧発生回路と、を有し、増幅器の反転入力端子は基準電圧発生回路の出力端子が接続され、増幅器の非反転入力端子は抵抗部と接続され、増幅器の出力端子はトランジスタのゲートに接続されており、増幅器の反転入力端子と、基準電圧発生回路との間には、スイッチが設けられていることを特徴とする。

10

【0024】

本発明の増幅器の反転入力端子には、反転入力端子に入力する電圧を保持するための容量素子が接続されていてもよい。

【0025】

また本発明の半導体装置の一は、無線信号を交流電圧に変換するアンテナと、交流電圧を直流電圧に変換する整流回路と、直流電圧より電源電圧を生成する電源回路と、電源回路に接続され、電源電圧をもとに負荷に供給する出力電圧を生成する定電圧回路と、を有し、定電圧回路は、出力電圧を制御するためのnチャネル型トランジスタと、増幅器と、抵抗部と、基準電圧発生回路と、を有し、増幅器の非反転入力端子と、基準電圧発生回路との間には、スイッチが設けられていることを特徴とする。

20

【0026】

また本発明の半導体装置の一は、外部から供給される電力を受信するアンテナと、アンテナで受信した交流電圧を直流電圧に変換する整流回路と、直流電圧より電源電圧を生成する電源回路と、電源回路に接続され、電源電圧をもとに負荷に供給する出力電圧を生成する定電圧回路と、を有し、定電圧回路は、出力電圧を制御するためのnチャネル型トランジスタと、増幅器と、抵抗部と、基準電圧発生回路と、を有し、増幅器の非反転入力端子は基準電圧発生回路の出力端子が接続され、増幅器の反転入力端子は抵抗部と接続され、増幅器の出力端子はトランジスタのゲートに接続されており、増幅器の非反転入力端子と、基準電圧発生回路との間には、スイッチが設けられていることを特徴とする。

30

【0027】

本発明の増幅器の非反転入力端子には、非反転入力端子に入力する電圧を保持するための容量素子が接続されていてもよい。

【0028】

本発明の基準電圧発生回路は、複数のトランジスタで構成されていてもよい。

【0029】

本発明の半導体装置において、電源回路の電圧により基準電圧発生回路の出力端子に出力される電圧が低下する期間に、スイッチをオフ状態にするものであってもよい。

40

【0030】

本発明の半導体装置における負荷は、クロック生成回路であってもよい。

【0031】

本発明の半導体装置におけるクロック生成回路は、半導体装置が具備する信号処理回路に接続されており、信号処理回路にクロック信号を出力するものであってもよい。

【0032】

本発明の半導体装置における電源回路は、充電制御回路、放電制御回路、及びバッテリーを具備するものであってもよい。

【0033】

なお、本書類（明細書、特許請求の範囲又は図面など）において、AとBとが接続され

50

ている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。

【0034】

なお、本書類（明細書、特許請求の範囲又は図面など）に示すスイッチは、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、サイリスタなどを用いることが出来る。または、これらを組み合わせた論理回路をスイッチとして用いることが出来る。

10

【発明の効果】

【0035】

本発明は、通信距離や通信環境により安定でないことに起因する電源電圧が低下した際にスイッチをオフにし、通信距離や通信環境により安定であり電源電圧が一定である際にはスイッチをオンにすることができる。そのため、通信距離や通信環境により安定でないことに起因する電源電圧の変動により、基準電圧発生回路から出力される基準電圧が変動してしまう場合においても、定電圧回路の出力電圧を一定になるよう動作させる定電圧回路を提供することができる。

20

【発明を実施するための最良の形態】

【0036】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

30

（実施の形態1）

【0037】

本実施の形態では、本発明の定電圧回路に関して図面を参照して説明する。

【0038】

図1に示す定電圧回路100は、電圧制御用トランジスタ101、電圧制御用トランジスタ101のゲートに印加する電圧を出力する増幅器102、所望の基準電圧を生成する基準電圧発生回路103、電圧制御用トランジスタ101からの出力される電圧を分圧するための抵抗部104、増幅器102の反転入力端子と基準電圧発生回路103との間に設けられたスイッチ105、増幅器102の反転入力端子に inputs する電圧を保持するための容量素子106で構成されている。図1では、電圧制御用トランジスタ101に、pチャネル型トランジスタを用いた場合について説明する。

40

【0039】

図1に示す定電圧回路100において、pチャネル型トランジスタを用いた電圧制御用トランジスタ101は入力端子 V_{IN} と出力端子 V_{OUT} との間に接続されている。また抵抗部104は出力端子 V_{OUT} と接地電位 GND の間に接続されている。また抵抗部104においては、2つの抵抗が直列に接続されている。増幅器102の反転入力端子には基準電圧発生回路103からの基準電圧 V_S が、スイッチ105を介して入力されている。また増幅器102の反転入力端子と接地電位との間には、容量素子106が設けられて、増幅器102の反転入力端子に印加される電圧を保持している。増幅器102の非反転入

50

力端子には、出力端子 V_{OUT} の電圧が抵抗部104で分圧された電圧 V_r が入力されている。増幅器102は、電圧 V_r が基準電圧 V_s になるように電圧制御用トランジスタ101に電圧を出力することで動作制御を行う。

【0040】

なお本実施の形態における抵抗部104は、直列接続された抵抗素子151及び抵抗素子152を有する。抵抗素子151の一方の端子は出力端子 V_{OUT} に接続されている。また抵抗素子152の一方の端子は接地電位 GND に接続されている。また抵抗素子151の他方の端子と、抵抗素子152の他方の端子と、増幅器102の反転入力端子とが接続されている。なお、本発明の抵抗部は、増幅器102の非反転入力端子に電圧 V_r が入力されることで、増幅器102が電圧制御用トランジスタ101に電圧を出力することができるものである。

10

【0041】

また本発明の定電圧回路における電圧制御用トランジスタに、 n チャネル型トランジスタを用いることもできる。図24では、電圧制御トランジスタに n チャネル型トランジスタを用いた定電圧回路について示す。

【0042】

図24に示す定電圧回路2400は、 n チャネル型トランジスタを用いた電圧制御用トランジスタ2401、電圧制御用トランジスタ2401のゲートに印加する電圧を出力する増幅器2402、所望の基準電圧を生成する基準電圧発生回路2403、電圧制御用トランジスタ2401からの出力される電圧を分圧するための抵抗部2404、増幅器2402の非反転入力端子と基準電圧発生回路2403との間に設けられたスイッチ2405、増幅器2402の非反転入力端子に入力する電圧を保持するための容量素子2406で構成されている。

20

【0043】

図24に示す定電圧回路2400において、電圧制御用トランジスタ2401は入力端子 V_{IN} と出力端子 V_{OUT} との間に接続されている。また抵抗部2404は出力端子 V_{OUT} と接地電位 GND の間に接続されている。また抵抗部2404においては、2つの抵抗が直列に接続されている。増幅器2402の反転入力端子には基準電圧発生回路2403からの基準電圧 V_s が、スイッチ2405を介して入力されている。また増幅器2402の反転入力端子と接地電位との間には、容量素子2406が設けられて、増幅器2402の反転入力端子に印加される電圧を保持している。増幅器2402の非反転入力端子には、出力端子 V_{OUT} の電圧が抵抗部2404で分圧された電圧 V_r が入力されている。増幅器2402は、電圧 V_r が基準電圧 V_s になるように電圧制御用トランジスタ2401に電圧を出力することで動作制御を行う。

30

【0044】

なお本実施例における抵抗部2404は、直列接続された抵抗素子2451及び抵抗素子2452を有する。抵抗素子2451の一方の端子は出力端子 V_{OUT} に接続されている。また抵抗素子2452の一方の端子は接地電位 GND に接続されている。また抵抗素子2451の他方の端子と、抵抗素子2452の他方の端子と、増幅器2402の反転入力端子とが接続されている。なお、本発明の抵抗部は、増幅器2402の非反転入力端子に電圧 V_r が入力されることで、増幅器2402が電圧制御用トランジスタ2401に電圧を出力することができるものである。

40

【0045】

電圧制御用トランジスタとして、 p チャネル型トランジスタを用いた図1の送受信回路と、 n チャネル型トランジスタを用いた図24の送受信回路における違いは、増幅器と基準電圧発生回路の接続端子が反転入力端子または非反転入力端子であるかの点にある。本発明は、電圧制御用トランジスタとして、 p チャネル型トランジスタまたは n チャネル型トランジスタのいずれかを選択して用いることができる。以下、本実施の形態においては、図1の構成である電圧制御用トランジスタとして、 p チャネル型トランジスタを用いた送受信回路について説明する。

50

【 0 0 4 6 】

次に図 2 において、図 1 の定電圧回路 1 0 0 の構成を具体的に示した図面について示し、本発明について説明する。

【 0 0 4 7 】

図 2 に示す定電圧回路 1 0 0 は図 1 に示した定電圧回路と同様に、電圧制御用トランジスタ 1 0 1、電圧制御用トランジスタ 1 0 1 のゲートに印加する電圧を出力する増幅器 1 0 2、所望の基準電圧を生成する基準電圧発生回路 1 0 3、電圧制御用トランジスタ 1 0 1 からの出力される電圧を分圧するための抵抗部 1 0 4、増幅器 1 0 2 の反転入力端子と基準電圧発生回路 1 0 3 との間に設けられたスイッチ 1 0 5、増幅器 1 0 2 の反転入力端子に入力する電圧を保持するための容量素子 1 0 6 で構成されている。図 2 においては、基準電圧発生回路 1 0 3 の回路構成について具体的に示している。

10

【 0 0 4 8 】

図 2 に示す基準電圧発生回路 1 0 3 は、第 1 の P チャネル型トランジスタ 2 0 1、第 2 の P チャネル型トランジスタ 2 0 2、第 1 の N チャネル型トランジスタ 2 0 3、第 2 の N チャネル型トランジスタ 2 0 4、及び抵抗素子 2 0 5 で構成されている。なお図 2 に示す本発明の定電圧回路 1 0 0 における基準電圧発生回路 1 0 3 の構成は一例であって、増幅器 1 0 2 の反転入力端子に印加するための基準電圧 V_s を生成するものであればよい。

【 0 0 4 9 】

図 2 に示した基準電圧発生回路 1 0 3 の各トランジスタの接続について説明する。第 1 の P チャネル型トランジスタ 2 0 1 の第 1 端子は入力端子 V_{in} に接続されている。第 2 の P チャネル型トランジスタ 2 0 2 の第 1 端子は入力端子 V_{in} に接続されている。第 2 の P チャネル型トランジスタ 2 0 2 のゲートは第 1 の P チャネル型トランジスタ 2 0 1 のゲート、及び第 2 の P チャネル型トランジスタ 2 0 2 の第 2 端子に接続されている。第 1 の N チャネル型トランジスタ 2 0 3 の第 1 端子は第 1 の P チャネル型トランジスタ 2 0 1 の第 2 端子に接続されている。第 2 の N チャネル型トランジスタ 2 0 4 の第 1 端子は第 2 の P チャネル型トランジスタの第 2 端子に接続されている。第 2 の N チャネル型トランジスタ 2 0 4 のゲートは、第 1 の P チャネル型トランジスタ 2 0 1 の第 2 端子、及び第 1 の N チャネル型トランジスタ 2 0 3 の第 1 端子に接続されている。抵抗素子 2 0 5 の一方の端子は、第 1 の N チャネル型トランジスタのゲート、及び第 2 の N チャネル型トランジスタの第 2 端子に接続されている。第 1 の N チャネル型トランジスタ 2 0 3 の第 2 端子は、接地電位 GND に接続されている。抵抗素子 2 0 5 の他方の端子は、接地電位 GND に接続されている。スイッチ 1 0 5 の一方の端子には、第 1 の N チャネル型トランジスタ 2 0 3 のゲート、第 2 の N チャネル型トランジスタの第 2 端子、及び抵抗素子 2 0 5 の一方の端子が接続されている。

20

30

【 0 0 5 0 】

図 2 に示した基準電圧発生回路 1 0 3 は、入力端子 V_{in} に入力される電圧によりスイッチ 1 0 5 に基準電圧 V_s を出力する。図 2 における基準電圧発生回路 1 0 3 はカレントミラー回路を有するため、第 1 の P チャネル型トランジスタ 2 0 1 の第 1 端子及び第 2 の P チャネル型トランジスタ 2 0 2 の第 1 端子、すなわち入力端子 V_{in} に入力される電圧が、第 1 の P チャネル型トランジスタ 2 0 1 及び第 2 の P チャネル型トランジスタ 2 0 2 を飽和領域で駆動する電圧に設定されることが求められる。

40

【 0 0 5 1 】

次に本発明の従来の定電圧回路に比べて有利な点について図面を用い詳細に説明する。

【 0 0 5 2 】

図 3 (A) に示す入力端子 V_{in} に入力される電圧の波形の模式図である。定電圧回路の入力端子 V_{in} には、図 3 (A) に示す電圧の波形のように、振幅の減衰していない信号 3 0 1、または振幅の減衰した信号 3 0 2 が不定期に入力される。すなわち図 1 に示す定電圧回路 1 0 0 に入力される電源電圧、すなわち入力端子 V_{in} に入力される電圧は、電力の通信距離や通信環境により安定ではない。

【 0 0 5 3 】

50

図 3 (B) には、定電圧回路 1 0 0 の入力端子 V_{in} に入力される電圧について、振幅の減衰していない信号 3 0 1、振幅の減衰した信号 3 0 2 がそれぞれ復調 (検波) された模式図である。図 3 (B) において、振幅の減衰していない復調信号 3 0 3 と振幅の減衰した復調信号 3 0 4 とでは、定電圧回路 1 0 0 の入力端子 V_{in} に入力される電圧には隔たりのあり、振幅の減衰した復調信号 3 0 4 は当然電圧が小さい。

【 0 0 5 4 】

ここで図 2 において説明した第 1 の P チャネル型トランジスタ 2 0 1 及び第 2 の P チャネル型トランジスタ 2 0 2 を飽和領域で駆動する電圧を V_{lim} とする。図 3 (B) において入力端子 V_{in} に入力される電圧である振幅の減衰した復調信号 3 0 4 が電圧 V_{lim} より低下する際、定電圧回路における基準電圧発生回路は、基準電圧 V_s を出力し続けることが難しい。

10

【 0 0 5 5 】

図 4 を用いて、振幅の減衰した復調信号 3 0 4 の電圧の低下が、電圧 V_{lim} を下回った際、定電圧回路における基準電圧 V_s の不安定化につながることに付いて、説明する。図 4 には第 1 の P チャネル型トランジスタ 2 0 1 及び第 2 の P チャネル型トランジスタ 2 0 2 のトランジスタにおける $V_{ds} - I_{ds}$ 特性について示したものである。図 4 において、図 3 (B) で説明した振幅の減衰した復調信号 3 0 4 が定電圧回路に入力される状況では、入力電圧 V_{in} の変動が生じるため、トランジスタのソースとドレインの間にかかる電圧 V_{ds} が変動する。具体的には、定電圧回路への入力電圧 V_{in} の低下とともに電圧 V_{ds} は低下する。第 1 の P チャネル型トランジスタ 2 0 1 及び第 2 の P チャネル型トランジスタ 2 0 2 は、飽和領域で駆動する電圧 V_{lim} 以上でソースとドレインの間に流れる電流 I_{ds} が電圧 V_{ds} に因らずほぼ一定となるが、線形領域で駆動する電圧 V_{lim} 以下でソースとドレインの間に流れる電流 I_{ds} が電圧 V_{ds} に応じて変動する。そのため、図 3 (B) で説明した振幅の減衰した復調信号 3 0 4 が定電圧回路に入力される状況では、定電圧回路に入力される入力電圧 V_{in} に変動が生じるため、基準電圧 V_s が変動する。

20

【 0 0 5 6 】

そのため、本発明においては図 1 に示すように、定電圧回路に入力される入力電圧 V_{in} が電圧 V_{lim} を下回った際に、基準電圧発生回路 1 0 3 と増幅器 1 0 2 との間の電気的な接続を制御するためのスイッチを設けることを特徴としている。本発明はスイッチを具備することで、基準電圧発生回路 1 0 3 と増幅器 1 0 2 との間の電気的な接続を、図 3 (B) に示すように振幅の減衰した復調信号 3 0 4 が高電位の信号と低電位の信号とで、切り替えることができる。具体的には、定電圧回路に入力される入力電圧 V_{in} が高電位の信号のときスイッチをオンにし、入力電圧 V_{in} が低電位の信号のときスイッチをオフにする (図 3 (B) を参照) 。そのため、定電圧回路に入力される入力電圧 V_{in} が低電位の信号の電圧が電圧 V_{lim} を下回っていても、増幅器 1 0 2 の非反転入力端子に影響を与えることなく動作可能な定電圧回路を得ることができる。

30

【 0 0 5 7 】

なお、図 1 に示す定電圧回路においては、増幅器 1 0 2 の非反転入力端子に容量素子を設け、当該非反転入力端子に入力される電圧を保持する構成としたが、容量素子を設ける構成に限定されるものではない。

40

【 0 0 5 8 】

また図 1 に示したスイッチ 1 0 5 のオンまたはオフの制御は、本実施の形態で示したように、入力される信号に応じて切り替える構成でもよい。つまり本発明は、定電圧回路に入力される入力電圧 V_{in} として、高電位の信号と低電位の信号が入力されるが、低電位の信号が電圧 V_{lim} を下回る場合に本発明は有効である。

【 0 0 5 9 】

なおスイッチ 1 0 5 のオンまたはオフの制御の構成については、入力電圧 V_{in} をモニターし、電圧 V_{lim} を下回ったときにスイッチ 1 0 5 をオフにする信号を出力するモニター回路により制御する構成でもよい。モニター回路としては、入力電圧 V_{in} と電圧 V_{lim}

50

i_m が入力される比較回路等で構成すればよい。

【 0 0 6 0 】

以上説明したように、本発明の定電圧回路を用いることで、基準電圧発生回路から出力される基準電圧が変動してしまう場合においても、定電圧回路の出力電圧を一定になるよう動作させる定電圧回路を提供することができる。

(実施の形態 2)

【 0 0 6 1 】

本実施の形態では、上記実施の形態で示した定電圧回路を有し、且つ無線で情報の送受信が可能な半導体装置に関して図面を参照して説明する。

【 0 0 6 2 】

近年、超小型 IC チップと、無線通信用のアンテナを組み合わせた RF タグ等の半導体装置が脚光を浴びている。RF タグは、無線通信装置 (リーダ / ライタともいう) を使った通信信号 (動作磁界) の授受により、データを書き込み、データを読み出すことができる。

【 0 0 6 3 】

RF タグ等の無線で情報の送受信が可能な半導体装置の応用分野として、例えば、流通業界における商品管理が挙げられる。現在では、バーコードなどを利用した商品管理が主流であるが、バーコードは光学的に読み取るため、遮蔽物があるとデータを読み取れない。一方、RF タグでは、無線でデータを読み取るため、遮蔽物があっても読み取れる。従って、商品管理の効率化、低コスト化などが実現可能である。その他、乗車券、航空旅客券、料金の自動精算など、広範な応用が実現可能である。

【 0 0 6 4 】

本実施の形態では、本発明における半導体装置の一例として、図 5 を用いて説明する。図 5 は、RF タグのブロック図である。

【 0 0 6 5 】

図 5 の RF タグ 6 0 0 で、アンテナ 6 0 1 が無線信号を受信して生成される交流電圧は、信号処理回路 6 0 4 における復調回路 6 0 5 に入力される。通常、無線信号は 1 3 . 5 6 M H z 、 9 1 5 M H z などのキャリアを A S K (振幅偏移 ; A m p l i t u d e s h i f t k e y i n g) 変調、F S K (周波数偏移 ; F r e q u e n c y s h i f t k e y i n g) 変調などの処理をおこなって送られてくる。図 5 において、信号処理回路 6 0 4 が信号を処理するためには、電源電圧及び基準となるクロック信号が必要である。

【 0 0 6 6 】

図 5 において電源電圧は、アンテナ 6 0 1 で受信した交流電圧の信号を整流回路 6 0 3 で整流化及び平滑化して、直流電圧に変換された信号が電源回路 6 1 1 に入力され、生成される。電源回路 6 1 1 で生成された電源電圧は、信号処理回路 6 0 4 に出力される。

【 0 0 6 7 】

また図 5 において電源回路 6 1 1 からの電源電圧が、上記実施の形態で示した本発明の定電圧回路 6 1 2 に入力され、定電圧化された出力電圧がクロック生成回路 6 1 3 に入力される。クロック生成回路 6 1 3 は、入力される定電圧回路 6 1 2 からの出力電圧に基づき、クロック信号を出力する。なおクロック生成回路 6 1 3 は、リングオシレータ回路、水晶発振器、または電圧制御発振器 (V C O ; V o l t a g e C o n t r o l l e d O s c i l l a t o r) で構成する。本発明の定電圧回路を具備する半導体装置において、クロック生成回路 6 1 3 にリングオシレータを用いることにより高い周波数のクロック信号を生成することが容易になる。また本発明の定電圧回路を具備する半導体装置において、クロック生成回路 6 1 3 として電圧制御発振器を用いることにより、出力電圧にノイズが混入していても、安定したクロック信号を出力することができる。

【 0 0 6 8 】

図 5 において A S K 変調や P S K 変調された通信信号は復調回路 6 0 5 で復調される。復調後の信号は、論理回路 6 0 6 に送られ解析される。論理回路 6 0 6 で解析された信号はメモリコントロール回路 6 0 7 に送られる。そして、メモリコントロール回路 6 0 7 はメ

10

20

30

40

50

メモリ回路 608 を制御し、メモリ回路 608 に記憶されたデータを取り出し論理回路 609 に送る。データは、論理回路 609 でエンコード処理されたのち、変調回路 610 でキャリア信号に変調をかけられ、リーダ/ライタに送信される。

【0069】

なお、上記実施の形態 1 で説明した定電圧回路におけるスイッチは、復調回路で復調された信号に応じて、オンまたはオフを制御すればよい。例えば高電位の信号を復調した際には、スイッチをオンにし、低電位の信号を復調した際にはスイッチをオフにする構成とすればよい。

【0070】

次に、図 6 を用いて、図 5 で示した RF タグ 600 の模式図について説明する。なお、図 6 において、図 5 に相当する部分には、同一の番号を付し、説明を省略する。なお図 5 で示した整流回路 603、電源回路 611、定電圧回路 612、及びクロック生成回路 613 は、図 6 では信号処理回路と同じ基板上に形成されるものとして以下説明を行う。

【0071】

図 6 (a) に示す RF タグ 600 は、基板 701 上に、アンテナ 601、整流回路 603、電源回路 611、定電圧回路 612、クロック生成回路 613、及び信号処理回路 604 を有している。そして基板 701 と対向基板 713 との間に、アンテナ 601、整流回路 603、電源回路 611、定電圧回路 612、クロック生成回路 613、及び信号処理回路 604 が配置されている。アンテナ 601 は接続端子 720 及び接続端子 721 を備えている。アンテナ 601 は、接続端子 720 及び接続端子 721 のそれぞれが信号処理回路 604 と接続されている。

【0072】

信号処理回路 604 に含まれるトランジスタは、様々な形態のトランジスタを適用させることが出来る。よって、適用可能なトランジスタの種類に限定はない。したがって、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ (TFET)、半導体基板や SOI 基板を用いて形成されるトランジスタ、MOS 型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnO、a-InGaZnO などの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。

【0073】

基板 701 の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI 基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板などに形成することが出来る。また、ある基板に信号処理回路 604 を形成し、その後、別の基板に信号処理回路 604 を移動させて、別の基板上に配置するようにしてもよい。

【0074】

アンテナ 601 の形状については、特に限定されない。たとえば図 7 (A) のように基板 801 上の信号処理回路 802 の周りに一面のアンテナ 803 を配置しても良い。また、図 7 (B) のように基板 801 上の信号処理回路 802 の周りに細いアンテナ 803 を配置しても良い。また、図 7 (C) のように高周波の電磁波を受信するための形状をとってもよい。また、図 7 (D) のように 180 度無指向性の形状をとってもよい。また、図 7 (E) のように棒状に長く伸ばした形状をとってもよい。また、例えば、いわゆる、ダイポールアンテナ、ループアンテナ、八木アンテナ、パッチアンテナ又は微小アンテナなどの形状をとってもよい。

【0075】

図 6 (a) に示すアンテナ 601 は、信号処理回路 604 が形成された基板上に形成されていてもよいし、信号処理回路 604 の形成された基板とは別の基板上に形成してもよい。そして、アンテナ 601 を形成する基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI 基板、ガラス基板

10

20

30

40

50

、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板などに形成することが出来る。そして、アンテナ601を信号処理回路604の形成された基板と同じ基板に形成する場合には、スパッタリング法や、CVD法、スピンコーティング法などにより導電膜を形成し、導電膜をパターンングしてアンテナ601を形成してもよいし、インクジェット法に代表される液滴吐出法又はスクリーン印刷法などによりアンテナ601を形成してもよい。アンテナ601を信号処理回路604の形成された基板と別の基板に形成する場合にも上述した方法によりアンテナ601を形成することができるが、好ましくは、特にスクリーン印刷法によりアンテナ601を形成するとよい。

【0076】

なお、信号処理回路604の形成された基板とアンテナ601との接続は公知の方法で行うことができる。例えばアンテナと信号処理回路とをワイヤボンディング接続やバンプ接続を用いて接続する、あるいはチップ化した信号処理回路の形成された基板一面を電極にしてアンテナに貼り付けるという方法を取ってもよい。この方式ではACF(anisotropic conductive film;異方性導電性フィルム)を用いて貼り付けることができる。

10

【0077】

また、アンテナに必要な長さは受信に用いる周波数によって適正な長さが異なる。そのため、一般には波長の整数分の1の長さにし、例えば周波数が2.45GHzの場合は約60mm(1/2波長)、約30mm(1/4波長)とすれば良い。

【0078】

20

また、図6(a)において、アンテナ601は信号処理回路604と共に同じ基板上に積層して設ける構成としているが、外付けのアンテナとして設けられるものであっても良い。なお、図6(a)に示すようにアンテナ601を信号処理回路604と共に同じ基板701上に積層して設ける場合には、好ましくは、アンテナ形状を微小ループアンテナや、微小ダイポールアンテナなどの形状のアンテナとするとよい。

【0079】

また、図6(a)において、アンテナ601と信号処理回路604を共に同じ基板上に積層して設け、別の外付けアンテナと接触して設ける構成としてもよい。小型の信号処理回路604と大型の外付けアンテナを直接接続することより、アンテナ601を介して、小型の信号処理回路と別の外付けアンテナとの接続を簡易的に行うことができる。

30

【0080】

なお、本実施の形態は、本明細書の他の実施の形態の技術的要素と組み合わせて行うことができる。すなわち本実施の形態は、アンテナで受信した信号に基づく定電圧回路への電源電圧の変動によって、基準電圧発生回路から出力される基準電圧の変動が生じた場合においても、定電圧回路の出力電圧を一定にすることができる。よって、本発明の定電圧回路を具備する半導体装置においては、ばらつきの小さいクロック信号を生成し、信号処理回路を駆動することができるため、半導体装置の信頼性の向上を図ることができる。

(実施の形態3)

【0081】

本実施の形態では、上記実施の形態で示した半導体装置において、アンテナで受信する電磁波により充電可能なバッテリーを設けた半導体装置の一例に関して図面を参照して説明する。

40

【0082】

本実施の形態で示す半導体装置に関して図8に示すRFタグを例にして説明する。

【0083】

図8に示すRFタグ900は、整流回路603、電源回路901、定電圧回路612、クロック生成回路613、及び信号処理回路604を有している。

【0084】

電源回路901は、充電制御回路902、放電制御回路903、バッテリー904を有している。また、信号処理回路604は、復調回路605、論理回路606、メモリコン

50

トロール回路 607、メモリ回路 608、論理回路 609、変調回路 610 によって構成される。なお、上記実施の形態 2 における図 5 の構成との違いは、RF タグ 600 における電源回路 901 がバッテリー 904、充電制御回路 902、及び放電制御回路 903 にある。

【0085】

図 8 の RF タグ 900 では、リーダ/ライタ 951 より送信されアンテナ 601 により受信した通信信号が、信号処理回路 604 における復調回路 605 に入力される。通常、通信信号は 13.56 MHz、915 MHz などのキャリアを ASK 変調、PSK 変調などの処理をおこなって送られてくる。リーダ/ライタ 951 から送信される通信信号は、RF タグ 900 におけるバッテリー 904 を充電するための電磁波の周波数も同じであることが望ましい。なお、充電のための電磁波と、通信信号とを同一の周波数帯にすることでアンテナ 601 を充電用のアンテナ及び通信用のアンテナで共有にすることができる。アンテナ 601 を共有化することにより、RF タグの小型化を達成することができる。

10

【0086】

図 8 において、アンテナ 601 で受信した通信信号を含む交流電圧の信号は、整流回路 603 で整流化及び平滑化して、直流電圧に変換された信号が電源回路 901 に入力され、バッテリー 904 の充電に用いられる。電源回路 901 のバッテリーの蓄積された電力は、電源電圧として信号処理回路 604 に出力される。電源回路 901 における各構成の制御については、後で詳述する。

【0087】

また図 8 において電源回路 901 からの電源電圧が、上記実施の形態で示した本発明の定電圧回路 612 に入力され、定電圧化された出力電圧がクロック生成回路 613 に入力される。クロック生成回路 613 は、入力される定電圧回路 612 からの出力電圧に基づき、クロック信号を出力する。なおクロック生成回路 613 は、リングオシレータ回路、水晶発振器、または電圧制御発振器 (VCO; Voltage Controlled Oscillator) で構成する。本発明の定電圧回路を具備する半導体装置において、クロック生成回路 613 にリングオシレータを用いることにより高い周波数のクロック信号を生成することが容易になる。また本発明の定電圧回路を具備する半導体装置において、クロック生成回路 613 として電圧制御発振器を用いることにより、出力電圧にノイズが混入していても、安定したクロック信号を出力することができる。

20

30

【0088】

図 8 において ASK 変調や PSK 変調された通信信号は復調回路 605 で復調される。復調後の信号は、論理回路 606 に送られ解析される。論理回路 606 で解析された信号はメモリコントロール回路 607 に送られる。そして、メモリコントロール回路 607 はメモリ回路 608 を制御し、メモリ回路 608 に記憶されたデータを取り出し論理回路 609 に送る。データは、論理回路 609 でエンコード処理されたのち、変調回路 610 でキャリア信号に変調をかけられ、リーダ/ライタに送信される。

【0089】

なお、上記実施の形態 1 で説明した定電圧回路におけるスイッチは、復調回路で復調された信号に応じて、オンまたはオフを制御すればよい。例えば高電位の信号を復調した際には、スイッチをオンにし、低電位の信号を復調した際にはスイッチをオフにする構成とすればよい。

40

【0090】

次に、図 9 を用いて、図 8 で示した RF タグ 900 の模式図について説明する。なお、図 9 において、図 8 に相当する部分には、同一の番号を付し、説明を省略する。なお図 8 で示した整流回路 603、定電圧回路 612、充電制御回路 902、放電制御回路 903、及びクロック生成回路 613 は、図 9 では信号処理回路と同じ基板上に形成されるものとして以下説明を行う。

【0091】

図 9 (a) に示す RF タグ 600 は、基板 701 上に、アンテナ 601、整流回路 603

50

、充電制御回路 902、放電制御回路 903、定電圧回路 612、クロック生成回路 613、及び信号処理回路 604を有している。そして基板 701と対向基板 713との間に、アンテナ 601、整流回路 603、充電制御回路 902、放電制御回路 903、バッテリー 904、定電圧回路 612、クロック生成回路 613、及び信号処理回路 604が配置されている。アンテナ 601は接続端子 720及び接続端子 721を備えている。アンテナ 601は、接続端子 720及び接続端子 721のそれぞれが信号処理回路 604と接続されている。

【0092】

信号処理回路 604に含まれるトランジスタは、様々な形態のトランジスタを適用させることが出来る。よって、適用可能なトランジスタの種類に限定はない。したがって、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnO、a-InGaZnOなどの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。

10

【0093】

基板 701の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板などに形成することが出来る。また、ある基板に信号処理回路 604を形成し、その後、別の基板に信号処理回路 604を移動させて、別の基板上に配置するようにしてもよい。

20

【0094】

アンテナ 601の形状については、特に限定されない。たとえば図7に示したいずれかの形状のアンテナを用いて形成すればよい。

【0095】

なお、図7においては、バッテリーに相当するものは記載されていないが本実施の形態で説明する本発明の定電圧回路を具備する半導体装置には、バッテリーが設けられる。

【0096】

また図8において、アンテナ 601がリーダ/ライタ 951からバッテリー 904を充電するための電磁波を受信した場合の動作の一例について説明する。なお本実施の形態においては、充電制御回路 902に第1のスイッチが設けられ、放電制御回路 903に第2のスイッチが設けられている例を示す。

30

【0097】

まず、リーダ/ライタ 951から電磁波が送信されると、アンテナ 601がリーダ/ライタ 951から送信された電磁波の受信を開始する。そして、バッテリー 904の電力を他の回路へ供給しないように放電制御回路 903に設けられた第2のスイッチをオフにする。

【0098】

次に、充電制御回路 902に設けられた第1のスイッチがオンして、整流回路 603を介して整流化及び平滑化された信号により、バッテリー 904の充電が開始される。そして、バッテリー 904の電圧が所定の電圧値以上になった場合に、充電制御回路 902に設けられた第1のスイッチをオフし、充電を停止する。

40

【0099】

次に、第1のスイッチのオフと同時又はその後に第2のスイッチをオンして、放電制御回路 903を介して信号処理回路 604及び定電圧回路 612に電力を供給し、RFタグ 900は、通信を開始する信号が含まれた電磁波(以下、単に「信号」と記す場合がある)をリーダ/ライタ 951に送信する。

【0100】

なお、図8に示した構成では、整流回路 603と信号処理回路 604にアンテナ 601

50

を共有させて設けた場合を示したが、整流回路 603 と信号処理回路 604 にそれぞれアンテナを設けた構成としてもよい。例えば整流回路 603 に第 1 のアンテナ回路を設け、信号処理回路 604 に第 2 のアンテナ回路をそれぞれ設けた構成でもよい。なお、整流回路 603 に第 1 のアンテナ回路を設け、信号処理回路 604 に第 2 のアンテナ回路をそれぞれ設けることで、第 1 のアンテナ回路には外部に無作為に生じている電磁波を受信させ、第 2 のアンテナ回路にはリーダ/ライター 951 から発信された特定の波長を有する電磁波を受信させることができる。

【0101】

なおバッテリー 904 には、リチウム電池、リチウムポリマー電池、リチウムイオン電池、ニッケル水素電池、ニカド電池、有機ラジカル電池、鉛蓄電池、空気二次電池、ニッケル亜鉛電池、銀亜鉛電池または、コンデンサー等を用いることができる。

10

【0102】

以上のように、無線で充電可能なバッテリーを設けることによって、半導体装置に設けられたバッテリーの充電を容易に行うことが可能となる。また、一定の時間をかけて電磁波を受信してバッテリーの充電を行い、蓄電された電力をパルス的に放電することによって、バッテリーの充電に利用する電磁波が微弱な場合であっても、バッテリーから負荷部に大きい電力を供給することができる。

【0103】

なお、本実施の形態は、本明細書の他の実施の形態の技術的要素と組み合わせて行うことができる。すなわち本実施の形態は、アンテナで受信した信号に基づく定電圧回路への電源電圧の変動によって、基準電圧発生回路から出力される基準電圧の変動が生じた場合においても、定電圧回路の出力電圧を一定にすることができる。よって、本発明の定電圧回路を具備する半導体装置においては、ばらつきの小さいクロック信号を生成し、信号処理回路を駆動することができるため、半導体装置の信頼性の向上を図ることができる。

20

【実施例 1】

【0104】

本実施例では、上記実施の形態で示した半導体装置の作製方法の一例に関して、図面を参照して説明する。本実施例においては、半導体装置におけるアンテナ、バッテリー、信号処理回路を同一基板上に薄膜トランジスタを用いて設ける構成について説明する。なお、基板上に一度にアンテナ、バッテリー、信号処理回路を形成することで、小型化を図ることができるため好適である。また、バッテリーとしては薄膜の二次電池を用いた例について説明する。

30

【0105】

まず、基板 1301 の一表面に絶縁膜 1302 を介して剥離層 1303 を形成し、続けて下地膜として機能する絶縁膜 1304 と半導体膜 1305（例えば、非晶質珪素を含む膜）を積層して形成する（図 10（A）参照）。なお、絶縁膜 1302、剥離層 1303、絶縁膜 1304 および半導体膜 1305 は、連続して形成することができる。

【0106】

基板 1301 は、ガラス基板、石英基板、金属基板（例えばセラミック基板またはステンレス基板など）、Si 基板等の半導体基板などから選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフィン（PES）、アクリルなどの基板を選択することもできる。なお、本工程では、剥離層 1303 は、絶縁膜 1302 を介して基板 1301 の全面に設けているが、必要に応じて、基板 1301 の全面に剥離層を設けた後に、フォトリソグラフィ法により選択的に設けてもよい。

40

【0107】

絶縁膜 1302、絶縁膜 1304 は、CVD 法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン（ SiO_xN_y ）（ $x > y > 0$ ）、窒化酸化シリコン（ SiN_xO_y ）（ $x > y > 0$ ）等の絶縁材料を用いて形成する。例えば、絶縁膜 1302、1304 を 2 層構造とする場合、第 1 層目の絶縁膜として窒化酸化シリコン膜を

50

形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。絶縁膜1302は、基板1301から剥離層1303又はその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能し、絶縁膜1304は基板1301、剥離層1303からその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能する。このように、ブロッキング層として機能する絶縁膜1302、1304を形成することによって、基板1301からNaなどのアルカリ金属やアルカリ土類金属が、剥離層1303から剥離層に含まれる不純物元素がこの上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板1301として石英を用いるような場合には絶縁膜1302、1304を省略してもよい。

10

【0108】

剥離層1303は、金属膜や金属膜と金属酸化膜の積層構造等を用いることができる。金属膜としては、タングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)から選択された元素または元素を主成分とする合金材料若しくは化合物材料からなる膜を単層又は積層して形成する。また、これらの材料は、スパッタ法やプラズマCVD法等の各種CVD法等を用いて形成することができる。金属膜と金属酸化膜の積層構造としては、上述した金属膜を形成した後に、酸素雰囲気酸化または N_2O 雰囲気気下におけるプラズマ処理、酸素雰囲気酸化または N_2O 雰囲気気下における加熱処理を行うことによって、金属膜表面に当該金属膜の酸化物または酸化窒化物を設けることができる。例えば、金属膜としてスパッタ法やCVD法等によりタングステン膜を設けた場合、タングステン膜にプラズマ処理を行うことによって、タングステン膜表面にタングステン酸化物からなる金属酸化膜を形成することができる。また、この場合、タングステンの酸化物は、 WO_x で表され、 x は2~3であり、 x が2の場合(WO_2)、 x が2.5の場合(W_2O_5)、 x が2.75の場合(W_4O_{11})、 x が3の場合(WO_3)などがある。タングステンの酸化物を形成するにあたり、上記に挙げた x の値に特に制約はなく、エッチングレート等を基に、どの酸化物を形成するかを決めるとよい。他にも、例えば、金属膜(例えば、タングステン)を形成した後に、当該金属膜上にスパッタ法で酸化珪素(SiO_2)等の絶縁膜を設けると共に、金属膜上に金属酸化物(例えば、タ

20

30

【0109】

非晶質半導体膜1305は、スパッタリング法、LPCVD法、プラズマCVD法等により、25~200nm(好ましくは30~150nm)の厚さで形成する。

【0110】

次に、非晶質半導体膜1305にレーザー光を照射して結晶化を行う。なお、レーザー光の照射と、RTA又はファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により非晶質半導体膜1305の結晶化を行ってもよい。その後、得られた結晶質半導体膜を所望の形状にエッチングして、結晶質半導体膜1305a~1305fを形成し、当該半導体膜1305a~1305fを覆うようにゲート絶縁膜1306を形成する(図10(B)参照)。

40

【0111】

ゲート絶縁膜1306は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xNy)($x>y>0$)、窒化酸化シリコン($SiNxOy$)($x>y>0$)等の絶縁材料を用いて形成する。例えば、ゲート絶縁膜1306を2層構造とする場合、第1層目の絶縁膜として酸化窒化シリコン膜を形成し、第2層目の絶縁膜として窒化酸化シリコン膜を形成するとよい。また、第1層目の絶縁膜として

50

酸化シリコン膜を形成し、第2層目の絶縁膜として窒化シリコン膜を形成してもよい。

【0112】

結晶質半導体膜1305a~1305fの作製工程の一例を以下に簡単に説明すると、まず、プラズマCVD法を用いて、膜厚50~60nmの非晶質半導体膜を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体膜上に保持させた後、非晶質半導体膜に脱水素化の処理(500、1時間)と、熱結晶化の処理(550、4時間)を行って結晶質半導体膜を形成する。その後、レーザー光を照射し、フォトリソグラフィ法を用いることによって結晶質半導体膜1305a~1305fを形成する。なお、結晶化を助長する金属元素を用いる熱結晶化を行わずに、レーザー光の照射だけで非晶質半導体膜の結晶化を行ってもよい。

10

【0113】

結晶化に用いるレーザー発振器としては、連続発振型のレーザービーム(CWレーザービーム)やパルス発振型のレーザービーム(パルスレーザービーム)を用いることができる。ここで用いることができるレーザービームは、Arレーザー、Krレーザー、エキシマレーザーなどの気体レーザー、単結晶のYAG、YVO₄、フォルステライト(Mg₂SiO₄)、YAlO₃、GdVO₄、若しくは多結晶(セラミック)のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、Ti:サファイアレーザー、銅蒸気レーザーまたは金蒸気レーザーのうち一種または複数種から発振されるものを用いることができる。このようなレーザービームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザービームを照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO₄レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いることができる。このときレーザーのパワー密度は0.01~100MW/cm²程度(好ましくは0.1~10MW/cm²)が必要である。そして、走査速度を10~2000cm/sec程度として照射する。なお、単結晶のYAG、YVO₄、フォルステライト(Mg₂SiO₄)、YAlO₃、GdVO₄、若しくは多結晶(セラミック)のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、Arイオンレーザー、またはTi:サファイアレーザーは、連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザービームを発振させると、半導体膜がレーザーによって熔融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

20

30

【0114】

また、ゲート絶縁膜1306は、半導体膜1305a~1305fに対し前述の高密度プラズマ処理を行い、表面を酸化又は窒化することで形成しても良い。例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素(NO₂)、アンモニア、窒素、水素などの混合ガスを導入したプラズマ処理で形成する。この場合のプラズマの励起は、マイクロ波の導入により行くと、低電子温度で高密度のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体膜の表面を酸化又は窒化することができる。

40

【0115】

このような高密度プラズマを用いた処理により、1~20nm、代表的には5~10nmの絶縁膜が半導体膜に形成される。この場合の反応は、固相反応であるため、当該絶縁膜と半導体膜との界面準位密度はきわめて低くすることができる。このような、高密度プラ

50

ズマ処理は、半導体膜（結晶性シリコン、或いは多結晶シリコン）を直接酸化（若しくは窒化）するため、形成される絶縁膜の厚さは理想的には、ばらつきをきわめて小さくすることができる。加えて、結晶性シリコンの結晶粒界でも酸化が強くされることがないため、非常に好ましい状態となる。すなわち、ここで示す高密度プラズマ処理で半導体膜の表面を固相酸化することにより、結晶粒界において異常に酸化反応をさせることなく、均一性が良く、界面準位密度が低い絶縁膜を形成することができる。

【0116】

ゲート絶縁膜は、高密度プラズマ処理によって形成される絶縁膜のみを用いても良いし、それにプラズマや熱反応を利用したCVD法で酸化シリコン、酸窒化シリコン、窒化シリコンなどの絶縁膜を堆積し、積層させても良い。いずれにしても、高密度プラズマで形成した絶縁膜をゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを小さくすることができる。

10

【0117】

また、半導体膜に対し、連続発振レーザー若しくは10MHz以上の周波数で発振するレーザービームを照射しながら一方向に走査して結晶化させて得られた半導体膜1305a~1305fは、そのビームの走査方向に結晶が成長する特性がある。その走査方向をチャンネル長方向（チャンネル形成領域が形成されたときにキャリアが流れる方向）に合わせてトランジスタを配置し、上記ゲート絶縁層を組み合わせることで、特性ばらつきが小さく、しかも電界効果移動度が高い薄膜トランジスタ（TFET）を得ることができる。

【0118】

次に、ゲート絶縁膜1306上に、第1の導電膜と第2の導電膜とを積層して形成する。ここでは、第1の導電膜は、CVD法やスパッタリング法等により、20~100nmの厚さで形成する。第2の導電膜は、100~400nmの厚さで形成する。第1の導電膜と第2の導電膜は、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。または、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成する。第1の導電膜と第2の導電膜の組み合わせの例を挙げると、窒化タンタル膜とタングステン膜、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、第1の導電膜と第2の導電膜を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2層構造ではなく、3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

20

30

【0119】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極とゲート線を形成するためのエッチング処理を行って、半導体膜1305a~1305fの上方にゲート電極1307を形成する。ここでは、ゲート電極1307として、第1の導電膜1307aと第2の導電膜1307bの積層構造で設けた例を示している。

【0120】

次に、ゲート電極1307をマスクとして半導体膜1305a~1305fに、イオンドーピング法またはイオン注入法により、n型を付与する不純物元素を低濃度に添加し、その後、フォトリソグラフィ法によりレジストからなるマスクを選択的に形成して、p型を付与する不純物元素を高濃度に添加する。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、n型を付与する不純物元素としてリン（P）を用い、 $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度で含まれるように半導体膜1305a~1305fに選択的に導入し、n型を示す不純物領域1308を形成する。また、p型を付与する不純物元素としてボロン（B）を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように選択的に半導体膜1305c、1305eに導入し、p型を示す不純物領域1309を形成する（図10（C）参照）。

40

50

【0121】

続いて、ゲート絶縁膜1306とゲート電極1307を覆うように、絶縁膜を形成する。絶縁膜は、プラズマCVD法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。次に、絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極1307の側面に接する絶縁膜1310（サイドウォールともよばれる）を形成する。絶縁膜1310は、LDD（Lightly Doped drain）領域を形成する際のドーピング用のマスクとして用いる。

【0122】

続いて、フォトリソグラフィ法により形成したレジストからなるマスクと、ゲート電極1307および絶縁膜1310をマスクとして用いて、半導体膜1305a、1305b、1305d、1305fにn型を付与する不純物元素を高濃度に添加して、n型を示す不純物領域1311を形成する。ここでは、n型を付与する不純物元素としてリン（P）を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように半導体膜1305a、1305b、1305d、1305fに選択的に導入し、不純物領域1308より高濃度のn型を示す不純物領域1311を形成する。

【0123】

以上の工程により、nチャネル型薄膜トランジスタ1300a、1300b、1300d、1300fとpチャネル型薄膜トランジスタ1300c、1300eが形成される（図10（D）参照）。

【0124】

nチャネル型薄膜トランジスタ1300aは、ゲート電極1307と重なる半導体膜1305aの領域にチャネル形成領域が形成され、ゲート電極1307及び絶縁膜1310と重ならない領域にソース領域又はドレイン領域を形成する不純物領域1311が形成され、絶縁膜1310と重なる領域であってチャネル形成領域と不純物領域1311の間に低濃度不純物領域（LDD領域）が形成されている。また、nチャネル型薄膜トランジスタ1300b、1300d、1300fも同様にチャネル形成領域、低濃度不純物領域及び不純物領域1311が形成されている。

【0125】

pチャネル型薄膜トランジスタ1300cは、ゲート電極1307と重なる半導体膜1305cの領域にチャネル形成領域が形成され、ゲート電極1307と重ならない領域にソース領域又はドレイン領域を形成する不純物領域1309が形成されている。また、pチャネル型薄膜トランジスタ1300eも同様にチャネル形成領域及び不純物領域1309が形成されている。なお、ここでは、pチャネル型薄膜トランジスタ1300c、1300eには、LDD領域を設けていないが、pチャネル型薄膜トランジスタにLDD領域を設けてもよいし、nチャネル型薄膜トランジスタにLDD領域を設けない構成としてもよい。

【0126】

次に、半導体膜1305a～1305f、ゲート電極1307等を覆うように、絶縁膜を単層または積層して形成し、当該絶縁膜上に薄膜トランジスタ1300a～1300fのソース領域又はドレイン領域を形成する不純物領域1309、1311と電氣的に接続する導電膜1313を形成する（図11（A）参照）。絶縁膜は、CVD法、スパッタ法、SOG法、液滴吐出法、スクリーン印刷法等により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等により、単層または積層で形成する。ここでは、当該絶縁膜を2層で設け、1層目の絶縁膜1312aとして窒化酸化珪素膜で形成し、2層目の絶縁膜1312bとして酸化窒化珪素膜で形成する。また、導電膜1313は、薄膜トランジスタ1300a～1300fのソース電極又はドレイン電極を形成しうる。

【0127】

なお、絶縁膜1312a、1312bを形成する前、または絶縁膜1312a、1312

10

20

30

40

50

bのうちの1つまたは複数の薄膜を形成した後に、半導体膜の結晶性の回復や半導体膜に添加された不純物元素の活性化、半導体膜の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザーアニール法またはRTA法などを適用するとよい。

【0128】

導電膜1313は、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜1313は、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン(TiN)膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜1313を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

【0129】

次に、導電膜1313を覆うように、絶縁膜1314を形成し、当該絶縁膜1314上に、薄膜トランジスタ1300a、1300fのソース電極又はドレイン電極を形成する導電膜1313とそれぞれ電氣的に接続する導電膜1315a、1315bを形成する。また、薄膜トランジスタ1300b、1300eのソース電極又はドレイン電極を形成する導電膜1313とそれぞれ電氣的に接続する導電膜1316を形成する。なお、導電膜1315a、1315bと導電膜1316は同一の材料で同時に形成してもよい。導電膜1315a、1315bと導電膜1316は、上述した導電膜1313で示したいずれかの材料を用いて形成することができる。

【0130】

続いて、導電膜1316にアンテナとして機能する導電膜1317が電氣的に接続されるように形成する(図11(B)参照)。

【0131】

絶縁膜1314は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0132】

導電膜1317は、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム(Al)、チタン(Ti)、銀(Ag)、銅(Cu)、金(Au)、白金(Pt)、ニッケル(Ni)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは

化合物材料で、単層構造又は積層構造で形成する。

【0133】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電膜1317を形成する場合には、粒径が数nmから数十 μ mの導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀(Ag)、金(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)およびチタン(Ti)等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、珪素樹脂等の有機樹脂が挙げられる。また、導電膜の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子(例えば粒径1nm以上100nm以下)を用いる場合、150~300の温度範囲で焼成することにより硬化させて導電膜を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径20 μ m以下の微粒子を用いることが好ましい。はんだや鉛フリーのはんだは、低コストであるといった利点を有している。

10

【0134】

また、導電膜1315a、1315bは、後の工程において本発明の半導体装置に含まれる二次電池と電氣的に接続される配線として機能しうる。また、アンテナとして機能する導電膜1317を形成する際に、導電膜1315a、1315bに電氣的に接続するように別途導電膜を形成し、当該導電膜を二次電池に接続する配線として利用してもよい。

20

【0135】

次に、導電膜1317を覆うように絶縁膜1318を形成した後、薄膜トランジスタ1300a~1300f、導電膜1317等を含む層(以下、「素子形成層1319」と記す)を基板1301から剥離する。ここでは、レーザー光(例えばUV光)を照射することによって、薄膜トランジスタ1300a~1300fを避けた領域に開口部を形成後(図11(C)参照)、物理的な力を用いて基板1301から素子形成層1319を剥離することができる。また、基板1301から素子形成層1319を剥離する前に、形成した開口部にエッチング剤を導入して、剥離層1303を選択的に除去してもよい。エッチング剤は、フッ化ハロゲンまたはハロゲン間化合物を含む気体又は液体を使用する。例えば、フッ化ハロゲンを含む気体として三フッ化塩素(ClF₃)を使用する。そうすると、素子形成層1319は、基板1301から剥離された状態となる。なお、剥離層1303は、全て除去せず一部分を残存させてもよい。こうすることによって、エッチング剤の消費量を抑え剥離層の除去に要する処理時間を短縮することが可能となる。また、剥離層1303の除去を行った後にも、基板1301上に素子形成層1319を保持しておくことが可能となる。また、素子形成層1319が剥離された基板1301を再利用することによって、コストの削減をすることができる。

30

【0136】

絶縁膜1318は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)($x>y$)、窒化酸化珪素(SiN_xO_y)($x>y$)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。

40

【0137】

本実施例では、レーザー光の照射により素子形成層1319に開口部を形成した後に、当該素子形成層1319の一方の面(絶縁膜1318の露出した面)に第1のシート材1320を貼り合わせた後、基板1301から素子形成層1319を剥離する(図12(A)参照)。

50

【0138】

次に、素子形成層1319の他方の面（剥離により露出した面）に、第2のシート材1321を貼り合わせた後、加熱処理と加圧処理の一方又は両方を行って第2のシート材1321を貼り合わせる（図12（B）参照）。第1のシート材1320、第2のシート材1321として、ホットメルトフィルム等を用いることができる。

【0139】

また、第1のシート材1320、第2のシート材1321として、静電気等を防止する帯電防止対策を施したフィルム（以下、帯電防止フィルムと記す）を用いることもできる。帯電防止フィルムとしては、帯電防止可能な材料を樹脂中に分散させたフィルム、及び帯電防止可能な材料が貼り付けられたフィルム等が挙げられる。帯電防止可能な材料が設けられたフィルムは、片面に帯電防止可能な材料を設けたフィルムであってもよいし、両面に帯電防止可能な材料を設けたフィルムであってもよい。さらに、片面に帯電防止可能な材料が設けられたフィルムは、帯電防止可能な材料が設けられた面をフィルムの内側になるように層に貼り付けてもよいし、フィルムの外側になるように貼り付けてもよい。なお、帯電防止可能な材料はフィルムの全面、あるいは一部に設けてあればよい。ここでの帯電防止可能な材料としては、金属、インジウムと錫の酸化物（ITO）、両性界面活性剤や陽イオン性界面活性剤や非イオン性界面活性剤等の界面活性剤を用いることができる。また、他にも帯電防止材料として、側鎖にカルボキシル基および4級アンモニウム塩基をもつ架橋性共重合体高分子を含む樹脂材料等を用いることができる。これらの材料をフィルムに貼り付けたり、練り込んだり、塗布することによって帯電防止フィルムとすることができる。帯電防止フィルムで封止を行うことによって、商品として取り扱う際に、外部からの静電気等によって半導体素子に悪影響が及ぶことを抑制することができる。

【0140】

なお、電源回路の保持容量は、薄膜の二次電池を導電膜1315a、1315bに接続して形成されるが、二次電池との接続は、基板1301から素子形成層1319を剥離する前（図11（B）又は図11（C）の段階）に行ってもよいし、基板1301から素子形成層1319を剥離した後（図12（A）の段階）に行ってもよいし、素子形成層1319を第1のシート材及び第2のシート材で封止した後（図12（B）の段階）に行ってもよい。以下に、素子形成層1319と二次電池を接続して形成する一例を図13、図14を用いて説明する。

【0141】

図11（B）において、アンテナとして機能する導電膜1317と同時に導電膜1315a、1315bにそれぞれ電氣的に接続する導電膜1331a、1331bを形成する。続けて、導電膜1317、導電膜1331a、1331bを覆うように絶縁膜1318を形成した後、導電膜1331a、1331bの表面が露出するように開口部1332a、1332bを形成する。その後、レーザー光の照射により素子形成層1319に開口部を形成した後に、当該素子形成層1319の一方の面（絶縁膜1318の露出した面）に第1のシート材1320を貼り合わせた後、基板1301から素子形成層1319を剥離する（図13（A）参照）。

【0142】

次に、素子形成層1319の他方の面（剥離により露出した面）に、第2のシート材1321を貼り合わせた後、素子形成層1319を第1のシート材1320から剥離する。従って、ここでは第1のシート材1320として粘着力が弱いものを用いる。続けて、開口部1332a、1332bを介して導電膜1331a、1331bとそれぞれ電氣的に接続する導電膜1334a、1334bを選択的に形成する（図13（B）参照）。

【0143】

導電膜1334a、導電膜1334bは、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム（Al）、チタン（Ti）、銀（Ag）、銅（Cu）、金（Au）、白金（Pt）、ニッケル（Ni）、パラジウム（Pd）、タ

10

20

30

40

50

ンタル (Ta)、モリブデン (Mo) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

【0144】

なお、ここでは、基板 1301 から素子形成層 1319 を剥離した後に導電膜 1334a、1334b を形成する例を示しているが、導電膜 1334a、1334b を形成した後に基板 1301 から素子形成層 1319 の剥離を行ってもよい。

【0145】

次に、基板上に複数の素子を形成している場合には、素子形成層 1319 を素子ごとに分断する (図 14 (A) 参照)。分断は、レーザー照射装置、ダイシング装置、スクライプ装置等を用いることができる。ここでは、レーザー光を照射することによって 1 枚の基板に形成された複数の素子を各々分断する。

10

【0146】

次に、分断された素子を二次電池と電氣的に接続する (図 14 (B) 参照)。本実施例においては、電源回路の保持容量としては薄膜の二次電池が用いられ、集電体薄膜、負極活物質層、固体電解質層、正極活物質層、集電体薄膜の薄膜層が順次積層される。

【0147】

導電膜 1336a、導電膜 1336b は、CVD 法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム (Al)、チタン (Ti)、銀 (Ag)、銅 (Cu)、金 (Au)、白金 (Pt)、ニッケル (Ni)、パラジウム (Pd)、タンタル (Ta)、モリブデン (Mo) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。導電性材料としては、負極活物質と密着性がよく、抵抗が小さいことが求められ、特にアルミニウム、銅、ニッケル、バナジウムなどが好適である。

20

【0148】

薄膜の二次電池の構成について次いで詳述すると、導電膜 1336a 上に負極活物質層 1381 を成膜する。一般には酸化バナジウム (V_2O_5) などが用いられる。次に負極活物質層 1381 上に固体電解質層 1382 を成膜する。一般にはリン酸リチウム (Li_3PO_4) などが用いられる。次に固体電解質層 1382 上に正極活物質層 1383 を成膜する。一般にはマンガン酸リチウム ($LiMn_2O_4$) などが用いられる。コバルト酸リチウム ($LiCoO_2$) やニッケル酸リチウム ($LiNiO_2$) を用いても良い。次に正極活物質層 1383 上に電極となる集電体薄膜 1384 を成膜する。集電体薄膜 1384 は正極活物質層 1383 と密着性がよく、抵抗が小さいことが求められ、アルミニウム、銅、ニッケル、バナジウムなどを用いることができる。

30

【0149】

上述の負極活物質層 1381、固体電解質層 1382、正極活物質層 1383、集電体薄膜 1384 の各薄膜層はスパッタ技術を用いて形成しても良いし、蒸着技術を用いても良い。それぞれの層の厚さは $0.1\mu m \sim 3\mu m$ が望ましい。

【0150】

次に樹脂を塗布し、層間膜 1385 を形成する。そしてその層間膜をエッチングしコンタクトホールを形成する。層間膜は樹脂には限定せず、CVD 酸化膜など他の膜であっても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコンタクトホールを形成しても良い。次に層間膜上に配線層 1386 を形成し、導電膜 1334b と接続することにより、二次電池の電気接続を確保する。

40

【0151】

ここでは、素子形成層 1319 に設けられた導電膜 1334a、1334b と予め薄膜の二次電池 1389 の接続端子となる導電膜 1336a、1336b とをそれぞれ接続する。ここで、導電膜 1334a と導電膜 1336a との接続、又は導電膜 1334b と導電膜 1336b との接続は、異方導電性フィルム (ACF (Anisotropic Conductive Film)) や異方導電性ペースト (ACP (Anisotropic Paste)) を用いて行うことができる。

50

c Conductive Paste))等の接着性を有する材料を介して圧着させることにより電氣的に接続する場合を示している。ここでは、接着性を有する樹脂1337に含まれる導電性粒子1338を用いて接続する例を示している。また、他にも、銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。

【0152】

なお、トランジスタの構成は、様々な形態をとることができる。本実施例で示した特定の構成に限定されない。例えば、ゲート電極が2個以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャンネル領域が直列に接続されるような構成となるため、複数のトランジスタが直列に接続されたような構成となる。マルチゲート構造にすることにより、オフ電流を低減し、トランジスタの耐圧を向上させて信頼性を良くし、飽和領域で動作する時に、ドレインとソース間電圧が変化しても、ドレインとソース間電流があまり変化せず、フラットな特性にすることなどができる。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値を大きくし、空乏層ができやすくなってS値をよくすることができる。チャンネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

【0153】

また、チャンネルの上にゲート電極が配置されている構造でもよいし、チャンネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれていてもよいし、並列に接続されていてもよいし、直列に接続されていてもよい。また、チャンネル(もしくはその一部)にソース電極やドレイン電極が重なっていてもよい。チャンネル(もしくはその一部)にソース電極やドレイン電極が重なっていない構造にすることにより、チャンネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域があってもよい。LDD領域を設けることにより、オフ電流を低減し、トランジスタの耐圧を向上させて信頼性を良くし、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることができる。

【0154】

なお、本実施例の半導体装置の作製方法は、本明細書に記載した他の実施の形態の半導体装置に適用することができる。すなわち本実施例は、アンテナで受信した信号に基づく定電圧回路への電源電圧の変動によって、基準電圧発生回路から出力される基準電圧の変動が生じた場合においても、定電圧回路の出力電圧を一定にすることができる。よって、本発明の定電圧回路を具備する半導体装置においては、ばらつきの小さいクロック信号を生成し、信号処理回路を駆動することができるため、半導体装置の信頼性の向上を図ることができる。

【実施例2】

【0155】

本実施例では、上記実施の形態で示した半導体装置の作製方法の一例に関して、図面を参照して説明する。本実施例においては、半導体装置におけるアンテナ、バッテリー、信号処理回路を同一基板上に設ける構成について説明する。なお、基板上に一度にアンテナ、バッテリー、信号処理回路を単結晶基板にチャンネル形成領域が形成されたトランジスタを用いて形成する。単結晶基板に形成されたトランジスタとすることで、トランジスタ特性のばらつきが少ないトランジスタで半導体装置を構成することができるため好適である。また、バッテリーとしては上記実施例1で説明した薄膜二次電池を用いた例について説明する。

【0156】

まず、半導体基板2300に素子を分離した領域2304、2306(以下、領域2304、2306とも記す)を形成する(図15(A)参照)。半導体基板2300に設けられた領域2304、2306は、それぞれ絶縁膜2302(フィールド酸化膜ともいう)

によって分離されている。また、ここでは、半導体基板 2300 として n 型の導電性を有する単結晶 Si 基板を用い、半導体基板 2300 の領域 2306 に p ウェル 2307 を設けた例を示している。

【0157】

また、半導体基板 2300 は、半導体基板であれば特に限定されず用いることができる。例えば、n 型又は p 型の導電性を有する単結晶 Si 基板、化合物半導体基板 (GaAs 基板、InP 基板、GaN 基板、SiC 基板、サファイア基板、ZnSe 基板等)、貼り合わせ法または SIMOX (Separation by Implanted Oxygen) 法を用いて作製された SOI (Silicon on Insulator) 基板等を用いることができる。

10

【0158】

素子分離領域 2304、2306 は、選択酸化法 (LOCOS (Local Oxidation of Silicon) 法) 又はトレンチ分離法等を適宜用いることができる。

【0159】

また、半導体基板 2300 の領域 2306 に形成された p ウェルは、半導体基板 2300 に p 型の導電性を有する不純物元素を選択的に導入することによって形成することができる。p 型を示す不純物元素としては、ボロン (B) やアルミニウム (Al) やガリウム (Ga) 等を用いることができる。

【0160】

20

なお、本実施例では、半導体基板 2300 として n 型の導電性を有する半導体基板を用いているため、領域 2304 には不純物元素の導入を行っていないが、n 型を示す不純物元素を導入することにより領域 2304 に n ウェルを形成してもよい。n 型を示す不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。一方、p 型の導電性を有する半導体基板を用いる場合には、領域 2304 に n 型を示す不純物元素を導入して n ウェルを形成し、領域 2306 には不純物元素の導入を行わない構成としてもよい。

【0161】

次に、領域 2304、2306 を覆うように絶縁膜 2332、2334 をそれぞれ形成する (図 15 (B) 参照)。

【0162】

30

絶縁膜 2332、2334 は、例えば、熱処理を行い半導体基板 2300 に設けられた領域 2304、2306 の表面を酸化させることにより酸化珪素膜で絶縁膜 2332、2334 を形成することができる。また、熱酸化法により酸化珪素膜を形成した後に、窒化処理を行うことによって酸化珪素膜の表面を窒化させることにより、酸化珪素膜と酸素と窒素を有する膜 (酸窒化珪素膜) との積層構造で形成してもよい。

【0163】

他にも、上述したように、プラズマ処理を用いて絶縁膜 2332、2334 を形成してもよい。例えば、半導体基板 2300 に設けられた領域 2304、2306 の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、絶縁膜 2332、2334 として酸化珪素 (SiO_x) 膜又は窒化珪素 (SiN_x) 膜で形成することができる。また、高密度プラズマ処理により領域 2304、2306 の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、領域 2304、2306 の表面に接して酸化珪素膜が形成され、当該酸化珪素膜上に (酸窒化珪素膜) が形成され、絶縁膜 2332、2334 は酸化珪素膜と酸窒化珪素膜とが積層された膜となる。また、熱酸化法により領域 2304、2306 の表面に酸化珪素膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

40

【0164】

また、半導体基板 2300 の領域 2304、2306 に形成された絶縁膜 2332、2334 は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【0165】

50

次に、領域 2304、2306 の上方に形成された絶縁膜 2332、2334 を覆うように導電膜を形成する（図 15（C）参照）。ここでは、導電膜として、導電膜 2336 と導電膜 2338 を順に積層して形成した例を示している。もちろん、導電膜は、単層又は 3 層以上の積層構造で形成してもよい。

【0166】

導電膜 2336、2338 としては、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。

10

【0167】

ここでは、導電膜 2336 として窒化タンタルを用いて形成し、その上に導電膜 2338 としてタングステンを用いて積層構造で設ける。また、他にも、導電膜 2336 として、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電膜 2338 として、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【0168】

次に、積層して設けられた導電膜 2336、2338 を選択的にエッチングして除去することによって、領域 2304、2306 の上方の一部に導電膜 2336、2338 を残存させ、それぞれゲート電極 2340、2342 を形成する（図 16（A）参照）。

20

【0169】

次に、領域 2304 を覆うようにレジストマスク 2348 を選択的に形成し、当該レジストマスク 2348、ゲート電極 2342 をマスクとして領域 2306 に不純物元素を導入することによって不純物領域を形成する（図 16（B）参照）。不純物元素としては、n 型を付与する不純物元素又は p 型を付与する不純物元素を用いる。n 型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p 型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、不純物元素として、リン（P）を用いる。

【0170】

30

図 16（B）においては、不純物元素を導入することによって、領域 2306 にソース領域又はドレイン領域を形成する不純物領域 2352 とチャネル形成領域 2350 が形成される。

【0171】

次に、領域 2306 を覆うようにレジストマスク 2366 を選択的に形成し、当該レジストマスク 2366、ゲート電極 2340 をマスクとして領域 2304 に不純物元素を導入することによって不純物領域を形成する（図 16（C）参照）。不純物元素としては、n 型を付与する不純物元素又は p 型を付与する不純物元素を用いる。n 型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p 型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、図 16（C）で領域 2306 に導入した不純物元素と異なる導電型を有する不純物元素（例えば、ボロン（B））を導入する。その結果、領域 2304 にソース領域又はドレイン領域を形成する不純物領域 2370 とチャネル形成領域 2368 を形成される。

40

【0172】

次に、絶縁膜 2332、2334、ゲート電極 2340、2342 を覆うように第 2 の絶縁膜 2372 を形成し、当該第 2 の絶縁膜 2372 上に領域 2304、2306 にそれぞれ形成された不純物領域 2352、2370 と電氣的に接続する配線 2374 を形成する（図 17（A）参照）。

【0173】

50

第2の絶縁膜2372は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

10

【0174】

配線2374は、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。配線2374は、例えば、バリア膜とアルミニウムシリコン($\text{Al}-\text{Si}$)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン($\text{Al}-\text{Si}$)膜と窒化チタン(TiN)膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、配線2374を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

20

【0175】

なお本発明のトランジスタを構成するトランジスタの構造は図示した構造に限定されるものではないことを付記する。例えば、逆スタガ構造、フィンFET構造等の構造のトランジスタの構造を取り得る。フィンFET構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるため好適である。

30

【0176】

また本発明の半導体装置においては、信号処理回路に電力を蓄積できるバッテリーを具備することを特徴とする。バッテリーとしては、電気二重層コンデンサー等のコンデンサーや薄膜の二次電池を用いることが好ましい。そこで本実施例においては、本実施例において作製したトランジスタにおいて、薄膜の二次電池との接続について説明する。

【0177】

本実施例において二次電池は、トランジスタに接続された配線2374上に積層して形成される。二次電池は、集電体薄膜、負極活物質層、固体電解質層、正極活物質層、集電体薄膜の薄膜層が順次積層される(図17(B))。そのため、二次電池の集電体薄膜と兼用される配線2374の材料は、負極活物質と密着性がよく、抵抗が小さいことが求められ、特にアルミニウム、銅、ニッケル、バナジウムなどが好適である。

40

【0178】

薄膜二次電池の構成について次いで詳述すると、配線2374上に負極活物質層2391を成膜する。一般には酸化バナジウム(V_2O_5)などが用いられる。次に負極活物質層2391上に固体電解質層2392を成膜する。一般にはリン酸リチウム(Li_3PO_4)などが用いられる。次に固体電解質層2392上に正極活物質層2393を成膜する。一般にはマンガン酸リチウム(LiMn_2O_4)などが用いられる。コバルト酸リチウム

50

(LiCoO_2) やニッケル酸リチウム (LiNiO_2) を用いても良い。次に正極活物質層 2393 上に電極となる集電体薄膜 2394 を成膜する。集電体薄膜 2394 は正極活物質層 2393 と密着性がよく、抵抗が小さいことが求められ、アルミニウム、銅、ニッケル、バナジウムなどを用いることができる。

【0179】

上述の負極活物質層 2391、固体電解質層 2392、正極活物質層 2393、集電体薄膜 2394 の各薄膜層はスパッタ技術を用いて形成しても良いし、蒸着技術を用いても良い。また、それぞれの層の厚さは $0.1\ \mu\text{m} \sim 3\ \mu\text{m}$ が望ましい。

【0180】

次に樹脂を塗布し、層間膜 2396 を形成する。そして層間膜 2396 をエッチングしコンタクトホールを形成する。層間膜は樹脂には限定せず、CVD酸化膜など他の膜であっても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコンタクトホールを形成しても良い。次に層間膜 2396 上に配線層 2395 を形成し、配線 2397 と接続することにより、二次電池の電気接続を確保する。

10

【0181】

以上のような構成にすることにより、本発明の半導体装置においては、単結晶基板上にトランジスタを形成し、その上に薄膜二次電池を有する構成を取り得る。故に本発明の半導体装置においては、極薄化、小型化を達成した柔軟性を達成することができる。

【0182】

なお、本実施例の半導体装置の作製方法は、本明細書に記載した他の実施の形態の半導体装置に適用することができる。すなわち本実施例は、アンテナで受信した信号に基づく定電圧回路への電源電圧の変動によって、基準電圧発生回路から出力される基準電圧の変動が生じた場合においても、定電圧回路の出力電圧を一定にすることができる。よって、本発明の定電圧回路を具備する半導体装置においては、ばらつきの小さいクロック信号を生成し、信号処理回路を駆動することができるため、半導体装置の信頼性の向上を図ることができる。

20

【実施例3】

【0183】

本実施例では、上記実施例2と異なる半導体装置の作製方法の一例に関して、図面を参照して説明する。

30

【0184】

まず、基板 2600 上に絶縁膜を形成する。ここでは、n型の導電性を有する単結晶 Si を基板 2600 として用い、当該基板 2600 上に絶縁膜 2602 と絶縁膜 2604 を形成する(図18(A)参照)。例えば、基板 2600 に熱処理を行うことにより絶縁膜 2602 として酸化珪素 (SiO_x) を形成し、当該絶縁膜 2602 上に CVD 法を用いて窒化珪素 (SiN_x) を成膜する。

【0185】

また、基板 2600 は、半導体基板であれば特に限定されず用いることができる。例えば、n型又はp型の導電性を有する単結晶 Si 基板、化合物半導体基板 (GaAs 基板、InP 基板、GaN 基板、SiC 基板、サファイア基板、ZnSe 基板等)、貼り合わせ法または SIMOX (Separation by Implanted Oxygen) 法を用いて作製された SOI (Silicon on Insulator) 基板等を用いることができる。

40

【0186】

また、絶縁膜 2604 は、絶縁膜 2602 を形成した後に高密度プラズマ処理により当該絶縁膜 2602 を窒化することにより設けてもよい。なお、基板 2600 上に設ける絶縁膜は単層又は3層以上の積層構造で設けてもよい。

【0187】

次に、絶縁膜 2604 上に選択的にレジストマスク 2606 のパターンを形成し、当該レ

50

ジストマスク 2606 をマスクとして選択的にエッチングを行うことによって、基板 2600 に選択的に凹部 2608 を形成する（図 18（B）参照）。基板 2600、絶縁膜 2602、2604 のエッチングとしては、プラズマを利用したドライエッチングにより行うことができる。

【0188】

次に、レジストマスク 2606 のパターンを除去した後、基板 2600 に形成された凹部 2608 を充填するように絶縁膜 2610 を形成する（図 18（C）参照）。

【0189】

絶縁膜 2610 は、CVD 法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン（ SiO_xN_y ）（ $x > y > 0$ ）、窒化酸化シリコン（ SiN_xO_y ）（ $x > y > 0$ ）等の絶縁材料を用いて形成する。ここでは、絶縁膜 2610 として、常圧 CVD 法または減圧 CVD 法により TEOS（テトラエチルオルソシリケート）ガスを用いて酸化珪素膜を形成する。

10

【0190】

次に、研削処理、研磨処理又は CMP（Chemical Mechanical Polishing）処理を行うことによって、基板 2600 の表面を露出させる。ここでは、基板 2600 の表面を露出させることにより、基板 2600 の凹部 2608 に形成された絶縁膜 2611 間に領域 2612、2613 が設けられる。なお、絶縁膜 2611 は、基板 2600 の表面に形成された絶縁膜 2610 が研削処理、研磨処理又は CMP 処理により除去されることにより得られたものである。続いて、p 型の導電型を有する不純物元素を選択的に導入することによって、基板 2600 の領域 2613、2614 に p ウェル 2615 を形成する（図 19（A）参照）。

20

【0191】

p 型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、不純物元素として、ボロン（B）を領域 2613、2614 に導入する。

【0192】

なお、本実施例では、基板 2600 として n 型の導電型を有する半導体基板を用いているため、領域 2612 には不純物元素の導入を行っていないが、n 型を示す不純物元素を導入することにより領域 2612 に n ウェルを形成してもよい。n 型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。

30

【0193】

一方、p 型の導電型を有する半導体基板を用いる場合には、領域 2612 に n 型を示す不純物元素を導入して n ウェルを形成し、領域 2613、2614 には不純物元素の導入を行わない構成としてもよい。

【0194】

次に、基板 2600 の領域 2612、2613 の表面上に絶縁膜 2632、2634 をそれぞれ形成する（図 19（B）参照）。

【0195】

絶縁膜 2632、2634 は、例えば、熱処理を行い基板 2600 に設けられた領域 2612、2613 の表面を酸化させることにより酸化珪素膜で絶縁膜 2632、2634 を形成することができる。また、熱酸化法により酸化珪素膜を形成した後に、窒化处理を行うことによって酸化珪素膜の表面を窒化させることにより、酸化珪素膜と酸素と窒素を有する膜（酸窒化珪素膜）との積層構造で形成してもよい。

40

【0196】

他にも、上述したように、プラズマ処理を用いて絶縁膜 2632、2634 を形成してもよい。例えば、基板 2600 に設けられた領域 2612、2613 の表面に高密度プラズマ処理により酸化処理又は窒化处理を行うことにより、絶縁膜 2632、2634 として酸化珪素（ SiO_x ）膜又は窒化珪素（ SiN_x ）膜で形成することができる。また、高密度プラズマ処理により領域 2612、2613 の表面に酸化処理を行った後に、再度高

50

密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、領域 2 6 1 2、2 6 1 3 の表面に接して酸化珪素膜が形成され、当該酸化珪素膜上に（酸窒化珪素膜）が形成され、絶縁膜 2 6 3 2、2 6 3 4 は酸化珪素膜と酸窒化珪素膜とが積層された膜となる。また、熱酸化法により領域 2 6 1 2、2 6 1 3 の表面に酸化珪素膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

【0197】

なお、基板 2 6 0 0 の領域 2 6 1 2、2 6 1 3 に形成された絶縁膜 2 6 3 2、2 6 3 4 は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【0198】

次に、基板 2 6 0 0 に設けられた領域 2 6 1 2、2 6 1 3 の上方に形成された絶縁膜 2 6 3 2、2 6 3 4 を覆うように導電膜を形成する（図 1 9（C）参照）。ここでは、導電膜として、導電膜 2 6 3 6 と導電膜 2 6 3 8 を順に積層して形成した例を示している。もちろん、導電膜は、単層又は 3 層以上の積層構造で形成してもよい。

【0199】

導電膜 2 6 3 6、2 6 3 8 としては、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。

【0200】

ここでは、導電膜 2 6 3 6 として窒化タンタルを用いて形成し、その上に導電膜 2 6 3 8 としてタングステンを用いて積層構造で設ける。また、他にも、導電膜 2 6 3 6 として、窒化タンタル、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電膜 2 6 3 8 として、タングステン、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【0201】

次に、積層して設けられた導電膜 2 6 3 6、2 6 3 8 を選択的にエッチングして除去することによって、基板 2 6 0 0 の領域 2 6 1 2、2 6 1 3 の上方の一部に導電膜 2 6 3 6、2 6 3 8 を残存させ、それぞれゲート電極として機能する導電膜 2 6 4 0、2 6 4 2 を形成する（図 2 0（A）参照）。また、ここでは、基板 2 6 0 0 において、導電膜 2 6 4 0、2 6 4 2 と重ならない領域 2 6 1 2、2 6 1 3 の表面が露出するようにする。

【0202】

具体的には、基板 2 6 0 0 の領域 2 6 1 2 において、導電膜 2 6 4 0 の下方に形成された絶縁膜 2 6 3 2 のうち当該導電膜 2 6 4 0 と重ならない部分を選択的に除去し、導電膜 2 6 4 0 と絶縁膜 2 6 3 2 の端部が概略一致するように形成する。また、基板 2 6 0 0 の領域 2 6 1 4 において、導電膜 2 6 4 2 の下方に形成された絶縁膜 2 6 3 4 のうち当該導電膜 2 6 4 2 と重ならない部分を選択的に除去し、導電膜 2 6 4 2 と絶縁膜 2 6 3 4 の端部が概略一致するように形成する。

【0203】

この場合、導電膜 2 6 4 0、2 6 4 2 の形成と同時に重ならない部分の絶縁膜等を除去してもよいし、導電膜 2 6 4 0、2 6 4 2 を形成後残存したレジストマスク又は当該導電膜 2 6 4 0、2 6 4 2 をマスクとして重ならない部分の絶縁膜等を除去してもよい。

【0204】

次に、基板 2 6 0 0 の領域 2 6 1 2、2 6 1 3 に不純物元素を選択的に導入する（図 2 0（B）参照）。ここでは、領域 2 6 1 3 に導電膜 2 6 4 2 をマスクとして n 型を付与する低濃度の不純物元素を選択的に導入し、領域 2 6 1 2 に導電膜 2 6 4 0 をマスクとして p 型を付与する低濃度の不純物元素を選択的に導入する。n 型を付与する不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p 型を付与する不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる

10

20

30

40

50

。

【0205】

次に、導電膜2640、2642の側面に接するサイドウォール2654を形成する。具体的には、プラズマCVD法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。そして、当該絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、導電膜2640、2642の側面に接するように形成することができる。なお、サイドウォール2654は、LDD(Lightly Doped drain)領域を形成する際のドーピング用のマスクとして用いる。また、ここでは、サイドウォール2654は、導電膜2640、2642の下方に形成された絶縁膜や浮遊ゲート電極の側面にも接するように形成されている。

10

【0206】

続いて、当該サイドウォール2654、導電膜2640、2642をマスクとして基板2600の領域2612、2613に不純物元素を導入することによって、ソース領域又はドレイン領域として機能する不純物領域を形成する(図20(C)参照)。ここでは、基板2600の領域2613にサイドウォール2654と導電膜2642をマスクとして高濃度のn型を付与する不純物元素を導入し、領域2612にサイドウォール2654と導電膜2640をマスクとして高濃度のp型を付与する不純物元素を導入する。

【0207】

その結果、基板2600の領域2612には、ソース領域又はドレイン領域を形成する不純物領域2658と、LDD領域を形成する低濃度不純物領域2660と、チャンネル形成領域2656が形成される。また、基板2600の領域2613には、ソース領域又はドレイン領域を形成する不純物領域2664と、LDD領域を形成する低濃度不純物領域2666と、チャンネル形成領域2662が形成される。

20

【0208】

なお、本実施例では、導電膜2640、2642と重ならない基板2600の領域2612、2613を露出させた状態で不純物元素の導入を行っている。従って、基板2600の領域2612、2613にそれぞれ形成されるチャンネル形成領域2656、2662は導電膜2640、2642と自己整合的に形成することができる。

【0209】

次に、基板2600の領域2612、2613上に設けられた絶縁膜や導電膜等を覆うように第2の絶縁膜2677を形成し、当該絶縁膜2677に開口部2678を形成する(図21(A)参照)。

30

【0210】

第2の絶縁膜2677は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

40

【0211】

次に、CVD法を用いて開口部2678に導電膜2680を形成し、当該導電膜2680と電氣的に接続するように絶縁膜2677上に導電膜2682a~2682dを選択的に形成する(図21(B)参照)。

【0212】

導電膜2680、2682a~2682dは、CVD法やスパッタリング法等により、ア

50

ルミニウム (Al)、タングステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo)、ニッケル (Ni)、白金 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、マンガ (Mn)、ネオジウム (Nd)、炭素 (C)、シリコン (Si) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜 2680、2682a ~ 2682d は、例えば、バリア膜とアルミニウムシリコン (Al-Si) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (Al-Si) 膜と窒化チタン (TiN) 膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 2680 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。ここでは、導電膜 2680 は CVD 法によりタングステン (W) を選択成長することにより形成することができる。

【0213】

以上の工程により、基板 2600 の領域 2612 に形成された p 型のトランジスタと、領域 2613 に形成された n 型のトランジスタとを得ることができる。

【0214】

なお、本発明の半導体装置を構成するトランジスタの構造は図示した構造に限定されるものではないことを付記する。例えば、逆スタガ構造、フィン FET 構造等の構造のトランジスタの構造を取り得る。フィン FET 構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるため好適である。

【0215】

また本発明における半導体装置においては、信号処理回路に電力を蓄積できるバッテリーを具備することを特徴とする。バッテリーとしては、電気二重層コンデンサーや薄膜の二次電池を用いることが好ましい。そこで本実施例においては、本実施例において作製したトランジスタにおいて、薄膜の二次電池との接続について説明する。

【0216】

本実施例において二次電池は、トランジスタに接続された配線 2682d 上に積層して形成される。二次電池は、集電体薄膜、負極活物質層、固体電解質層、正極活物質層、集電体薄膜の薄膜層が順次積層される (図 21 (B))。そのため、二次電池の集電体薄膜と兼用される配線 2682d の材料は、負極活物質と密着性がよく、抵抗が小さいことが求められ、特にアルミニウム、銅、ニッケル、バナジウムなどが好適である。

【0217】

薄膜二次電池の構成について次いで詳述すると、配線 2682d 上に負極活物質層 2691 を成膜する。一般には酸化バナジウム (V_2O_5) などが用いられる。次に負極活物質層 2691 上に固体電解質層 2692 を成膜する。一般にはリン酸リチウム (Li_3PO_4) などが用いられる。次に固体電解質層 2692 上に正極活物質層 2693 を成膜する。一般にはマンガ (Mn) 酸リチウム ($LiMn_2O_4$) などが用いられる。コバルト酸リチウム ($LiCoO_2$) やニッケル酸リチウム ($LiNiO_2$) を用いても良い。次に正極活物質層 2693 上に電極となる集電体薄膜 2694 を成膜する。集電体薄膜 2694 は正極活物質層 2693 と密着性がよく、抵抗が小さいことが求められ、アルミニウム、銅、ニッケル、バナジウムなどを用いることができる。

【0218】

上述の負極活物質層 2691、固体電解質層 2692、正極活物質層 2693、集電体薄膜 2694 の各薄膜層はスパッタ技術を用いて形成しても良いし、蒸着技術を用いても良

10

20

30

40

50

い。また、それぞれの層の厚さは $0.1\ \mu\text{m} \sim 3\ \mu\text{m}$ が望ましい。

【0219】

次に樹脂を塗布し、層間膜 2696 を形成する。そして層間膜 2396 をエッチングしコンタクトホールを形成する。層間膜 2696 は樹脂には限定せず、CVD酸化膜など他の膜であっても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコンタクトホールを形成しても良い。次に層間膜 2696 上に配線層 2695 を形成し、配線 2697 と接続することにより、薄膜二次電池の電気接続を確保する。

【0220】

以上のような構成にすることにより、本発明の半導体装置においては、単結晶基板上にトランジスタを形成し、その上に薄膜二次電池を有する構成を取り得る。故に本発明の半導体装置においては、極薄化、小型化を達成した柔軟性を達成することができる。

10

【0221】

なお、本実施例の半導体装置の作製方法は、本明細書に記載した他の実施の形態の半導体装置に適用することができる。すなわち本実施例は、アンテナで受信した信号に基づく定電圧回路への電源電圧の変動によって、基準電圧発生回路から出力される基準電圧の変動が生じた場合においても、定電圧回路の出力電圧を一定にすることができる。よって、本発明の定電圧回路を具備する半導体装置においては、ばらつきの小さいクロック信号を生成し、信号処理回路を駆動することができるため、半導体装置の信頼性の向上を図ることができる。

20

【実施例 4】

【0222】

本実施例では、上記実施の形態で示した本発明の定電圧回路を具備する半導体装置の利用形態の一例である RF タグの用途について説明する。RF タグは、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等）、包装用容器類（包装紙やボトル等）、記録媒体（DVDソフトやビデオテープ等）、乗物類（自転車等）、身の回り品（靴や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、電子機器等の商品や荷物の荷札等の物品に設けることができ、いわゆる ID ラベル、ID タグ、ID カードとして使用することができる。電子機器とは、液晶表示装置、EL 表示装置、テレビジョン装置（単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ）及び携帯電話等を指す。以下に、図 22 を参照して、本発明の応用例、及びそれらを付した商品の一例について説明する。

30

【0223】

図 22 (A) は、本発明に係る RF タグの完成品の状態の一例である。ラベル台紙 3001（セパレート紙）上に、RF タグ 3002 を内蔵した複数の ID ラベル 3003 が形成されている。ID ラベル 3003 は、ボックス 3004 内に収納されている。また、ID ラベル 3003 上には、その商品や役務に関する情報（商品名、ブランド、商標、商標権者、販売者、製造者等）が記されている。一方、内蔵されている RF タグには、その商品（又は商品の種類）固有の ID ナンバーが付されており、偽造や、商標権、特許権等の知的財産権侵害、不正競争等の不法行為を容易に把握することができる。また、RF タグ内には、商品の容器やラベルに明記しきれない多大な情報、例えば、商品の産地、販売地、品質、原材料、効能、用途、数量、形状、価格、生産方法、使用方法、生産時期、使用時期、賞味期限、取扱説明、商品に関する知的財産情報等を入力しておくことができ、取引者や消費者は、簡易なリーダによって、それらの情報にアクセスすることができる。また、生産者側からは容易に書換え、消去等も可能であるが、取引者、消費者側からは書換え、消去等ができない仕組みになっている。なお、RF タグに表示部を設けこれらの情報を表示できる構成としてもよい。

40

【0224】

図 22 (B) は、RF タグ 3012 を内蔵したラベル状の RF タグ 3011 を示している。RF タグ 3011 を商品に備え付けることにより、商品管理が容易になる。例えば、

50

商品が盗難された場合に、商品の経路を辿ることによって、その犯人を迅速に把握することができる。このように、RFタグを備えることにより、所謂トレーサビリティに優れた商品を流通させることができる。

【0225】

図22(C)は、RFタグ3022を内包したIDカード3021の完成品の状態の一例である。上記IDカード3021としては、キャッシュカード、クレジットカード、プリペイドカード、電子乗車券、電子マネー、テレフォンカード、会員カード等のあらゆるカード類が含まれる。また、IDカード3021の表面に表示部を設け様々な情報を表示させる構成としてもよい。

【0226】

図22(D)は、無記名債券3031の完成品の状態を示している。無記名債券3031には、RFタグ3032が埋め込まれており、その周囲は樹脂によって成形され、RFタグを保護している。ここで、該樹脂中にはフィラーが充填された構成となっている。無記名債券3031は、本発明に係るRFタグと同じ要領で作成することができる。なお、上記無記名債券類には、切手、切符、チケット、入場券、商品券、図書券、文具券、ビール券、おこめ券、各種ギフト券、各種サービス券等が含まれるが、勿論これらに限定されるものではない。また、紙幣、硬貨、有価証券類、無記名債券類、証書類等に本発明のRFタグ3032を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。

【0227】

図22(E)はRFタグ3042を内包したIDラベル3041を貼付した書籍3043を示している。本発明のRFタグ3042は、表面に貼ったり、埋め込んだりして、物品に固定される。図20(E)に示すように、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりして、各物品に固定される。本発明のRFタグ3042は、小型、薄型、軽量を実現するため、物品に固定した後も、その物品自体のデザイン性を損なうことがない。

【0228】

また、ここでは図示しないが、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に本発明のRFタグを設けることにより、検品システム等のシステムの効率化を図ることができる。また乗物類にRFタグを設けることにより、偽造や盗難を防止することができる。また、動物等の生き物に埋め込むことによって、個々の生き物の識別を容易に行うことができる。例えば、家畜等の生き物に無線タグを埋め込むことによって、生まれた年や性別または種類等を容易に識別することが可能となる。

【0229】

なお、上述した商品以外にも、あらゆる商品に、本発明の定電圧回路を具備する半導体装置を利用することができる。本実施例に示した半導体装置が本発明の定電圧回路を具備することにより、アンテナで受信した信号に基づく定電圧回路への電源電圧の変動によって、基準電圧発生回路から出力される基準電圧の変動が生じた場合においても、定電圧回路の出力電圧を一定にすることができる。よって、本発明の定電圧回路を具備する半導体装置においては、ばらつきの小さいクロック信号を生成し、信号処理回路を駆動することができるため、半導体装置の信頼性の向上を図ることができる。

【図面の簡単な説明】

【0230】

【図1】本発明の定電圧回路について説明する図。

【図2】本発明の定電圧回路について説明する図。

【図3】本発明の定電圧回路について説明する図。

【図4】本発明の定電圧回路について説明する図。

【図5】本発明の定電圧回路について説明する図。

【図6】本発明の定電圧回路について説明する図。

【図7】本発明の定電圧回路について説明する図。

【図 8】本発明の定電圧回路について説明する図。

【図 9】本発明の定電圧回路について説明する図。

【図 10】本発明の半導体装置の作製方法の一例を示す図。

【図 11】本発明の半導体装置の作製方法の一例を示す図。

【図 12】本発明の半導体装置の作製方法の一例を示す図。

【図 13】本発明の半導体装置の作製方法の一例を示す図。

【図 14】本発明の半導体装置の作製方法の一例を示す図。

【図 15】本発明の半導体装置の作製方法の一例を示す図。

【図 16】本発明の半導体装置の作製方法の一例を示す図。

【図 17】本発明の半導体装置の作製方法の一例を示す図。

10

【図 18】本発明の半導体装置の作製方法の一例を示す図。

【図 19】本発明の半導体装置の作製方法の一例を示す図。

【図 20】本発明の半導体装置の作製方法の一例を示す図。

【図 21】本発明の半導体装置の作製方法の一例を示す図。

【図 22】本発明の半導体装置の使用形態の一例を示す図。

【図 23】従来例について説明する図。

【図 24】本発明の定電圧回路について説明する図。

【符号の説明】

【 0 2 3 1 】

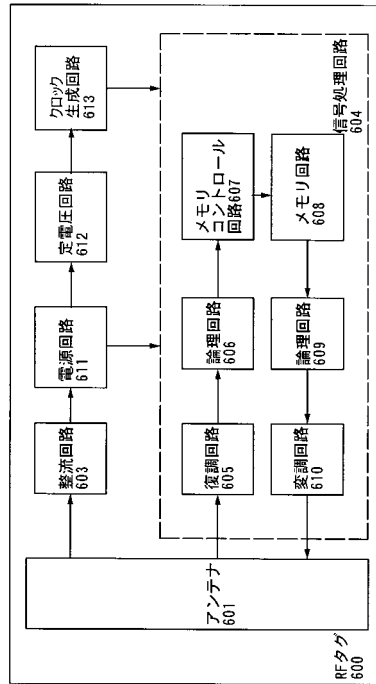
1 0 0	定電圧回路	20
1 0 1	電圧制御用トランジスタ	
1 0 2	増幅器	
1 0 3	基準電圧発生回路	
1 0 4	抵抗部	
1 0 5	スイッチ	
1 0 6	容量素子	
1 5 1	抵抗素子	
1 5 2	抵抗素子	
2 0 1	Pチャネル型トランジスタ	
2 0 2	Pチャネル型トランジスタ	30
2 0 3	Nチャネル型トランジスタ	
2 0 4	Nチャネル型トランジスタ	
2 0 5	抵抗素子	
3 0 1	信号	
3 0 2	信号	
3 0 3	復調信号	
3 0 4	復調信号	
6 0 0	R F タグ	
6 0 1	アンテナ	
6 0 3	整流回路	40
6 0 4	信号処理回路	
6 0 5	復調回路	
6 0 6	論理回路	
6 0 7	メモリコントロール回路	
6 0 8	メモリ回路	
6 0 9	論理回路	
6 1 0	変調回路	
6 1 1	電源回路	
6 1 2	定電圧回路	
6 1 3	クロック生成回路	50

7 0 1	基板	
7 1 3	対向基板	
7 2 0	接続端子	
7 2 1	接続端子	
8 0 1	基板	
8 0 2	信号処理回路	
8 0 3	アンテナ	
9 0 0	R F タグ	
9 0 1	電源回路	
9 0 1	電源回路	10
9 0 2	充電制御回路	
9 0 3	放電制御回路	
9 0 4	バッテリー	
9 5 1	リーダ / ライタ	
1 3 0 1	基板	
1 3 0 2	絶縁膜	
1 3 0 3	剥離層	
1 3 0 4	絶縁膜	
1 3 0 5	半導体膜	
1 3 0 6	ゲート絶縁膜	20
1 3 0 7	ゲート電極	
1 3 0 8	不純物領域	
1 3 0 9	不純物領域	
1 3 1 0	絶縁膜	
1 3 1 1	不純物領域	
1 3 1 3	導電膜	
1 3 1 4	絶縁膜	
1 3 1 6	導電膜	
1 3 1 7	導電膜	
1 3 1 8	絶縁膜	30
1 3 1 9	素子形成層	
1 3 2 0	シート材	
1 3 2 1	シート材	
1 3 3 7	樹脂	
1 3 3 8	導電性粒子	
1 3 8 1	負極活物質層	
1 3 8 2	固体電解質層	
1 3 8 3	正極活物質層	
1 3 8 4	集電体薄膜	
1 3 8 5	層間膜	40
1 3 8 6	配線層	
1 3 8 9	二次電池	
2 3 0 0	半導体基板	
2 3 0 2	絶縁膜	
2 3 0 4	領域	
2 3 0 6	領域	
2 3 0 7	p ウェル	
2 3 3 2	絶縁膜	
2 3 3 6	導電膜	
2 3 3 8	導電膜	50

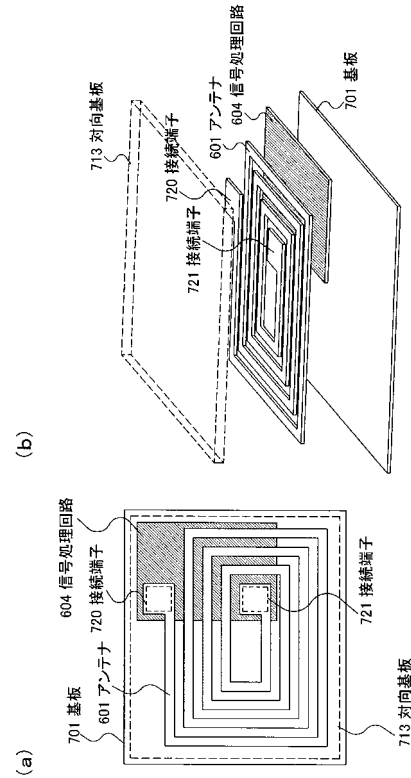
2 3 4 0	ゲート電極	
2 3 4 2	ゲート電極	
2 3 4 8	レジストマスク	
2 3 5 0	チャネル形成領域	
2 3 5 2	不純物領域	
2 3 6 6	レジストマスク	
2 3 6 8	チャネル形成領域	
2 3 7 0	不純物領域	
2 3 7 2	絶縁膜	
2 3 7 4	配線	10
2 3 9 1	負極活物質層	
2 3 9 2	固体電解質層	
2 3 9 3	正極活物質層	
2 3 9 4	集電体薄膜	
2 3 9 5	配線層	
2 3 9 6	層間膜	
2 3 9 7	配線	
2 4 0 0	定電圧回路	
2 4 0 1	電圧制御用トランジスタ	
2 4 0 2	増幅器	20
2 4 0 3	基準電圧発生回路	
2 4 0 4	抵抗部	
2 4 0 5	スイッチ	
2 4 0 6	容量素子	
2 4 5 1	抵抗素子	
2 4 5 2	抵抗素子	
2 6 0 0	基板	
2 6 0 2	絶縁膜	
2 6 0 4	絶縁膜	
2 6 0 6	レジストマスク	30
2 6 0 8	凹部	
2 6 1 0	絶縁膜	
2 6 1 1	絶縁膜	
2 6 1 2	領域	
2 6 1 3	領域	
2 6 1 4	領域	
2 6 1 5	p ウェル	
2 6 3 2	絶縁膜	
2 6 3 4	絶縁膜	
2 6 3 6	導電膜	40
2 6 3 8	導電膜	
2 6 4 0	導電膜	
2 6 4 2	導電膜	
2 6 5 4	サイドウォール	
2 6 5 6	チャネル形成領域	
2 6 5 8	不純物領域	
2 6 6 0	低濃度不純物領域	
2 6 6 2	チャネル形成領域	
2 6 6 4	不純物領域	
2 6 6 6	低濃度不純物領域	50

2 6 7 7	絶縁膜	
2 6 7 8	開口部	
2 6 8 0	導電膜	
2 6 9 1	負極活物質層	
2 6 9 2	固体電解質層	
2 6 9 3	正極活物質層	
2 6 9 4	集電体薄膜	
2 6 9 5	配線層	
2 6 9 6	層間膜	
2 6 9 7	配線	10
3 0 0 1	ラベル台紙	
3 0 0 2	R F タグ	
3 0 0 3	I D ラベル	
3 0 0 4	ボックス	
3 0 1 1	R F タグ	
3 0 1 2	R F タグ	
3 0 2 1	I D カード	
3 0 2 2	R F タグ	
3 0 3 1	無記名債券	
3 0 3 2	R F タグ	20
3 0 4 1	I D ラベル	
3 0 4 2	R F タグ	
3 0 4 3	書籍	
1 3 0 0 a	薄膜トランジスタ	
1 3 0 0 b	薄膜トランジスタ	
1 3 0 0 c	p チャネル型薄膜トランジスタ	
1 3 0 0 e	p チャネル型薄膜トランジスタ	
1 3 0 5 a	半導体膜	
1 3 0 5 c	半導体膜	
1 3 0 7 a	導電膜	30
1 3 0 7 b	導電膜	
1 3 1 2 a	絶縁膜	
1 3 1 2 b	絶縁膜	
1 3 1 5 a	導電膜	
1 3 3 1 a	導電膜	
1 3 3 2 a	開口部	
1 3 3 4 a	導電膜	
1 3 3 4 b	導電膜	
1 3 3 6 a	導電膜	
1 3 3 6 b	導電膜	40
2 6 8 2 a	導電膜	
2 6 8 2 d	配線	
5 0 0 0	定電圧回路	
5 0 0 1	電圧制御用トランジスタ	
5 0 0 2	増幅器	
5 0 0 3	基準電圧発生回路	
5 0 0 4	抵抗部	

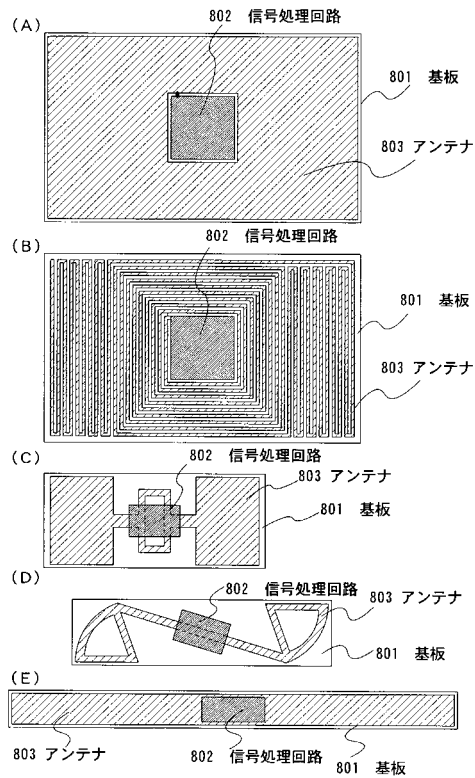
【図 5】



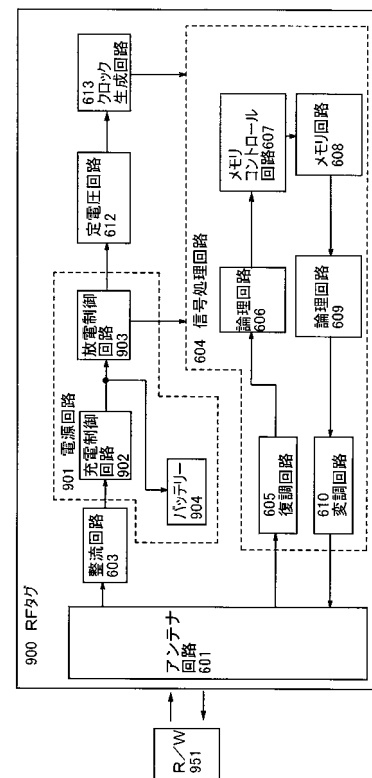
【図 6】



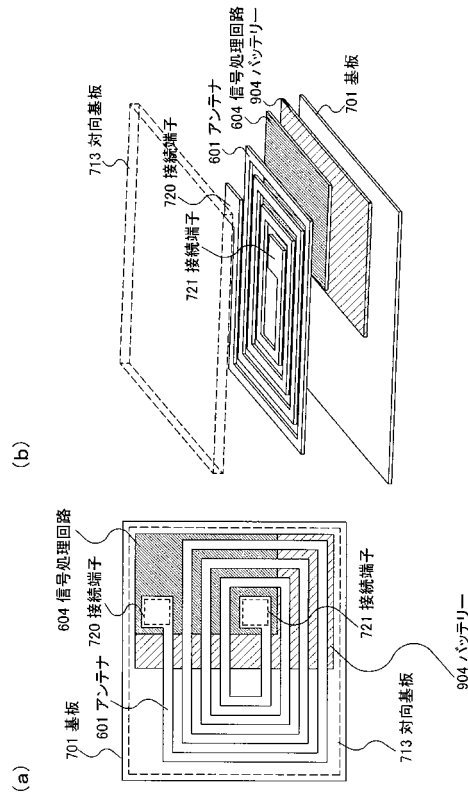
【図 7】



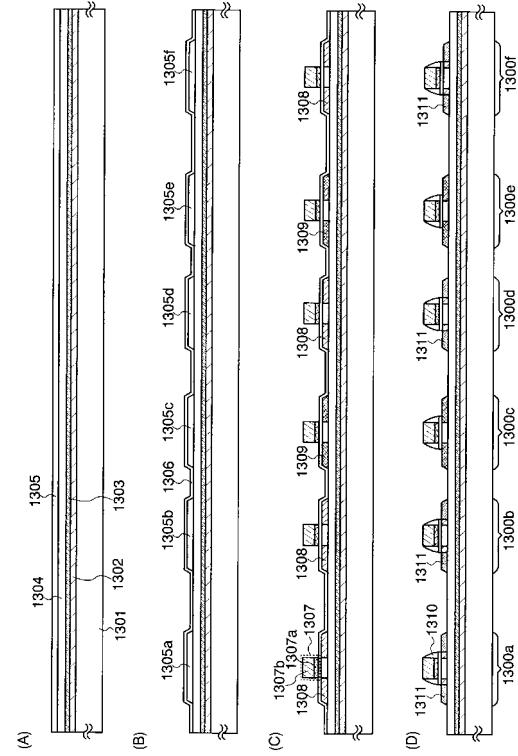
【図 8】



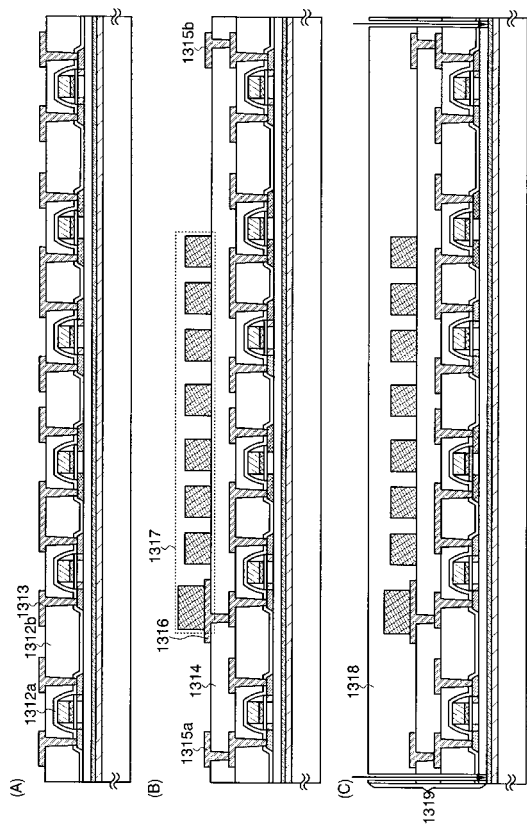
【図 9】



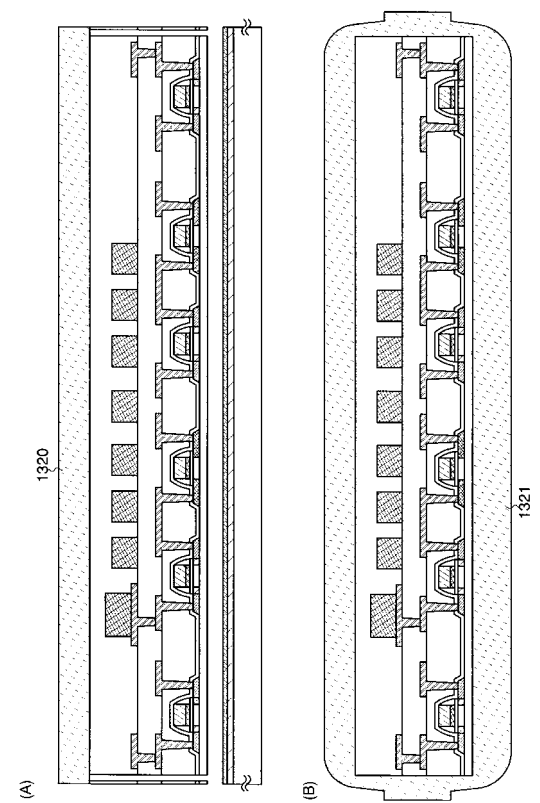
【図 10】



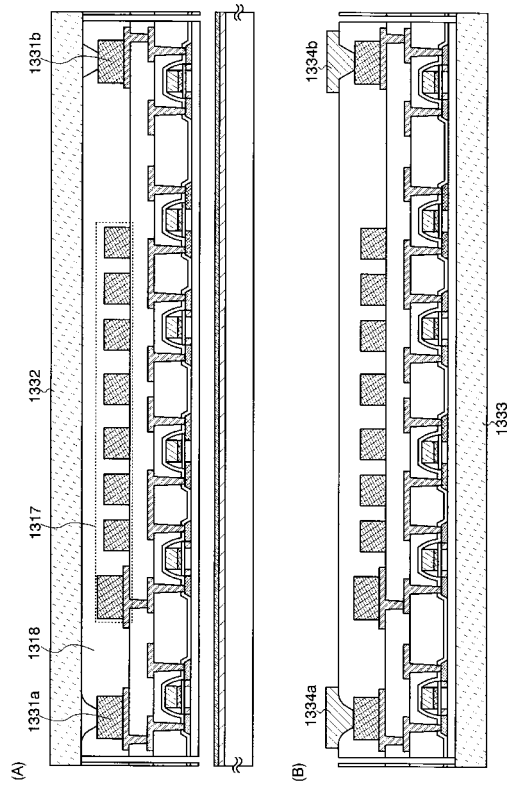
【図 11】



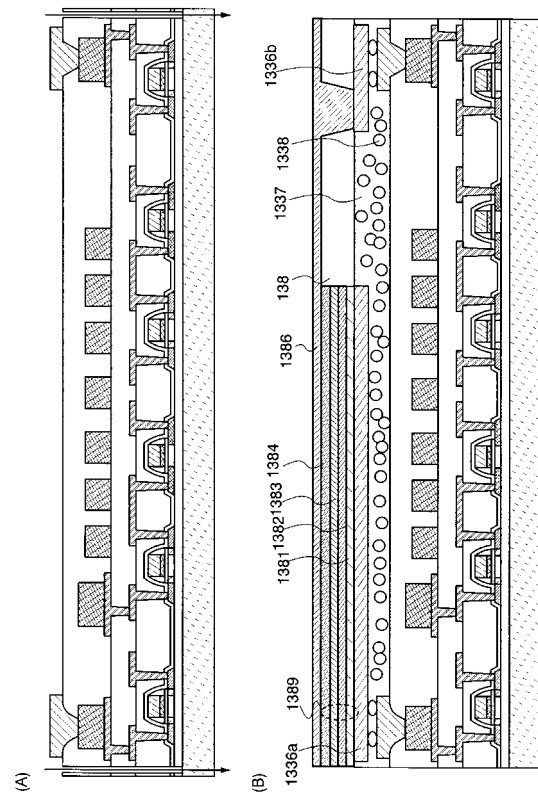
【図 12】



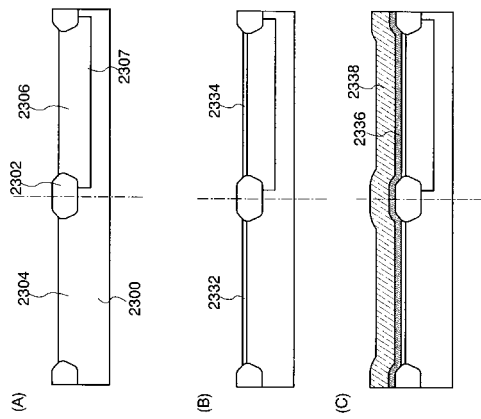
【図 13】



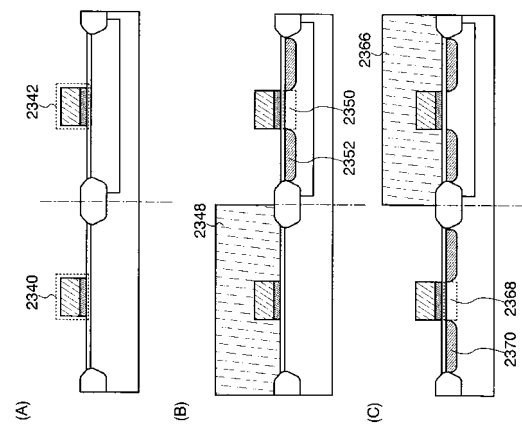
【図 14】



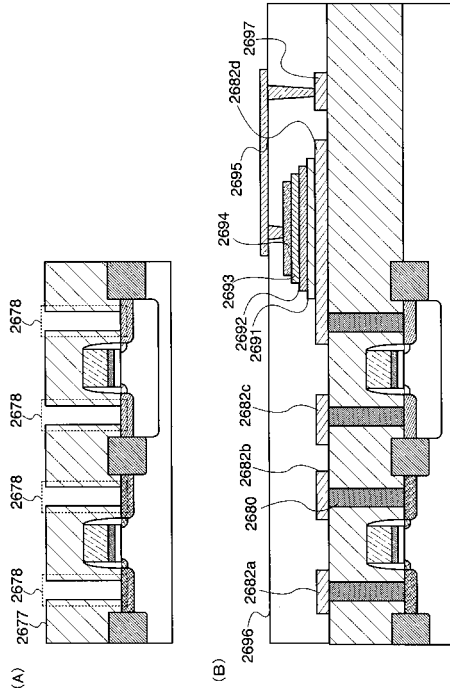
【図 15】



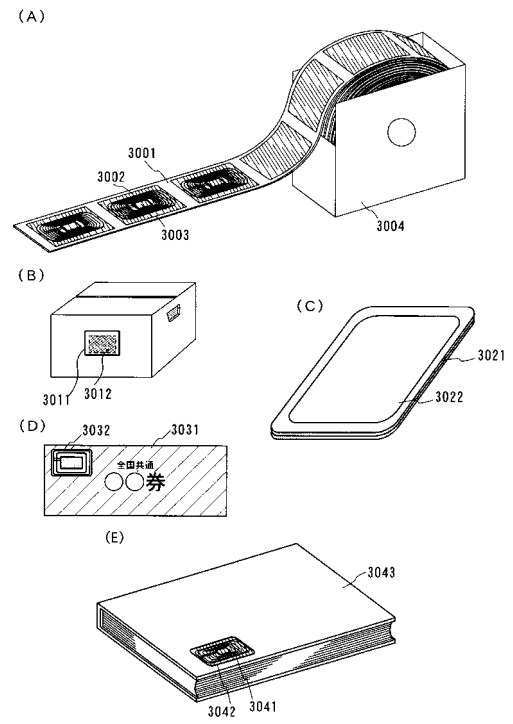
【図 16】



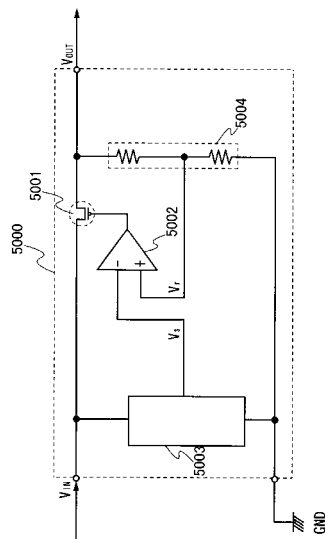
【図 2 1】



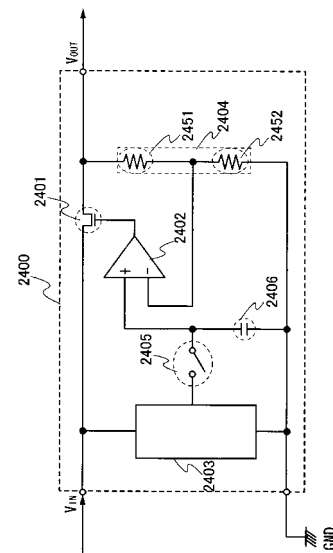
【図 2 2】



【図 2 3】



【図 2 4】



フロントページの続き

(56)参考文献 特開平 1 1 - 1 2 0 3 0 6 (J P , A)
実開昭 5 7 - 0 7 8 4 2 4 (J P , U)
特開昭 5 6 - 0 9 6 3 0 6 (J P , A)
特開 2 0 0 1 - 2 7 4 3 3 9 (J P , A)
特開平 0 3 - 0 2 7 4 0 9 (J P , A)
特開 2 0 0 2 - 2 6 9 5 1 9 (J P , A)
特開 2 0 0 5 - 2 1 6 1 3 4 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

G 0 5 F 1 / 4 4 5 , 1 / 5 6 , 1 / 6 1 3 , 1 / 6 1 8
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 7 / 0 4