

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4000000号
(P4000000)

(45) 発行日 平成19年10月31日(2007.10.31)

(24) 登録日 平成19年8月17日(2007.8.17)

(51) Int. Cl.

F I

H O 1 L 21/8246 (2006.01)

H O 1 L 27/10 4 4 7

H O 1 L 27/105 (2006.01)

H O 1 L 43/08 Z

H O 1 L 43/08 (2006.01)

請求項の数 33 (全 65 頁)

(21) 出願番号	特願2002-118215 (P2002-118215)	(73) 特許権者	000003078
(22) 出願日	平成14年4月19日(2002.4.19)		株式会社東芝
(65) 公開番号	特開2003-318366 (P2003-318366A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成15年11月7日(2003.11.7)	(74) 代理人	100058479
審査請求日	平成15年4月22日(2003.4.22)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100070437
			弁理士 河井 将次

最終頁に続く

(54) 【発明の名称】 磁気ランダムアクセスメモリ及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の上部に形成され、磁気抵抗効果を利用してデータを記憶するメモリセルと、前記メモリセルの直下に配置され、第1方向に延びる第1書き込み線と、前記メモリセルの直上に配置され、前記第1方向に交差する第2方向に延びる第2書き込み線と、前記第1書き込み線の側面を覆い、前記第1書き込み線の上面よりも下部に窪んでいる第1ヨーク材とを具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項2】

前記第1ヨーク材は、前記第1書き込み線の側面のみを覆っていることを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項3】

前記第1ヨーク材は、前記第1書き込み線の下面を覆っていることを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項4】

前記第2書き込み線の表面の一部を覆う第2ヨーク材をさらに具備することを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項5】

前記第2ヨーク材は、前記第2書き込み線の上面及び側面を覆っていることを特徴とする請求項4記載の磁気ランダムアクセスメモリ。

【請求項6】

10

20

前記第 2 ヨーク材は、前記第 2 書き込み線の上面のみを覆っていることを特徴とする請求項 4 記載の磁気ランダムアクセスメモリ。

【請求項 7】

前記第 2 ヨーク材は、前記第 2 書き込み線の側面のみを覆っていることを特徴とする請求項 4 記載の磁気ランダムアクセスメモリ。

【請求項 8】

前記第 1 及び第 2 書き込み線のうちの 1 つは、前記メモリセルに電氣的に接続され、読み出しビット線としても機能することを特徴とする請求項 1 記載の磁気ランダムアクセスメモリ。

【請求項 9】

半導体基板の上部に形成され、磁気抵抗効果を利用してデータを記憶するメモリセルと、前記メモリセルの直下に配置され、第 1 方向に延びる第 1 書き込み線と、前記メモリセルの直上に配置され、前記第 1 方向に交差する第 2 方向に延びる第 2 書き込み線と、前記第 2 書き込み線の側面を覆い、前記第 2 書き込み線の下面よりも上部に窪んでいる第 1 ヨーク材とを具備し、前記第 1 ヨーク材は、前記第 2 書き込み線の側面のみを覆っていることを特徴とする磁気ランダムアクセスメモリ。

10

【請求項 10】

前記第 1 書き込み線の表面の一部を覆う第 2 ヨーク材をさらに具備することを特徴とする請求項 9 記載の磁気ランダムアクセスメモリ。

【請求項 11】

前記第 2 ヨーク材は、前記第 1 書き込み線の下面及び側面を覆っていることを特徴とする請求項 10 記載の磁気ランダムアクセスメモリ。

20

【請求項 12】

前記第 2 ヨーク材は、前記第 1 書き込み線の下面のみを覆っていることを特徴とする請求項 10 記載の磁気ランダムアクセスメモリ。

【請求項 13】

前記第 2 ヨーク材は、前記第 1 書き込み線の側面のみを覆っていることを特徴とする請求項 10 記載の磁気ランダムアクセスメモリ。

【請求項 14】

前記第 1 及び第 2 書き込み線のうちの 1 つは、前記メモリセルに電氣的に接続され、読み出しビット線としても機能することを特徴とする請求項 9 記載の磁気ランダムアクセスメモリ。

30

【請求項 15】

半導体基板の上部に積み重ねられ、磁気抵抗効果を利用してデータを記憶する第 1 及び第 2 メモリセルと、前記第 1 及び第 2 メモリセルの間に配置され、第 1 方向に延びる第 1 書き込み線と、前記第 1 書き込み線の側面のみを覆い、前記第 1 書き込み線の上面よりも下部に窪み、前記第 1 書き込み線の下面よりも上部に窪んでいる第 1 ヨーク材とを具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項 16】

前記第 2 メモリセルは、前記第 1 メモリセルよりも上に配置されることを特徴とする請求項 15 記載の磁気ランダムアクセスメモリ。

40

【請求項 17】

前記第 1 メモリセルの直下に配置され、前記第 1 方向に交差する第 2 方向に延びる第 2 書き込み線と、前記第 2 メモリセルの直上に配置され、前記第 2 方向に延びる第 3 書き込み線とをさらに具備することを特徴とする請求項 16 記載の磁気ランダムアクセスメモリ。

【請求項 18】

前記第 2 書き込み線の側面のみを覆い、前記第 2 書き込み線の上面よりも下部に窪んでいる第 2 ヨーク材と、前記第 3 書き込み線の側面のみを覆い、前記第 3 書き込み線の下面よりも上部に窪んでいる第 3 ヨーク材とをさらに具備することを特徴とする請求項 17 記

50

載の磁気ランダムアクセスメモリ。

【請求項 1 9】

前記第 1 書き込み線は、前記第 1 及び第 2 メモリセルから離れていることを特徴とする請求項 1 5 記載の磁気ランダムアクセスメモリ。

【請求項 2 0】

前記第 1 書き込み線は、前記第 1 及び第 2 メモリセルに接触していることを特徴とする請求項 1 5 記載の磁気ランダムアクセスメモリ。

【請求項 2 1】

半導体基板の上部において前記半導体基板の表面に平行な方向に並んで配置され、磁気抵抗効果を利用してデータを記憶する複数のメモリセルと、前記複数のメモリセルに共有され、第 1 方向に延びる第 1 書き込み線と、前記複数のメモリセルに個別に設けられ、前記第 1 方向に交差する第 2 方向に延びる複数の第 2 書き込み線と、前記第 1 書き込み線の側面のみを覆い、前記第 1 書き込み線の前記複数のメモリセル側の面よりも前記複数のメモリセル側に対し反対側に窪んでいる第 1 ヨーク材と、前記複数の第 2 書き込み線の側面のみを覆い、前記第 2 書き込み線の前記複数のメモリセル側の面よりも前記複数のメモリセル側に対し反対側に窪んでいる第 2 ヨーク材とを具備することを特徴とする磁気ランダムアクセスメモリ。

10

【請求項 2 2】

前記第 1 書き込み線は、前記複数のメモリセルの直上に配置され、前記複数のメモリセルの一端に接触していることを特徴とする請求項 2 1 記載の磁気ランダムアクセスメモリ。

20

【請求項 2 3】

前記複数のメモリセルの他端は、共通接続されていることを特徴とする請求項 2 2 記載の磁気ランダムアクセスメモリ。

【請求項 2 4】

前記複数の第 2 書き込み線は、前記複数のメモリセルの直下に配置され、前記複数のメモリセルから離れていることを特徴とする請求項 2 1 記載の磁気ランダムアクセスメモリ。

【請求項 2 5】

前記第 1 書き込み線は、前記複数のメモリセルの直上に配置され、前記複数のメモリセルから離れていることを特徴とする請求項 2 1 記載の磁気ランダムアクセスメモリ。

30

【請求項 2 6】

前記複数の第 2 書き込み線は、前記複数のメモリセルの直下に配置され、前記複数のメモリセルの一端に接触していることを特徴とする請求項 2 1 記載の磁気ランダムアクセスメモリ。

【請求項 2 7】

前記複数のメモリセルの他端は、共通接続されていることを特徴とする請求項 2 6 記載の磁気ランダムアクセスメモリ。

【請求項 2 8】

半導体基板の上部に絶縁層を形成する工程と、前記絶縁層に配線溝を形成する工程と、前記配線溝の底部及び側壁部にヨーク材を形成する工程と、前記配線溝内に導電材を満たして書き込み線を形成する工程と、前記ヨーク材の一部をエッチングして前記ヨーク材を前記書き込み線の上面よりも下部に窪ませる工程と、前記書き込み線の直上に TMR 素子を形成する工程とを具備することを特徴とする磁気ランダムアクセスメモリの製造方法。

40

【請求項 2 9】

前記ヨーク材は、CVD 法により、前記絶縁層上並びに前記配線溝の底部上及び側壁部に形成された後、CMP 法により、前記配線溝の底部及び側壁部に残存させられることを特徴とする請求項 2 8 記載の磁気ランダムアクセスメモリの製造方法。

【請求項 3 0】

前記導電材は、CVD 法により、前記絶縁層上及び前記配線溝内に形成された後、CM

50

P法により、前記配線溝内のみに残存させられることを特徴とする請求項28記載の磁気ランダムアクセスメモリの製造方法。

【請求項31】

半導体基板の上部に絶縁層を形成する工程と、前記絶縁層に配線溝を形成する工程と、前記配線溝の側壁部のみにヨーク材を形成する工程と、前記配線溝内に導電材を満たして書き込み線を形成する工程と、前記ヨーク材の一部をエッチングして前記ヨーク材を前記書き込み線の上面よりも下部に窪ませる工程と、前記書き込み線の直上にTMR素子を形成する工程とを具備することを特徴とする磁気ランダムアクセスメモリの製造方法。

【請求項32】

前記ヨーク材は、CVD法により、前記絶縁層上並びに前記配線溝の底部上及び側壁部上に形成された後、RIE法により、前記配線溝の側壁部のみに残存させられることを特徴とする請求項31記載の磁気ランダムアクセスメモリの製造方法。

10

【請求項33】

前記導電材は、CVD法により、前記絶縁層上及び前記配線溝内に形成された後、CMP法により、前記配線溝内のみに残存させられることを特徴とする請求項31記載の磁気ランダムアクセスメモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、トンネル型磁気抵抗(Tunneling Magneto Resistive)効果により“1”、“0”-情報を記憶するTMR素子を利用してメモリセルを構成した磁気ランダムアクセスメモリ(MRAM: Magnetic Random Access Memory)に関する。

20

【0002】

【従来の技術】

近年、新たな原理により情報を記憶するメモリが数多く提案されているが、そのうちの一つに、Roy Scheuerlein et.al.によって提案されたトンネル型磁気抵抗(Tunneling Magneto Resistive: 以後、TMRと表記する。)効果を利用したメモリがある(例えば、ISSCC2000 Technical Digest p.128「A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell」を参照)。

【0003】

30

磁気ランダムアクセスメモリは、TMR素子により“1”、“0”-情報を記憶する。TMR素子は、図96に示すように、2つの磁性層(強磁性層)により絶縁層(トンネルバリア)を挟んだ構造を有する。TMR素子に記憶される情報は、2つの磁性層のスピンの向きが平行か又は反平行かによって判断される。

【0004】

ここで、図97に示すように、平行とは、2つの磁性層のスピン(磁化の方向)が同じであることを意味し、反平行とは、2つの磁性層のスピン(磁化の方向)が逆向きであることを意味する(矢印の向きがスピンの向きを示している。)

【0005】

なお、通常、2つの磁性層の一方側には、反強磁性層が配置される。反強磁性層は、一方側の磁性層のスピン(磁化の方向)を固定し、他方側のスピンの向きのみを変えることにより情報を容易に書き換えるための部材である。

40

【0006】

スピンの向きが固定された磁性層は、固定層又はピン層と呼ばれる。また、書き込みデータに応じて、スピンの向きを自由に変えることができる磁性層は、自由層又は記憶層と呼ばれる。

【0007】

図97に示すように、2つの磁性層のスピン(磁化の方向)が平行となった場合、これら2つの磁性層に挟まれた絶縁層(トンネルバリア)のトンネル抵抗は、最も低くなる。この状態が“1”-状態である。また、2つの磁性層のスピン(磁化の方向)が反平行となった場合、これら

50

2つの磁性層に挟まれた絶縁層（トンネルバリア）のトンネル抵抗は、最も高くなる。この状態が“0”-状態である。

【0008】

次に、図98を参照しつつ、TMR素子に対する書き込み動作原理について簡単に説明する。

【0009】

TMR素子は、互いに交差する書き込みワード線とデータ選択線（読み出し／書き込みビット線）との交点に配置される。そして、書き込みは、書き込みワード線及びデータ選択線に電流を流し、両配線に流れる電流により作られる磁界を用いて、TMR素子のスピンの向きを平行又は反平行にすることにより達成される。

10

【0010】

例えば、TMR素子の磁化容易軸がX方向であり、X方向に書き込みワード線が延び、X方向に直交するY方向にデータ選択線が延びている場合、書き込み時には、書き込みワード線に、一方向に向かう電流を流し、データ選択線に、書き込みデータに応じて、一方向又は他方向に向かう電流を流す。

【0011】

データ選択線に一方向に向かう電流を流すとき、TMR素子のスピンの向きは、平行（“1”-状態）となる。一方、データ選択線に他方向に向かう電流を流すとき、TMR素子のスピンの向きは、反平行（“0”-状態）となる。

【0012】

TMR素子のスピンの向きが変わるしくみは、次の通りである。

20

【0013】

図99のTMR曲線に示すように、TMR素子の長辺（Easy-Axis）方向に磁界 H_x をかけると、TMR素子の抵抗値は、例えば、17%程度変化する。この変化率、即ち、変化の前後の抵抗値の比は、MR比と呼ばれる。

【0014】

なお、MR比は、磁性層の性質により変化する。現在では、MR比が50%程度のTMR素子も得られている。

【0015】

TMR素子には、Easy-Axis方向の磁界 H_x とHard-Axis方向の磁界 H_y との合成磁界がかかる。図100の実線に示すように、Hard-Axis方向の磁界 H_y の大きさによって、TMR素子の抵抗値を変えるために必要なEasy-Axis方向の磁界 H_x の大きさも変化する。この現象を利用することにより、アレイ状に配置されるメモリセルのうち、選択された書き込みワード線及び選択されたデータ選択線の交点に存在するTMR素子だけにデータを書き込むことができる。

30

【0016】

この様子をさらに図100のアステロイド曲線を用いて説明する。

TMR素子のアステロイド曲線は、例えば、図100の実線で示すようになる。即ち、Easy-Axis方向の磁界 H_x とHard-Axis方向の磁界 H_y との合成磁界の大きさがアステロイド曲線（実線）の外側（例えば、黒丸の位置）にあれば、磁性層のスピンの向きを反転させることができる。

40

【0017】

逆に、Easy-Axis方向の磁界 H_x とHard-Axis方向の磁界 H_y との合成磁界の大きさがアステロイド曲線（実線）の内側（例えば、白丸の位置）にある場合には、磁性層のスピンの向きを反転させることはできない。

【0018】

従って、Easy-Axis方向の磁界 H_x の大きさとHard-Axis方向の磁界 H_y の大きさを変え、合成磁界の大きさの H_x - H_y 平面内における位置を変えることにより、TMR素子に対するデータの書き込みを制御できる。

【0019】

50

なお、読み出しは、選択された T M R 素子に電流を流し、その T M R 素子の抵抗値を検出することにより容易に行うことができる。

【 0 0 2 0 】

例えば、T M R 素子に直列にスイッチ素子を接続し、選択された読み出しワード線に接続されるスイッチ素子のみをオン状態として電流経路を作る。その結果、選択された T M R 素子のみに電流が流れるため、その T M R 素子のデータを読み出すことができる。

【 0 0 2 1 】

【発明が解決しようとする課題】

磁気ランダムアクセスメモリにおいては、上述のように、データ書き込みは、書き込みワード線とデータ選択線（読み出し／書き込みビット線）に、それぞれ、書き込み電流を流し、これにより発生する合成磁界を T M R 素子に作用させることにより行う。

10

【 0 0 2 2 】

従って、データ書き込みを効率よく行うためには、この合成磁界を、効率よく、T M R 素子に与えることが重要となる。合成磁界が効率よく T M R 素子に印加されれば、書き込み動作の信頼性が向上し、さらに、書き込み電流を減らし、低消費電力化を実現することができる。

【 0 0 2 3 】

しかし、書き込みワード線及びデータ選択線にそれぞれ流れる書き込み電流により発生する合成磁界を、効率よく、T M R 素子に作用させるために有効なデバイス構造については、十分に検討されていない。即ち、このようなデバイス構造は、実際に、合成磁界が効率よく T M R 素子に加わることはもちろん、簡単に製造できるか否かという製造プロセスの面からも検討される必要がある。

20

【 0 0 2 4 】

本発明は、このような問題を解決するためになされたもので、その目的は、磁気ランダムアクセスメモリにおいて、書き込み動作時、合成磁界を、効率よく、T M R 素子に作用させることができるデバイス構造及びその製造方法を提案することにある。

【 0 0 2 5 】

【課題を解決するための手段】

(1) ▲ 1 ▼ 本発明の磁気ランダムアクセスメモリは、半導体基板の上部に形成され、磁気抵抗効果を利用してデータを記憶するメモリセルと、前記メモリセルの直下に配置され、第 1 方向に延びる第 1 書き込み線と、前記メモリセルの直上に配置され、前記第 1 方向に交差する第 2 方向に延びる第 2 書き込み線と、前記第 1 書き込み線の側面を覆い、前記第 1 書き込み線の上面よりも下部に窪んでいる第 1 ヨーク材とを備える。

30

【 0 0 2 6 】

前記第 1 ヨーク材は、前記第 1 書き込み線の側面のみを覆っている。前記第 1 ヨーク材は、前記第 1 書き込み線の下面を覆っている。

【 0 0 2 7 】

本発明の磁気ランダムアクセスメモリは、前記第 2 書き込み線の表面の一部を覆う第 2 ヨーク材をさらに備える。前記第 2 ヨーク材は、前記第 2 書き込み線の上面及び側面を覆っている。前記第 2 ヨーク材は、前記第 2 書き込み線の上面のみを覆っている。前記第 2 ヨーク材は、前記第 2 書き込み線の側面のみを覆っている。

40

【 0 0 2 8 】

前記第 1 及び第 2 書き込み線のうちの 1 つは、前記メモリセルに電氣的に接続され、読み出しビット線としても機能する。

【 0 0 2 9 】

▲ 2 ▼ 本発明の磁気ランダムアクセスメモリは、半導体基板の上部に形成され、磁気抵抗効果を利用してデータを記憶するメモリセルと、前記メモリセルの直下に配置され、第 1 方向に延びる第 1 書き込み線と、前記メモリセルの直上に配置され、前記第 1 方向に交差する第 2 方向に延びる第 2 書き込み線と、前記第 2 書き込み線の側面を覆い、前記第 2 書き込み線の下面よりも上部に窪んでいる第 1 ヨーク材とを備える。

50

【0030】

前記第1ヨーク材は、前記第2書き込み線の側面のみを覆っている。前記第1ヨーク材は、前記第2書き込み線の上面を覆っている。

【0031】

本発明の磁気ランダムアクセスメモリは、前記第1書き込み線の表面の一部を覆う第2ヨーク材をさらに備える。前記第2ヨーク材は、前記第1書き込み線の下面及び側面を覆っている。前記第2ヨーク材は、前記第1書き込み線の下面のみを覆っている。前記第2ヨーク材は、前記第1書き込み線の側面のみを覆っている。

【0032】

前記第1及び第2書き込み線のうちの1つは、前記メモリセルに電氣的に接続され、読み出しビット線としても機能する。

10

【0033】

▲3▼ 本発明の磁気ランダムアクセスメモリは、半導体基板の上部に積み重ねられ、磁気抵抗効果を利用してデータを記憶する第1及び第2メモリセルと、前記第1及び第2メモリセルの間に配置され、第1方向に延びる第1書き込み線と、前記第1書き込み線の側面のみを覆い、前記第1書き込み線の上面よりも下部に窪み、前記第1書き込み線の下面よりも上部に窪んでいる第1ヨーク材とを備える。

【0034】

前記第2メモリセルは、前記第1メモリセルよりも上に配置される。本発明の磁気ランダムアクセスメモリは、前記第1メモリセルの直下に配置され、前記第1方向に交差する第2方向に延びる第2書き込み線と、前記第2メモリセルの直上に配置され、前記第2方向に延びる第3書き込み線とをさらに備える。

20

【0035】

本発明の磁気ランダムアクセスメモリは、前記第2書き込み線の側面のみを覆い、前記第2書き込み線の上面よりも下部に窪んでいる第2ヨーク材と、前記第3書き込み線の側面のみを覆い、前記第3書き込み線の下面よりも上部に窪んでいる第3ヨーク材とをさらに備える。

【0036】

前記第1書き込み線は、前記第1及び第2メモリセルから離れている。前記第1書き込み線は、前記第1及び第2メモリセルに接触している。

30

【0037】

▲4▼ 本発明の磁気ランダムアクセスメモリは、半導体基板の上部において前記半導体基板の表面に平行な方向に並んで配置され、磁気抵抗効果を利用してデータを記憶する複数のメモリセルと、前記複数のメモリセルに共有され、第1方向に延びる第1書き込み線と、前記複数のメモリセルに個別に設けられ、前記第1方向に交差する第2方向に延びる複数の第2書き込み線と、前記第1書き込み線の側面のみを覆い、前記第1書き込み線の前記複数のメモリセル側の面よりも前記複数のメモリセル側に対し反対側に窪んでいる第1ヨーク材と、前記複数の第2書き込み線の側面のみを覆い、前記第2書き込み線の前記複数のメモリセル側の面よりも前記複数のメモリセル側に対し反対側に窪んでいる第2ヨーク材とを備える。

40

【0038】

前記第1書き込み線は、前記複数のメモリセルの直上に配置され、前記複数のメモリセルの一端に接触している。前記複数のメモリセルの他端は、共通接続されている。前記複数の第2書き込み線は、前記複数のメモリセルの直下に配置され、前記複数のメモリセルから離れている。

【0039】

前記第1書き込み線は、前記複数のメモリセルの直上に配置され、前記複数のメモリセルから離れている。前記複数の第2書き込み線は、前記複数のメモリセルの直下に配置され、前記複数のメモリセルの一端に接触している。前記複数のメモリセルの他端は、共通接続されている。

50

【 0 0 4 0 】

(2) ▲ 1 ▼ 本発明の磁気ランダムアクセスメモリの製造方法は、半導体基板の上部に絶縁層を形成する工程と、前記絶縁層に配線溝を形成する工程と、前記配線溝の底部及び側壁部にヨーク材を形成する工程と、前記配線溝内に導電材を満たして書き込み線を形成する工程と、前記ヨーク材の一部をエッチングして前記ヨーク材を前記書き込み線の上面よりも下部に窪ませる工程と、前記書き込み線の直上に T M R 素子を形成する工程とを備える。

【 0 0 4 1 】

前記ヨーク材は、C V D 法により、前記絶縁層上並びに前記配線溝の底部上及び側壁部上に形成された後、C M P 法により、前記配線溝の底部及び側壁部に残存させられる。

10

【 0 0 4 2 】

前記導電材は、C V D 法により、前記絶縁層上及び前記配線溝内に形成された後、C M P 法により、前記配線溝内のみに残存させられる。

【 0 0 4 3 】

▲ 2 ▼ 本発明の磁気ランダムアクセスメモリの製造方法は、半導体基板の上部に絶縁層を形成する工程と、前記絶縁層に配線溝を形成する工程と、前記配線溝の側壁部のみにヨーク材を形成する工程と、前記配線溝内に導電材を満たして書き込み線を形成する工程と、前記ヨーク材の一部をエッチングして前記ヨーク材を前記書き込み線の上面よりも下部に窪ませる工程と、前記書き込み線の直上に T M R 素子を形成する工程とを備える。

【 0 0 4 4 】

20

前記ヨーク材は、C V D 法により、前記絶縁層上並びに前記配線溝の底部上及び側壁部上に形成された後、R I E 法により、前記配線溝の側壁部のみに残存させられる。

【 0 0 4 5 】

前記導電材は、C V D 法により、前記絶縁層上及び前記配線溝内に形成された後、C M P 法により、前記配線溝内のみに残存させられる。

【 0 0 4 6 】

▲ 3 ▼ 本発明の磁気ランダムアクセスメモリの製造方法は、半導体基板の上部に T M R 素子を形成する工程と、前記 T M R 素子上に第 1 絶縁層を形成する工程と、前記 T M R 素子上の前記第 1 絶縁層に配線溝を形成する工程と、前記配線溝の側壁部のみに第 2 絶縁層を形成する工程と、前記配線溝内に導電材を満たして書き込み線を形成する工程と、前記第 2 絶縁層の一部をエッチングして前記第 2 絶縁層を前記書き込み線の下面近傍のみに残存させる工程と、前記第 2 絶縁層が取り除かれた前記配線溝の側壁部にヨーク材を形成する工程とを備える。

30

【 0 0 4 7 】

前記ヨーク材は、前記配線溝の側壁部に形成されると同時に、前記書き込み線の上面にも形成される。

【 0 0 4 8 】

前記ヨーク材は、C V D 法により、前記配線溝の側壁部、前記第 1 絶縁層上及び前記書き込み線上に形成された後、C M P 法により、前記配線溝の側壁部に残存させられる。

【 0 0 4 9 】

40

前記ヨーク材は、C V D 法により、前記配線溝の側壁部、前記第 1 絶縁層上及び前記書き込み線上に形成された後、R I E 法により、前記配線溝の側壁部に残存させられる。

【 0 0 5 0 】

前記ヨーク材は、C V D 法により、前記配線溝の側壁部、前記第 1 絶縁層上及び前記書き込み線上に形成された後、R I E 法により、前記配線溝の側壁部及び前記書き込み線上に残存させられる。

【 0 0 5 1 】

前記第 2 絶縁層のエッチング量は、前記ヨーク材の下面が前記書き込み線の上面と下面との間に配置されることを条件に決定される。

【 0 0 5 2 】

50

前記導電材は、CVD法により、前記絶縁層上及び前記配線溝内に形成された後、CMP法により、前記配線溝内のみに残存させられる。

【0053】

▲4▼ 本発明の磁気ランダムアクセスメモリの製造方法は、半導体基板の上部にTMR素子を形成する工程と、前記TMR素子上に絶縁層を形成する工程と、前記TMR素子上の前記絶縁層に配線溝を形成する工程と、前記配線溝内に導電材を満たして書き込み線を形成する工程と、前記絶縁層の一部をエッチングして前記絶縁層を前記書き込み線の下面近傍のみに残存させる工程と、前記絶縁層が取り除かれることにより露出した前記書き込み線の側面にヨーク材を形成する工程とを備える。

【0054】

前記ヨーク材は、CVD法により、前記絶縁層上並びに前記書き込み線の上面及び側面に形成された後、RIE法により、前記書き込み線の側面のみに残存させられる。

【0055】

前記絶縁層のエッチング量は、前記ヨーク材の下面が前記書き込み線の上面と下面との間に配置されることを条件に決定される。

【0056】

前記導電材は、CVD法により、前記絶縁層上及び前記配線溝内に形成された後、CMP法により、前記配線溝内のみに残存させられる。

【0057】

【発明の実施の形態】

以下、図面を参照しながら、本発明の磁気ランダムアクセスメモリの例について詳細に説明する。

【0058】

1. 参考例1

まず、本発明の磁気ランダムアクセスメモリの例を説明するに当たり、その前提となるデバイス構造について説明する。

【0059】

なお、このデバイス構造は、本発明の磁気ランダムアクセスメモリの例を簡単に説明することを目的に示すもので、本発明が、このデバイス構造に限定されるというものではない。

【0060】

図1及び図2は、それぞれ、本発明の磁気ランダムアクセスメモリの例の前提となるデバイス構造を示している。

【0061】

半導体基板（例えば、p型シリコン基板、p型ウェル領域など）11内には、STI（Shallow Trench Isolation）構造を有する素子分離絶縁層12が形成される。素子分離絶縁層12により取り囲まれた領域は、読み出し選択スイッチ（例えば、MOSトランジスタ、ダイオードなど）が形成される素子領域となる。

【0062】

図1のデバイス構造では、読み出し選択スイッチは、MOSトランジスタ（nチャネル型MOSトランジスタ）から構成される。半導体基板11上には、ゲート絶縁層13、ゲート電極14及び側壁絶縁層15が形成される。ゲート電極14は、X方向に延びており、読み出し動作時に、読み出しセル（TMR素子）を選択するための読み出しワード線として機能する。

【0063】

半導体基板11内には、ソース領域（例えば、n型拡散層）16-S及びドレイン領域（例えば、n型拡散層）16-Dが形成される。ゲート電極（読み出しワード線）14は、ソース領域16-Sとドレイン領域16-Dの間のチャンネル領域上に配置される。

【0064】

図2のデバイス構造では、読み出し選択スイッチは、ダイオードから構成される。半導体

10

20

30

40

50

基板 1 1 内には、カソード領域（例えば、n 型拡散層）1 6 a 及びアノード領域（例えば、p 型拡散層）1 6 b が形成される。

【0065】

第 1 金属配線層を構成する金属層のうちの 1 つは、複数のコンタクトプラグを縦に積み重ねるための中間層 1 8 A として機能し、他の 1 つは、ソース線 1 8 B（図 1 の場合）又は読み出しワード線 1 8 B（図 2 の場合）として機能する。

【0066】

図 1 のデバイス構造の場合、中間層 1 8 A は、コンタクトプラグ 1 7 A により、読み出し選択スイッチ（M O S トランジスタ）のドレイン領域 1 6 - D に電氣的に接続される。ソース線 1 8 B は、コンタクトプラグ 1 7 B により、読み出し選択スイッチのソース領域 1 6 - S に電氣的に接続される。ソース線 1 8 B は、ゲート電極（読み出しワード線）1 4 と同様に、X 方向に延びている。

10

【0067】

図 2 のデバイス構造の場合、中間層 1 8 A は、コンタクトプラグ 1 7 A により、読み出し選択スイッチ（ダイオード）のアノード領域 1 6 b に電氣的に接続される。読み出しワード線 1 8 B は、コンタクトプラグ 1 7 B により、読み出し選択スイッチのカソード領域 1 6 a に電氣的に接続される。読み出しワード線 1 8 B は、X 方向に延びている。

【0068】

第 2 金属配線層を構成する金属層のうちの 1 つは、複数のコンタクトプラグを縦に積み重ねるための中間層 2 0 A として機能し、他の 1 つは、書き込みワード線 2 0 B として機能する。中間層 2 0 A は、コンタクトプラグ 1 9 により、中間層 1 8 A に電氣的に接続される。書き込みワード線 2 0 B は、例えば、X 方向に延びている。

20

【0069】

第 3 金属配線層を構成する金属層のうちの 1 つは、T M R 素子 2 3 の下部電極 2 2 として機能する。下部電極 2 2 は、コンタクトプラグ 2 1 により、中間層 2 0 A に電氣的に接続される。T M R 素子 2 3 は、下部電極 2 2 上に搭載される。ここで、T M R 素子 2 3 は、書き込みワード線 2 0 B の直上に配置されると共に、X 方向に長い長方形状（磁化容易軸が X 方向）に形成される。

【0070】

第 4 金属配線層を構成する金属層のうちの 1 つは、データ選択線（読み出し / 書き込みビット線）2 4 として機能する。データ選択線 2 4 は、T M R 素子 2 3 に電氣的に接続されると共に、Y 方向に延びている。

30

【0071】

なお、T M R 素子 2 3 の構造に関しては、特に、限定されない。図 9 6 に示すような構造であってもよいし、その他の構造であってもよい。また、T M R 素子 2 3 は、複数ビットのデータを記憶できる多値記憶型であっても構わない。

【0072】

T M R 素子 2 3 の強磁性層としては、特に制限はないが、例えば、F e , C o , N i 又はこれらの合金、スピン分極率の大きいマグネタイト、C r O₂ , R X M n O_{3 - y}（R : 希土類、X : C a , B a , S r）などの酸化物の他、N i M n S b , P t M n S b などのホイスラー合金などを用いることができる。

40

【0073】

強磁性層には、A g , C u , A u , A l , M g , S i , B i , T a , B , C , O , N , P d , P t , Z r , I r , W , M o , N b などの非磁性元素が多少含まれていても、強磁性を失わないかぎり、全く問題ない。

【0074】

強磁性層の厚さは、あまりに薄いと、超常磁性となってしまう。そこで、強磁性層の厚さは、少なくとも超常磁性とならない程度の厚さが必要である。具体的には、強磁性層の厚さは、0 . 1 n m 以上、好ましくは、0 . 4 n m 以上 1 0 0 n m 以下に設定される。

【0075】

50

TMR素子23の反磁性層としては、例えば、Fe-Mn, Pt-Mn, Pt-Cr-Mn, Ni-Mn, Ir-Mn, NiO, Fe₂O₃などを用いることができる。

【0076】

TMR素子23の絶縁層(トンネルバリア)としては、例えば、Al₂O₃, SiO₂, MgO, AlN, Bi₂O₃, MgF₂, CaF₂, SrTiO₂, AlLaO₃などの誘電体を使用することができる。これらは、酸素欠損、窒素欠損、フッ素欠損などが存在していてもかまわない。

【0077】

絶縁層(トンネルバリア)の厚さは、できるだけ薄い方がよいが、特に、その機能を実現するための決まった制限はない。但し、製造上、絶縁層の厚さは、10nm以下に設定される。

10

【0078】

2. 参考例2

次に、参考例1のデバイス構造に対して、TMR素子に磁界を効率よく集中させるために提案されたデバイス構造について説明する。

【0079】

図3乃至図6は、本発明の磁気ランダムアクセスメモリの例の前提となるデバイス構造を示している。なお、図3及び図5は、Y方向の断面であり、図4は、図3のTMR素子部のX方向の断面であり、図6は、図5のTMR素子部のX方向の断面である。X方向とY方向は、互いに直交する。

20

【0080】

半導体基板(例えば、p型シリコン基板、p型ウェル領域など)11内には、STI(Shallow Trench Isolation)構造を有する素子分離絶縁層12が形成される。素子分離絶縁層12により取り囲まれた領域は、読み出し選択スイッチ(例えば、MOSトランジスタ)が形成される素子領域となる。

【0081】

本例のデバイス構造では、読み出し選択スイッチは、MOSトランジスタ(nチャネル型MOSトランジスタ)から構成される。半導体基板11上には、ゲート絶縁層13、ゲート電極14及び側壁絶縁層15が形成される。ゲート電極14は、X方向に延びており、読み出し動作時に、読み出しセル(TMR素子)を選択するための読み出しワード線として機能する。

30

【0082】

半導体基板11内には、ソース領域(例えば、n型拡散層)16-S及びドレイン領域(例えば、n型拡散層)16-Dが形成される。ゲート電極(読み出しワード線)14は、ソース領域16-Sとドレイン領域16-Dの間のチャネル領域上に配置される。

【0083】

第1金属配線層を構成する金属層のうちの1つは、複数のコンタクトプラグを縦に積み重ねるための中間層18Aとして機能し、他の1つは、ソース線18Bとして機能する。

【0084】

中間層18Aは、コンタクトプラグ17Aにより、読み出し選択スイッチ(MOSトランジスタ)のドレイン領域16-Dに電氣的に接続される。ソース線18Bは、コンタクトプラグ17Bにより、読み出し選択スイッチのソース領域16-Sに電氣的に接続される。ソース線18Bは、例えば、ゲート電極(読み出しワード線)14と同様に、X方向に延びている。

40

【0085】

第2金属配線層を構成する金属層のうちの1つは、複数のコンタクトプラグを縦に積み重ねるための中間層20Aとして機能し、他の1つは、書き込みワード線20Bとして機能する。中間層20Aは、コンタクトプラグ19により、中間層18Aに電氣的に接続される。書き込みワード線20Bは、例えば、ゲート電極(読み出しワード線)14と同様に、X方向に延びている。

50

【 0 0 8 6 】

本例のデバイス構造では、中間層 2 0 A 及び書き込みワード線 2 0 B の下面及び側面は、高い透磁率を有する材料、即ち、ヨーク材 (yoke material) 2 5 A , 2 5 B により覆われている。ここで使用されるヨーク材 2 5 A , 2 5 B は、導電性を有するものに限定される。

【 0 0 8 7 】

磁束は、高い透磁率を有する材料に集中する性質があるため、この高い透磁率を有する材料を磁力線の牽引役として使用すれば、書き込み動作時、書き込みワード線 2 0 B に流れる書き込み電流により発生する磁界 H_y を、TMR 素子 2 3 に、効率よく、集中させることができる。

10

【 0 0 8 8 】

本願の目的を達成するには、ヨーク材は、書き込みワード線 2 0 B の下面及び側面を覆っていれば、十分である。但し、実際は、ヨーク材は、中間層 2 0 A の下面及び側面にも形成される。これは、第 2 金属配線層としての中間層 2 0 A 及び書き込みワード線 2 0 B が同時に形成されることに起因する。

【 0 0 8 9 】

第 3 金属配線層を構成する金属層のうちの 1 つは、TMR 素子 2 3 の下部電極 2 2 として機能する。下部電極 2 2 は、コンタクトプラグ 2 1 により、中間層 2 0 A に電氣的に接続される。TMR 素子 2 3 は、下部電極 2 2 上に搭載される。ここで、TMR 素子 2 3 は、書き込みワード線 2 0 B の直上に配置されると共に、X 方向に長い長方形形状 (磁化容易軸が X 方向) に形成される。

20

【 0 0 9 0 】

第 4 金属配線層を構成する金属層のうちの 1 つは、データ選択線 (読み出し / 書き込みビット線) 2 4 として機能する。データ選択線 2 4 は、TMR 素子 2 3 に電氣的に接続されると共に、Y 方向に延びている。

【 0 0 9 1 】

本例のデバイス構造では、データ選択線 2 4 の上面及び側面は、高い透磁率を有する材料、即ち、ヨーク材 2 6 , 2 7 により覆われている。ここで使用されるヨーク材 2 6 , 2 7 としては、図 3 及び図 4 に示すように、導電性を有する材料から構成することができるし、また、図 5 及び図 6 に示すように、絶縁性を有する材料から構成することもできる。

30

【 0 0 9 2 】

磁束は、上述のように、高い透磁率を有する材料に集中する性質があるため、この高い透磁率を有する材料を磁力線の牽引役として使用すれば、書き込み動作時、データ選択線 2 4 に流れる書き込み電流により発生する磁界 H_x を、TMR 素子 2 3 に、効率よく、集中させることができる。

【 0 0 9 3 】

なお、TMR 素子 2 3 の構造に関しては、特に、限定されない。図 9 6 に示すような構造であってもよいし、その他の構造であってもよい。また、TMR 素子 2 3 は、複数ビットのデータを記憶できる多値記憶型であっても構わない。

【 0 0 9 4 】

このようなデバイス構造においては、TMR 素子 2 3 の直下に配置される書き込みワード線 2 0 B に対しては、その下面及び側面にヨーク材 2 5 B が形成される。また、TMR 素子 2 3 の直上に配置されるデータ選択線 (読み出し / 書き込みビット線) 2 4 に対しては、その上面及び側面にヨーク材 2 2 6 , 2 7 が形成される。

40

【 0 0 9 5 】

この場合、書き込みワード線 2 0 B 及びヨーク材 2 5 B は、ダマシンプロセス (damasce ne process) を採用して形成するのが好都合である。逆に言うと、書き込みワード線 2 0 B 及びヨーク材 2 5 B を、RIE プロセス (Reactive Ion Etching process) を採用して形成することは、プロセスが非常に複雑となるため、現実的に不可能となる。

【 0 0 9 6 】

50

一方、データ選択線 2 4 及びヨーク材 2 6 , 2 7 は、ダマシンプロセス及び R I E プロセスのいずれを採用してもよい。

【 0 0 9 7 】

3 . 実施例 1

図 7 乃至図 1 0 は、本発明の磁気ランダムアクセスメモリの実施例 1 に関わるデバイス構造を示している。なお、図 7 及び図 9 は、Y 方向の断面であり、図 8 は、図 7 の T M R 素子部の X 方向の断面であり、図 1 0 は、図 9 の T M R 素子部の X 方向の断面である。X 方向と Y 方向は、互いに直交する。

【 0 0 9 8 】

本例のデバイス構造の特徴は、T M R 素子 2 3 の直下に配置される書き込みワード線 2 0 B 10 に関しては、その下面及び側面をヨーク材 2 5 B で覆い、T M R 素子 2 3 の直上に配置されるデータ選択線（読み出し / 書き込みビット線）2 4 に関しては、その上面及び側面をヨーク材 2 6 , 2 7 で覆った点にある。

【 0 0 9 9 】

さらに、T M R 素子 2 3 の直下に配置される書き込みワード線 2 0 B の側面に配置されるヨーク材 2 5 B に関しては、書き込み線 2 0 B の上面よりも下部に窪んだ構造を有する点に特徴を有する。

【 0 1 0 0 】

半導体基板（例えば、p 型シリコン基板、p 型ウェル領域など）1 1 内には、S T I (Shallow Trench Isolation) 構造を有する素子分離絶縁層 1 2 が形成される。素子分離絶縁層 1 2 により取り囲まれた領域は、読み出し選択スイッチが形成される素子領域となる。 20

【 0 1 0 1 】

本例のデバイス構造では、読み出し選択スイッチは、M O S トランジスタ（n チャネル型 M O S トランジスタ）から構成される。半導体基板 1 1 上には、ゲート絶縁層 1 3、ゲート電極 1 4 及び側壁絶縁層 1 5 が形成される。ゲート電極 1 4 は、X 方向に延びており、読み出し動作時に、読み出しセル（T M R 素子）を選択するための読み出しワード線として機能する。

【 0 1 0 2 】

半導体基板 1 1 内には、ソース領域（例えば、n 型拡散層）1 6 - S 及びドレイン領域（例えば、n 型拡散層）1 6 - D が形成される。ゲート電極（読み出しワード線）1 4 は、 30 ソース領域 1 6 - S とドレイン領域 1 6 - D の間のチャネル領域上に配置される。

【 0 1 0 3 】

第 1 金属配線層を構成する金属層のうちの 1 つは、複数のコンタクトプラグを縦に積み重ねるための中間層 1 8 A として機能し、他の 1 つは、ソース線 1 8 B として機能する。

【 0 1 0 4 】

中間層 1 8 A は、コンタクトプラグ 1 7 A により、読み出し選択スイッチ（M O S トランジスタ）のドレイン領域 1 6 - D に電氣的に接続される。ソース線 1 8 B は、コンタクトプラグ 1 7 B により、読み出し選択スイッチのソース領域 1 6 - S に電氣的に接続される。ソース線 1 8 B は、例えば、ゲート電極（読み出しワード線）1 4 と同様に、X 方向に延びている。 40

【 0 1 0 5 】

第 2 金属配線層を構成する金属層のうちの 1 つは、複数のコンタクトプラグを縦に積み重ねるための中間層 2 0 A として機能し、他の 1 つは、書き込みワード線 2 0 B として機能する。中間層 2 0 A は、コンタクトプラグ 1 9 により、中間層 1 8 A に電氣的に接続される。書き込みワード線 2 0 B は、例えば、ゲート電極（読み出しワード線）1 4 と同様に、X 方向に延びている。

【 0 1 0 6 】

本例のデバイス構造では、中間層 2 0 A 及び書き込みワード線 2 0 B の下面及び側面は、高い透磁率を有する材料、即ち、ヨーク材（yoke material）2 5 A , 2 5 B により覆われている。ここで使用されるヨーク材 2 5 A , 2 5 B は、導電性を有するものに限定さ 50

れる。

【0107】

また、中間層20A及び書き込みワード線20Bの側面に配置されるヨーク材25A, 25Bに関しては、中間層20A及び書き込みワード線20Bの上面よりも下部に窪んでいる。つまり、ヨーク材25A, 25BがTMR素子23に近付き過ぎることがないため、書き込みワード線20BとTMR素子23とが短絡する可能性を低くできる。

【0108】

なお、磁束は、高い透磁率を有する材料に集中する性質があるため、この高い透磁率を有する材料を磁力線の牽引役として使用すれば、書き込み動作時、書き込みワード線20Bに流れる書き込み電流により発生する磁界 H_y を、TMR素子23に、効率よく、集中させることができる。

10

【0109】

本願の目的を達成するには、ヨーク材は、書き込みワード線20Bの下面及び側面を覆っていれば、十分である。但し、実際は、ヨーク材は、中間層20Aの下面及び側面にも形成される。これは、第2金属配線層としての中間層20A及び書き込みワード線20Bが同時に形成されることに起因する。

【0110】

第3金属配線層を構成する金属層のうちの1つは、TMR素子23の下部電極22として機能する。下部電極22は、コンタクトプラグ21により、中間層20Aに電氣的に接続される。TMR素子23は、下部電極22上に搭載される。ここで、TMR素子23は、書き込みワード線20Bの直上に配置されると共に、X方向に長い長方形状（磁化容易軸がX方向）に形成される。

20

【0111】

第4金属配線層を構成する金属層のうちの1つは、データ選択線（読み出し／書き込みビット線）24として機能する。データ選択線24は、TMR素子23に電氣的に接続されると共に、Y方向に延びている。

【0112】

本例のデバイス構造では、データ選択線24の上面及び側面は、高い透磁率を有する材料、即ち、ヨーク材26, 27により覆われている。ここで使用されるヨーク材26, 27としては、図7及び図8に示すように、導電性を有する材料から構成することができるし、また、図9及び図10に示すように、絶縁性を有する材料から構成することもできる。

30

【0113】

なお、磁束は、上述のように、高い透磁率を有する材料に集中する性質があるため、この高い透磁率を有する材料を磁力線の牽引役として使用すれば、書き込み動作時、データ選択線24に流れる書き込み電流により発生する磁界 H_x を、TMR素子23に、効率よく、集中させることができる。

【0114】

TMR素子23の構造に関しては、特に、限定されない。図96に示すような構造であってもよいし、その他の構造であってもよい。また、TMR素子23は、複数ビットのデータを記憶できる多値記憶型であっても構わない。

40

【0115】

このようなデバイス構造においては、TMR素子23の直下に配置される書き込みワード線20Bに対しては、その下面及び側面にヨーク材25Bが形成される。また、TMR素子23の直上に配置されるデータ選択線（読み出し／書き込みビット線）24に対しては、その上面及び側面にヨーク材26, 27が形成される。さらに、書き込みワード線20Bの側面のヨーク材25Bについては、書き込みワード線20Bの上面よりも下部に窪んでいる。

【0116】

従って、書き込みワード線20B及びデータ選択線24に流れる書き込み電流により発生する磁界を、効率よく、TMR素子23に印加することができる。

50

【 0 1 1 7 】

なお、本例では、データ選択線 2 4 に対しては、その上面及び側面にヨーク材 2 6 , 2 7 を形成したが、これに限られず、以下のようにしても構わない。

【 0 1 1 8 】

例えば、データ選択線 2 4 に対しては、図 1 1 乃至図 1 4 に示すように、その上面のみにヨーク材 2 7 を形成してもよいし、また、図 1 5 乃至図 1 8 に示すように、その側面のみにヨーク材 2 6 を形成してもよい。

【 0 1 1 9 】

また、書き込みワード線 2 0 B 及びヨーク材 2 5 B は、ダマシンプロセス (damascene process) を採用して形成するのが好都合である。逆に言うと、書き込みワード線 2 0 B 及びヨーク材 2 5 B を、R I E プロセス (Reactive Ion Etching process) を採用して形成することは、プロセスが非常に複雑となるため、現実的に不可能となる。

【 0 1 2 0 】

また、データ選択線 2 4 及びヨーク材 2 6 , 2 7 については、ダマシンプロセス及び R I E プロセスのいずれを採用してもよい。

【 0 1 2 1 】

4 . 実施例 2

図 1 9 乃至図 2 2 は、本発明の磁気ランダムアクセスメモリの実施例 2 に関わるデバイス構造を示している。なお、図 1 9 及び図 2 1 は、Y 方向の断面であり、図 2 0 は、図 1 9 の T M R 素子部の X 方向の断面であり、図 2 2 は、図 2 1 の T M R 素子部の X 方向の断面である。X 方向と Y 方向は、互いに直交する。

【 0 1 2 2 】

本例のデバイス構造の特徴は、T M R 素子 2 3 の直下に配置される書き込みワード線 2 0 B に関しては、その下面及び側面をヨーク材 2 5 B で覆い、T M R 素子 2 3 の直上に配置されるデータ選択線 (読み出し / 書き込みビット線) 2 4 に関しては、その上面及び側面をヨーク材 2 6 , 2 7 で覆った点にある。

【 0 1 2 3 】

さらに、T M R 素子 2 3 の直上に配置されるデータ選択線 2 4 の側面に配置されるヨーク材 2 6 に関しては、データ選択線 2 4 の下面よりも上部に窪んだ構造を有する点に特徴を有する。

【 0 1 2 4 】

半導体基板 (例えば、p 型シリコン基板、p 型ウェル領域など) 1 1 内には、S T I (Shallow Trench Isolation) 構造を有する素子分離絶縁層 1 2 が形成される。素子分離絶縁層 1 2 により取り囲まれた領域は、読み出し選択スイッチが形成される素子領域となる。

【 0 1 2 5 】

本例のデバイス構造では、読み出し選択スイッチは、M O S トランジスタ (n チャネル型 M O S トランジスタ) から構成される。半導体基板 1 1 上には、ゲート絶縁層 1 3、ゲート電極 1 4 及び側壁絶縁層 1 5 が形成される。ゲート電極 1 4 は、X 方向に延びており、読み出し動作時に、読み出しセル (T M R 素子) を選択するための読み出しワード線として機能する。

【 0 1 2 6 】

半導体基板 1 1 内には、ソース領域 (例えば、n 型拡散層) 1 6 - S 及びドレイン領域 (例えば、n 型拡散層) 1 6 - D が形成される。ゲート電極 (読み出しワード線) 1 4 は、ソース領域 1 6 - S とドレイン領域 1 6 - D の間のチャネル領域上に配置される。

【 0 1 2 7 】

第 1 金属配線層を構成する金属層のうちの 1 つは、複数のコンタクトプラグを縦に積み重ねるための中間層 1 8 A として機能し、他の 1 つは、ソース線 1 8 B として機能する。

【 0 1 2 8 】

中間層 1 8 A は、コンタクトプラグ 1 7 A により、読み出し選択スイッチ (M O S トランジスタ) のドレイン領域 1 6 - D に電氣的に接続される。ソース線 1 8 B は、コンタクト

10

20

30

40

50

プラグ 17B により、読み出し選択スイッチのソース領域 16-S に電氣的に接続される。ソース線 18B は、例えば、ゲート電極（読み出しワード線）14 と同様に、X 方向に延びている。

【0129】

第2金属配線層を構成する金属層のうちの1つは、複数のコンタクトプラグを縦に積み重ねるための中間層 20A として機能し、他の1つは、書き込みワード線 20B として機能する。中間層 20A は、コンタクトプラグ 19 により、中間層 18A に電氣的に接続される。書き込みワード線 20B は、例えば、ゲート電極（読み出しワード線）14 と同様に、X 方向に延びている。

【0130】

本例のデバイス構造では、中間層 20A 及び書き込みワード線 20B の下面及び側面は、高い透磁率を有する材料、即ち、ヨーク材（yoke material）25A, 25B により覆われている。ここで使用されるヨーク材 25A, 25B は、導電性を有するものに限定される。

【0131】

なお、磁束は、高い透磁率を有する材料に集中する性質があるため、この高い透磁率を有する材料を磁力線の牽引役として使用すれば、書き込み動作時、書き込みワード線 20B に流れる書き込み電流により発生する磁界 H_y を、TMR 素子 23 に、効率よく、集中させることができる。

【0132】

本願の目的を達成するには、ヨーク材は、書き込みワード線 20B の下面及び側面を覆っていれば、十分である。但し、実際は、ヨーク材は、中間層 20A の下面及び側面にも形成される。これは、第2金属配線層としての中間層 20A 及び書き込みワード線 20B が同時に形成されることに起因する。

【0133】

第3金属配線層を構成する金属層のうちの1つは、TMR 素子 23 の下部電極 22 として機能する。下部電極 22 は、コンタクトプラグ 21 により、中間層 20A に電氣的に接続される。TMR 素子 23 は、下部電極 22 上に搭載される。ここで、TMR 素子 23 は、書き込みワード線 20B の直上に配置されると共に、X 方向に長い長方形状（磁化容易軸が X 方向）に形成される。

【0134】

第4金属配線層を構成する金属層のうちの1つは、データ選択線（読み出し／書き込みビット線）24 として機能する。データ選択線 24 は、TMR 素子 23 に電氣的に接続されると共に、Y 方向に延びている。

【0135】

本例のデバイス構造では、データ選択線 24 の上面及び側面は、高い透磁率を有する材料、即ち、ヨーク材 26, 27 により覆われている。ここで使用されるヨーク材 26, 27 としては、図 19 及び図 20 に示すように、導電性を有する材料から構成することができるし、また、図 21 及び図 22 に示すように、絶縁性を有する材料から構成することもできる。

【0136】

また、データ選択線 24 の側面に配置されるヨーク材 26 に関しては、データ選択線 24 の下面よりも上部に窪んでいる。つまり、ヨーク材 26 が TMR 素子 23 に近付き過ぎることがない。

【0137】

なお、磁束は、上述のように、高い透磁率を有する材料に集中する性質があるため、この高い透磁率を有する材料を磁力線の牽引役として使用すれば、書き込み動作時、データ選択線 24 に流れる書き込み電流により発生する磁界 H_x を、TMR 素子 23 に、効率よく、集中させることができる。

【0138】

10

20

30

40

50

TMR素子23の構造に関しては、特に、限定されない。図96に示すような構造であってもよいし、その他の構造であってもよい。また、TMR素子23は、複数ビットのデータを記憶できる多値記憶型であっても構わない。

【0139】

このようなデバイス構造においては、TMR素子23の直下に配置される書き込みワード線20Bに対しては、その下面及び側面にヨーク材25Bが形成される。また、TMR素子23の直上に配置されるデータ選択線（読み出し／書き込みビット線）24に対しては、その上面及び側面にヨーク材26，27が形成される。さらに、データ選択線24の側面のヨーク材26については、データ選択線24の下面よりも上部に窪んでいる。

【0140】

従って、書き込みワード線20B及びデータ選択線24に流れる書き込み電流により発生する磁界を、効率よく、TMR素子23に印加することができる。

【0141】

なお、本例では、書き込みワード線20Bに対しては、その下面及び側面にヨーク材25Bを形成したが、これに限られず、以下のようにしても構わない。

【0142】

例えば、書き込みワード線20Bに対しては、図23乃至図26に示すように、その下面のみにヨーク材25Bを形成してもよいし、また、図27乃至図30に示すように、その側面のみにヨーク材25Bを形成してもよい。

【0143】

また、書き込みワード線20B及びヨーク材25Bは、ダマシンプロセス（damascene process）を採用して形成するのが好都合である。逆に言うと、書き込みワード線20B及びヨーク材25Bを、RIEプロセス（Reactive Ion Etching process）を採用して形成することは、プロセスが非常に複雑となるため、現実的に不可能となる。

【0144】

また、データ選択線24及びヨーク材26，27についても、ダマシンプロセスを採用して形成するのが好都合である。逆に言うと、データ選択線24及びヨーク材26，27を、RIEプロセスを採用して形成することは、プロセスが非常に複雑となるため、現実的に不可能となる。

【0145】

5. 実施例3

図31乃至図34は、本発明の磁気ランダムアクセスメモリの実施例3に関わるデバイス構造を示している。なお、図31及び図33は、Y方向の断面であり、図32は、図31のTMR素子部のX方向の断面であり、図34は、図33のTMR素子部のX方向の断面である。X方向とY方向は、互いに直交する。

【0146】

本例のデバイス構造の特徴は、TMR素子23の直下に配置される書き込みワード線20Bに関しては、その下面及び側面をヨーク材25Bで覆い、TMR素子23の直上に配置されるデータ選択線（読み出し／書き込みビット線）24に関しては、その上面及び側面をヨーク材26，27で覆った点にある。

【0147】

さらに、TMR素子23の直下に配置される書き込みワード線20Bの側面に配置されるヨーク材25Bに関しては、書き込み線20Bの上面よりも下部に窪んだ構造を有する点、また、TMR素子23の直上に配置されるデータ選択線24の側面に配置されるヨーク材26に関しては、データ選択線24の下面よりも上部に窪んだ構造を有する点に特徴を有する。

【0148】

半導体基板（例えば、p型シリコン基板、p型ウェル領域など）11内には、STI（Shallow Trench Isolation）構造を有する素子分離絶縁層12が形成される。素子分離絶縁層12により取り囲まれた領域は、読み出し選択スイッチが形成される素子領域となる。

10

20

30

40

50

【 0 1 4 9 】

本例のデバイス構造では、読み出し選択スイッチは、M O S トランジスタ（ n チャネル型 M O S トランジスタ）から構成される。半導体基板 1 1 上には、ゲート絶縁層 1 3、ゲート電極 1 4 及び側壁絶縁層 1 5 が形成される。ゲート電極 1 4 は、X 方向に延びており、読み出し動作時に、読み出しセル（ T M R 素子）を選択するための読み出しワード線として機能する。

【 0 1 5 0 】

半導体基板 1 1 内には、ソース領域（例えば、 n 型拡散層） 1 6 - S 及びドレイン領域（例えば、 n 型拡散層） 1 6 - D が形成される。ゲート電極（読み出しワード線） 1 4 は、ソース領域 1 6 - S とドレイン領域 1 6 - D の間のチャネル領域上に配置される。

10

【 0 1 5 1 】

第 1 金属配線層を構成する金属層のうちの 1 つは、複数のコンタクトプラグを縦に積み重ねるための中間層 1 8 A として機能し、他の 1 つは、ソース線 1 8 B として機能する。

【 0 1 5 2 】

中間層 1 8 A は、コンタクトプラグ 1 7 A により、読み出し選択スイッチ（ M O S トランジスタ）のドレイン領域 1 6 - D に電氣的に接続される。ソース線 1 8 B は、コンタクトプラグ 1 7 B により、読み出し選択スイッチのソース領域 1 6 - S に電氣的に接続される。ソース線 1 8 B は、例えば、ゲート電極（読み出しワード線） 1 4 と同様に、X 方向に延びている。

【 0 1 5 3 】

第 2 金属配線層を構成する金属層のうちの 1 つは、複数のコンタクトプラグを縦に積み重ねるための中間層 2 0 A として機能し、他の 1 つは、書き込みワード線 2 0 B として機能する。中間層 2 0 A は、コンタクトプラグ 1 9 により、中間層 1 8 A に電氣的に接続される。書き込みワード線 2 0 B は、例えば、ゲート電極（読み出しワード線） 1 4 と同様に、X 方向に延びている。

20

【 0 1 5 4 】

本例のデバイス構造では、中間層 2 0 A 及び書き込みワード線 2 0 B の下面及び側面は、高い透磁率を有する材料、即ち、ヨーク材（ yoke material ） 2 5 A , 2 5 B により覆われている。ここで使用されるヨーク材 2 5 A , 2 5 B は、導電性を有するものに限定される。

30

【 0 1 5 5 】

また、中間層 2 0 A 及び書き込みワード線 2 0 B の側面に配置されるヨーク材 2 5 A , 2 5 B に関しては、中間層 2 0 A 及び書き込みワード線 2 0 B の上面よりも下部に窪んでいる。つまり、ヨーク材 2 5 A , 2 5 B が T M R 素子 2 3 に近付き過ぎることがないため、書き込みワード線 2 0 B と T M R 素子 2 3 とが短絡する可能性を低くできる。

【 0 1 5 6 】

なお、磁束は、高い透磁率を有する材料に集中する性質があるため、この高い透磁率を有する材料を磁力線の牽引役として使用すれば、書き込み動作時、書き込みワード線 2 0 B に流れる書き込み電流により発生する磁界 H y を、 T M R 素子 2 3 に、効率よく、集中させることができる。

40

【 0 1 5 7 】

本願の目的を達成するには、ヨーク材は、書き込みワード線 2 0 B の下面及び側面を覆っていれば、十分である。但し、実際は、ヨーク材は、中間層 2 0 A の下面及び側面にも形成される。これは、第 2 金属配線層としての中間層 2 0 A 及び書き込みワード線 2 0 B が同時に形成されることに起因する。

【 0 1 5 8 】

第 3 金属配線層を構成する金属層のうちの 1 つは、 T M R 素子 2 3 の下部電極 2 2 として機能する。下部電極 2 2 は、コンタクトプラグ 2 1 により、中間層 2 0 A に電氣的に接続される。 T M R 素子 2 3 は、下部電極 2 2 上に搭載される。ここで、 T M R 素子 2 3 は、書き込みワード線 2 0 B の直上に配置されると共に、X 方向に長い長方形状（磁化容易軸

50

がX方向)に形成される。

【0159】

第4金属配線層を構成する金属層のうちの1つは、データ選択線(読み出し/書き込みビット線)24として機能する。データ選択線24は、TMR素子23に電氣的に接続されると共に、Y方向に延びている。

【0160】

本例のデバイス構造では、データ選択線24の上面及び側面は、高い透磁率を有する材料、即ち、ヨーク材26, 27により覆われている。ここで使用されるヨーク材26, 27としては、図31及び図32に示すように、導電性を有する材料から構成することができるし、また、図33及び図34に示すように、絶縁性を有する材料から構成することもできる。

10

【0161】

また、データ選択線24の側面に配置されるヨーク材26に関しては、データ選択線24の下面よりも上部に窪んでいる。つまり、ヨーク材26がTMR素子23に近付き過ぎることがない。

【0162】

なお、磁束は、上述のように、高い透磁率を有する材料に集中する性質があるため、この高い透磁率を有する材料を磁力線の牽引役として使用すれば、書き込み動作時、データ選択線24に流れる書き込み電流により発生する磁界Hxを、TMR素子23に、効率よく、集中させることができる。

20

【0163】

TMR素子23の構造に関しては、特に、限定されない。図96に示すような構造であってもよいし、その他の構造であってもよい。また、TMR素子23は、複数ビットのデータを記憶できる多値記憶型であっても構わない。

【0164】

このようなデバイス構造においては、TMR素子23の直下に配置される書き込みワード線20Bに対しては、その下面及び側面にヨーク材25Bが形成される。また、TMR素子23の直上に配置されるデータ選択線(読み出し/書き込みビット線)24に対しては、その上面及び側面にヨーク材26, 27が形成される。さらに、書き込みワード線20Bの側面のヨーク材25Bについては、書き込みワード線20Bの上面よりも下部に窪み、データ選択線24の側面のヨーク材26については、データ選択線24の下面よりも上部に窪んでいる。

30

【0165】

従って、書き込みワード線20B及びデータ選択線24に流れる書き込み電流により発生する磁界を、効率よく、TMR素子23に印加することができる。

【0166】

なお、書き込みワード線20B及びヨーク材25Bは、ダマシンプロセス(damascene process)を採用して形成するのが好都合である。逆に言うと、書き込みワード線20B及びヨーク材25Bを、RIEプロセス(Reactive Ion Etching process)を採用して形成することは、プロセスが非常に複雑となるため、現実的に不可能となる。

40

【0167】

また、データ選択線24及びヨーク材26, 27についても、ダマシンプロセスを採用して形成するのが好都合である。逆に言うと、データ選択線24及びヨーク材26, 27を、RIEプロセスを採用して形成することは、プロセスが非常に複雑となるため、現実的に不可能となる。

【0168】

6. 実施例4

図35乃至図38は、本発明の磁気ランダムアクセスメモリの実施例4に関わるデバイス構造を示している。なお、図35及び図37は、Y方向の断面であり、図36は、図35のTMR素子部のX方向の断面であり、図38は、図37のTMR素子部のX方向の断面

50

である。X方向とY方向は、互いに直交する。

【0169】

本例のデバイス構造の特徴は、TMR素子23の直下に配置される書き込みワード線20Bに関しては、その側面のみをヨーク材25Bで覆い、TMR素子23の直上に配置されるデータ選択線（読み出し／書き込みビット線）24に関しては、その上面及び側面をヨーク材26，27で覆った点にある。

【0170】

さらに、TMR素子23の直下に配置される書き込みワード線20Bの側面に配置されるヨーク材25Bに関しては、書き込み線20Bの上面よりも下部に窪んだ構造を有する点に特徴を有する。

10

【0171】

半導体基板（例えば、p型シリコン基板、p型ウェル領域など）11内には、STI（Shallow Trench Isolation）構造を有する素子分離絶縁層12が形成される。素子分離絶縁層12により取り囲まれた領域は、読み出し選択スイッチが形成される素子領域となる。

【0172】

本例のデバイス構造では、読み出し選択スイッチは、MOSトランジスタ（nチャネル型MOSトランジスタ）から構成される。半導体基板11上には、ゲート絶縁層13、ゲート電極14及び側壁絶縁層15が形成される。ゲート電極14は、X方向に延びており、読み出し動作時に、読み出しセル（TMR素子）を選択するための読み出しワード線として機能する。

20

【0173】

半導体基板11内には、ソース領域（例えば、n型拡散層）16-S及びドレイン領域（例えば、n型拡散層）16-Dが形成される。ゲート電極（読み出しワード線）14は、ソース領域16-Sとドレイン領域16-Dの間のチャンネル領域上に配置される。

【0174】

第1金属配線層を構成する金属層のうちの1つは、複数のコンタクトプラグを縦に積み重ねるための中間層18Aとして機能し、他の1つは、ソース線18Bとして機能する。

【0175】

中間層18Aは、コンタクトプラグ17Aにより、読み出し選択スイッチ（MOSトランジスタ）のドレイン領域16-Dに電氣的に接続される。ソース線18Bは、コンタクトプラグ17Bにより、読み出し選択スイッチのソース領域16-Sに電氣的に接続される。ソース線18Bは、例えば、ゲート電極（読み出しワード線）14と同様に、X方向に延びている。

30

【0176】

第2金属配線層を構成する金属層のうちの1つは、複数のコンタクトプラグを縦に積み重ねるための中間層20Aとして機能し、他の1つは、書き込みワード線20Bとして機能する。中間層20Aは、コンタクトプラグ19により、中間層18Aに電氣的に接続される。書き込みワード線20Bは、例えば、ゲート電極（読み出しワード線）14と同様に、X方向に延びている。

【0177】

本例のデバイス構造では、中間層20A及び書き込みワード線20Bの側面は、高い透磁率を有する材料、即ち、ヨーク材（yoke material）25A，25Bにより覆われている。ここで使用されるヨーク材25A，25Bは、図35及び図36に示すように、導電性を有する材料から構成することができ、また、図37及び図38に示すように、絶縁性を有する材料から構成することもできる。

40

【0178】

また、中間層20A及び書き込みワード線20Bの側面に配置されるヨーク材25A，25Bに関しては、中間層20A及び書き込みワード線20Bの上面よりも下部に窪んでいる。つまり、ヨーク材25A，25BがTMR素子23に近付き過ぎることがないため、書き込みワード線20BとTMR素子23とが短絡する可能性を低くできる。

50

【 0 1 7 9 】

なお、磁束は、高い透磁率を有する材料に集中する性質があるため、この高い透磁率を有する材料を磁力線の牽引役として使用すれば、書き込み動作時、書き込みワード線 2 0 B に流れる書き込み電流により発生する磁界 H_y を、TMR 素子 2 3 に、効率よく、集中させることができる。

【 0 1 8 0 】

本願の目的を達成するには、ヨーク材は、書き込みワード線 2 0 B の側面を覆っていれば、十分である。但し、実際は、ヨーク材は、中間層 2 0 A の側面にも形成される。これは、第 2 金属配線層としての中間層 2 0 A 及び書き込みワード線 2 0 B が同時に形成されることに起因する。

10

【 0 1 8 1 】

第 3 金属配線層を構成する金属層のうちの 1 つは、TMR 素子 2 3 の下部電極 2 2 として機能する。下部電極 2 2 は、コンタクトプラグ 2 1 により、中間層 2 0 A に電氣的に接続される。TMR 素子 2 3 は、下部電極 2 2 上に搭載される。ここで、TMR 素子 2 3 は、書き込みワード線 2 0 B の直上に配置されると共に、X 方向に長い長方形状（磁化容易軸が X 方向）に形成される。

【 0 1 8 2 】

第 4 金属配線層を構成する金属層のうちの 1 つは、データ選択線（読み出し / 書き込みビット線）2 4 として機能する。データ選択線 2 4 は、TMR 素子 2 3 に電氣的に接続されると共に、Y 方向に延びている。

20

【 0 1 8 3 】

本例のデバイス構造では、データ選択線 2 4 の上面及び側面は、高い透磁率を有する材料、即ち、ヨーク材 2 6 , 2 7 により覆われている。ここで使用されるヨーク材 2 6 , 2 7 としては、図 3 5 及び図 3 6 に示すように、導電性を有する材料から構成することができるし、また、図 3 7 及び図 3 8 に示すように、絶縁性を有する材料から構成することもできる。

【 0 1 8 4 】

なお、磁束は、上述のように、高い透磁率を有する材料に集中する性質があるため、この高い透磁率を有する材料を磁力線の牽引役として使用すれば、書き込み動作時、データ選択線 2 4 に流れる書き込み電流により発生する磁界 H_x を、TMR 素子 2 3 に、効率よく、集中させることができる。

30

【 0 1 8 5 】

TMR 素子 2 3 の構造に関しては、特に、限定されない。図 9 6 に示すような構造であってもよいし、その他の構造であってもよい。また、TMR 素子 2 3 は、複数ビットのデータを記憶できる多値記憶型であっても構わない。

【 0 1 8 6 】

このようなデバイス構造においては、TMR 素子 2 3 の直下に配置される書き込みワード線 2 0 B に対しては、その側面にヨーク材 2 5 B が形成される。また、TMR 素子 2 3 の直上に配置されるデータ選択線（読み出し / 書き込みビット線）2 4 に対しては、その上面及び側面にヨーク材 2 6 , 2 7 が形成される。さらに、書き込みワード線 2 0 B の側面のヨーク材 2 5 B については、書き込みワード線 2 0 B の上面よりも下部に窪んでいる。

40

【 0 1 8 7 】

従って、書き込みワード線 2 0 B 及びデータ選択線 2 4 に流れる書き込み電流により発生する磁界を、効率よく、TMR 素子 2 3 に印加することができる。

【 0 1 8 8 】

なお、本例では、データ選択線 2 4 に対しては、その上面及び側面にヨーク材 2 6 , 2 7 を形成したが、これに限られず、以下のようにしても構わない。

【 0 1 8 9 】

例えば、データ選択線 2 4 に対しては、図 3 9 乃至図 4 2 に示すように、その上面のみにヨーク材 2 7 を形成してもよいし、また、図 4 3 乃至図 4 6 に示すように、その側面のみ

50

にヨーク材 2 6 を形成してもよい。

【 0 1 9 0 】

また、書き込みワード線 2 0 B 及びヨーク材 2 5 B は、ダマシンプロセス (damascene process) を採用して形成するのが好都合である。逆に言うと、書き込みワード線 2 0 B 及びヨーク材 2 5 B を、R I E プロセス (Reactive Ion Etching process) を採用して形成することは、プロセスが非常に複雑となるため、現実的に不可能となる。

【 0 1 9 1 】

また、データ選択線 2 4 及びヨーク材 2 6 , 2 7 については、ダマシンプロセス及び R I E プロセスのいずれを採用してもよい。

【 0 1 9 2 】

7 . 実施例 5

図 4 7 乃至図 5 0 は、本発明の磁気ランダムアクセスメモリの実施例 5 に関わるデバイス構造を示している。なお、図 4 7 及び図 4 9 は、Y 方向の断面であり、図 4 8 は、図 4 7 の T M R 素子部の X 方向の断面であり、図 5 0 は、図 4 9 の T M R 素子部の X 方向の断面である。X 方向と Y 方向は、互いに直交する。

【 0 1 9 3 】

本例のデバイス構造の特徴は、T M R 素子 2 3 の直下に配置される書き込みワード線 2 0 B に関しては、その下面及び側面をヨーク材 2 5 B で覆い、T M R 素子 2 3 の直上に配置されるデータ選択線 (読み出し / 書き込みビット線) 2 4 に関しては、その側面のみをヨーク材 2 6 で覆った点にある。

【 0 1 9 4 】

さらに、T M R 素子 2 3 の直上に配置されるデータ選択線 2 4 の側面に配置されるヨーク材 2 6 に関しては、データ選択線 2 4 の下面よりも上部に窪んだ構造を有する点に特徴を有する。

【 0 1 9 5 】

半導体基板 (例えば、p 型シリコン基板、p 型ウェル領域など) 1 1 内には、S T I (Shallow Trench Isolation) 構造を有する素子分離絶縁層 1 2 が形成される。素子分離絶縁層 1 2 により取り囲まれた領域は、読み出し選択スイッチが形成される素子領域となる。

【 0 1 9 6 】

本例のデバイス構造では、読み出し選択スイッチは、M O S トランジスタ (n チャネル型 M O S トランジスタ) から構成される。半導体基板 1 1 上には、ゲート絶縁層 1 3、ゲート電極 1 4 及び側壁絶縁層 1 5 が形成される。ゲート電極 1 4 は、X 方向に延びており、読み出し動作時に、読み出しセル (T M R 素子) を選択するための読み出しワード線として機能する。

【 0 1 9 7 】

半導体基板 1 1 内には、ソース領域 (例えば、n 型拡散層) 1 6 - S 及びドレイン領域 (例えば、n 型拡散層) 1 6 - D が形成される。ゲート電極 (読み出しワード線) 1 4 は、ソース領域 1 6 - S とドレイン領域 1 6 - D の間のチャネル領域上に配置される。

【 0 1 9 8 】

第 1 金属配線層を構成する金属層のうちの 1 つは、複数のコンタクトプラグを縦に積み重ねるための中間層 1 8 A として機能し、他の 1 つは、ソース線 1 8 B として機能する。

【 0 1 9 9 】

中間層 1 8 A は、コンタクトプラグ 1 7 A により、読み出し選択スイッチ (M O S トランジスタ) のドレイン領域 1 6 - D に電氣的に接続される。ソース線 1 8 B は、コンタクトプラグ 1 7 B により、読み出し選択スイッチのソース領域 1 6 - S に電氣的に接続される。ソース線 1 8 B は、例えば、ゲート電極 (読み出しワード線) 1 4 と同様に、X 方向に延びている。

【 0 2 0 0 】

第 2 金属配線層を構成する金属層のうちの 1 つは、複数のコンタクトプラグを縦に積み重ねるための中間層 2 0 A として機能し、他の 1 つは、書き込みワード線 2 0 B として機能

10

20

30

40

50

する。中間層 20 A は、コンタクトプラグ 19 により、中間層 18 A に電氣的に接続される。書き込みワード線 20 B は、例えば、ゲート電極（読み出しワード線）14 と同様に、X 方向に延びている。

【0201】

本例のデバイス構造では、中間層 20 A 及び書き込みワード線 20 B の下面及び側面は、高い透磁率を有する材料、即ち、ヨーク材（yoke material）25 A，25 B により覆われている。ここで使用されるヨーク材 25 A，25 B は、導電性を有するものに限定される。

【0202】

なお、磁束は、高い透磁率を有する材料に集中する性質があるため、この高い透磁率を有する材料を磁力線の牽引役として使用すれば、書き込み動作時、書き込みワード線 20 B に流れる書き込み電流により発生する磁界 H_y を、TMR 素子 23 に、効率よく、集中させることができる。

10

【0203】

本願の目的を達成するには、ヨーク材は、書き込みワード線 20 B の下面及び側面を覆っていれば、十分である。但し、実際は、ヨーク材は、中間層 20 A の下面及び側面にも形成される。これは、第 2 金属配線層としての中間層 20 A 及び書き込みワード線 20 B が同時に形成されることに起因する。

【0204】

第 3 金属配線層を構成する金属層のうちの 1 つは、TMR 素子 23 の下部電極 22 として機能する。下部電極 22 は、コンタクトプラグ 21 により、中間層 20 A に電氣的に接続される。TMR 素子 23 は、下部電極 22 上に搭載される。ここで、TMR 素子 23 は、書き込みワード線 20 B の直上に配置されると共に、X 方向に長い長方形（磁化容易軸が X 方向）に形成される。

20

【0205】

第 4 金属配線層を構成する金属層のうちの 1 つは、データ選択線（読み出し / 書き込みビット線）24 として機能する。データ選択線 24 は、TMR 素子 23 に電氣的に接続されると共に、Y 方向に延びている。

【0206】

本例のデバイス構造では、データ選択線 24 の側面は、高い透磁率を有する材料、即ち、ヨーク材 26 により覆われている。ここで使用されるヨーク材 26 としては、図 47 及び図 48 に示すように、導電性を有する材料から構成することができるし、また、図 49 及び図 50 に示すように、絶縁性を有する材料から構成することもできる。

30

【0207】

また、データ選択線 24 の側面に配置されるヨーク材 26 に関しては、データ選択線 24 の下面よりも上部に窪んでいる。つまり、ヨーク材 26 が TMR 素子 23 に近付き過ぎることがない。

【0208】

なお、磁束は、上述のように、高い透磁率を有する材料に集中する性質があるため、この高い透磁率を有する材料を磁力線の牽引役として使用すれば、書き込み動作時、データ選択線 24 に流れる書き込み電流により発生する磁界 H_x を、TMR 素子 23 に、効率よく、集中させることができる。

40

【0209】

TMR 素子 23 の構造に関しては、特に、限定されない。図 96 に示すような構造であってもよいし、その他の構造であってもよい。また、TMR 素子 23 は、複数ビットのデータを記憶できる多値記憶型であっても構わない。

【0210】

このようなデバイス構造においては、TMR 素子 23 の直下に配置される書き込みワード線 20 B に対しては、その下面及び側面にヨーク材 25 B が形成される。また、TMR 素子 23 の直上に配置されるデータ選択線（読み出し / 書き込みビット線）24 に対しては

50

、その側面のみにヨーク材 2 6 が形成される。さらに、データ選択線 2 4 の側面のヨーク材 2 6 については、データ選択線 2 4 の下面よりも上部に窪んでいる。

【 0 2 1 1 】

従って、書き込みワード線 2 0 B 及びデータ選択線 2 4 に流れる書き込み電流により発生する磁界を、効率よく、TMR 素子 2 3 に印加することができる。

【 0 2 1 2 】

なお、本例では、書き込みワード線 2 0 B に対しては、その下面及び側面にヨーク材 2 5 B を形成したが、これに限られず、以下のようにしても構わない。

【 0 2 1 3 】

例えば、書き込みワード線 2 0 B に対しては、図 5 1 乃至図 5 4 に示すように、その下面のみにヨーク材 2 5 B を形成してもよいし、また、図 5 5 乃至図 5 8 に示すように、その側面のみにヨーク材 2 5 B を形成してもよい。

【 0 2 1 4 】

また、書き込みワード線 2 0 B 及びヨーク材 2 5 B は、ダマシンプロセス (damascene process) を採用して形成するのが好都合である。逆に言うと、書き込みワード線 2 0 B 及びヨーク材 2 5 B を、R I E プロセス (Reactive Ion Etching process) を採用して形成することは、プロセスが非常に複雑となるため、現実的に不可能となる。

【 0 2 1 5 】

また、データ選択線 2 4 及びヨーク材 2 6 についても、ダマシンプロセスを採用して形成するのが好都合である。逆に言うと、データ選択線 2 4 及びヨーク材 2 6 を、R I E プロセスを採用して形成することは、プロセスが非常に複雑となるため、現実的に不可能となる。

【 0 2 1 6 】

8 . 実施例 6

図 5 9 乃至図 6 2 は、本発明の磁気ランダムアクセスメモリの実施例 6 に関わるデバイス構造を示している。なお、図 5 9 及び図 6 1 は、Y 方向の断面であり、図 6 0 は、図 5 9 の TMR 素子部の X 方向の断面であり、図 6 2 は、図 6 1 の TMR 素子部の X 方向の断面である。X 方向と Y 方向は、互いに直交する。

【 0 2 1 7 】

本例のデバイス構造の特徴は、TMR 素子 2 3 の直下に配置される書き込みワード線 2 0 B に関しては、その側面のみをヨーク材 2 5 B で覆い、TMR 素子 2 3 の直上に配置されるデータ選択線 (読み出し / 書き込みビット線) 2 4 に関しては、その側面のみをヨーク材 2 6 で覆った点にある。

【 0 2 1 8 】

さらに、TMR 素子 2 3 の直下に配置される書き込みワード線 2 0 B の側面に配置されるヨーク材 2 5 B に関しては、書き込み線 2 0 B の上面よりも下部に窪んだ構造を有する点、また、TMR 素子 2 3 の直上に配置されるデータ選択線 2 4 の側面に配置されるヨーク材 2 6 に関しては、データ選択線 2 4 の下面よりも上部に窪んだ構造を有する点に特徴を有する。

【 0 2 1 9 】

半導体基板 (例えば、p 型シリコン基板、p 型ウェル領域など) 1 1 内には、S T I (Shallow Trench Isolation) 構造を有する素子分離絶縁層 1 2 が形成される。素子分離絶縁層 1 2 により取り囲まれた領域は、読み出し選択スイッチが形成される素子領域となる。

【 0 2 2 0 】

本例のデバイス構造では、読み出し選択スイッチは、M O S トランジスタ (n チャネル型 M O S トランジスタ) から構成される。半導体基板 1 1 上には、ゲート絶縁層 1 3、ゲート電極 1 4 及び側壁絶縁層 1 5 が形成される。ゲート電極 1 4 は、X 方向に延びており、読み出し動作時に、読み出しセル (TMR 素子) を選択するための読み出しワード線として機能する。

【 0 2 2 1 】

10

20

30

40

50

半導体基板 11 内には、ソース領域（例えば、n 型拡散層）16 - S 及びドレイン領域（例えば、n 型拡散層）16 - D が形成される。ゲート電極（読み出しワード線）14 は、ソース領域 16 - S とドレイン領域 16 - D の間のチャネル領域上に配置される。

【0222】

第 1 金属配線層を構成する金属層のうちの 1 つは、複数のコンタクトプラグを縦に積み重ねるための中間層 18 A として機能し、他の 1 つは、ソース線 18 B として機能する。

【0223】

中間層 18 A は、コンタクトプラグ 17 A により、読み出し選択スイッチ（MOS トランジスタ）のドレイン領域 16 - D に電氣的に接続される。ソース線 18 B は、コンタクトプラグ 17 B により、読み出し選択スイッチのソース領域 16 - S に電氣的に接続される。ソース線 18 B は、例えば、ゲート電極（読み出しワード線）14 と同様に、X 方向に延びている。

10

【0224】

第 2 金属配線層を構成する金属層のうちの 1 つは、複数のコンタクトプラグを縦に積み重ねるための中間層 20 A として機能し、他の 1 つは、書き込みワード線 20 B として機能する。中間層 20 A は、コンタクトプラグ 19 により、中間層 18 A に電氣的に接続される。書き込みワード線 20 B は、例えば、ゲート電極（読み出しワード線）14 と同様に、X 方向に延びている。

【0225】

本例のデバイス構造では、中間層 20 A 及び書き込みワード線 20 B の側面は、高い透磁率を有する材料、即ち、ヨーク材（yoke material）25 A、25 B により覆われている。ここで使用されるヨーク材 25 A、25 B は、図 59 及び図 60 に示すように、導電性を有する材料から構成することができるし、また、図 61 及び図 62 に示すように、絶縁性を有する材料から構成することもできる。

20

【0226】

また、中間層 20 A 及び書き込みワード線 20 B の側面に配置されるヨーク材 25 A、25 B に関しては、中間層 20 A 及び書き込みワード線 20 B の上面よりも下部に窪んでいる。つまり、ヨーク材 25 A、25 B が TMR 素子 23 に近付き過ぎることがないため、書き込みワード線 20 B と TMR 素子 23 とが短絡する可能性を低くできる。

【0227】

なお、磁束は、高い透磁率を有する材料に集中する性質があるため、この高い透磁率を有する材料を磁力線の牽引役として使用すれば、書き込み動作時、書き込みワード線 20 B に流れる書き込み電流により発生する磁界 H_y を、TMR 素子 23 に、効率よく、集中させることができる。

30

【0228】

本願の目的を達成するには、ヨーク材は、書き込みワード線 20 B の側面を覆っていれば、十分である。但し、実際は、ヨーク材は、中間層 20 A の側面にも形成される。これは、第 2 金属配線層としての中間層 20 A 及び書き込みワード線 20 B が同時に形成されることに起因する。

【0229】

第 3 金属配線層を構成する金属層のうちの 1 つは、TMR 素子 23 の下部電極 22 として機能する。下部電極 22 は、コンタクトプラグ 21 により、中間層 20 A に電氣的に接続される。TMR 素子 23 は、下部電極 22 上に搭載される。ここで、TMR 素子 23 は、書き込みワード線 20 B の直上に配置されると共に、X 方向に長い長方形状（磁化容易軸が X 方向）に形成される。

40

【0230】

第 4 金属配線層を構成する金属層のうちの 1 つは、データ選択線（読み出し / 書き込みビット線）24 として機能する。データ選択線 24 は、TMR 素子 23 に電氣的に接続されると共に、Y 方向に延びている。

【0231】

50

本例のデバイス構造では、データ選択線 24 の側面は、高い透磁率を有する材料、即ち、ヨーク材 26 により覆われている。ここで使用されるヨーク材 26 としては、図 59 及び図 60 に示すように、導電性を有する材料から構成することができるし、また、図 61 及び図 62 に示すように、絶縁性を有する材料から構成することもできる。

【0232】

また、データ選択線 24 の側面に配置されるヨーク材 26 に関しては、データ選択線 24 の下面よりも上部に窪んでいる。つまり、ヨーク材 26 が TMR 素子 23 に近付き過ぎることがない。

【0233】

なお、磁束は、上述のように、高い透磁率を有する材料に集中する性質があるため、この高い透磁率を有する材料を磁力線の牽引役として使用すれば、書き込み動作時、データ選択線 24 に流れる書き込み電流により発生する磁界 H_x を、TMR 素子 23 に、効率よく、集中させることができる。

【0234】

TMR 素子 23 の構造に関しては、特に、限定されない。図 96 に示すような構造であってもよいし、その他の構造であってもよい。また、TMR 素子 23 は、複数ビットのデータを記憶できる多値記憶型であっても構わない。

【0235】

このようなデバイス構造においては、TMR 素子 23 の直下に配置される書き込みワード線 20B に対しては、その側面のみにヨーク材 25B が形成される。また、TMR 素子 23 の直上に配置されるデータ選択線（読み出し／書き込みビット線）24 に対しては、その側面のみにヨーク材 26 が形成される。さらに、書き込みワード線 20B の側面のヨーク材 25B については、書き込みワード線 20B の上面よりも下部に窪み、データ選択線 24 の側面のヨーク材 26 については、データ選択線 24 の下面よりも上部に窪んでいる。

【0236】

従って、書き込みワード線 20B 及びデータ選択線 24 に流れる書き込み電流により発生する磁界を、効率よく、TMR 素子 23 に印加することができる。

【0237】

なお、書き込みワード線 20B 及びヨーク材 25B は、ダマシンプロセス（damascene process）を採用して形成するのが好都合である。逆に言うと、書き込みワード線 20B 及びヨーク材 25B を、RIE プロセス（Reactive Ion Etching process）を採用して形成することは、プロセスが非常に複雑となるため、現実的に不可能となる。

【0238】

また、データ選択線 24 及びヨーク材 26 についても、ダマシンプロセスを採用して形成するのが好都合である。逆に言うと、データ選択線 24 及びヨーク材 26 を、RIE プロセスを採用して形成することは、プロセスが非常に複雑となるため、現実的に不可能となる。

【0239】

9. 実施例 7 ~ 12

次に、実施例 4 ~ 6 に関わるデバイス構造の改良例としての実施例 7 ~ 12 について説明する。

【0240】

これら実施例 7 ~ 12 のデバイス構造の特徴は、TMR 素子を複数段に積み重ねた場合（実施例 7 ~ 10）又は複数個の TMR 素子を横方向に並べた場合（実施例 11, 12）に、複数の TMR 素子で 1 つの書き込み線を共有し、かつ、その書き込み線の側面を高透磁率を有するヨーク材で覆った点にある。

【0241】

(1) 実施例 7

図 63 及び図 64 は、本発明の磁気ランダムアクセスメモリの実施例 7 に関わるデバイス

10

20

30

40

50

構造を示している。

【0242】

本例のデバイス構造では、半導体基板11上に、2つのTMR素子23が積み重ねられており、これら2つのTMR素子23は、1つのデータ選択線（読み出し／書き込みビット線）24を共有している。

【0243】

データ選択線24は、2つのTMR素子の間に配置され、Y方向に延びている。また、1つのTMR素子23は、データ選択線24の下面に接触し、他の1つのTMR素子23は、データ選択線24の上面に接触している。データ選択線24の側面は、高透磁率を有するヨーク材26により覆われている。

10

【0244】

ヨーク材26は、データ選択線24の上面よりも下部に窪み、かつ、データ選択線24の下面よりも上部に窪んでいる。

【0245】

書き込み動作時には、データ選択線24に書き込み電流が流れる。この書き込み電流により発生した磁界は、ヨーク材26により、効率よく、TMR素子23に印加される。

【0246】

TMR素子23の直下又は直上には、Y方向に直交するX方向に延びる書き込みワード線20Bが配置される。書き込みワード線20Bの側面は、高透磁率を有するヨーク材25Bにより覆われている。

20

【0247】

ヨーク材25Bは、書き込みワード線20Bの上面よりも下部に窪み、かつ、書き込みワード線20Bの下面よりも上部に窪んでいる。

【0248】

書き込み動作時には、書き込みワード線20Bに書き込み電流が流れる。この書き込み電流により発生した磁界は、ヨーク材25Bにより、効率よく、TMR素子23に印加される。

【0249】

なお、ヨーク材25B、26は、図63に示すように、導電材から構成されていてもよいし、図64に示すように、絶縁材から構成されていてもよい。

30

【0250】

(2) 実施例8

図65及び図66は、本発明の磁気ランダムアクセスメモリの実施例8に関わるデバイス構造を示している。

【0251】

本例のデバイス構造では、半導体基板11上に、4つのTMR素子23が積み重ねられている。これらTMR素子23のうちの2つは、1つの書き込みワード線20B、又は、1つのデータ選択線（読み出し／書き込みビット線）24を共有している。

【0252】

データ選択線24は、2つのTMR素子23の間に配置され、Y方向に延びている。また、1つのTMR素子23は、データ選択線24の下面に接触し、他の1つのTMR素子23は、データ選択線24の上面に接触している。データ選択線24の側面は、高透磁率を有するヨーク材26により覆われている。

40

【0253】

ヨーク材26は、データ選択線24の上面よりも下部に窪み、かつ、データ選択線24の下面よりも上部に窪んでいる。

【0254】

書き込み動作時には、データ選択線24に書き込み電流が流れる。この書き込み電流により発生した磁界は、ヨーク材26により、効率よく、TMR素子23に印加される。

【0255】

50

上段のデータ選択線 2 4 の下面に接触している T M R 素子 2 3 と下段のデータ選択線 2 4 の上面に接触している T M R 素子 2 3 との間には、Y 方向に直交する X 方向に延びる 1 つの書き込みワード線 2 0 B が配置される。この書き込みワード線 2 0 B は、これら 2 つの T M R 素子に共有される。書き込みワード線 2 0 B の側面は、高透磁率を有するヨーク材 2 5 B により覆われている。

【 0 2 5 6 】

また、上段のデータ選択線 2 4 の上面に接触している T M R 素子 2 3 の直上及び下段のデータ選択線 2 4 の下面に接触している T M R 素子 2 3 の直下には、それぞれ、X 方向に延びる書き込みワード線 2 0 B が配置される。書き込みワード線 2 0 B の側面は、高透磁率を有するヨーク材 2 5 B により覆われている。

10

【 0 2 5 7 】

ヨーク材 2 5 B は、書き込みワード線 2 0 B の上面よりも下部に窪み、かつ、書き込みワード線 2 0 B の下面よりも上部に窪んでいる。

【 0 2 5 8 】

書き込み動作時には、書き込みワード線 2 0 B に書き込み電流が流れる。この書き込み電流により発生した磁界は、ヨーク材 2 5 B により、効率よく、T M R 素子 2 3 に印加される。

【 0 2 5 9 】

なお、ヨーク材 2 5 B , 2 6 は、図 6 5 に示すように、導電材から構成されていてもよいし、図 6 6 に示すように、絶縁材から構成されていてもよい。

20

【 0 2 6 0 】

(3) 実施例 9

図 6 7 乃至図 7 0 は、本発明の磁気ランダムアクセスメモリの実施例 9 に関わるデバイス構造を示している。

【 0 2 6 1 】

本例のデバイス構造では、半導体基板 1 1 上に、直列接続された 4 つの T M R 素子 2 3 が積み重ねられている。これら直列接続された T M R 素子 2 3 の一端は、読み出し選択スイッチ R S W に接続され、他端は、読み出しビット線 B L に接続される。これら T M R 素子 2 3 のうちの 2 つは、1 つの書き込みワード線 2 0 B、又は、1 つの書き込みビット線 2 4 を共有している。

30

【 0 2 6 2 】

書き込みビット線 2 4 は、2 つの T M R 素子 2 3 の間に配置され、Y 方向に延びている。書き込みビット線 2 4 の側面は、高透磁率を有するヨーク材 2 6 により覆われている。ヨーク材 2 6 は、書き込みビット線 2 4 の上面よりも下部に窪み、かつ、書き込みビット線 2 4 の下面よりも上部に窪んでいる。

【 0 2 6 3 】

書き込み動作時には、書き込みビット線 2 4 に書き込み電流が流れる。この書き込み電流により発生した磁界は、ヨーク材 2 6 により、効率よく、T M R 素子 2 3 に印加される。

【 0 2 6 4 】

書き込みワード線 2 0 B は、2 つの T M R 素子 2 3 の間に配置され、Y 方向に直交する X 方向に延びている。書き込みワード線 2 0 B の側面は、高透磁率を有するヨーク材 2 5 B により覆われている。また、書き込みワード線 2 0 B は、T M R 素子 2 3 の直下又は直上に配置され、X 方向に延びている。書き込みワード線 2 0 B の側面は、高透磁率を有するヨーク材 2 5 B により覆われている。

40

【 0 2 6 5 】

ヨーク材 2 5 B は、書き込みワード線 2 0 B の上面よりも下部に窪み、かつ、書き込みワード線 2 0 B の下面よりも上部に窪んでいる。

【 0 2 6 6 】

書き込み動作時には、書き込みワード線 2 0 B に書き込み電流が流れる。この書き込み電流により発生した磁界は、ヨーク材 2 5 B により、効率よく、T M R 素子 2 3 に印加され

50

る。

【 0 2 6 7 】

なお、ヨーク材 2 5 B , 2 6 は、図 6 7 及び図 6 8 に示すように、導電材から構成されていてもよいし、図 6 9 及び図 7 0 に示すように、絶縁材から構成されていてもよい。

【 0 2 6 8 】

(4) 実施例 1 0

図 7 1 乃至図 7 4 は、本発明の磁気ランダムアクセスメモリの実施例 1 0 に関わるデバイス構造を示している。

【 0 2 6 9 】

本例のデバイス構造では、半導体基板 1 1 上に、並列接続された 4 つの T M R 素子 2 3 が積み重ねられている。これら並列接続された T M R 素子 2 3 の一端は、読み出し選択スイッチ R S W に接続され、他端は、読み出しビット線 B L に接続される。これら T M R 素子 2 3 のうちの 2 つは、1 つの書き込みワード線 2 0 B、又は、1 つの書き込みビット線 2 4 を共有している。

10

【 0 2 7 0 】

書き込みビット線 2 4 は、2 つの T M R 素子 2 3 の間に配置され、Y 方向に延びている。書き込みビット線 2 4 の側面は、高透磁率を有するヨーク材 2 6 により覆われている。ヨーク材 2 6 は、書き込みビット線 2 4 の上面よりも下部に窪み、かつ、書き込みビット線 2 4 の下面よりも上部に窪んでいる。

【 0 2 7 1 】

20

書き込み動作時には、書き込みビット線 2 4 に書き込み電流が流れる。この書き込み電流により発生した磁界は、ヨーク材 2 6 により、効率よく、T M R 素子 2 3 に印加される。

【 0 2 7 2 】

書き込みワード線 2 0 B は、2 つの T M R 素子 2 3 の間に配置され、Y 方向に直交する X 方向に延びている。書き込みワード線 2 0 B の側面は、高透磁率を有するヨーク材 2 5 B により覆われている。また、書き込みワード線 2 0 B は、T M R 素子 2 3 の直下又は直上に配置され、X 方向に延びている。書き込みワード線 2 0 B の側面は、高透磁率を有するヨーク材 2 5 B により覆われている。

【 0 2 7 3 】

ヨーク材 2 5 B は、書き込みワード線 2 0 B の上面よりも下部に窪み、かつ、書き込みワード線 2 0 B の下面よりも上部に窪んでいる。

30

【 0 2 7 4 】

書き込み動作時には、書き込みワード線 2 0 B に書き込み電流が流れる。この書き込み電流により発生した磁界は、ヨーク材 2 5 B により、効率よく、T M R 素子 2 3 に印加される。

【 0 2 7 5 】

なお、ヨーク材 2 5 B , 2 6 は、図 7 1 及び図 7 2 に示すように、導電材から構成されていてもよいし、図 7 3 及び図 7 4 に示すように、絶縁材から構成されていてもよい。

【 0 2 7 6 】

(5) 実施例 1 1

40

図 7 5 及び図 7 6 は、本発明の磁気ランダムアクセスメモリの実施例 1 1 に関わるデバイス構造を示している。

【 0 2 7 7 】

本例のデバイス構造では、半導体基板 1 1 上において、横方向（半導体基板の表面に平行な方向）に複数（本例では、4 つ）の T M R 素子 2 3 が配置されている。これら T M R 素子 2 3 の一端は、読み出し選択スイッチ R S W に共通に接続され、他端は、データ選択線（読み出し / 書き込みビット線）2 4 に共通に接続される。これら T M R 素子 2 3 は、1 つのデータ選択線（読み出し / 書き込みビット線）2 4 を共有している。

【 0 2 7 8 】

データ選択線 2 4 は、複数の T M R 素子 2 3 の直上に配置され、Y 方向に延びている。デ

50

ータ選択線 2 4 の側面は、高透磁率を有するヨーク材 2 6 により覆われている。ヨーク材 2 6 は、データ選択線 2 4 の下面よりも上部に窪んでいる。書き込み動作時には、データ選択線 2 4 に書き込み電流が流れる。この書き込み電流により発生した磁界は、ヨーク材 2 6 により、効率よく、TMR 素子 2 3 に印加される。

【0279】

書き込みワード線 2 0 B は、TMR 素子 2 3 の直下に配置され、Y 方向に直交する X 方向に延びている。書き込みワード線 2 0 B の側面は、高透磁率を有するヨーク材 2 5 B により覆われている。ヨーク材 2 5 B は、書き込みワード線 2 0 B の上面よりも下部に窪んでいる。

【0280】

書き込み動作時には、書き込みワード線 2 0 B に書き込み電流が流れる。この書き込み電流により発生した磁界は、ヨーク材 2 5 B により、効率よく、TMR 素子 2 3 に印加される。

【0281】

なお、ヨーク材 2 5 B , 2 6 は、図 7 5 に示すように、導電材から構成されていてもよいし、図 7 6 に示すように、絶縁材から構成されていてもよい。

【0282】

(6) 実施例 1 2

図 7 7 及び図 7 8 は、本発明の磁気ランダムアクセスメモリの実施例 1 2 に関わるデバイス構造を示している。

【0283】

本例のデバイス構造では、半導体基板 1 1 上において、横方向（半導体基板の表面に平行な方向）に複数（本例では、4 つ）の TMR 素子 2 3 が配置されている。これら TMR 素子 2 3 の一端は、読み出し選択スイッチ R S W に共通に接続され、他端は、それぞれ独立に、データ選択線（読み出しビット線 / 書き込みワード線）2 0 B に接続される。

【0284】

これら TMR 素子 2 3 は、1 つの書き込みビット線 2 4 を共有している。書き込みビット線 2 4 は、複数の TMR 素子 2 3 の直上に配置され、Y 方向に延びている。書き込みビット線 2 4 の側面は、高透磁率を有するヨーク材 2 6 により覆われている。ヨーク材 2 6 は、データ選択線 2 4 の下面よりも上部に窪んでいる。書き込み動作時には、書き込みビット線 2 4 に書き込み電流が流れる。この書き込み電流により発生した磁界は、ヨーク材 2 6 により、効率よく、TMR 素子 2 3 に印加される。

【0285】

データ選択線 2 0 B は、TMR 素子 2 3 の直下に配置され、Y 方向に直交する X 方向に延びている。データ選択線 2 0 B の側面は、高透磁率を有するヨーク材 2 5 B により覆われている。ヨーク材 2 5 B は、書き込みワード線 2 0 B の上面よりも下部に窪んでいる。

【0286】

書き込み動作時には、データ選択線 2 0 B に書き込み電流が流れる。この書き込み電流により発生した磁界は、ヨーク材 2 5 B により、効率よく、TMR 素子 2 3 に印加される。

【0287】

なお、ヨーク材 2 5 B , 2 6 は、図 7 7 に示すように、導電材から構成されていてもよいし、図 7 8 に示すように、絶縁材から構成されていてもよい。

【0288】

1 0 . メモリセルアレイ構造

参考例 1 , 2 及び実施例 1 ~ 1 2 に関わるデバイス構造により実現されるメモリセルアレイ構造（回路構造）の例について説明する。

【0289】

図 7 9 は、磁気ランダムアクセスメモリのメモリセルアレイ構造の主要部を示している。

【0290】

このセルアレイ構造は、TMR 素子の磁化容易軸が Y 方向を向いていることを前提とする

10

20

30

40

50

ため、書き込みワード線に流れる書き込み電流の向きが、書き込みデータに応じて変化する。

【0291】

制御信号 $\phi 1$ 、 $\phi 31$ 、 $\phi 32$ 、 $\phi 33$ は、NチャネルMOSトランジスタ $Q N 1$ 、 $Q N 31$ 、 $Q N 32$ 、 $Q N 33$ のオン/オフを制御して、データ選択線（読み出し/書き込みビット線） $B L 1$ 、 $B L 2$ 、 $B L 3$ に電流を流すか否かを決定する。データ選択線 $B L 1$ 、 $B L 2$ 、 $B L 3$ の一端（NチャネルMOSトランジスタ $Q N 1$ 側）には、電流駆動電源40が接続される。電流駆動電源40は、データ選択線 $B L 1$ 、 $B L 2$ 、 $B L 3$ の一端の電位を $V y$ にする。

【0292】

NチャネルMOSトランジスタ $Q N 31$ 、 $Q N 32$ 、 $Q N 33$ は、データ選択線 $B L 1$ 、 $B L 2$ 、 $B L 3$ の他端と接地点 $V s s$ との間に接続される。

【0293】

書き込み動作時においては、制御信号 $\phi 1$ が“H”レベルとなり、かつ、制御信号 $\phi 31$ 、 $\phi 32$ 、 $\phi 33$ のうちの1つが“H”レベルとなる。例えば、メモリセル $M C 1$ のTMR素子に対してデータ書き込みを行う場合には、図80のタイミングチャートに示すように、制御信号 $\phi 1$ 、 $\phi 31$ が“H”レベルとなるため、データ選択線 $B L 1$ に電流が流れる。この時、制御信号 $\phi 41$ 、 $\phi 42$ 、 $\phi 43$ は、“L”レベルとなっている。

【0294】

また、 $V x 1$ は、“1”-書き込みのための電流駆動電源電位であり、 $V x 2$ は、“0”-書き込みのための電流駆動電源電位である。

【0295】

例えば、“1”-書き込み時には、図80に示すように、制御信号 $\phi 5$ 、 $\phi 11$ が“H”レベルになる。この時、制御信号 $\phi 6$ 、 $\phi 12$ は、“L”レベルとなっている。このため、書き込みワード線 $W W L 1$ には、左から右（電流駆動電源41から接地点）に向かって電流が流れる。従って、データ選択線 $B L 1$ と書き込みワード線 $W W L 1$ の交点に配置されるメモリセル $M C 1$ のTMR素子に“1”-データが書き込まれる。

【0296】

また、“0”-書き込み時には、図80に示すように、制御信号 $\phi 6$ 、 $\phi 11$ が“H”レベルになる。この時、制御信号 $\phi 5$ 、 $\phi 12$ は、“L”レベルとなっている。このため、書き込みワード線 $W W L 1$ には、右から左（接地点 $V s s$ から電流駆動電源42）に向かって電流が流れる。従って、データ選択線 $B L 1$ と書き込みワード線 $W W L 1$ の交点に配置されるメモリセル $M C 1$ のTMR素子に“0”-データが書き込まれる。

【0297】

このように、書き込み動作時において、制御信号 $\phi 1$ は、全てのデータ選択線に駆動電流を供給するために用いられ、制御信号 $\phi 31$ 、 $\phi 32$ 、 $\phi 33$ は、駆動電流を流すデータ選択線を選択するために用いられる。なお、本例では、データ選択線に流れる駆動電流の向きは、一定である。制御信号 $\phi 5$ 、 $\phi 6$ は、書き込みワード線に流れる電流の向き（書き込みデータに対応）を制御するために用いられ、制御信号 $\phi 11$ 、 $\phi 12$ は、駆動電流を流す書き込みワード線を選択するために用いられる。

【0298】

本例では、説明を簡単にするため、 3×2 のメモリセルアレイを前提としている。書き込みワード線 $W W L 1$ 、 $W W L 2$ とデータ選択線 $B L 1$ 、 $B L 2$ 、 $B L 3$ の交点には、それぞれ、メモリセル（TMR素子）が配置される。ここで、メモリセル $M C 1$ に記憶されたデータを読み出すためには、制御信号 $\phi 21$ 、 $\phi 22$ 、 $\phi 41$ 、 $\phi 42$ 、 $\phi 43$ を、以下のように制御する。

【0299】

即ち、読み出し動作時には、読み出しワード線 $R W L 1$ に与える制御信号 $\phi 21$ を“H”レベルにし、読み出しワード線 $R W L 1$ に繋がるNチャネルMOSトランジスタをオン状態とする。この時、他の読み出しワード線 $R W L 2$ に与える制御信号 $\phi 22$ は、“L”レ

10

20

30

40

50

ベルとなっている。

【0300】

また、制御信号 $\phi 41$ を“H”レベルとし、他の制御信号 $\phi 42$, $\phi 43$ を“L”レベルとすると、読み出し電源43から、メモリセルMC1 (NチャネルMOSトランジスタ及びTMR素子)、データ選択線BL1、NチャネルMOSトランジスタQN41及び検出抵抗Rsを経由して、接地点に向かって、駆動電流が流れる。

【0301】

このため、検出抵抗Rsの両端には、メモリセルMC1のデータ値に応じた検出電圧Voが発生する。この検出電圧Voを、例えば、センスアンプS/Aにより検出することにより、メモリセル (TMR素子) のデータを読み出すことができる。

10

【0302】

11. 製造方法

次に、参考例1, 2及び実施例1~12に関わるデバイス構造のうち、主なものについて、その製造方法を詳細に説明する。

【0303】

(1) 実施例3に関わるデバイス構造の製造方法

まず、図81に示すように、PEP (Photo Engraving Process) 法、CVD (Chemical Vapour Deposition) 法、CMP (Chemical Mechanical Polishing) 法などの周知の方法を用いて、半導体基板11内に、STI構造の素子分離絶縁層12を形成する。

【0304】

20

また、素子分離絶縁層12に取り囲まれた素子領域内に、読み出し選択スイッチとしてのMOSトランジスタを形成する。

【0305】

MOSトランジスタは、CVD法、PEP法及びRIE (Reactive Ion Etching) 法により、ゲート絶縁層13及びゲート電極 (読み出しワード線) 14を形成した後、イオン注入法により、ソース領域16-S及びドレイン領域16-Dを形成することにより、容易に形成できる。なお、ゲート電極14の側壁部には、CVD法及びRIE法により、側壁絶縁層15を形成してもよい。

【0306】

この後、CVD法により、MOSトランジスタを完全に覆う絶縁層28Aを形成する。また、CMP法を用いて、絶縁層28Aの表面を平坦化する。PEP法及びRIE法を用いて、絶縁層28A内に、MOSトランジスタのソース拡散層16-S及びドレイン拡散層16-Dに達するコンタクトホールを形成する。

30

【0307】

スパッタ法により、絶縁層28A上及びコンタクトホールの内面上に、バリアメタル (例えば、Ta (15nm) と TaN (15nm) の積層) 51を形成する。続けて、絶縁層28A上に、コンタクトホールを完全に満たす導電材 (例えば、不純物を含む導電性ポリシリコン膜、金属膜など) を形成する。そして、CMP法により、導電材及びバリアメタル51を研磨し、コンタクトプラグ17A, 17Bを形成する。

【0308】

40

CVD法を用いて、絶縁層28A上に、絶縁層28Bを形成する。PEP法及びRIE法を用いて、絶縁層28B内に、配線溝を形成する。スパッタ法により、絶縁層28B上及び配線溝の内面上に、バリアメタル (例えば、TaとTaNの積層) 52を形成する。続けて、スパッタ法により、絶縁層28B上に、配線溝を完全に満たす導電材 (例えば、アルミニウム、銅などの金属膜) を形成する。この後、CMPにより、導電材及びバリアメタル52を研磨し、中間層18A及びソース線18Bを形成する。

【0309】

続けて、CVD法を用いて、絶縁層28B上に、絶縁層28Cを形成する。PEP法及びRIE法を用いて、絶縁層28C内に、バイアホール (via hole) を形成する。スパッタ法により、絶縁層28C上及びバイアホールの内面上に、バリアメタル (例えば、Taと

50

Ta₂N₅の積層)53を形成する。続けて、スパッタ法により、絶縁層28C上に、バイアホールを完全に満たす導電材(例えば、アルミニウム、銅などの金属膜)を形成する。この後、CMP法により、導電材及びバリアメタル53を研磨し、バイアプラグ19を形成する。

【0310】

次に、図82に示すように、CVD法を用いて、絶縁層28C上に、絶縁層29を形成する。PEP法及びRIE法を用いて、絶縁層29内に、配線溝を形成する。スパッタ法を用いて、絶縁層29上及び配線溝内に、高透磁率を有するヨーク材(例えば、NiFe)25を、約20nmの厚さで形成する。

【0311】

また、スパッタ法により、絶縁層28C上及びバイアホールの内面上に、バリアメタル(例えば、TaとTa₂N₅の積層)54を形成する。続けて、スパッタ法を用いて、配線溝を完全に満たす導電材(例えば、アルミニウム、銅、又は、これらの合金(AlCu)など)20を形成する。

【0312】

なお、導電材を銅(Cu)から構成する場合、この導電層は、例えば、まず、80nm程度のCuシード層を形成した後に、メッキ法により、Cuシード層上に、十分に厚い(例えば、約800nm)Cu層を積み重ねる、という方法で形成することができる。

【0313】

この後、CMPにより、導電材20及びバリアメタル54を研磨すると、中間層20A及び書き込みワード線20Bが形成される(図83を参照)。

【0314】

本例では、図83に示すように、導電材20A, 20Bを配線溝内のみに残した後、図82のヨーク材25をエッチング又はCMP法により研磨する。ヨーク材25A, 25Bは、その上面が、絶縁層29の上面(又は導電材20A, 20Bの上面)よりも下部に配置されるような条件で研磨される。このような工程を経ることにより、書き込みワード線20Bの上面よりも下部に窪んだヨーク材25Bが形成される。

【0315】

次に、図83に示すように、CVD法を用いて、絶縁層29上に、絶縁層30Aを形成する。PEP法及びRIE法を用いて、絶縁層30A内に、バイアホールを形成する。スパッタ法により、絶縁層30A上及びバイアホールの内面上に、バリアメタル(例えば、Ta₂N₅(10nm))55を形成する。続けて、CVD法により、絶縁層30A上に、バイアホールを完全に満たす導電材(例えば、タングステンなどの金属膜)を形成する。この後、CMP法により、導電材及びバリアメタル55を研磨し、バイアプラグ21を形成する。

【0316】

ここで、絶縁層30Aの厚さ(又はバイアプラグ21の高さ)は、書き込みワード線20BとTMR素子23との距離を決定する。磁界の強さは、距離に反比例して減少していくため、TMR素子を書き込みワード線20Bにできるだけ近づけ、小さな駆動電流によりデータの書き換えが行えるようにすることが望ましい。よって、絶縁層30Aの厚さは、できるだけ薄くする。

【0317】

CVD法を用いて、絶縁層30A上に、絶縁層30Bを形成する。PEP法及びRIE法を用いて、絶縁層30B内に、配線溝を形成する。スパッタ法により、絶縁層30B上に、配線溝を完全に満たす導電材(例えば、Taなどの金属膜)を、約50nmの厚さで形成する。この後、CMPにより導電材を研磨し、ローカルインターコネクト線(TMR素子の下部電極)22を形成する。

【0318】

スパッタ法を用いて、ローカルインターコネクト線22上に、例えば、NiFe(約5nm)、IrMn(約12nm)、CoFe(約3nm)、AlO_x(約1.2nm)、CoFe(約5nm)及びNiFe(約15nm)を、順次、形成する。この後、これら積

10

20

30

40

50

層膜をパターンニングし、TMR素子23を形成する。

【0319】

また、CVD法を用いて、TMR素子23を覆う絶縁層30Cを形成した後、例えば、CMP法によりTMR素子23上の絶縁層30Cを除去し、この絶縁層30CがTMR素子23の側面のみを覆うようにする。

【0320】

次に、図84に示すように、CVD法を用いて、絶縁層30C上に、絶縁層31を形成する。PEP法及びRIE法を用いて、TMR素子23上の絶縁層31に配線溝を形成する。

【0321】

CVD法及びRIE法を用いて、絶縁層31の配線溝の側壁部に、絶縁層31とは異なる絶縁層50を形成する。この後、スパッタ法により、絶縁層31上及び配線溝の内面上に、バリアメタル（例えば、Ti(25nm)とTiN(25nm)の積層）56を形成する。続けて、スパッタ法により、絶縁層31上に、配線溝を完全に満たす導電材（例えば、AlCu(650nm)）を形成する。そして、CMPにより、導電材及びバリアメタル56を研磨し、データ選択線（読み出し／書き込みビット線）24を形成する。

【0322】

次に、図85に示すように、RIE法などのエッチング方法を用いて、絶縁層50のみを選択的にエッチングする。絶縁層50は、データ選択線24の下面近傍のみに残存させる。この後、CVD法を用いて、絶縁層50が除去された部分を満たすようなヨーク材（例えば、NiFe）26を、約50nmの厚さで形成する。このヨーク材26は、データ選択線24上及び絶縁層31上にも形成される。

【0323】

次に、図86に示すように、PEP法及びRIE法を用いて、ヨーク材26をパターンニングする。その結果、ヨーク材26は、データ選択線24の上面及び側面を覆い、かつ、データ選択線24の下面よりも上部に窪んだ構造となる。

【0324】

以上の工程により、実施例3（図15及び図16）に関わる磁気ランダムアクセスメモリが完成する。

【0325】

なお、本例の製造方法では、金属配線20A，20B，24は、ダマシンプロセスにより形成されたが、例えば、RIEプロセスにより、金属配線20A，20B，24を形成することも可能である。

【0326】

また、本例の製造方法では、ヨーク材25A，25Bを形成した後にバリアメタル54を形成したが、これに代えて、例えば、バリアメタル54を形成した後にヨーク材25A，25Bを形成してもよい。

【0327】

(2) 実施例6に関わるデバイス構造の製造方法

まず、図87に示すように、PEP(Photo Engraving Process)法、CVD(Chemical Vapour Deposition)法、CMP(Chemical Mechanical Polishing)法などの周知の方法を用いて、半導体基板11内に、STI構造の素子分離絶縁層12を形成する。

【0328】

また、素子分離絶縁層12に取り囲まれた素子領域内に、読み出し選択スイッチとしてのMOSトランジスタを形成する。

【0329】

MOSトランジスタは、CVD法、PEP法及びRIE(Reactive Ion Etching)法により、ゲート絶縁層13及びゲート電極（読み出しワード線）14を形成した後、イオン注入法により、ソース領域16-S及びドレイン領域16-Dを形成することにより、容易に形成できる。なお、ゲート電極14の側壁部には、CVD法及びRIE法により、側壁

10

20

30

40

50

絶縁層 15 を形成してもよい。

【0330】

この後、CVD法により、MOSトランジスタを完全に覆う絶縁層 28A を形成する。また、CMP法を用いて、絶縁層 28A の表面を平坦化する。PEP法及びRIE法を用いて、絶縁層 28A 内に、MOSトランジスタのソース拡散層 16 - S 及びドレイン拡散層 16 - D に達するコンタクトホールを形成する。

【0331】

スパッタ法により、絶縁層 28A 上及びコンタクトホールの内面上に、バリアメタル（例えば、Ta (15nm) と TaN (15nm) の積層）51 を形成する。続けて、絶縁層 28A 上に、コンタクトホールを完全に満たす導電材（例えば、不純物を含む導電性ポリシリコン膜、金属膜など）を形成する。そして、CMP法により、導電材及びバリアメタル 51 を研磨し、コンタクトプラグ 17A, 17B を形成する。

10

【0332】

CVD法を用いて、絶縁層 28A 上に、絶縁層 28B を形成する。PEP法及びRIE法を用いて、絶縁層 28B 内に、配線溝を形成する。スパッタ法により、絶縁層 28B 上及び配線溝の内面上に、バリアメタル（例えば、Ta と TaN の積層）52 を形成する。続けて、スパッタ法により、絶縁層 28B 上に、配線溝を完全に満たす導電材（例えば、アルミニウム、銅などの金属膜）を形成する。この後、CMPにより、導電材及びバリアメタル 52 を研磨し、中間層 18A 及びソース線 18B を形成する。

【0333】

20

続けて、CVD法を用いて、絶縁層 28B 上に、絶縁層 28C を形成する。PEP法及びRIE法を用いて、絶縁層 28C 内に、バイアホール (via hole) を形成する。スパッタ法により、絶縁層 28C 上及びバイアホールの内面上に、バリアメタル（例えば、Ta と TaN の積層）53 を形成する。続けて、スパッタ法により、絶縁層 28C 上に、バイアホールを完全に満たす導電材（例えば、アルミニウム、銅などの金属膜）を形成する。この後、CMP法により、導電材及びバリアメタル 53 を研磨し、バイアプラグ 19 を形成する。

【0334】

次に、図 88 に示すように、CVD法を用いて、絶縁層 28C 上に、絶縁層 29 を形成する。PEP法及びRIE法を用いて、絶縁層 29 内に、配線溝を形成する。スパッタ法を用いて、絶縁層 29 上及び配線溝内に、高透磁率を有するヨーク材（例えば、NiFe）25A, 25B を、約 20nm の厚さで形成する。この後、RIE法を用いて、ヨーク材 25A, 25B をエッチングすると、このヨーク材 25A, 25B は、配線溝の側壁部のみに残存する。

30

【0335】

スパッタ法により、絶縁層 29 上及び配線溝の内面上に、バリアメタル（例えば、Ta と TaN の積層）54 を形成する。続けて、スパッタ法を用いて、絶縁層 29 上に、配線溝を完全に満たす導電材（例えば、アルミニウム、銅などの金属膜）20 を形成する。この後、CMPにより、導電材 20 及びバリアメタル 54 を研磨すると、中間層 20A 及び書き込みワード線 20B が形成される（図 89 を参照）。

40

【0336】

ここで、本例では、図 89 に示すように、導電材 20A, 20B を配線溝内のみに残した後、ヨーク材 25A, 25B をエッチング又はCMP法により研磨する。ヨーク材 25A, 25B は、その上面が、絶縁層 29 の上面（又は導電材 20A, 20B の上面）よりも下部に配置されるような条件で研磨される。このような工程を経ることにより、書き込みワード線 20B の上面よりも下部に窪んだヨーク材 25B が形成される。

【0337】

次に、図 89 に示すように、CVD法を用いて、絶縁層 29 上に、絶縁層 30A を形成する。PEP法及びRIE法を用いて、絶縁層 30A 内に、バイアホールを形成する。スパッタ法により、絶縁層 30A 上及びバイアホールの内面上に、バリアメタル（例えば、T

50

aとTa₂Nの積層)55を形成する。続けて、CVD法により、絶縁層30A上に、バイアホールを完全に満たす導電材(例えば、タングステンなどの金属膜)を形成する。この後、CMP法により、導電材及びバリアメタル55を研磨し、バイアプラグ21を形成する。

【0338】

ここで、絶縁層30Aの厚さ(又はバイアプラグ21の高さ)は、書き込みワード線20BとTMR素子23との距離を決定する。磁界の強さは、距離に反比例して減少していくため、TMR素子を書き込みワード線20Bにできるだけ近づけ、小さな駆動電流によりデータの書き換えが行えるようにすることが望ましい。よって、絶縁層30Aの厚さは、できるだけ薄くする。

10

【0339】

CVD法を用いて、絶縁層30A上に、絶縁層30Bを形成する。PEP法及びRIE法を用いて、絶縁層30B内に、配線溝を形成する。スパッタ法により、絶縁層30B上に、配線溝を完全に満たす導電材(例えば、Taなどの金属膜)を形成する。この後、CMPにより導電材を研磨し、ローカルインターコネクト線(TMR素子の下部電極)22を形成する。

【0340】

CVD法を用いて、ローカルインターコネクト線22上に、例えば、NiFe(約5nm)、IrMn(約12nm)、CoFe(約3nm)、AlO_x(約1.2nm)、CoFe(約5nm)及びNiFe(約15nm)を、順次、形成する。この後、これら積層膜をパターニングし、TMR素子23を形成する。

20

【0341】

また、CVD法を用いて、TMR素子23を覆う絶縁層30Cを形成した後、例えば、CMP法によりTMR素子23上の絶縁層30Cを除去し、この絶縁層30CがTMR素子23の側面のみを覆うようにする。

【0342】

次に、図90に示すように、CVD法を用いて、絶縁層30C上に、絶縁層31を形成する。PEP法及びRIE法を用いて、TMR素子23上の絶縁層31に配線溝を形成する。

【0343】

CVD法及びRIE法を用いて、絶縁層31の配線溝の側壁部に、絶縁層31とは異なる絶縁層50を形成する。この後、スパッタ法により、絶縁層31上及び配線溝の内面上に、バリアメタル(例えば、Ti(25nm)とTiN(25nm)の積層)56を形成する。続けて、スパッタ法により、絶縁層31上に、配線溝を完全に満たす導電材(例えば、AlCu(650nm))を形成する。そして、CMPにより、導電材及びバリアメタル56を研磨し、データ選択線(読み出し/書き込みビット線)24を形成する。

30

【0344】

次に、図91に示すように、RIE法などのエッチング方法を用いて、絶縁層50のみを選択的にエッチングする。絶縁層50は、データ選択線24の下面近傍のみに残存させる。この後、CVD法を用いて、絶縁層50が除去された部分を満たすようなヨーク材26を形成する。このヨーク材26は、データ選択線24上及び絶縁層31上にも形成される。

40

【0345】

次に、図92に示すように、CMP法又はRIE法を用いて、ヨーク材26をエッチングする。その結果、データ選択線24上及び絶縁層31上のヨーク材26は、除去され、ヨーク材26は、データ選択線24の側面のみを覆い、かつ、データ選択線24の下面よりも上部に窪んだ構造となる。

【0346】

以上の工程により、実施例6(図59及び図60)に関わる磁気ランダムアクセスメモリが完成する。

50

【0347】

なお、本例の製造方法では、金属配線20A, 20B, 24は、ダマシンプロセスにより形成されたが、例えば、RIEプロセスにより、金属配線20A, 20B, 24を形成することも可能である。

【0348】

また、本例の製造方法では、ヨーク材25A, 25Bを形成した後にバリアメタル54を形成したが、これに代えて、例えば、バリアメタル54を形成した後にヨーク材25A, 25Bを形成してもよい。

【0349】

ところで、データ選択線24の側面を覆うヨーク材26については、以下に示すような方法で形成することもできる。

10

【0350】

まず、図93に示すように、CVD法を用いて、絶縁層30C上に、絶縁層31を形成する。PEP法及びRIE法を用いて、TMR素子23上の絶縁層31に配線溝を形成する。この後、スパッタ法により、絶縁層31上及び配線溝の内面上に、バリアメタル（例えば、Ti(25nm)とTiN(25nm)の積層）56を形成する。続けて、スパッタ法により、絶縁層31上に、配線溝を完全に満たす導電材（例えば、AlCu(650nm)）を形成する。そして、CMPにより、導電材及びバリアメタル56を研磨し、データ選択線（読み出し／書き込みビット線）24を形成する。

【0351】

20

次に、図94に示すように、RIE法などのエッチング方法を用いて、絶縁層31のみを選択的にエッチングする。絶縁層31は、データ選択線24の下面近傍のみに残存させる。

【0352】

次に、図95に示すように、CVD法を用いて、絶縁層31上並びにデータ選択線24の側面上及び上面上に、ヨーク材（例えば、NiFe）26を、約50nmの厚さで形成する。そして、RIE法により、このヨーク材26をエッチングすると、データ選択線24上及び絶縁層31上のヨーク材26は、除去され、ヨーク材26は、データ選択線24の側面のみを覆い、かつ、データ選択線24の下面よりも上部に窪んだ構造となる。

【0353】

30

以上の工程により、実施例6（図59及び図60）に関わる磁気ランダムアクセスメモリが完成する。

【0354】

12. その他

参考例1, 2及び実施例1-6並びに製造方法の説明においては、1つのTMR素子と1つの読み出し選択スイッチ（MOSトランジスタ）によりメモリセルが構成され、書き込みワード線とデータ選択線（読み出し／書き込みビット線）を有する磁気ランダムアクセスメモリを例に説明した。

【0355】

しかし、本発明は、当然に、このようなセルアレイ構造の磁気ランダムアクセスメモリに限定されるものではなく、例えば、実施例7-12にも示したように、それらのデバイス構造も含めて、全ての磁気ランダムアクセスメモリに適用可能である。

40

【0356】

例えば、読み出し選択スイッチを有しない磁気ランダムアクセスメモリ、読み出しビット線と書き込みビット線を別々に設けた磁気ランダムアクセスメモリ、1つのTMR素子に複数ビットを記憶させるようにした磁気ランダムアクセスメモリなどにも適用できる。

【0357】

【発明の効果】

以上、説明したように、本発明の磁気ランダムアクセスメモリによれば、書き込みワード線及び書き込みビット線の表面の一部に、高透磁率を有するヨーク材を設け、かつ、その

50

ヨーク材を TMR 素子側に対し反対側に窪ませたことにより、書き込みワード線と TMR 素子との短絡の可能性を低くでき、書き込み動作時、合成磁界を、効率よく、TMR 素子に作用させることができる。

【図面の簡単な説明】

【図 1】本発明の磁気ランダムアクセスメモリの参考例 1 を示す断面図。

【図 2】本発明の磁気ランダムアクセスメモリの参考例 1 を示す断面図。

【図 3】本発明の磁気ランダムアクセスメモリの参考例 2 を示す断面図。

【図 4】本発明の磁気ランダムアクセスメモリの参考例 2 を示す断面図。

【図 5】本発明の磁気ランダムアクセスメモリの参考例 2 を示す断面図。

【図 6】本発明の磁気ランダムアクセスメモリの参考例 2 を示す断面図。

10

【図 7】本発明の磁気ランダムアクセスメモリの実施例 1 を示す断面図。

【図 8】本発明の磁気ランダムアクセスメモリの実施例 1 を示す断面図。

【図 9】本発明の磁気ランダムアクセスメモリの実施例 1 を示す断面図。

【図 10】本発明の磁気ランダムアクセスメモリの実施例 1 を示す断面図。

【図 11】実施例 1 の変形例を示す断面図。

【図 12】実施例 1 の変形例を示す断面図。

【図 13】実施例 1 の変形例を示す断面図。

【図 14】実施例 1 の変形例を示す断面図。

【図 15】実施例 1 の変形例を示す断面図。

【図 16】実施例 1 の変形例を示す断面図。

20

【図 17】実施例 1 の変形例を示す断面図。

【図 18】実施例 1 の変形例を示す断面図。

【図 19】本発明の磁気ランダムアクセスメモリの実施例 2 を示す断面図。

【図 20】本発明の磁気ランダムアクセスメモリの実施例 2 を示す断面図。

【図 21】本発明の磁気ランダムアクセスメモリの実施例 2 を示す断面図。

【図 22】本発明の磁気ランダムアクセスメモリの実施例 2 を示す断面図。

【図 23】実施例 2 の変形例を示す断面図。

【図 24】実施例 2 の変形例を示す断面図。

【図 25】実施例 2 の変形例を示す断面図。

【図 26】実施例 2 の変形例を示す断面図。

30

【図 27】実施例 2 の変形例を示す断面図。

【図 28】実施例 2 の変形例を示す断面図。

【図 29】実施例 2 の変形例を示す断面図。

【図 30】実施例 2 の変形例を示す断面図。

【図 31】本発明の磁気ランダムアクセスメモリの実施例 3 を示す断面図。

【図 32】本発明の磁気ランダムアクセスメモリの実施例 3 を示す断面図。

【図 33】本発明の磁気ランダムアクセスメモリの実施例 3 を示す断面図。

【図 34】本発明の磁気ランダムアクセスメモリの実施例 3 を示す断面図。

【図 35】本発明の磁気ランダムアクセスメモリの実施例 4 を示す断面図。

【図 36】本発明の磁気ランダムアクセスメモリの実施例 4 を示す断面図。

40

【図 37】本発明の磁気ランダムアクセスメモリの実施例 4 を示す断面図。

【図 38】本発明の磁気ランダムアクセスメモリの実施例 4 を示す断面図。

【図 39】実施例 4 の変形例を示す断面図。

【図 40】実施例 4 の変形例を示す断面図。

【図 41】実施例 4 の変形例を示す断面図。

【図 42】実施例 4 の変形例を示す断面図。

【図 43】実施例 4 の変形例を示す断面図。

【図 44】実施例 4 の変形例を示す断面図。

【図 45】実施例 4 の変形例を示す断面図。

【図 46】実施例 4 の変形例を示す断面図。

50

- 【図 4 7】本発明の磁気ランダムアクセスメモリの実施例 5 を示す断面図。
【図 4 8】本発明の磁気ランダムアクセスメモリの実施例 5 を示す断面図。
【図 4 9】本発明の磁気ランダムアクセスメモリの実施例 5 を示す断面図。
【図 5 0】本発明の磁気ランダムアクセスメモリの実施例 5 を示す断面図。
【図 5 1】実施例 5 の変形例を示す断面図。
【図 5 2】実施例 5 の変形例を示す断面図。
【図 5 3】実施例 5 の変形例を示す断面図。
【図 5 4】実施例 5 の変形例を示す断面図。
【図 5 5】実施例 5 の変形例を示す断面図。
【図 5 6】実施例 5 の変形例を示す断面図。 10
【図 5 7】実施例 5 の変形例を示す断面図。
【図 5 8】実施例 5 の変形例を示す断面図。
【図 5 9】本発明の磁気ランダムアクセスメモリの実施例 6 を示す断面図。
【図 6 0】本発明の磁気ランダムアクセスメモリの実施例 6 を示す断面図。
【図 6 1】本発明の磁気ランダムアクセスメモリの実施例 6 を示す断面図。
【図 6 2】本発明の磁気ランダムアクセスメモリの実施例 6 を示す断面図。
【図 6 3】本発明の磁気ランダムアクセスメモリの実施例 7 を示す断面図。
【図 6 4】本発明の磁気ランダムアクセスメモリの実施例 7 を示す断面図。
【図 6 5】本発明の磁気ランダムアクセスメモリの実施例 8 を示す断面図。
【図 6 6】本発明の磁気ランダムアクセスメモリの実施例 8 を示す断面図。 20
【図 6 7】本発明の磁気ランダムアクセスメモリの実施例 9 を示す断面図。
【図 6 8】本発明の磁気ランダムアクセスメモリの実施例 9 を示す断面図。
【図 6 9】本発明の磁気ランダムアクセスメモリの実施例 9 を示す断面図。
【図 7 0】本発明の磁気ランダムアクセスメモリの実施例 9 を示す断面図。
【図 7 1】本発明の磁気ランダムアクセスメモリの実施例 1 0 を示す断面図。
【図 7 2】本発明の磁気ランダムアクセスメモリの実施例 1 0 を示す断面図。
【図 7 3】本発明の磁気ランダムアクセスメモリの実施例 1 0 を示す断面図。
【図 7 4】本発明の磁気ランダムアクセスメモリの実施例 1 0 を示す断面図。
【図 7 5】本発明の磁気ランダムアクセスメモリの実施例 1 1 を示す断面図。
【図 7 6】本発明の磁気ランダムアクセスメモリの実施例 1 1 を示す断面図。 30
【図 7 7】本発明の磁気ランダムアクセスメモリの実施例 1 2 を示す断面図。
【図 7 8】本発明の磁気ランダムアクセスメモリの実施例 1 2 を示す断面図。
【図 7 9】本発明の磁気ランダムアクセスメモリのセルアレイの構造例を示す回路図。
【図 8 0】図 7 9 のセルアレイの動作波形を示す図。
【図 8 1】実施例 3 のデバイス構造の製造方法の一工程を示す断面図。
【図 8 2】実施例 3 のデバイス構造の製造方法の一工程を示す断面図。
【図 8 3】実施例 3 のデバイス構造の製造方法の一工程を示す断面図。
【図 8 4】実施例 3 のデバイス構造の製造方法の一工程を示す断面図。
【図 8 5】実施例 3 のデバイス構造の製造方法の一工程を示す断面図。
【図 8 6】実施例 3 のデバイス構造の製造方法の一工程を示す断面図。 40
【図 8 7】実施例 6 のデバイス構造の製造方法の一工程を示す断面図。
【図 8 8】実施例 6 のデバイス構造の製造方法の一工程を示す断面図。
【図 8 9】実施例 6 のデバイス構造の製造方法の一工程を示す断面図。
【図 9 0】実施例 6 のデバイス構造の製造方法の一工程を示す断面図。
【図 9 1】実施例 6 のデバイス構造の製造方法の一工程を示す断面図。
【図 9 2】実施例 6 のデバイス構造の製造方法の一工程を示す断面図。
【図 9 3】実施例 6 のデバイス構造の製造方法の一工程を示す断面図。
【図 9 4】実施例 6 のデバイス構造の製造方法の一工程を示す断面図。
【図 9 5】実施例 6 のデバイス構造の製造方法の一工程を示す断面図。
【図 9 6】TMR 素子の構造例を示す図。 50

【図 9 7】 T M R 素子の 2 つの状態を示す図。

【図 9 8】 磁気ランダムアクセスメモリの書き込み動作原理を示す図。

【図 9 9】 T M R 曲線を示す図。

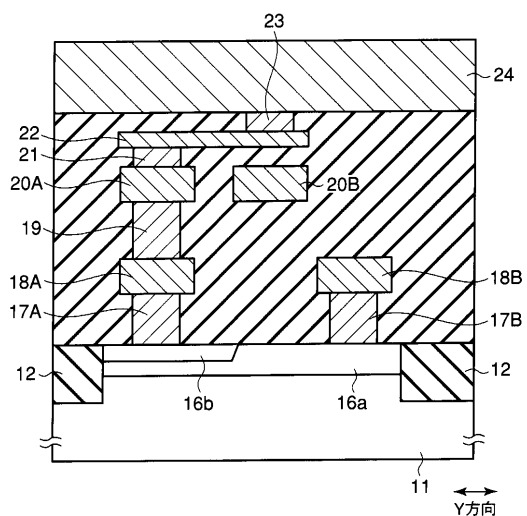
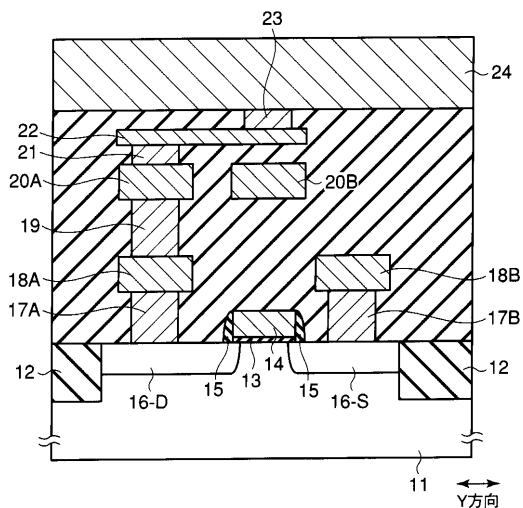
【図 1 0 0】 アステロイド曲線を示す図。

【符号の説明】

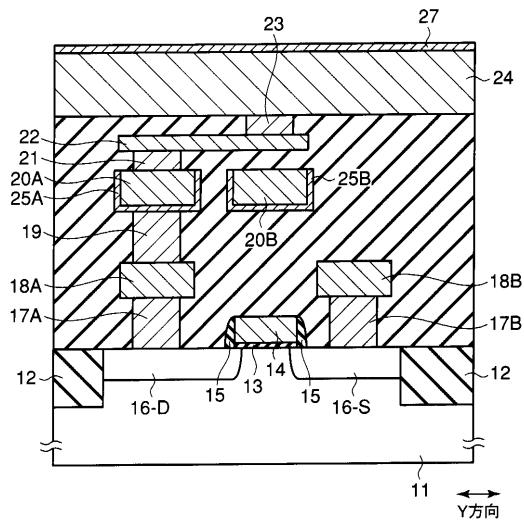
- | | | |
|---|-----------------------------|----|
| 1 1 | : 半導体基板、 | |
| 1 2 | : 素子分離絶縁層、 | |
| 1 3 | : ゲート絶縁層、 | |
| 1 4 | : ゲート電極 (読み出しワード線)、 | |
| 1 5 | : 側壁絶縁層、 | 10 |
| 1 6 - S | : ソース領域、 | |
| 1 6 - D | : ドレイン領域、 | |
| 1 7 A , 1 7 B | : コンタクトプラグ、 | |
| 1 8 A , 2 0 A | : 中間層、 | |
| 1 8 B | : ソース線 (読み出しワード線)、 | |
| 1 9 , 2 1 | : バイアプラグ、 | |
| 2 0 B | : 書き込みワード線、 | |
| 2 2 | : 下部電極、 | |
| 2 3 | : T M R 素子、 | |
| 2 4 | : データ選択線 (読み出し / 書き込みビット線)、 | 20 |
| 2 5 , 2 5 A , 2 5 B , 2 6 , 2 7 | : ヨーク材、 | |
| 2 8 A ~ 2 8 C , 2 9 , 3 0 A ~ 3 0 C , 3 1 , 5 0 | : 絶縁層、 | |
| 4 0 , 4 1 , 4 2 | : 電流駆動電源、 | |
| 4 3 | : 読み出し電源、 | |
| 4 4 | : 検出回路。 | |

【図 1】

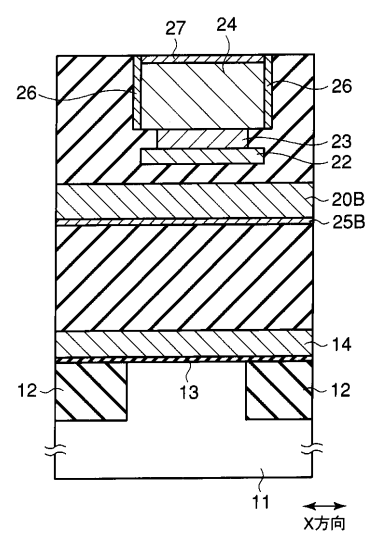
【図 2】



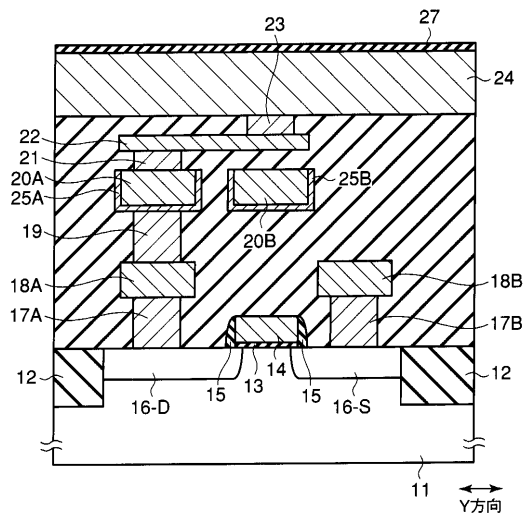
【図 3】



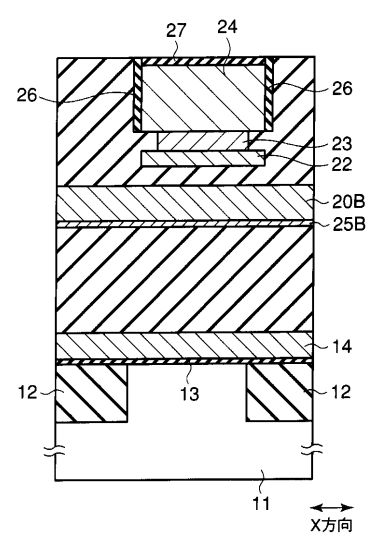
【図 4】



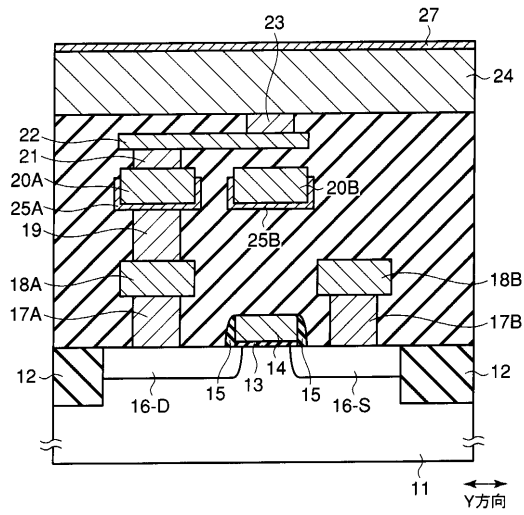
【図 5】



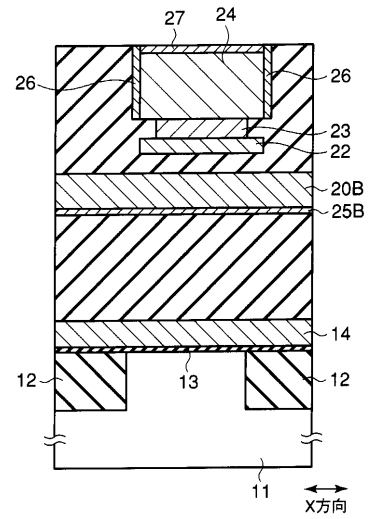
【図 6】



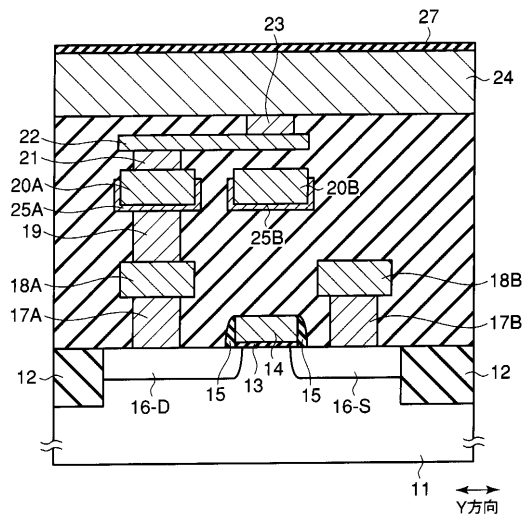
【図 7】



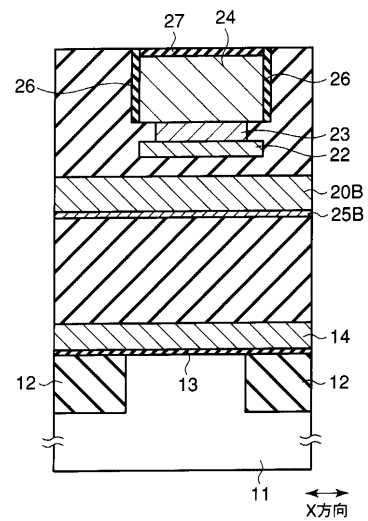
【図 8】



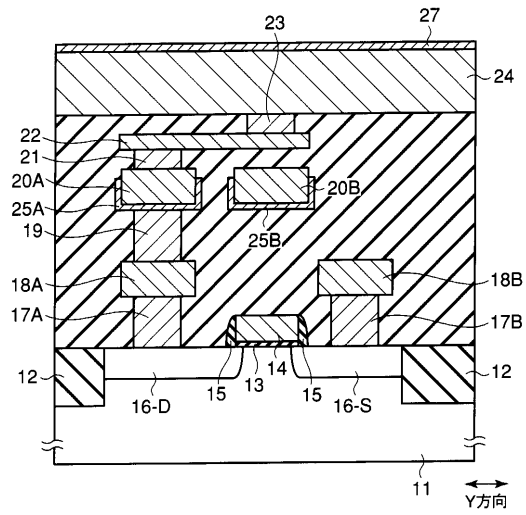
【図 9】



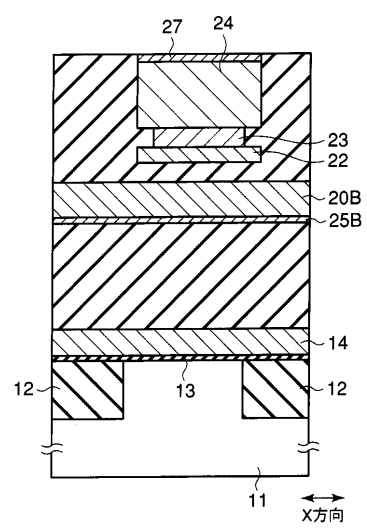
【図 10】



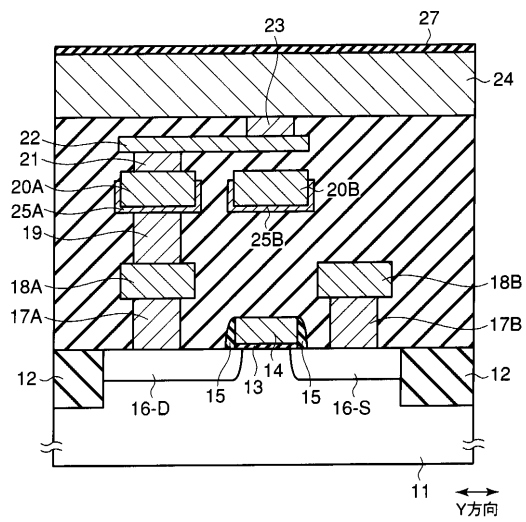
【図 1 1】



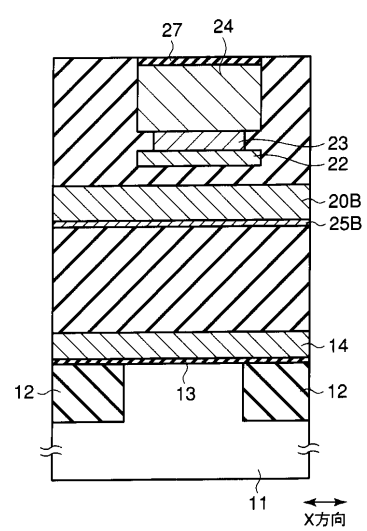
【図 1 2】



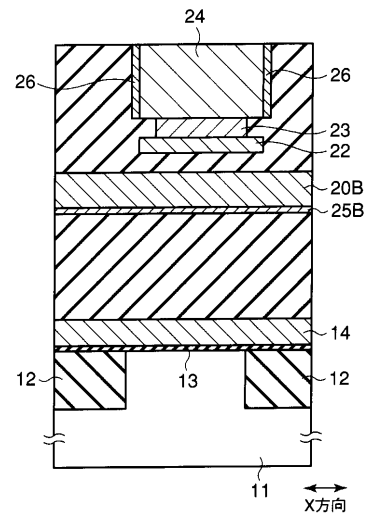
【図 1 3】



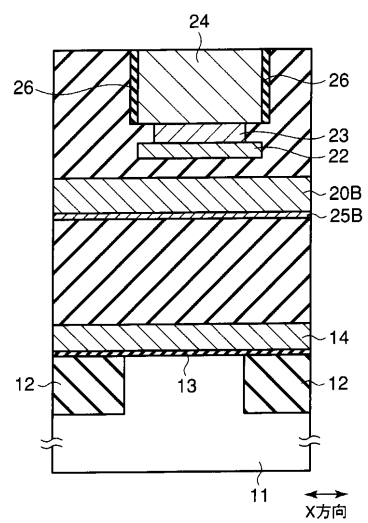
【図 1 4】



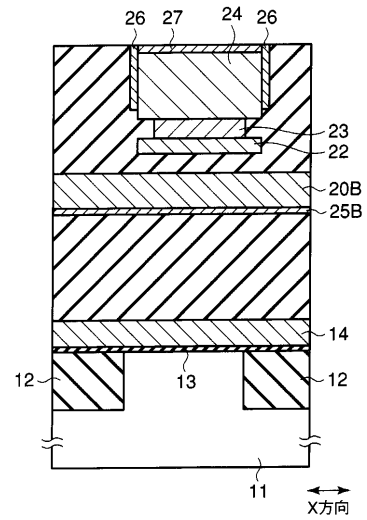
【 図 1 6 】



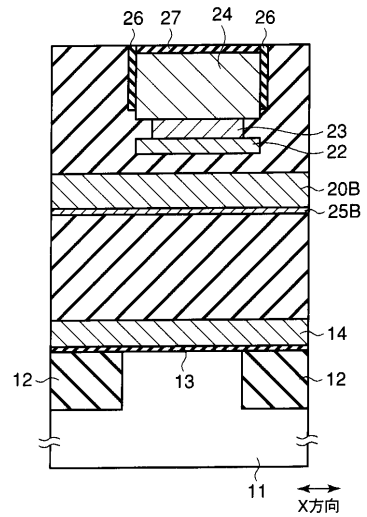
【 図 1 8 】



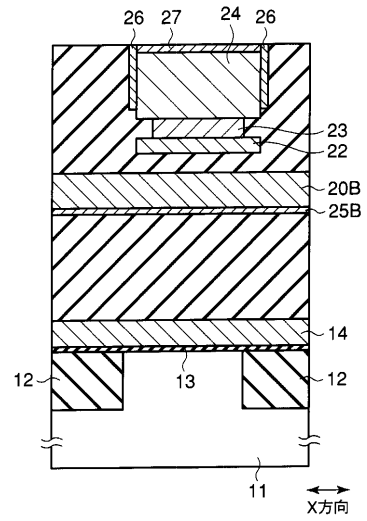
【 図 2 0 】



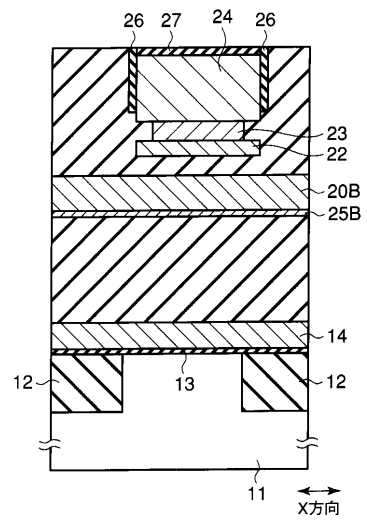
【 ㄨ 2 2 】



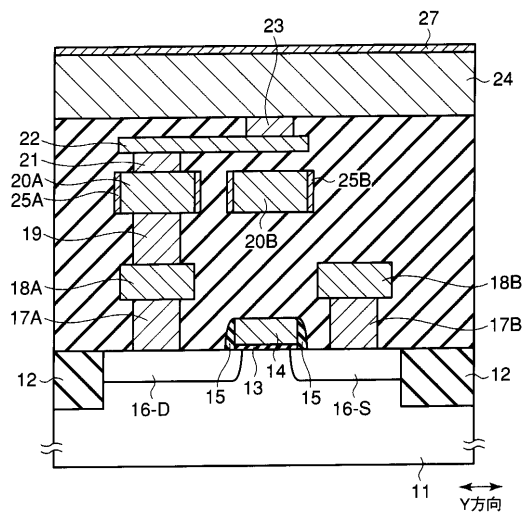
【 図 2 4 】



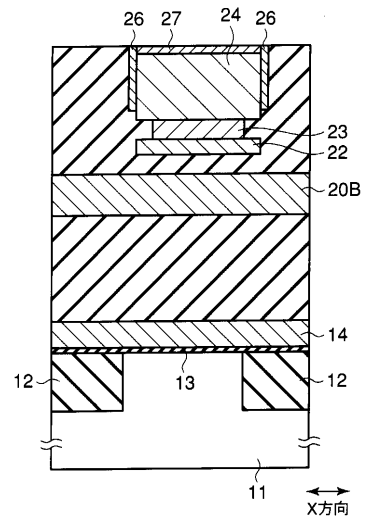
【 図 2 6 】



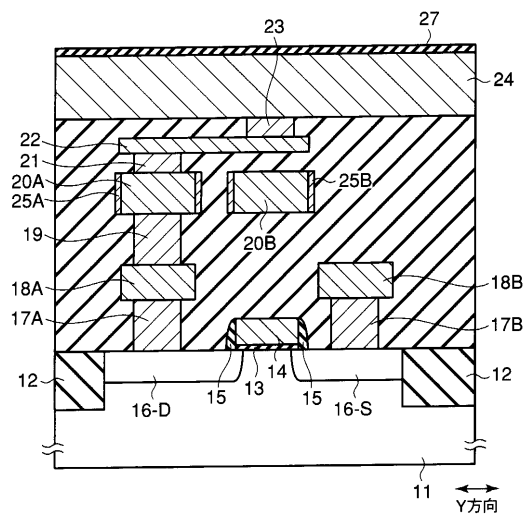
【図 27】



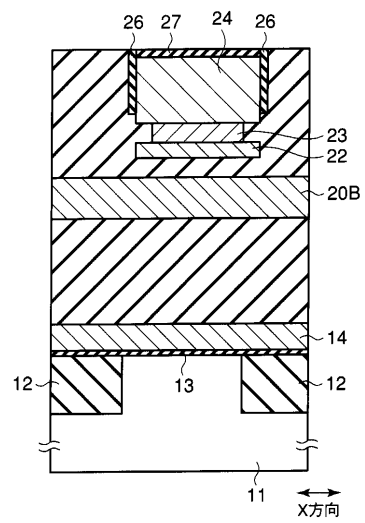
【図 28】



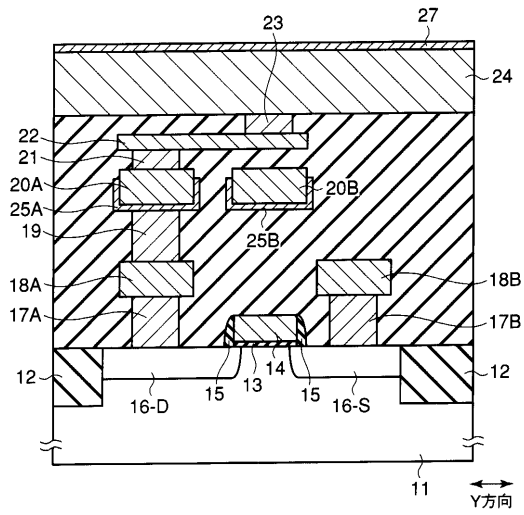
【図 29】



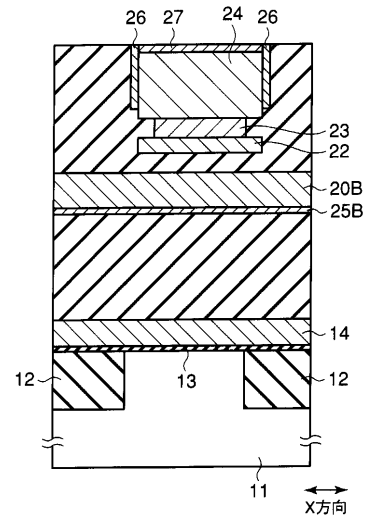
【図 30】



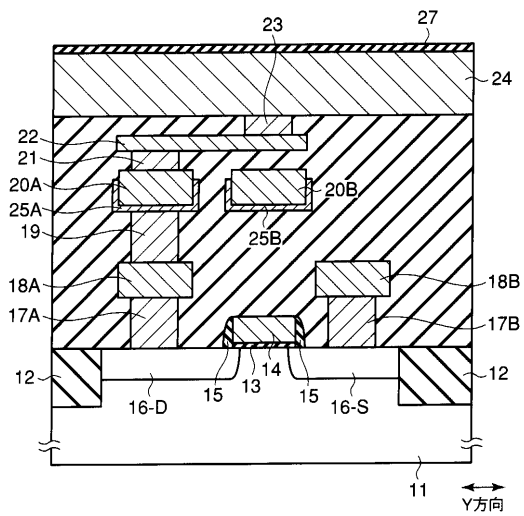
【図 3 1】



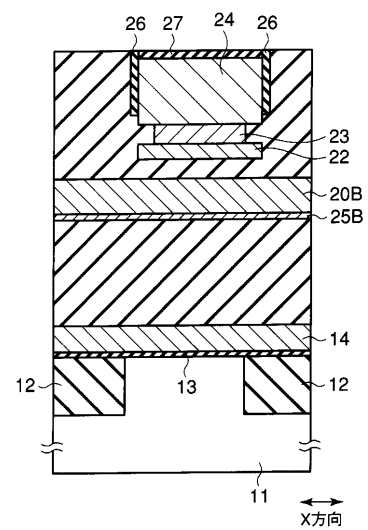
【図 3 2】



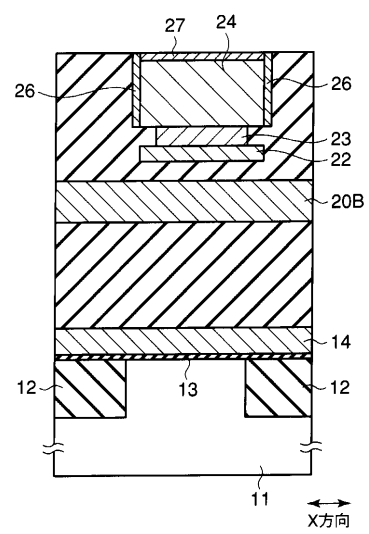
【図 3 3】



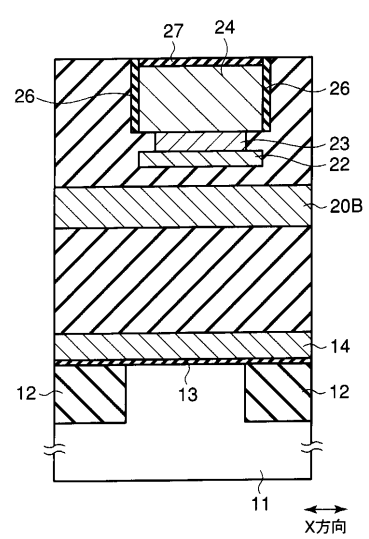
【図 3 4】



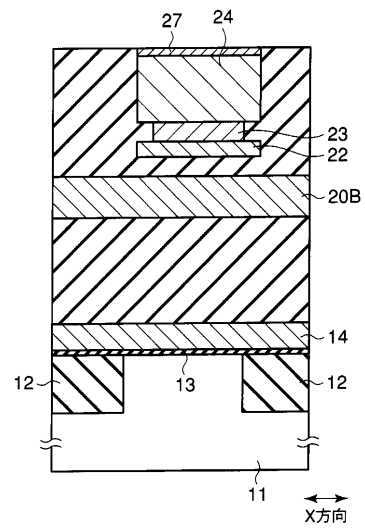
【 図 3 6 】



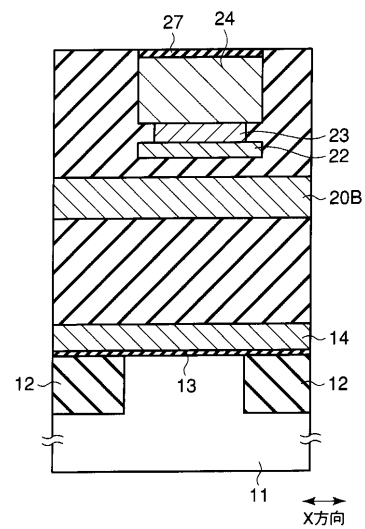
【 ㄨ 3 8 】



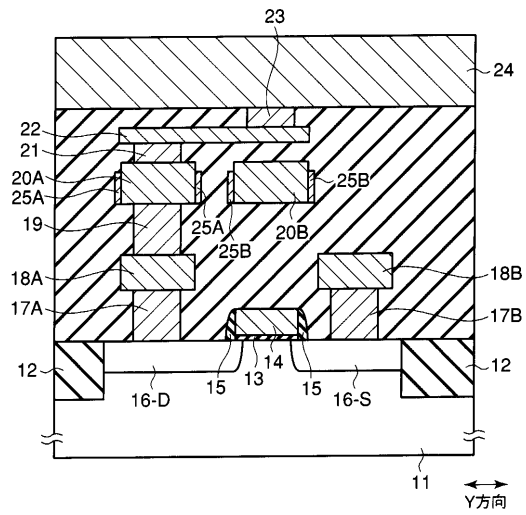
【 図 4 0 】



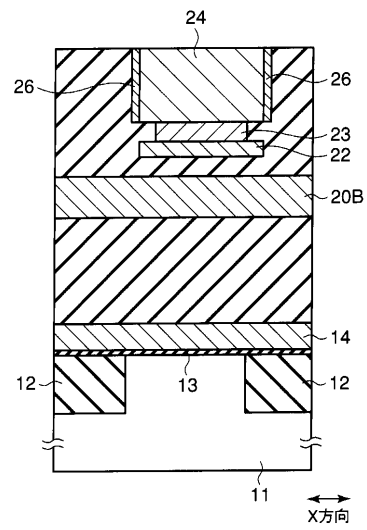
【 図 4 2 】



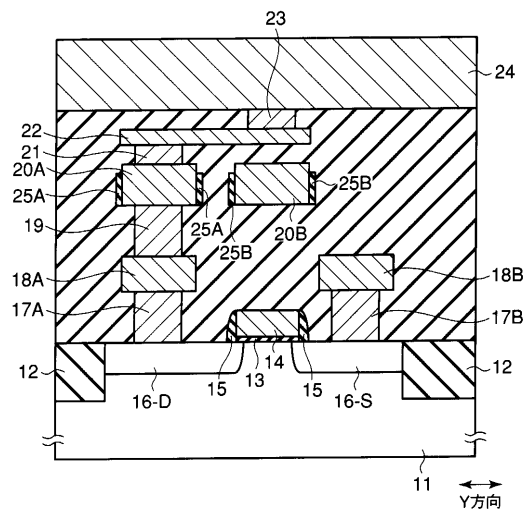
【図 4 3】



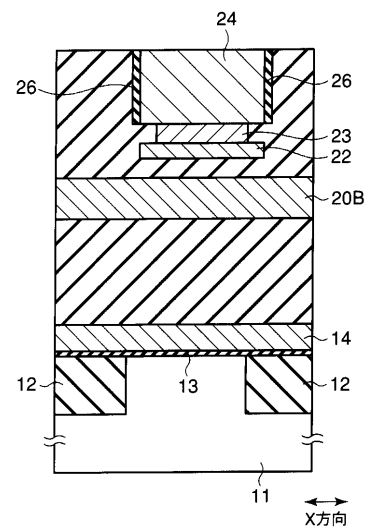
【図 4 4】



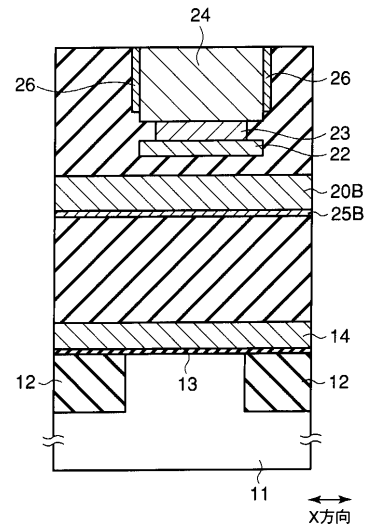
【図 4 5】



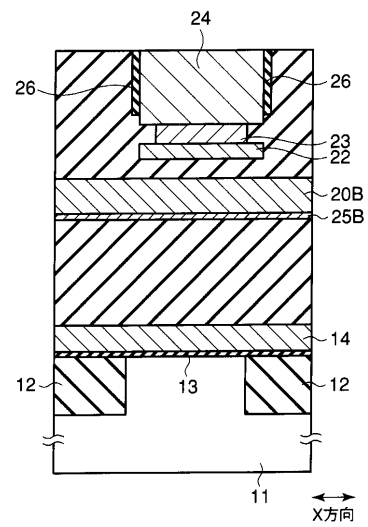
【図 4 6】



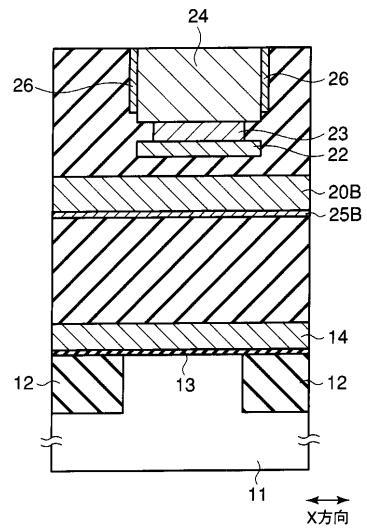
【 図 4 8 】



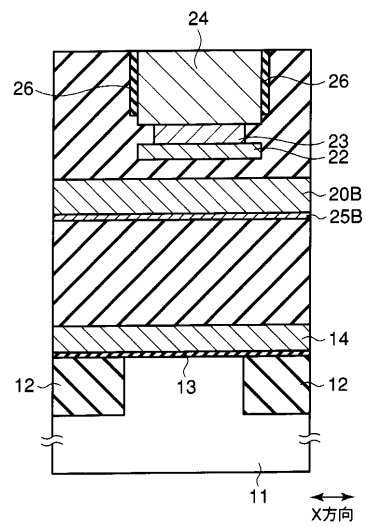
【 ㄨ 5 0 】



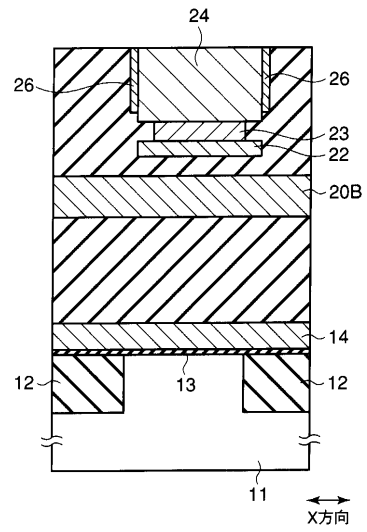
【 図 5 2 】



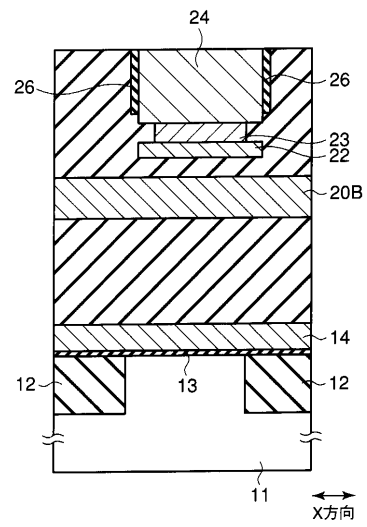
【 図 5 4 】



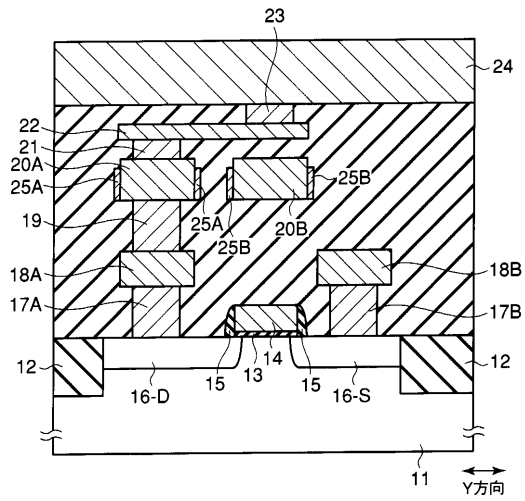
【 図 5 6 】



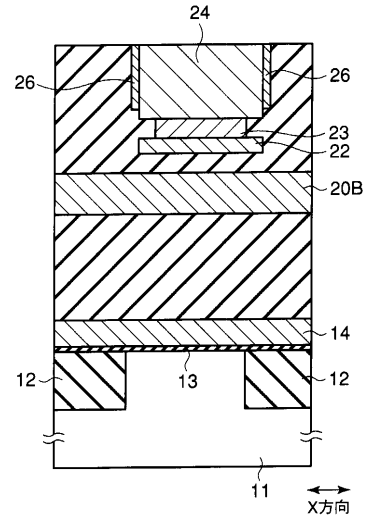
【 ㄨ 5 8 】



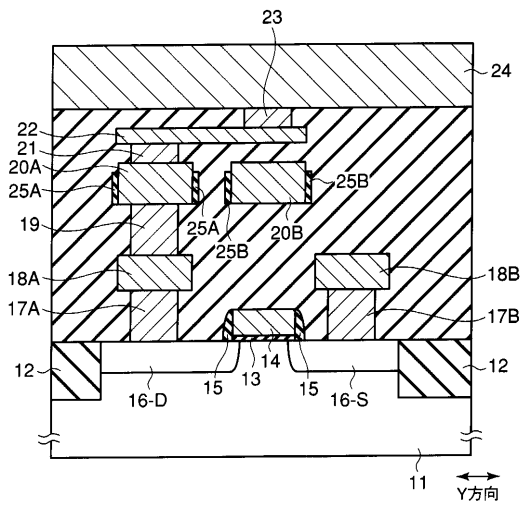
【図 59】



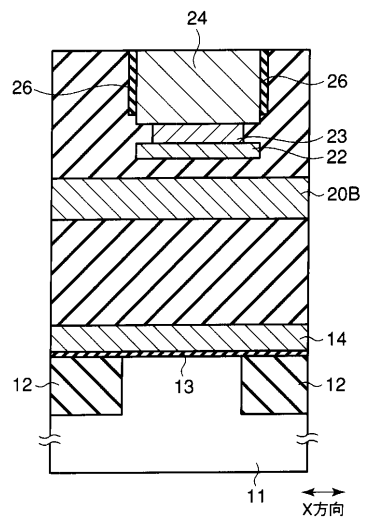
【図 60】



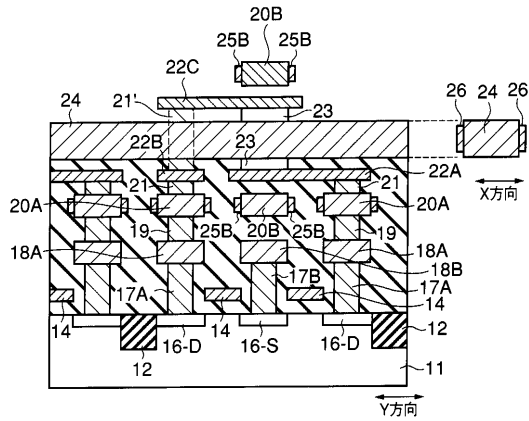
【図 61】



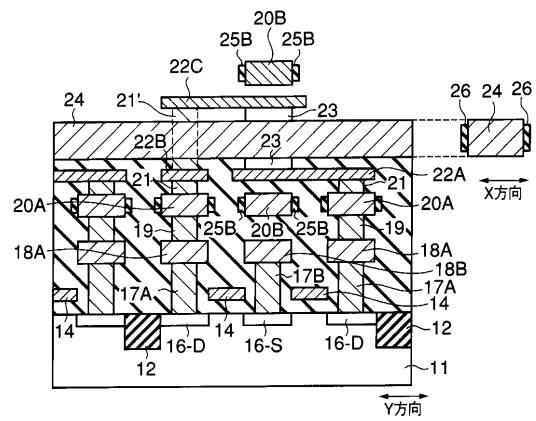
【図 62】



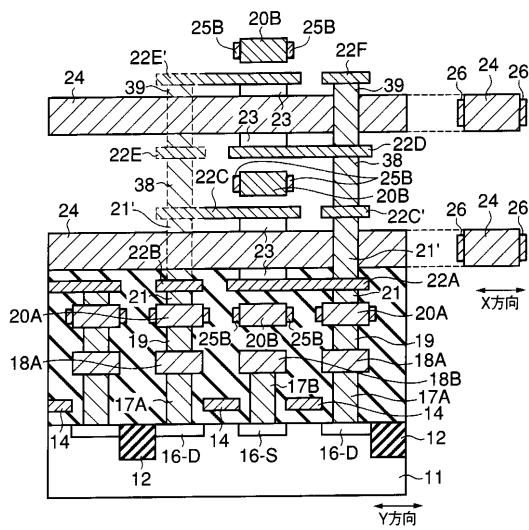
【図 6 3】



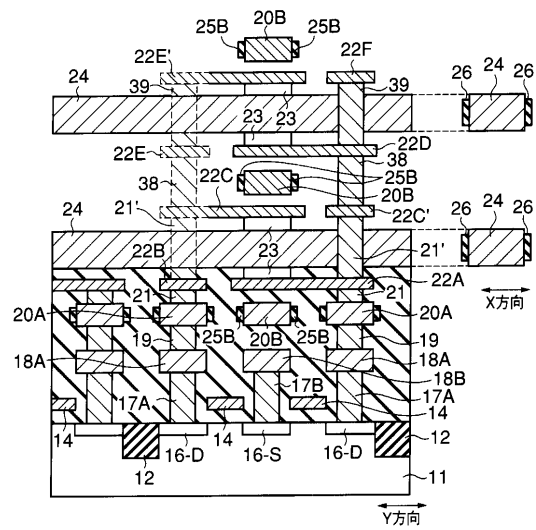
【図 6 4】



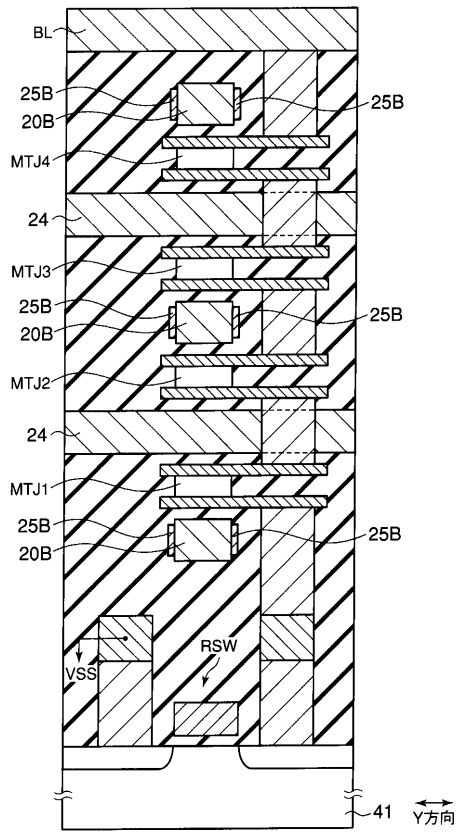
【図 6 5】



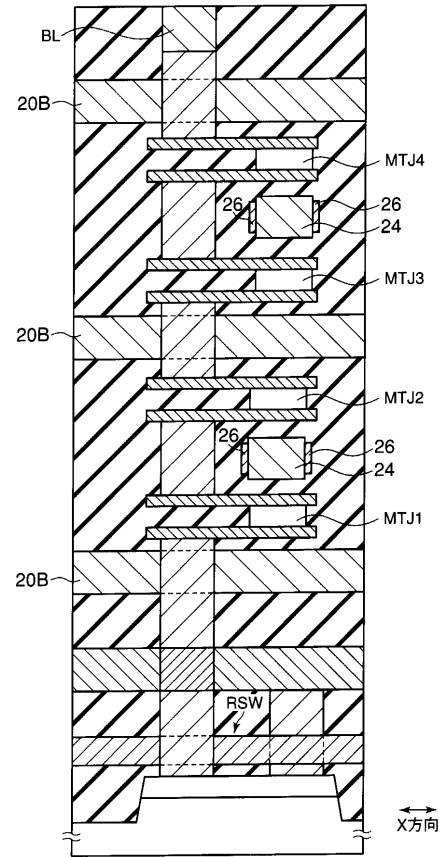
【図 6 6】



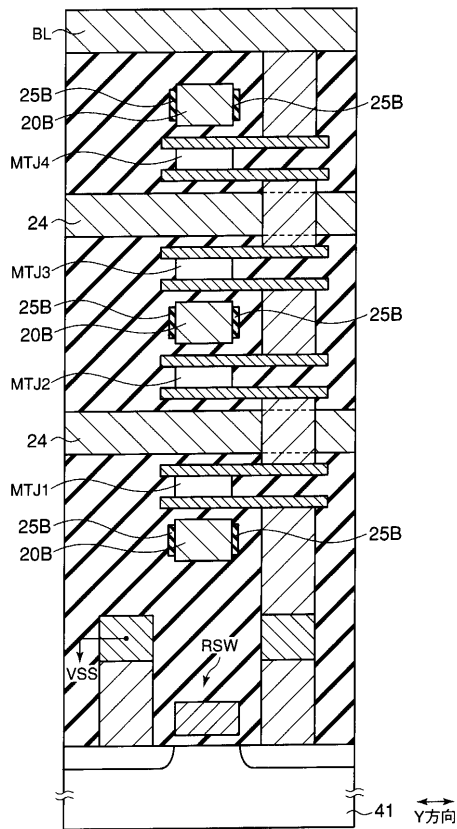
【図 67】



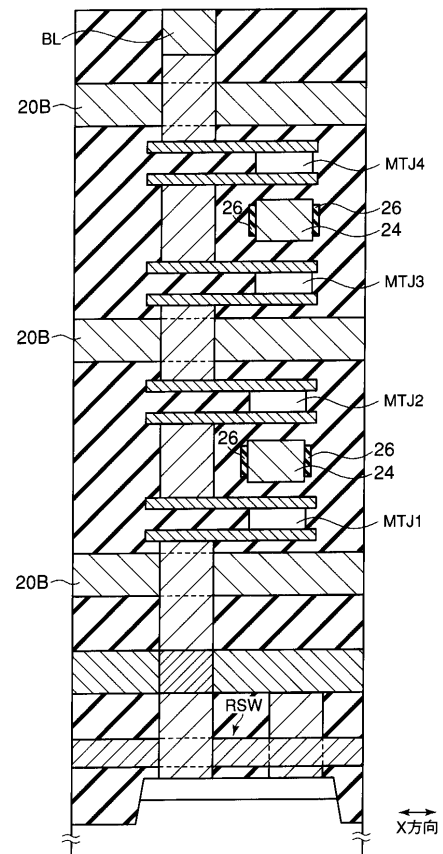
【図 68】



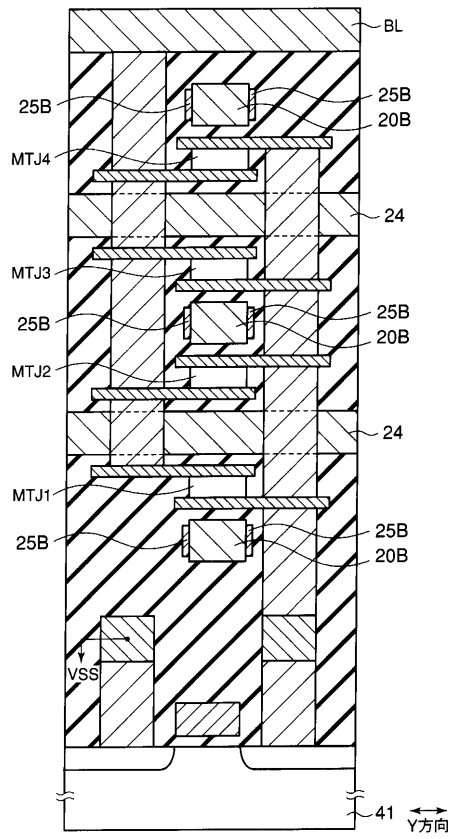
【図 69】



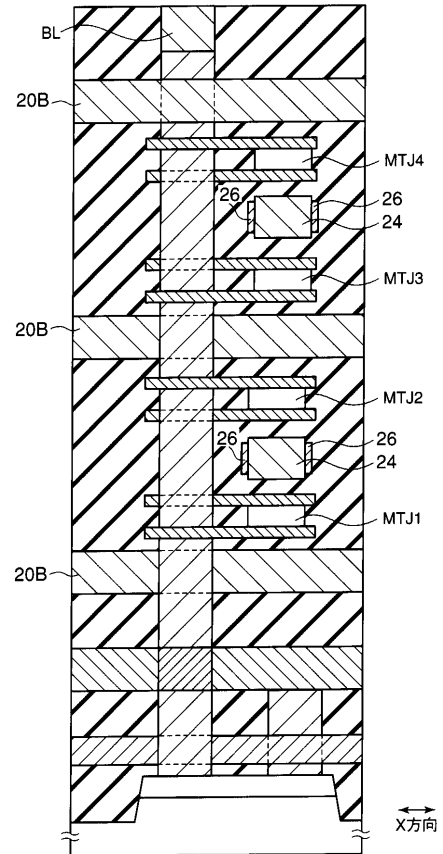
【図 70】



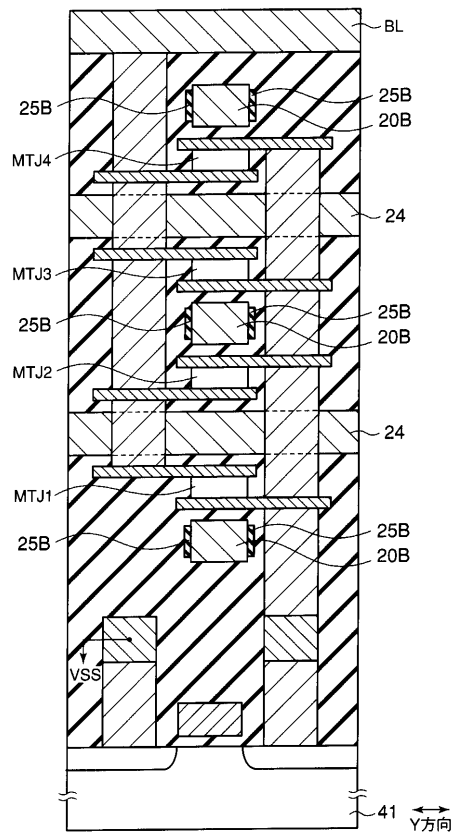
【図 7 1】



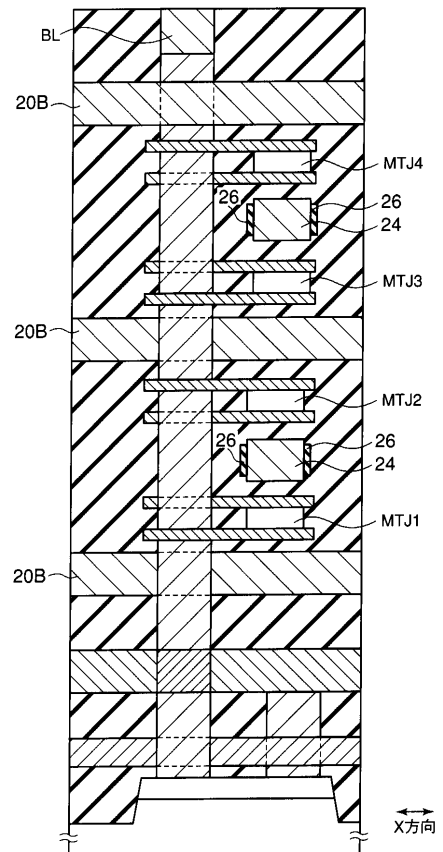
【図 7 2】



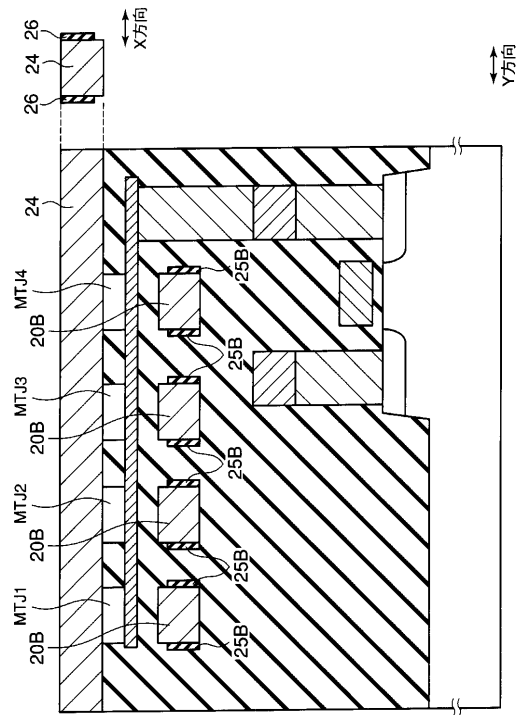
【図 7 3】



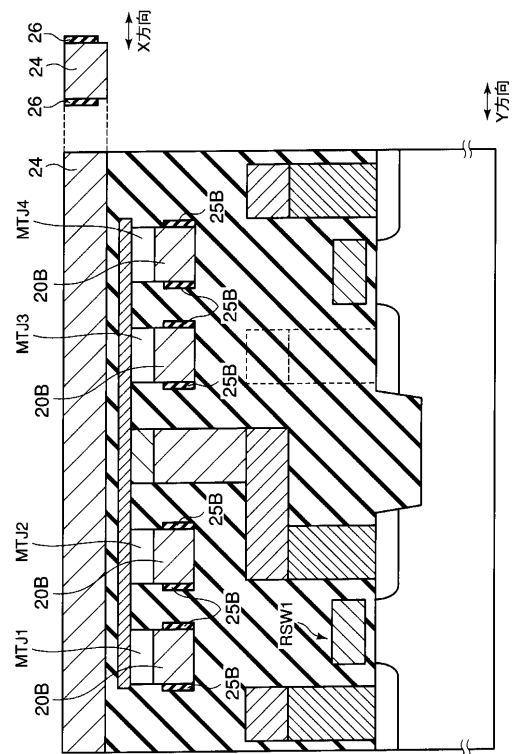
【図 7 4】



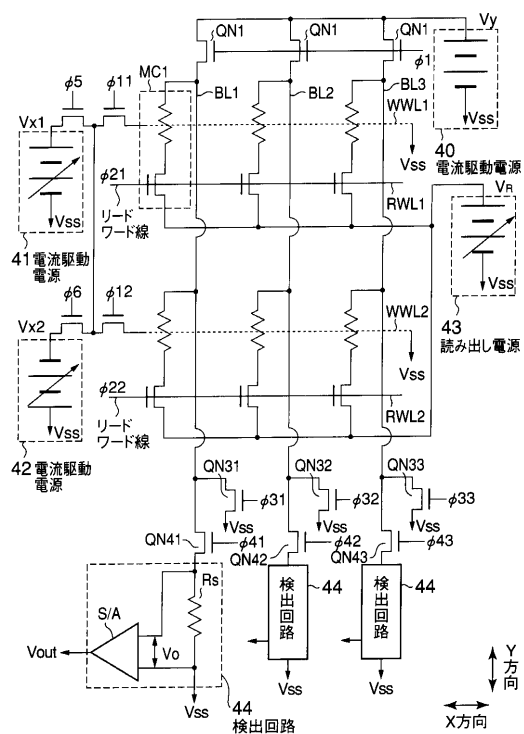
【 図 7 6 】



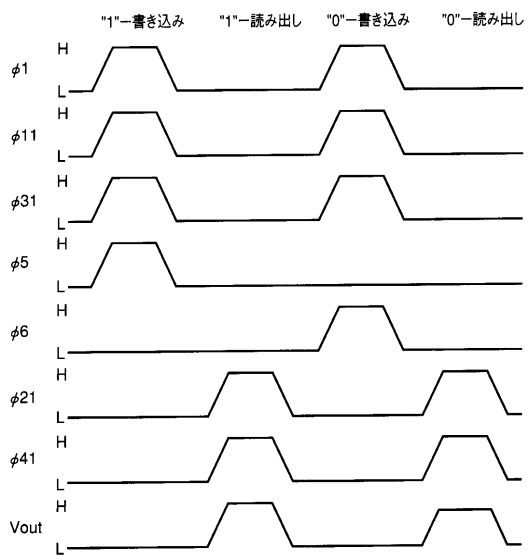
【 図 7 8 】



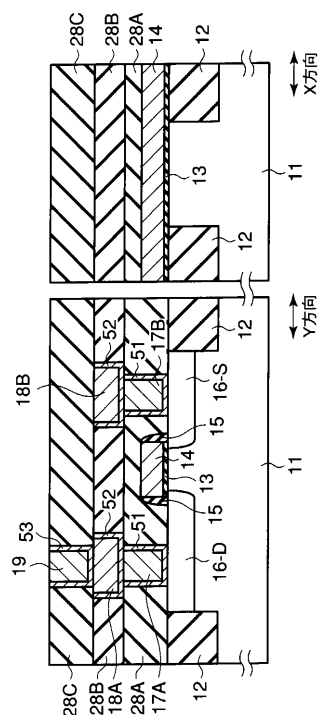
【図 79】



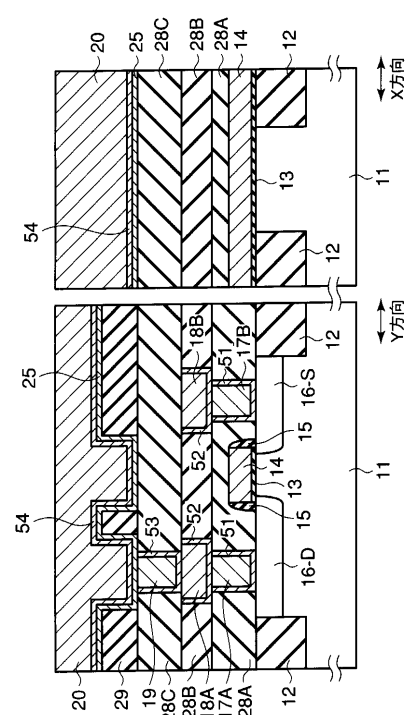
【図 80】

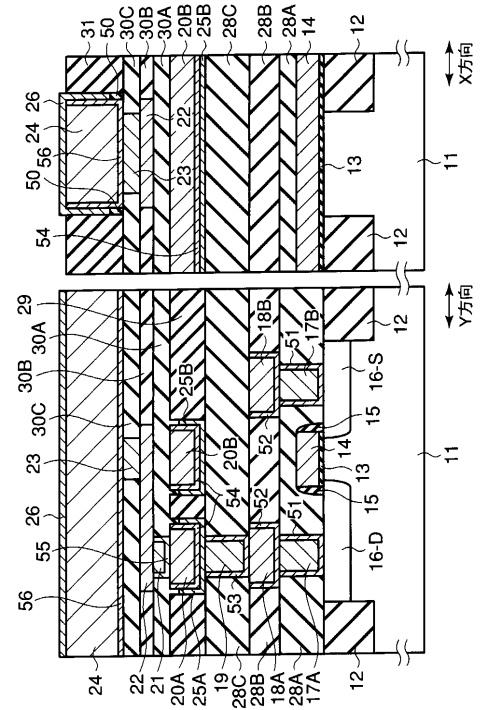


【図 81】

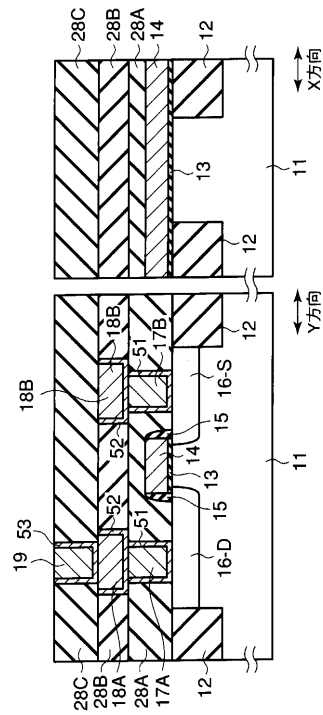


【図 82】

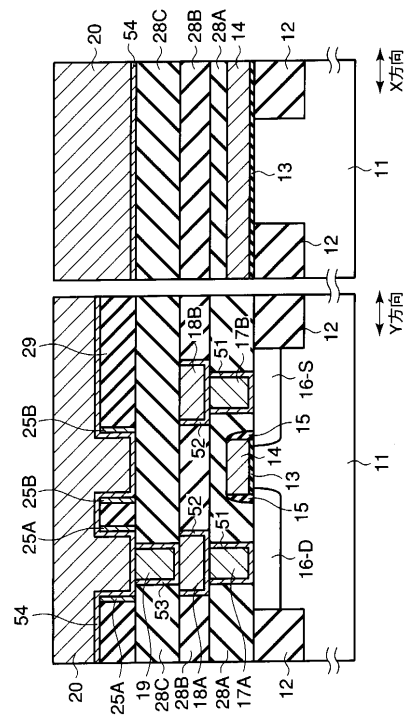




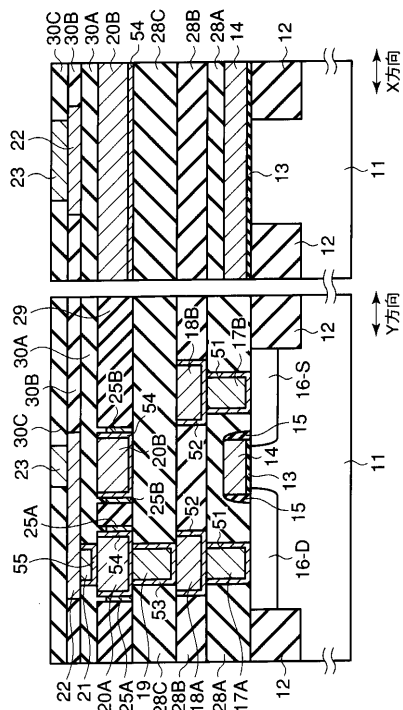
【図 87】



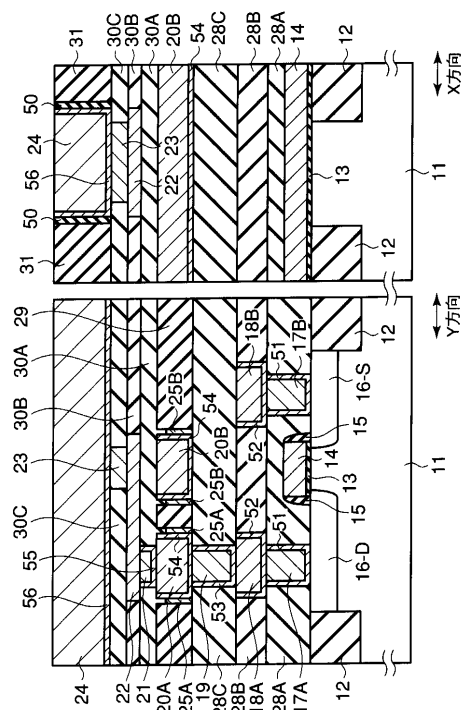
【図 88】



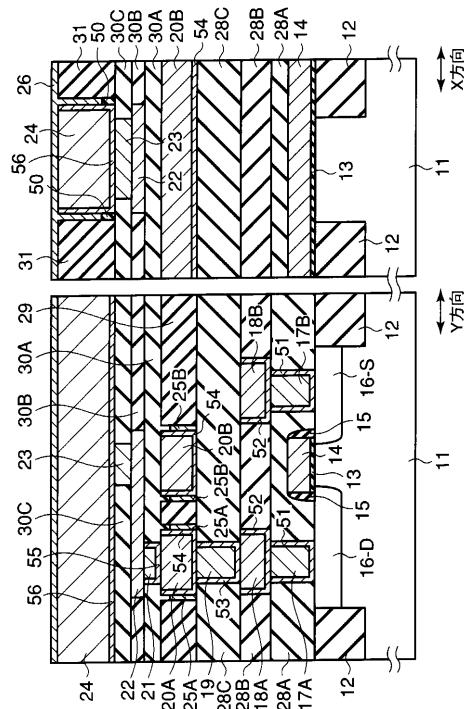
【図 89】



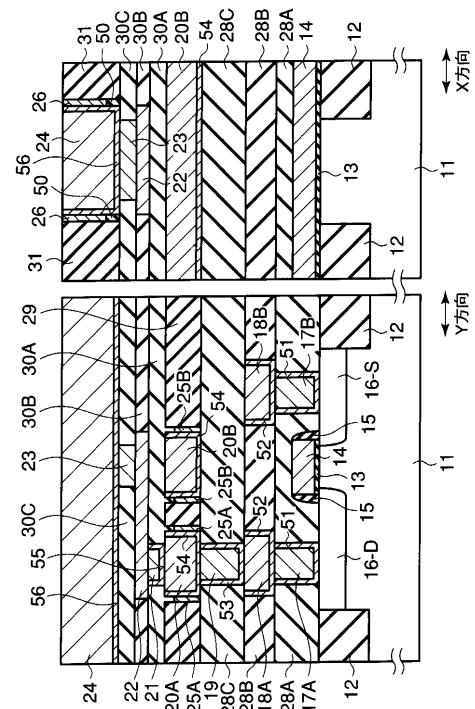
【図 90】



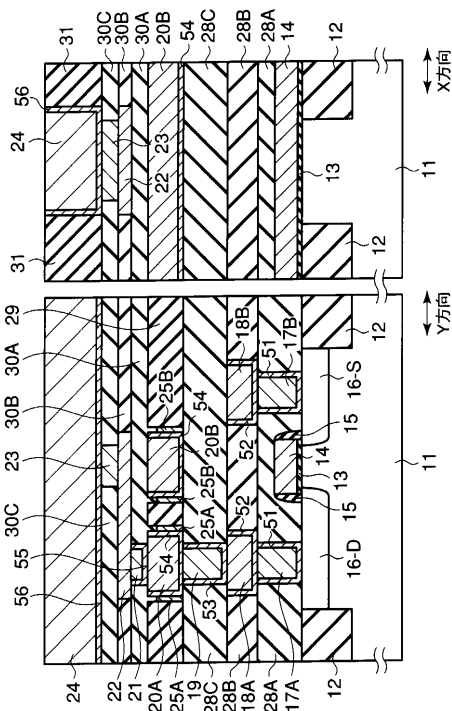
【図 9 1】



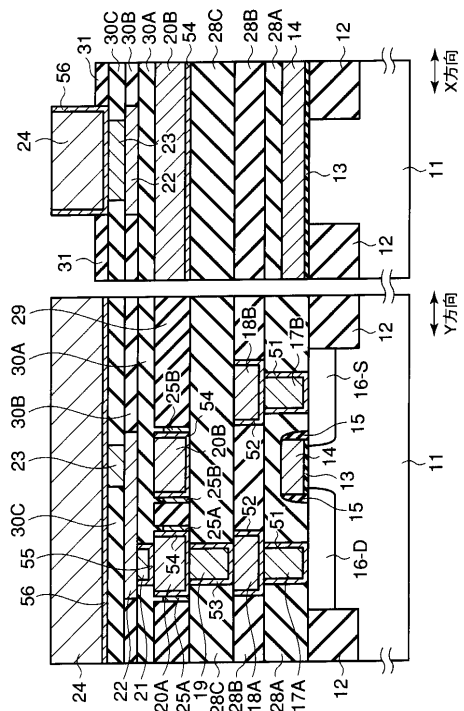
【図 9 2】



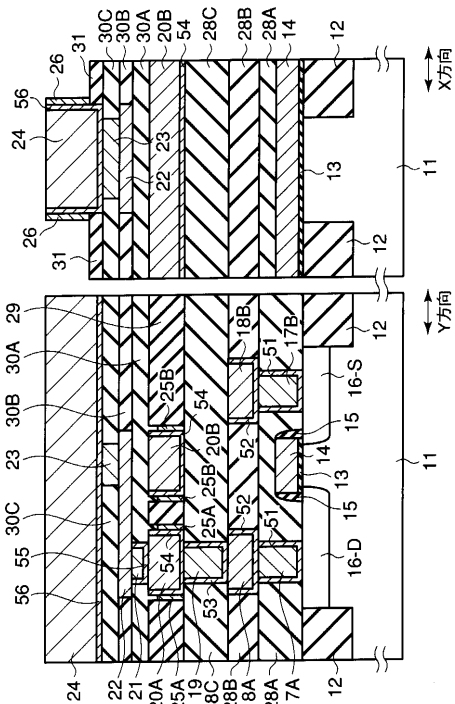
【図 9 3】



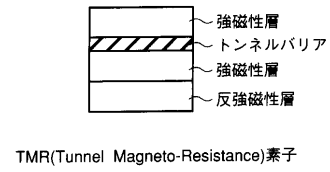
【図 9 4】



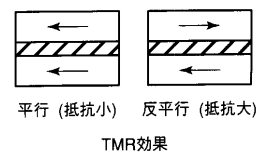
【図 9 5】



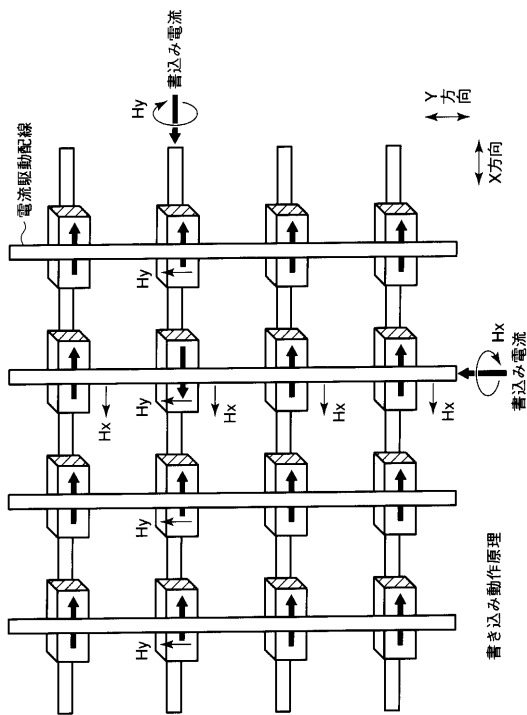
【図 9 6】



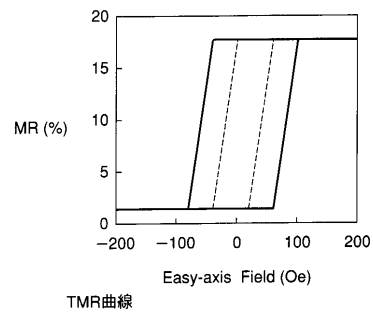
【図 9 7】



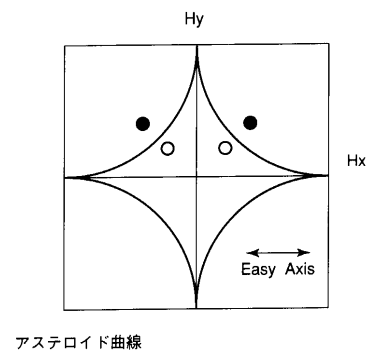
【図 9 8】



【図 9 9】



【図 1 0 0】



フロントページの続き

- (72)発明者 浅尾 吉昭
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 岩田 佳久
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 斉藤 好昭
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内
- (72)発明者 與田 博明
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内
- (72)発明者 上田 知正
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内
- (72)発明者 天野 実
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内
- (72)発明者 高橋 茂樹
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内
- (72)発明者 岸 達也
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

審査官 瀧内 健夫

- (56)参考文献 特表 2003 - 528458 (JP, A)
特開 2001 - 273760 (JP, A)
特表 2005 - 519482 (JP, A)
国際公開第 02 / 058166 (WO, A1)
特開 2003 - 209226 (JP, A)
特開 2003 - 309251 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246

H01L 27/105