



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2012년01월13일  
 (11) 등록번호 10-1105470  
 (24) 등록일자 2012년01월05일

(51) Int. Cl.

H01L 23/29 (2006.01)

(21) 출원번호 10-2009-0115655  
 (22) 출원일자 2009년11월27일  
 심사청구일자 2009년11월27일  
 (65) 공개번호 10-2010-0061390  
 (43) 공개일자 2010년06월07일

(30) 우선권주장

JP-P-2008-303743 2008년11월28일 일본(JP)

(56) 선행기술조사문헌

JP2006278520 A

JP07273275 A

KR1020070113126 A

KR1020080065844 A

전체 청구항 수 : 총 12 항

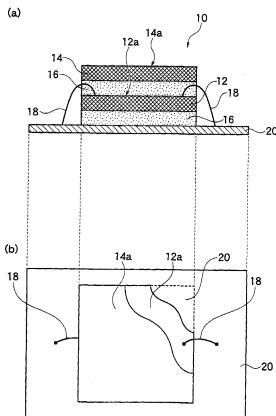
심사관 : 설관식

(54) 반도체 칩 적층체 및 반도체 칩 적층용 접착제 조성물

**(57) 요 약**

[과제] 본 발명은 접착제층을 구성하는 경화 후의 접착제 조성물 중에 포함되는 이온 불순물의 양이 적기 때문에, 고온·다습 조건하에서도, 양호한 패키지 신뢰성(내HAST성)을 발휘할 수 있는 반도체 칩 적층체를 제공하는 것을 과제로 한다.

[해결수단] 상기 과제를 해결하기 위해, 본 발명의 반도체 칩 적층체는 복수의 반도체 칩이 접착제층을 매개로 적층되어 되는 반도체 칩 적층체로서, 상기 접착제층이, 아크릴 중합체(A), 에폭시 수지(B), 열경화제(C) 및 열경화 촉진제로서 특정 유기 포스핀계 화합물(D)을 포함하고, 상기 유기 포스핀계 화합물(D)의 함유량이, 상기 에폭시 수지(B) 및 열경화제(C)의 합계 100 중량부에 대해, 0.001~15 중량부인 접착제 조성물로 되는 것을 특징으로 한다.

**대 표 도 - 도1**

## 특허청구의 범위

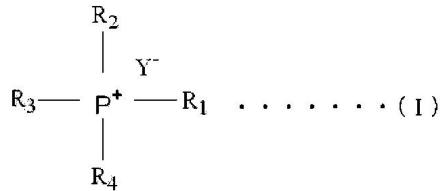
### 청구항 1

복수의 반도체 칩이 접착제층을 매개로 적층되어 되는 반도체 칩 적층체로서,

상기 접착제층이, 아크릴 중합체(A), 에폭시 수지(B), 열경화제(C) 및 열경화 촉진제로서 하기 화학식 I으로 나타내어지는 유기 포스핀계 화합물(D)을 포함하고,

상기 유기 포스핀계 화합물(D)의 함유량이, 상기 에폭시 수지(B) 및 상기 열경화제(C)의 합계 100 중량부에 대해, 0.001~15 중량부인 접착제 조성물로 되는 것을 특징으로 하는 반도체 칩 적층체.

[화학식 I]



(화학식 중,  $R_1 \sim R_4$ 는 각각 독립적으로, 탄소원자수 1~18의 알킬기, 탄소원자수 6~15의 아릴기 및 탄소원자수 7~16의 아릴알킬기로 이루어진 군으로부터 선택되는 판능기이고,  $Y^-$ 는 유기 음이온을 나타낸다.)

### 청구항 2

제1항에 있어서,

상기 유기 포스핀계 화합물(D)을 나타내는 화학식 I 중의  $Y^-$ 가, 유기 보레이트 음이온 또는 카르복실산 이온인 것을 특징으로 하는 반도체 칩 적층체.

### 청구항 3

기판과, 그 기판 상에 고정된 제1항의 반도체 칩 적층체를 구비하는 것을 특징으로 하는 적층형 반도체장치.

### 청구항 4

제3항에 있어서,

상기 유기 포스핀계 화합물(D)을 나타내는 화학식 I 중의  $Y^-$ 가, 유기 보레이트 음이온 또는 카르복실산 이온인 것을 특징으로 하는 적층형 반도체장치.

### 청구항 5

제3항에 있어서,

상기 복수의 반도체 칩의 평면형상이 동일형상인 것을 특징으로 하는 적층형 반도체장치.

### 청구항 6

제4항에 있어서,

상기 복수의 반도체 칩의 평면형상이 동일형상인 것을 특징으로 하는 적층형 반도체장치.

### 청구항 7

제3항에 있어서,

상기 복수의 반도체 칩의 평면적이 기판으로부터 멀어짐에 따라 작아지고 있는 것을 특징으로 하는 적층형 반도체장치.

**청구항 8**

제4항에 있어서,

상기 복수의 반도체 칩의 평면적이 기판으로부터 멀어짐에 따라 작아지고 있는 것을 특징으로 하는 적층형 반도체장치.

**청구항 9**

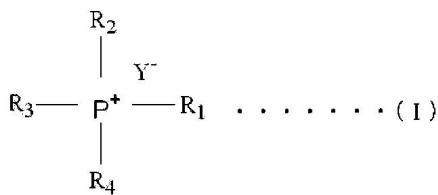
삭제

**청구항 10**

아크릴 중합체(A), 에폭시 수지(B), 열경화제(C) 및 열경화 촉진제로서 하기 화학식 I으로 나타내어지는 유기 포스핀계 화합물(D)을 포함하고,

상기 유기 포스핀계 화합물(D)의 함유량이, 상기 에폭시 수지(B) 및 열경화제(C)의 합계 100 중량부에 대해, 0.001~15 중량부인 것을 특징으로 하는 반도체 칩 적층용 접착제 조성물.

[화학식 I]



(화학식 중,  $R_1 \sim R_4$ 는 각각 독립적으로, 탄소원자수 1~18의 알킬기, 탄소원자수 6~15의 아릴기 및 탄소원자수 7~16의 아릴알킬기로 이루어진 군으로부터 선택되는 관능기이고,  $\bar{Y}$ 는 유기 음이온을 나타낸다.)

**청구항 11**

제10항에 있어서,

상기 유기 포스핀계 화합물(D)을 나타내는 화학식 I 중의  $\bar{Y}$ 가, 유기 보레이트 음이온 또는 카르복실산 이온인 것을 특징으로 하는 반도체 칩 적층용 접착제 조성물.

**청구항 12**

제10항의 반도체 칩 적층용 접착제 조성물로 되는 접착제층이 기재 필름 상에 형성되어 되는 것을 특징으로 하는 반도체 칩 적층용 접착시트.

**청구항 13**

제12항에 있어서,

상기 유기 포스핀계 화합물(D)을 나타내는 화학식 I 중의  $\bar{Y}$ 가, 유기 보레이트 음이온 또는 카르복실산 이온인 것을 특징으로 하는 반도체 칩 적층용 접착시트.

**명세서****발명의 상세한 설명****기술분야**

**[0001]** 본 발명은 기판-칩 사이, 칩-칩 사이를 본딩하는 공정, 및 실리콘웨이퍼 등을 다이싱하고, 추가적으로 광업해서 얻어진 반도체 칩을 사용하여, 기판-칩 사이, 칩-칩 사이를 본딩하는 공정에서 사용하는, 이른바 칩 스택에 특히 적합한 반도체 칩 적층용 접착제 조성물 및 그것을 사용한 반도체 칩 적층체에 관한 것이다.

## 배경기술

- [0002] 실리콘, 갈륨비소 등의 반도체 웨이퍼는 대직경의 상태로 제조되고, 이 웨이퍼는 소자 소편(반도체 칩)으로 절단 분리(다이싱)된 후에 다음 공정인 본딩공정으로 이송되고 있다. 이때, 반도체 웨이퍼는 사전에 접착 시트에 접착(貼着)된 상태로 다이싱, 세정, 건조, 익스팬딩, 광업의 각 공정이 가해진 후, 다음 공정인 본딩공정으로 이송된다.
- [0003] 또한, 본딩공정에 있어서, 기판-칩 사이, 칩-칩 사이 등을 본딩하기 위해서 접착 시트가 사용되고 있다.
- [0004] 전술한 공정 중에서 광업공정과 본딩공정의 프로세스를 간략화 하기 위해, 웨이퍼 고정기능과 다이 접착기능을 동시에 겸비한 다이싱·다이 본딩용 접착 시트가 각종 제안되어 있다(예를 들면, 특허문헌 1~4).
- [0005] 이와 같은 접착 시트는, 이른바 다이렉트 다이 본딩을 가능하게 하여, 액상의 다이 접착용 접착제의 도포공정을 생략할 수 있게 된다.
- [0006] 한편, 반도체장치의 고속화 및 소형화를 도모하기 위해서 반도체 칩을 3차원적으로 적층한 「적층형 반도체장치」가 있다.
- [0007] 이와 같은 장치로서는, 커다란 칩 상에 작은 칩을 적층한 유형(예를 들면, 특허문헌 5), 주연부(周緣部)에 단차(段差)가 형성된 칩을 적층한 유형(예를 들면, 특허문헌 6), 2개의 칩을 서로 등을 맞대고 접합하여, 한쪽 칩은 기판에 접합하고, 다른 쪽 칩은 본딩 와이어로 기판에 접합한 유형(예를 들면, 특허문헌 7) 등이 제안되어 있다.
- [0008] 그리고 이들 적층형 반도체장치의 적층되는 칩끼리의 접착에는, 반도체장치의 품질(칩 적층 높이의 편차나 칩 기울어짐) 및 생산성의 면에서, 액상의 다이 어태치용 접착제보다도 다이싱·다이 본딩 시트가 널리 사용되고 있다.
- [0009] 다이싱·다이 본딩 시트의 접착제에는, 접착력을 발현시키는 성분으로서 아크릴 중합체 및 에폭시 수지계 열경화 수지가 포함되고, 추가적으로 그 에폭시 수지용 열경화제 및 열경화 촉진제가 포함되어 있는 경우가 많다.
- [0010] 또한, 시트의 경시(經時) 안정성이나 생산성의 면에서, 열경화 촉진제로서는 이미다졸화합물이 널리 사용되고 있다.
- [0011] [특허문헌 1] 일본국 특허공개 평2-32181호 공보
- [0012] [특허문헌 2] 일본국 특허공개 평8-239636호 공보
- [0013] [특허문헌 3] 일본국 특허공개 평10-8001호 공보
- [0014] [특허문헌 4] 일본국 특허공개 제2000-17246호 공보
- [0015] [특허문헌 5] 일본국 특허공개 평7-38053호 참조
- [0016] [특허문헌 6] 일본국 특허공개 평6-244360호 참조
- [0017] [특허문헌 7] 일본국 특허공개 평7-273275호 참조

## 발명의 내용

### 해결 하고자하는 과제

- [0018] 그런데, 반도체장치에 대한 요구 특성은 매우 엄격한 것으로 되어 있고, 특히 엄격한 고온도·고습도 환경하에서의 패키지 신뢰성이 요구되고 있다. 그러나, 반도체 칩 자체가 박형화된 결과, 칩의 강도가 저하되어, 엄격한 습열 환경하에서의 패키지 신뢰성(내HAST성)은 충분한 것이라고는 할 수 없게 되었다. 또한, 이 고온·고습도 환경하에서의 패키지 신뢰성은, HAST(highly-accelerated temperature and humidity stress test)에 의해 평가할 수 있다.
- [0019] 또한 최첨단 반도체 소자의 경우에는, 실리콘칩의 회로나 패드부에 종래의 알루미늄 합금이 아닌 구리가 사용되고 있다. 이것은 구리가 알루미늄 합금에 비해 저항률이 작아, 고밀도의 전류를 흘려보낼 수 있기 때문이다.
- [0020] 그러나, 전술한 바와 같은 엄격한 습열 환경하에서, 추가적으로 반도체 칩의 회로나 패드부에 구리가 사용된 결과, 배선이나 회로·패드의 부식이, 알루미늄 합금을 사용했을 때 이상으로 현재화(顯在化)된다는 문제가 발생

하고 있다.

[0021] 이와 같은 문제는, 특히, 반도체 칩 상에 와이어를 접속하고, 와이어를 접착제에 묻듯이 이 반도체 칩과 동일한 사이즈의 다른 반도체 칩을 접착해서 형성되는 반도체 칩 적층체에서 나타나고, 고온 고습도의 조건하에서 방치됨으로써, 접착제 중의 이온성 불순물이 흡습된 물로 용출되어, 그 결과, 접착제층의 절연저항값의 저하가 일어남으로써 발생한다. 더 나아가서는, 접착제층 중에 묻힌 와이어 사이의 절연성을 유지할 수 없어, 최악의 경우에는 핵선되기에 이른다.

[0022] 본 발명자들은, 예를 들면, 에폭시 수지의 열경화 촉진제로서 이미다졸화합물을 포함한 다이싱·본딩용 접착제 조성물에 관하여, 이미다졸화합물이 에폭시 수지의 열경화시에, 에폭시 수지 중에 잔사로서 포함되는 염소화합물로부터 염화물 이온을 단리시키고, 또한, 이 염화물 이온이 이온성의 불순물로 되는 지견(知見)을 얻었다.

[0023] 이 때문에, 이 접착제 조성물을 사용해서 반도체 칩 적층체를 제조한 경우, 고온·고습도 환경하에서의 전압 인가시에 있어서는, 반도체 칩 적층체의 패키지 신뢰성은 낮아지는 것을 알 수 있다. 특히, 최근의 경향인 구리제의 회로 및 패드를 갖는 반도체 칩의 경우에 있어서는, 고온·고습하에서의 전압 인가시에 와이어와 회로의 접촉부분 등에서 구리의 부식이 진행되어, 현저히 절연성이 저하되어 버린다. 한편, 이미다졸화합물의 양을 저감한 경우, 접착제 수지 조성물의 경화성이 현저히 저하되어 버린다.

[0024] 본 발명은, 전술한 종래 기술의 문제점에 비추어 이루어진 것으로, 고온·다습 조건하에서도, 양호한 패키지 신뢰성(내HAST성)을 발휘할 수 있는 반도체 칩 적층체 및 이와 같은 특성을 반도체 칩 적층체에 부여할 수 있고, 접착제 조성물을 열경화시킬 때, 높은 열경화 반응의 효율을 발휘할 수 있는 반도체 칩 적층용 접착제 조성물을 제공하는 것을 목적으로 하고 있다.

### 과제 해결수단

[0025] 본 발명자들은, 이와 같은 과제의 해결을 목적으로 예의 연구한 결과, 특정 열경화성 촉진제를 포함하는 접착제 조성물에 의해 상기 목적을 달성할 수 있는 것을 발견하고, 본 발명을 완성시켰다.

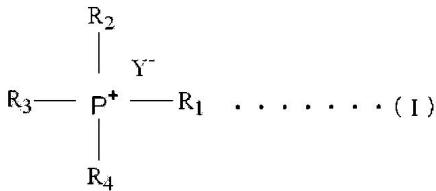
[0026] 본 발명의 요지는 이하와 같다.

[1] 복수의 반도체 칩이 접착제층을 매개로 적층되어 되는 반도체 칩 적층체로서,

[0028] 상기 접착제층이, 아크릴 중합체(A), 에폭시 수지(B), 열경화제(C) 및 열경화 촉진제로서 하기 화학식 I으로 나타내어지는 유기 포스핀계 화합물(D)을 포함하고,

[0029] 상기 유기 포스핀계 화합물(D)의 함유량이, 상기 에폭시 수지(B) 및 상기 열경화제(C)의 합계 100 중량부에 대해, 0.001~15 중량부인 접착제 조성물로 되는 것을 특징으로 하는 반도체 칩 적층체.

[0030] [화학식 I]



[0031] (화학식 중,  $R_1 \sim R_4$ 는 각각 독립적으로, 탄소원자수 1~18의 알킬기, 탄소원자수 6~15의 아릴기 및 탄소원자수 7~16의 아릴알킬기로 이루어진 군으로부터 선택되는 관능기이고,  $Y^-$ 는 유기 음이온을 나타낸다.)

[0033] [2] 상기 유기 포스핀계 화합물(D)을 나타내는 화학식 I 중의  $Y^-$ 가, 유기 보레이트 음이온 또는 카르복실산 이온인 것을 특징으로 하는 [1] 기재의 반도체 칩 적층체.

[0034] [3] 기판과, 그 기판 상에 고정된 [1] 또는 [2] 기재의 반도체 칩 적층체를 구비하는 것을 특징으로 하는 적층형 반도체장치.

[0035] [4] 상기 복수의 반도체 칩의 평면형상이 동일형상인 것을 특징으로 하는 [3] 기재의 적층형 반도체장치.

[0036] [5] 상기 복수의 반도체 칩의 평면적이 기판으로부터 멀어짐에 따라 작아지고 있는 것을 특징으로 하는 [3] 기

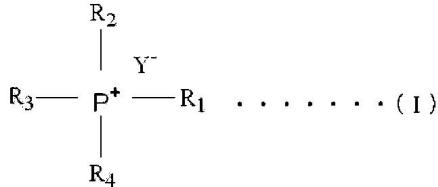
재의 적층형 반도체장치.

[0037] [6] 상기 복수의 반도체 칩의 회로면이 패시베이션막으로 피복되어 있지 않은 것을 특징으로 하는 [3] 내지 [5] 중 어느 하나 기재의 적층형 반도체장치.

[0038] [7] 아크릴 중합체(A), 에폭시 수지(B), 열경화제(C) 및 열경화 촉진제로서 하기 화학식 I으로 나타내어지는 유기 포스핀계 화합물(D)을 포함하고,

[0039] 상기 유기 포스핀계 화합물(D)의 함유량이, 상기 에폭시 수지(B) 및 열경화제(C)의 합계 100 중량부에 대해, 0.001~15 중량부인 것을 특징으로 하는 반도체 칩 적층용 접착제 조성물.

[0040] [화학식 I]



[0041]

[0042] (화학식 중,  $R_1 \sim R_4$ 는 각각 독립적으로, 탄소원자수 1~18의 알킬기, 탄소원자수 6~15의 아릴기 및 탄소원자수 7~16의 아릴알킬기로 이루어진 군으로부터 선택되는 관능기이고,  $Y^-$ 는 유기 음이온을 나타낸다.)

[0043] [8] 상기 유기 포스핀계 화합물(D)을 나타내는 화학식 I 중의  $Y^-$ 가, 유기 보레이트 음이온 또는 카르복실산 이온인 것을 특징으로 하는 [7] 기재의 반도체 칩 적층용 접착제 조성물.

[0044] [9] [7] 또는 [8] 기재의 반도체 칩 적층용 접착제 조성물로 되는 접착제층이 기재 필름 상에 형성되어 되는 것을 특징으로 하는 반도체 칩 적층용 접착시트.

### 효과

[0045] 본 발명의 반도체 칩 적층체는, 접착제층을 구성하는 경화 후의 상기 접착제 조성물 중에 포함되는 이온 불순물의 양이 적기 때문에, 고온·다습 조건하에서도 양호한 패키지 신뢰성(내HAST성)을 발휘할 수 있다. 또한, 본 발명의 반도체 칩 적층용 접착제 조성물은, 이와 같은 특성을 반도체 칩 적층체에 부여할 수 있다. 또한, 본 발명의 반도체 칩 적층체에 사용되는 접착제 조성물은, 열경화 촉진제로서 유기 포스핀계 화합물을 포함하기 때문에, 접착제 조성물을 열경화시킬 때, 높은 열경화 반응의 효율을 발휘할 수 있다.

### 발명의 실시를 위한 구체적인 내용

[0046] 본 발명의 반도체 칩 적층체는, 복수의 반도체 칩이 접착제층을 매개로 적층되어 되는 반도체 칩 적층체로서, 상기 접착제층이, 아크릴 중합체(A), 에폭시 수지(B), 열경화제(C) 및 열경화 촉진제로서 특정 유기 포스핀계 화합물(D)을 필수성분으로서 포함하고, 유기 포스핀계 화합물(D)의 함유량이, 에폭시 수지(B) 및 열경화제(C)의 합계 100 중량부에 대해, 0.001~15 중량부인 본 발명의 접착제 조성물로 되는 것을 특징으로 하는 반도체 칩 적층체이다.

[0047] 또한, 반도체 칩 적층체 또는 접착제 조성물의 각종 물성을 개량하기 위해, 그 접착제 조성물은 필요에 따라, 다른 성분을 포함하고 있어도 된다.

[0048] 이하, 본 발명에 대해 구체적으로 설명하는데, 아크릴 중합체(A), 에폭시 수지(B), 열경화제(C), 특정 유기 포스핀계 화합물(D)에 대해서는, 각각 A 성분, B 성분, C 성분, D 성분이라 부르는 경우가 있다.

[0049] 1. 접착제 조성물

[0050] 아크릴 중합체(A)

[0051] 아크릴 중합체(A)로서는, 종래 공지의 아크릴 중합체를 사용할 수 있다.

[0052] 아크릴 중합체(A)의 중량 평균 분자량은 1만 이상 200만 이하인 것이 바람직하고, 10만 이상 150만 이하인 것이 보다 바람직하다. 아크릴 중합체(A)의 중량 평균 분자량이 1만보다도 낮은 경우, 기재와의 접착력이 높아져 꽉 엉 불량이 발생하는 경우가 있고, 200만을 초과하는 경우, 기판 요철로 접착제층이 추종(追從)할 수 없는 경우

가 있어 보이드 등의 발생 요인이 된다.

[0053] 아크릴 중합체(A)의 유리전이온도는 -60~50°C인 것이 바람직하고, -50~40°C인 것이 보다 바람직하며, -40~30°C인 것이 더욱 바람직하다. 유리전이온도가 -60°C보다도 낮은 경우, 접착제층과 기재의 박리력이 커져 칩의 꾹업 불량이 발생하는 경우가 있고, 10°C를, 특히 50°C를 초과하는 경우, 웨이퍼를 고정하기 위한 접착력이 불충분해질 우려가 있다.

[0054] 아크릴 중합체(A)의 모노머로서는, (메타)아크릴산 에스테르 모노머 또는 그의 유도체를 들 수 있다. 예를 들면, 알킬기의 탄소수가 1~18인 알킬(메타)아크릴레이트, 예를 들면 메틸(메타)아크릴레이트, 에틸(메타)아크릴레이트, 프로필(메타)아크릴레이트, 부틸(메타)아크릴레이트 등을 들 수 있고, 환상(環狀) 골격을 갖는 (메타)아크릴레이트, 예를 들면 시클로알킬(메타)아크릴레이트, 벤질(메타)아크릴레이트, 이소보닐아크릴레이트, 디시클로펜타닐아크릴레이트, 디시클로펜테닐아크릴레이트, 디시클로펜테닐옥시에틸아크릴레이트, 이미드아크릴레이트 등을 들 수 있으며, 히드록시메틸(메타)아크릴레이트, 2-히드록시에틸(메타)아크릴레이트, 2-히드록시프로필(메타)아크릴레이트, 글리시딜(메타)아크릴레이트 등을 들 수 있다. 또한, 아크릴산, 메타크릴산, 이타콘산, 초산비닐, 아크릴로니트릴, 스티렌 등이 공중합되어 있어도 된다. 또한, 수산기를 갖고 있는 편이 에폭시 수지와의 상용성이 좋기 때문에 바람직하다.

#### 에폭시 수지(B)

[0055] 에폭시 수지(B)로서는, 종래 공지의 각종 에폭시 수지를 사용할 수 있다. 상기 에폭시 수지로서는, 비스페놀 A 형 에폭시 수지, 비스페놀 F형 에폭시 수지, 크레졸 노볼락형 에폭시 수지, 디시클로펜타디엔형 에폭시 수지, 비페닐형 에폭시 수지 등의 구조단위 중에 2개 이상의 관능기가 포함되는 에폭시 수지 및 그의 수소첨가물을 들 수 있다.

[0056] 본 발명의 접착제 수지 조성물에는, 아크릴 중합체(A) 100 중량부에 대해서 에폭시 수지(B)가, 바람직하게는 1~1500 중량부 포함되고, 보다 바람직하게는 3~1000 중량부 포함된다. 1 중량부 미만이면 충분한 접착성이 얻어지지 않는 경우가 있고, 1500 중량부를 초과하면, 기재와 접착제층의 박리력이 커져 칩의 꾹업 불량이 발생하거나, 접착제층의 조막성(造膜性)이 떨어진다는 문제가 있다.

#### 열경화제(C)

[0057] 열경화제(C)는 에폭시 수지(B)에 대한 경화제로서 기능한다. 바람직한 열경화제(C)로서는, 1분자 중에 에폭시기와 반응할 수 있는 관능기를 2개 이상 갖는 화합물을 들 수 있고, 그 관능기로서는 폐놀성 수산기, 알코올성 수산기, 아미노기, 카르복실기 및 산무수물 등을 들 수 있다. 이들 중 바람직하게는 폐놀성 수산기, 아미노기, 산무수물 등을 들 수 있고, 더욱 바람직하게는 폐놀성 수산기, 아미노기를 들 수 있다.

[0058] 열경화제의 구체적인 예로서는, 노볼락형 폐놀 수지, 디시클로펜타디엔계 폐놀 수지, 다관능계 폐놀 수지, 아랄킬 폐놀 수지 등의 폐놀성 열경화제; DICY(디시안디아미드) 등의 아민계 열경화제를 들 수 있다. 이를 열경화제는 1종 단독으로 사용해도 되고, 2종 이상을 병용해도 된다.

[0059] 열경화제(C)의 사용량은, 에폭시 수지(B) 100 중량부에 대해, 바람직하게는 0.1~500 중량부이고, 보다 바람직하게는 1~200 중량부이다. 열경화제(C)의 양이 0.1 중량부 미만이면, 경화 부족으로 접착성이 얻어지지 않는 경우가 있고, 500 중량부를 초과하는 양이면, 흡습률이 높아져 패키지 신뢰성을 저하시키는 경우가 있다.

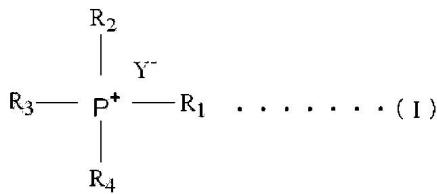
[0060] 본 발명의 접착제 조성물에는, (A) 성분 100 중량부에 대해, (C) 성분이 1~1500 중량부 포함되는 것이 바람직하고, 3~1000 중량부 포함되는 것이 보다 바람직하다. (A) 성분 100 중량부에 대해 (C) 성분이 1 중량부 미만인 경우, 그 접착제 조성물로 되는 접착제층과 반도체 칩 사이에 충분한 접착성이 얻어지지 않는 경우가 있고, 1500 중량부를 초과하는 경우, 열경화제가 블리드 아웃되어 불순물의 원인이 된다.

#### 유기 포스핀계 화합물(D)

[0061] 유기 포스핀계 화합물(D)은, 에폭시 수지(B)와 열경화제(C)의 열경화 반응을 촉진하는 열경화 촉진제로서 사용되고, 하기 화학식 I으로 나타내어지는 유기 포스핀계 화합물이다.

[0065]

[화학식 I]



[0066]

[0067] (화학식 중,  $R_1$ ~ $R_4$ 는 각각 독립적으로, 탄소원자수 1~18의 알킬기, 탄소원자수 6~15의 아릴기 및 탄소원자수 7~16의 아릴알킬기로 이루어진 군으로부터 선택되는 관능기이고,  $Y^-$ 는 유기 음이온을 나타낸다.)

[0068]

상기 유기 음이온으로서는, 유기 보레이트 음이온 또는 카르복실산 이온인 것이 바람직하다.

[0069]

유기 보레이트 음이온으로서는, 테트라페닐보레이트, 테트라메틸페닐보레이트, 테트라파라플루오로페닐보레이트, 테트라메톡시페닐보레이트, 테트라메타플루오로페닐보레이트 등을 들 수 있고, 특히 테트라페닐보레이트, 테트라메틸페닐보레이트가 바람직하다.

[0070]

또한, 카르복실산 이온으로서는, 데칸산 이온, 초산 이온을 들 수 있고, 특히 데칸산 이온이 바람직하다.

[0071]

그리고, 상기 화학식 I으로 표시되는 유기 포스핀계 화합물(D)의 구체적인 화합물 예로서는, 테트라페닐포스핀-테트라페닐보레이트, 테트라페닐포스핀-테트라메틸페닐보레이트, 테트라부틸포스포늄데칸산염, 테트라페닐포스포늄티오시아네이트, 테트라메틸포스포늄사플루오르화보레이트, 테트라에틸포스포늄사플루오르화보레이트, 테트라 n-프로필포스포늄사플루오르화보레이트, 테트라 iso-프로필포스포늄사플루오르화보레이트, 테트라 n-부틸포스포늄사플루오르화보레이트, 테트라 iso-부틸포스포늄사플루오르화보레이트, 테트라 s-부틸포스포늄사플루오르화보레이트, 테트라 t-부틸포스포늄사플루오르화보레이트, 테트라 n-펜틸포스포늄사플루오르화보레이트, 테트라 iso-펜틸포스포늄사플루오르화보레이트, 테트라 t-펜틸포스포늄사플루오르화보레이트, 테트라네오펜틸포스포늄사플루오르화보레이트, 트리메틸에틸포스포늄사플루오르화보레이트, 트리메틸 n-프로필포스포늄사플루오르화보레이트, 트리메틸 iso-부틸포스포늄사플루오르화보레이트, 트리메틸 n-부틸포스포늄사플루오르화보레이트, 트리메틸 s-부틸포스포늄사플루오르화보레이트, 트리메틸 n-펜틸포스포늄사플루오르화보레이트, 트리메틸 t-펜틸포스포늄사플루오르화보레이트, 트리메틸 n-부틸메틸포스포늄사플루오르화보레이트, 트리 n-부틸 n-프로필포스포늄사플루오르화보레이트, 트리 n-부틸 iso-프로필포스포늄사플루오르화보레이트, 트리 n-부틸 t-부틸포스포늄사플루오르화보레이트, 트리 n-부틸 s-부틸포스포늄사플루오르화보레이트, 트리 n-부틸 n-펜틸포스포늄사플루오르화보레이트, 트리 n-부틸 t-펜틸포스포늄사플루오르화보레이트, 트리 n-부틸 n-부틸네오펜틸포스포늄사플루오르화보레이트, 트리 n-부틸 iso-펜틸에틸포스포늄사플루오르화보레이트, 트리 n-펜틸 n-부틸포스포늄사플루오르화보레이트 등을 들 수 있고, 이들은 1종 또는 2종 이상으로 사용된다. 이 중에서도, 열경화 반응율이 향상함으로써 접착제 조성물에 높은 접착성을 발휘시킬 수 있다는 관점에서, 유기 포스핀계 화합물(D)은 테트라페닐포스핀-테트라페닐보레이트, 테트라페닐포스핀-테트라메틸페닐보레이트, 테트라부틸포스포늄데칸산염, 테트라페닐포스포늄티오시아네이트가 바람직하다.

[0072]

또한, 본 발명의 접착제 조성물에 있어서의 유기 포스핀계 화합물(D)의 함유량은, (B) 성분 및 열경화제(C)의 합계 100 중량부에 대해 0.001~15 중량부이고, 0.005~10 중량부로 하는 것이 바람직하며, 0.01~8 중량부로 하는 것이 더욱 바람직하다. 유기 포스핀계 화합물(D)의 함유량이 상기 범위에 있으면, 그 접착제 조성물은 높은 열경화 반응의 효율 및 저장안정성을 발휘할 수 있다. 접착제 조성물에 있어서의 (D) 성분의 함유량이 (B) 성분 및 (C) 성분의 합계 100 중량부에 대해서 0.001 중량부 미만인 경우, 그 접착제 조성물의 열경화 반응율이 저하되고, 15 중량부를 초과하는 경우, 그 접착제 조성물의 저장안정성이 저하되는 경우가 있다.

[0073]

에너지선 중합성 화합물(E)

- [0074] 접착제 조성물을 에너지선 조사에 의해 경화시킴으로써, 접착제층의 접착력을 저하시킬 수 있고, 기재와 접착제 층의 충간 박리를 용이하게 행할 수 있게 되는 점에서, 본 발명의 접착제 조성물은 에너지선 중합성 화합물(E)을 포함하는 것이 바람직하다.
- [0075] 에너지선 중합성 화합물(E)은 자외선, 전자선 등의 에너지선의 조사를 받으면 중합 경화되는 화합물이다. 이 에너지선 중합성 화합물(E)로서는, 구체적으로는, 디시클로펜타디엔디메톡시디아크릴레이트, 트리메틸올프로판트리아크릴레이트, 펜타에리스리톨트리아크릴레이트, 펜타에리스리톨테트라아크릴레이트, 디펜타에리스리톨모노하드록시펜타아크릴레이트, 디펜타에리스리톨헥사아크릴레이트 또는 1,4-부틸렌글리콜디아크릴레이트, 1,6-헥산디올디아크릴레이트, 폴리에틸렌글리콜디아크릴레이트, 올리고에스테르아크릴레이트, 우레탄아크릴레이트계 올리고머, 에폭시 변성 아크릴레이트, 폴리에테르아크릴레이트, 이타콘산 올리고머 등의 아크릴레이트계 화합물이 사용된다.
- [0076] 이와 같은 화합물은 분자 내에 하나 이상의 중합성 이중결합을 갖고, 통상은 중량 평균 분자량이 100~30,000, 바람직하게는 300~10,000 정도이다.
- [0077] 에너지선 중합성 화합물(E)을 사용하는 경우, 에너지선 중합성 화합물(E)은 아크릴 공중합체(A) 100 중량부에 대해 통상 1~400 중량부, 바람직하게는 3~200 중량부, 보다 바람직하게는 10~100 중량부의 비율로 사용된다. 400 중량부를 초과하면 유기 기관이나 리드프레임에 대한 접착제층의 접착성을 저하시키는 경우가 있다.
- [0078] 이와 같은 에너지선 중합성 화합물(E)을 함유하는 접착제 조성물은, 에너지선 조사에 의해 경화한다. 에너지선으로서, 구체적으로는 자외선, 전자선 등이 사용된다.
- [0079] 광중합 개시제(F)
- [0080] 상기 에너지선 중합성 화합물(E)을 사용하고, 에너지선으로서 자외선을 사용하는 경우에, 중합 경화시간 및 광선조사량을 적게 하기 위해, 본 발명의 접착제 수지 조성물은 광중합 개시제(F)를 포함하는 것이 바람직하다.
- [0081] 이와 같은 광중합 개시제(F)로서는, 구체적으로는, 벤조페논, 아세토페논, 벤조인, 벤조인메틸에테르, 벤조인에틸에테르, 벤조인이소프로필에테르, 벤조인이소부틸에테르, 벤조인안식향산, 벤조인안식향산메틸, 벤조인디메틸케탈, 2,4-디에틸티옥산톤,  $\alpha$ -히드록시시클로헥실페닐케톤, 벤질디페닐설파이드, 테트라메틸티우람모노설파이드, 아조비스이소부티로니트릴,  $\beta$ -클로로안트라퀴논, 2,4,6-트리메틸벤조일디페닐포스핀옥사이드 등을 들 수 있다. 광중합 개시제(F)는 1종류 단독으로, 또는 2종류 이상을 조합시켜서 사용할 수 있다.
- [0082] 광중합 개시제(F)의 배합 비율은, 이론적으로는, 접착제 중에 존재하는 불포화 결합량이나 그의 반응성 및 사용되는 광중합 개시제의 반응성을 토대로 결정되어야 하지만, 복잡한 혼합물계에 있어서 결정은 반드시 용이하지는 않다. 광중합 개시제(F)를 사용하는 경우에는, 일반적인 지침으로서, 광중합 개시제(F)는 아크릴 공중합체(A) 100 중량부에 대해 0.1~10 중량부 포함되는 것이 바람직하고, 1~5 중량부가 보다 바람직하다. 함량이 상기 범위에 있으면 만족스러운 꾹업성이 얻어진다. 10 중량부를 초과하면 광중합에 기여하지 않는 잔류물이 생성되어 접착제의 경화성이 불충분해지는 경우가 있다.
- [0083] 커플링제(G)
- [0084] 접착제 조성물의 반도체 침에 대한 접착성, 밀착성을 향상시키는 동시에, 접착제 조성물을 경화해서 얻어지는 경화물의 내열성을 손상시키지 않고, 그 내수성을 발휘하는 점에서, 본 발명의 접착제 수지 조성물은 커플링제(G)를 포함하는 것이 바람직하다.
- [0085] 커플링제로서는, 상기 (A)성분, (B)성분 등이 갖는 관능기와 반응하는 기를 갖는 화합물이 바람직하게 사용된다. 커플링제로서는, 실란 커플링제가 바람직하다.
- [0086] 이와 같은 커플링제로서는,  $\gamma$ -글리시독시프로필트리메톡시실란,  $\gamma$ -글리시독시프로필메틸디에톡시실란,  $\beta$ -(3,4-에폭시시클로헥실)에틸트리메톡시실란,  $\gamma$ -(메타크릴옥시프로필)트리메톡시실란,  $\gamma$ -아미노프로필트리메톡시실란, N-6-(아미노에틸)- $\gamma$ -아미노프로필트리메톡시실란, N-6-(아미노에틸)- $\gamma$ -아미노프로필메틸디에톡시실란, N-페닐- $\gamma$ -아미노프로필트리메톡시실란,  $\gamma$ -우레이도프로필트리메톡시실란,  $\gamma$ -메르캅토프로필트리메톡시실란,  $\gamma$ -메르캅토프로필메틸디메톡시실란, 비스(3-트리에톡시실릴프로필)테트라실판, 메틸트리메톡시실란, 메틸트리에톡시실란, 비닐트리메톡시실란, 비닐트리아세톡시실란, 이미다졸실란 등을 들 수 있다. 이들은 1종 단독으로 또는 2종 이상 혼합해서 사용할 수 있다.
- [0087] 이들 커플링제를 사용할 때에는, 에폭시 수지(B) 100 중량부에 대해 통상 0.1~20 중량부, 바람직하게는 0.2~10

중량부, 보다 바람직하게는 0.3~5 중량부의 비율로 사용된다. 0.1 중량부 미만이면 효과가 얻어지지 않을 가능성이 있고, 20 중량부를 초과하면 아웃가스의 원인이 될 가능성성이 있다.

#### [0088] 무기 충전재(H)

접착제 조성물의 열팽창계수를 조정하기 위해서 무기 충전재(H)를 사용해도 된다. 칩 또는 금속기관 또는 유기 기판의 열팽창계수에 대해, 무기 충전재(H)를 접착제 조성물에 배합하여 경화 후의 접착제층의 열팽창계수를 최적화함으로써, 반도체장치의 신뢰성을 향상시킬 수 있다. 또한, 경화 후의 접착제층의 흡습률을 저감시키는 것도 가능해진다.

바람직한 무기 충전재로서는, 실리카, 알루미나, 탈크, 탄산칼슘, 티탄하이트, 벵갈라, 탄화규소, 질화붕소 등의 분말; 이들을 구형화(球形化)한 비즈; 단결정 섬유; 유리 섬유를 들 수 있다. 이들 중에서는, 실리카 분말, 알루미나 분말이 바람직하다. 또한, 이들은 1종 단독으로 사용해도 되고, 2종 이상을 병용해도 된다.

무기 충전재(H)의 함유량은, 통상, 상기 접착제 조성물 100 중량%에 대해 0~80 중량%의 범위에서 조정된다.

#### [0092] 가교제(I)

접착제 조성물의 초기 접착력 및 응집력을 조정할 수 있는 점에서, 본 발명의 접착제 수지 조성물은, 필요에 따라 가교제(I)를 포함해도 된다.

가교제로서는 유기 다가 이소시아네이트화합물, 유기 다가 이민화합물을 들 수 있다.

상기 유기 다가 이소시아네이트화합물로서는, 방향족 다가 이소시아네이트화합물, 지방족 다가 이소시아네이트화합물, 지환족 다가 이소시아네이트화합물 및 이들의 다가 이소시아네이트화합물의 삼량체, 및 이를 다가 이소시아네이트화합물과 폴리올화합물을 반응시켜서 얻어지는 말단 이소시아네이트 우레탄 프리폴리며 등을 들 수 있다.

유기 다가 이소시아네이트화합물의 더욱 구체적인 예로서는, 예를 들면 2,4-톨릴렌디이소시아네이트, 2,6-톨릴렌디이소시아네이트, 1,3-크실릴렌디이소시아네이트, 1,4-크실렌디이소시아네이트, 디페닐메탄-4,4'-디이소시아네이트, 디페닐메탄-2,4'-디이소시아네이트, 3-메틸디페닐메탄디이소시아네이트, 헥사메틸렌디이소시아네이트, 이소포론디이소시아네이트, 디시클로헥실메탄-4,4'-디이소시아네이트, 디시클로헥실메탄-2,4'-디이소시아네이트, 트리메틸올프로판어덕트톨루일렌디이소시아네이트, 리신이소시아네이트 등을 들 수 있다.

상기 유기 다가 이민화합물의 구체예로서는, N,N'-디페닐메탄-4,4'-비스(1-아지리딘카르복시아미드), 트리메틸올프로판-트리-β-아지리디닐프로피오네이트, 테트라메틸올메탄-트리-β-아지리디닐프로피오네이트, N,N'-톨루엔-2,4-비스(1-아지리딘카르복시아미드)트리에틸렌멜라민 등을 들 수 있다.

가교제(H)는 아크릴 중합체(A) 100 중량부에 대해 통상 0.01~10 중량부, 바람직하게는 0.1~5 중량부, 보다 바람직하게는 0.5~3 중량부의 비율로 사용된다.

#### [0099] 기타 성분

본 발명의 접착제 조성물에는, 상기 성분 외에, 필요에 따라 각종 첨가제가 배합되어도 된다.

예를 들면, 경화 후의 가요성을 유지하기 위해 가요성 성분을 첨가할 수 있다. 가요성 성분은 상온 및 가열하에서 가요성을 갖는 성분이다. 가요성 성분은 열가소성 수지나 엘라스토머로 되는 폴리머여도 되고, 폴리머의 그래프트 성분, 폴리머의 블록 성분이어도 된다. 또한, 가요성 성분이 에폭시 수지로 사전에 변성된 변성 수지여도 된다.

또한, 반도체장치의 배선이나 패드에 있어서의 전식의 원인이 되는 염소 이온을 비롯한, 접착제로부터 유리(遊離)된 이온을 포착하는 효과를 갖는 점에서, 접착제 조성물에는 이온 포착제가 포함되어 있어도 된다. 이온 포착제로서는, 이온흡착 유형(다공질 필러 유형), 이온교환 유형 중 어느 것이어도 된다.

또한, 본 발명의 접착제 조성물은 각종 물성을 개량하기 위해, 필요에 따라, 가소제, 대전방지제, 산화방지제, 안료, 염료 등의 각종 첨가제를 추가적으로 포함하고 있어도 된다.

#### [0104] 접착제 조성물

상기와 같은 특정 성분을 포함하는 접착제 조성물은, 열경화 촉진제로서 유기 포스핀계 화합물을 포함하기 때문

예, 접착제 조성물을 열경화시킬 때, 높은 열경화 반응의 효율을 발휘할 수 있다. 또한, 그 접착제 조성물 중에 포함되는 이온 불순물의 양이 적기 때문에, 본 발명의 반도체 칩 적층체에, 고온·다습 조건하에서도 양호한 패키지 신뢰성(내HAST성)을 부여할 수 있다.

[0106] 즉, 본 발명의 접착제 조성물은, 특히, 종래의 적층형 반도체장치에서 나타난 바와 같이, 적층형 반도체장치가 고온 고습도의 조건하에서 방치됨으로써, 적층된 칩과 칩 사이의 접착제 중의 이온 불순물이, 흡습된 물로 용출됨으로써 발생하는 접착제층의 절연저항값의 저하, 더 나아가서는, 접착제층 중에 묻힌 와이어 사이의 절연성을 유지할 수 없게 되어 발생하는 합선이라는 문제를 저감시키는 것이 가능해진다.

[0107] 그 때문에, 본 발명의 접착제 조성물은, 반도체 칩을 2층 이상 적층하는 반도체 칩 적층체에 있어서, 반도체 칩끼리를 접착하는 데 사용되는 것이 바람직하다.

[0108] 본 발명의 접착제 조성물은, 상기 각 성분을 적절한 비율로 혼합해서 얻어진다. 또한, 혼합시에는, 각 성분을 사전에 용매로 희석해 두어도 되고, 또한 혼합시에 용매를 첨가해도 된다.

## 2. 접착 시트

[0110] 본 발명의 접착 시트는, 기재 상에, 상기 접착제 조성물로 되는 접착제층이 적층되어 된다. 본 발명의 접착 시트의 형상은 테이프형상, 라벨형상 등 모든 형상을 취할 수 있다.

[0111] 또한, 접착 시트는, 기재 상에, 접착제층을 구성하는 조성물을 도포 전조함으로써 제조되어도 되고, 또한 접착제층을 박리 필름 상에 설치하여, 이것을 상기 기재로 전사함으로써 제조되어도 된다. 또한, 접착 시트의 사용 전에, 접착제층을 보호하기 위해서 접착제층의 윗면에 박리 필름을 적층해 두어도 된다. 또한, 접착제층의 표면 외주부에는, 링 프레임 등의 다른 지그를 고정하기 위해 별도 접착제층이나 접착 테이프가 설치되어 있어도 된다.

[0112] 접착 시트의 기재로서는, 예를 들면, 폴리에틸렌, 폴리프로필렌, 폴리부텐, 폴리부타디엔, 폴리메틸펜텐, 폴리 염화비닐, 염화비닐 공중합체, 폴리에틸렌테레프탈레이트, 폴리에틸렌나프탈레이트, 폴리부틸렌테레프탈레이트, 폴리우레тан, 에틸렌 초산비닐 공중합체, 아이오노머 수지, 에틸렌·(메타)아크릴산 공중합체, 에틸렌·(메타)아크릴산 에스테르 공중합체, 폴리스티렌, 폴리카보네이트, 폴리이미드, 불소 수지 등의 필름이 사용된다. 또한 이들의 가교 필름도 사용된다. 또한 이들의 적층 필름이어도 된다. 또한, 상기 필름은, 투명 또는 불투명 필름이어도 되고, 무색 또는 착색 필름이어도 된다.

[0113] 본 발명의 접착 시트는, 각종 피착체에 첨부(貼付)되고, 피착체에 소요의 가공을 실시한 후, 접착제층은 피착체에 고착 잔존시켜서 기재로부터 박리된다. 즉, 접착제층을 기재로부터 피착체에 전사하는 공정을 포함하는 프로세스에 사용된다. 이 때문에, 기재의 접착제층에 접하는 면의 표면장력은, 바람직하게는 40 mN/m 이하, 더욱 바람직하게는 37 mN/m 이하, 특히 바람직하게는 35 mN/m 이하인 것이 바람직하다. 이와 같은 표면장력이 낮은 기재는, 재질을 적절히 선택해서 얻는 것이 가능하고, 또한 기재의 표면에 박리제를 도포하여 박리처리를 실시함으로써 얻는 것도 가능하다.

[0114] 기재의 박리처리에 사용되는 박리제로서는, 알키드계, 실리콘계, 불포화 폴리에스테르계, 폴리올레핀계, 앤스계 등이 사용되지만, 특히 알키드계, 실리콘계, 불소계의 박리제가 내열성을 가지므로 바람직하다.

[0115] 상기의 박리제를 사용하여 기재의 표면을 박리처리하기 위해서는, 박리제를 그대로 무용제로, 또는 용제 희석이나 에멀젼화하여, 그라비아 코터, 메이어 바 코터, 에어나이프 코터, 롤 코터 등에 의해 기재에 도포하고, 상온 또는 가열 또는 전자선 경화시키거나, 웨트 라미네이션이나 드라이 라미네이션, 열용융 라미네이션, 용융압출 라미네이션, 공압출 가공 등으로 적층체를 형성하면 된다.

[0116] 기재의 막두께는 통상은 10~500  $\mu\text{m}$ , 바람직하게는 15~300  $\mu\text{m}$ , 특히 바람직하게는 20~250  $\mu\text{m}$  정도이다.

[0117] 또한, 접착제층의 두께는 통상은 1~500  $\mu\text{m}$ , 바람직하게는 5~300  $\mu\text{m}$ , 특히 바람직하게는 10~150  $\mu\text{m}$  정도이다.

## 3. 반도체 칩 적층체 및 적층형 반도체장치

[0119] 본 발명의 반도체 칩 적층체는, 복수의 반도체 칩이 본 발명의 접착제 조성물로 되는 접착제층을 매개로 적층되어 된다.

[0120] 이 반도체 칩 적층체는 본 발명의 접착 시트의 접착제층에 반도체 웨이퍼를 첨착하고, 상기 반도체 웨이퍼를 접

착제층과 함께 다이싱하여 반도체 칩으로 하고, 상기 반도체 칩 이면에 접착제층을 고착 잔존시켜서 기재로부터 박리하고, 상기 반도체 칩을 다른 반도체 칩 상에 상기 접착제층을 매개로 열압착하는 공정(이하 「열압착공정(a)」이라고도 한다.)을 포함하는 방법으로 제조할 수 있다.

[0121] 또한, 본 발명의 적층형 반도체장치는, 기판과, 그 기판 상에 고정된 상기 반도체 칩 적층체를 구비하는 것을 특징으로 한다.

[0122] 이 적층형 반도체장치는, 상기 열압착공정(a)을 포함하는 방법으로 제조된 반도체 칩 적층체를, 기판 상에 고정하는 공정을 포함하는 방법으로 제조할 수 있다.

[0123] 또한, 본 발명의 접착 시트에 반도체 웨이퍼를 접착하고, 반도체 웨이퍼를 다이싱하여 반도체 칩으로 하는 공정에 있어서, 그 접착 시트의 접착제 조성물이 에너지선 중합성 화합물(E)을 포함하는 경우에는, 접착제층에, 기재측에서 에너지선을 조사하여, 접착제층의 응집력을 높이고, 접착제층과 기재 사이의 접착력을 저하시킬 수 있다.

[0124] 여기서, 조사되는 에너지선으로서는, 자외선(UV) 또는 전자선(EB) 등이 사용되고, 바람직하게는 자외선이 사용된다.

[0125] 에너지선 조사는, 반도체 웨이퍼의 접부 후, 반도체 칩의 박리 전 중 어느 단계에서 행해도 되고, 예를 들면 다이싱 후에 행해도 되며, 또한 하기 익스팬드공정 후에 행해도 된다. 또한 에너지선 조사를 복수 회에 나누어 행해도 된다.

[0126] 다이싱소(dicing saw) 등의 절단수단을 사용해서, 상기 실리콘웨이퍼를 절단하여 반도체 칩을 얻는 공정에 있어서, 절단수단에 의한 실리콘웨이퍼의 절단 깊이는, 실리콘웨이퍼의 두께와, 접착제층의 두께의 합계 및 다이싱 소의 마모분을 가미한 깊이로 하는 것이 바람직하다.

[0127] 필요에 따라 접착 시트의 익스팬드를 행하면, 반도체 칩 간격이 확장되어, 반도체 칩의 광업을 더욱 용이하게 행할 수 있게 된다. 이때, 접착제층과 기재 사이에 어긋남이 발생하게 되어, 접착제층과 기재 사이의 접착력이 감소하고, 칩의 광업성이 향상한다.

[0128] 이와 같이 하여 반도체 칩의 광업을 행하면, 절단된 접착제층을 반도체 칩 이면에 고착 잔존시켜서 기재로부터 박리할 수 있다.

[0129] 또한, 본 발명의 적층형 반도체장치를 제조할 때, 기판 상에 이미 적층된 다른 반도체 칩(하단 칩) 상에 본 발명의 접착제 조성물로 되는 접착제층을 매개로 반도체 칩을 열압착해도 되고, 다른 반도체 칩 상에 본 발명의 접착제 조성물로 되는 접착제층을 매개로 반도체 칩을 열압착해서 반도체 칩 적층체를 형성하고, 반도체 칩 적층체를 형성한 후, 이 반도체 칩 적층체를 기판 상에 고정해도 된다. 고정 수단으로서는, 접착제층을 매개로 한 열압착을 들 수 있다.

[0130] 또한, 이 하단 칩은 기판 상에 접착제층 등을 매개로 직접 적층된(또는 적층되는) 반도체 칩이어도 되고, 기판 상에 적층된(또는 적층되는), 복수의 반도체 칩을 포함하는 반도체 칩 적층체의 최상단의(기판에서 가장 면) 반도체 칩이어도 된다.

[0131] 또한, 기판과 반도체 칩 적층체의 최하단의(기판에서 가장 가까운) 반도체 칩과의 사이에는, 본 발명의 접착제 조성물로 되는 접착제층이 개재되어 있어도 된다.

[0132] 또한, 적층형 반도체장치에 있어서는, 도 1(a)~(b)에 나타내는 바와 같이, 복수의 반도체 칩의 평면형상이 동일 형상이어도 되고, 도 2(a)~(b)에 나타내는 바와 같이, 적층형 반도체장치에 있어서, 복수의 반도체 칩의 평면적이 기판에서 멀어짐에 따라 작아져도 된다.

[0133] 또한, 고온 · 다습 조건하에서의 패키지 신뢰성(내HAST성)을 추가적으로 개선하는 관점에서, 반도체 칩의 회로면이 패시베이션막으로 피복되어 있어도 된다.

[0134] 패시베이션막으로서는, 회로 표면의 내부식성을 향상시키는 피막이면 특별히 한정되지 않으나, 예를 들면, 질화 알루미늄막, 질화규소막 등의 금속질화물, 산화알루미늄막, 산화규소막 등의 금속산화막, PSG(Phospho-Silicate-Glass)막, 폴리이미드막 등을 들 수 있다.

[0135] 또한, 패시베이션막은, 공지의 방법에 의해 반도체 칩의 회로면에 형성할 수 있으나, 예를 들면, 스판 코트, 포토리소그래피, 플라즈마 CVD, 열 CVD, 광 CVD 등의 CVD법, 스퍼터링, 진공증착 등의 PVD법 등을 사용해서 형성

된다.

[0136] 종래의 접착제 조성물을 사용한 반도체 칩 적층체에서는, 반도체 칩의 회로면이 패시베이션막으로 피복되어 있지 않은 경우, 그 회로면과 접착제층이 접촉하는 면에서 부식이 생성되기 쉬워, 부식을 방지하기 위해 그 회로면은 패시베이션막으로 피복되어 있는 데 대해, 본 발명의 접착제 조성물을 사용한 반도체 칩 적층체에서는, 회로면에 패시베이션막을 피복하지 않아도 회로면의 부식을 방지하며, 추가적으로 회로면에 패시베이션막을 피복함으로써, 한층, 회로면의 부식을 방지할 수 있다.

[0137] 예를 들면, 도 1에 나타내어지는 적층형 반도체장치(10)에 있어서, 반도체 칩(12)의 회로면(12a)이 패시베이션 피막으로 피복되어 있는 경우, 접착제층(16)과 반도체 칩(12)의 회로면(12a)이 접촉하는 부분에 있어서 회로의 부식은 방지되고 있다.

[0138] 또한, 도 2에 나타내어지는 적층형 반도체장치(10)에 있어서, 반도체 칩(12)의 회로면(12a)이 패시베이션 피막으로 피복되어 있는 경우, 회로면의 어느 개소에 있어서도 부식은 방지되고 있다.

[0139] 한편, 반도체 칩의 회로면에 패시베이션막이 피복되어 있지 않아도 종래에 비해 충분한 내부식성을 갖고, 또한 비용 삭감이나 제조공정의 생략화 등에 기여하는 점에서, 적층형 반도체장치에 있어서, 반도체 칩의 회로면이 패시베이션막으로 피복되어 있지 않아도 된다.

[0140] 또한, 반도체 칩 적층체 및 적층형 반도체장치에 있어서의 반도체 칩이 적층된 수(단수)는, 통상, 2~64단이나, 필요에 따라 더 많아도 되고, 예를 들면 100단 이상이어도 된다.

[0141] 또한, 기판과, 상기 반도체 칩 적층체의 반도체 칩은, 통상, 본딩 와이어에 의해 도통(導通)이 확보되지만, 솔더 범프, 금 범프 및 구리 범프로 이루어진 군으로부터 선택되는 하나 이상의 도통수단을 매개로, 반도체 칩 적층체가 기판에 고정되어, 도통이 확보되어도 된다.

[0142] 반도체 칩을 하단 칩 표면에 올려놓는 경우에는, 적층하는 칩의 접착제층이 하단 칩에 접속된 본딩 와이어에 접촉하지 않도록, 칩을 하단 칩 표면에 올려놓아도 되고(도 2 참조), 접착제층의 두께 또는 하단 칩에 접속된 본딩 와이어의 높이를 조절하여 본딩 와이어를 묻듯이 올려놓아도 된다(도 1 참조). 기판에 반도체 칩 적층체를 고정할 때, 기판 상에 이미 적층된 다른 반도체 칩(하단 칩) 상에 접착제층을 매개로 반도체 칩을 열압착해도 되고, 다른 반도체 칩 상에 접착제층을 매개로 반도체 칩을 열압착해서 반도체 칩 적층체를 형성하고, 반도체 칩 적층체를 형성한 후, 이 반도체 칩 적층체를 기판 상에 열압착 등에 의해 고정해도 된다.

[0143] 본 발명의 반도체 칩 적층체 및 적층형 반도체장치에서 사용되는 접착제 조성물 중에 포함되는 이온 불순물의 양이 적기 때문에, 고온·다습 조건하에서도, 접착제 조성물에 흡습된 물로 용출되는 이온성 불순물의 양도 적게 할 수 있다. 그 결과, 접착제층의 절연저항값이 저하되고, 더 나아가서는, 접착제층 중에 묻힌 와이어 등의 도통수단 사이의 절연성을 유지할 수 없어, 최악의 경우에는 합선되기에 이른다는 종래의 문제점을 방지하여, 고온·다습 조건하에서도 우수한 패키지 신뢰성(내HAST성)을 발휘할 수 있다.

[0144] 반도체 칩을 기판 상, 또는 하단 칩의 표면에 올려놓을 때의 가열온도는, 통상은 80~200°C, 바람직하게는 100~180°C이고, 가열시간은, 통상은 0.1초~5분, 바람직하게는 0.5초~3분이며, 칩 마운트 압력은, 통상 1 kPa~200 MPa이다.

[0145] 반도체 칩을 기판 상, 또는 하단 칩의 표면에 올려놓은 후, 필요에 따라 추가적으로 가열을 행해도 된다. 이때의 가열조건은 상기 가열온도의 범위이고, 가열시간은 통상 1~180분, 바람직하게는 10~120분이다.

[0146] 또한, 칩 마운트 후의 가열처리는 행하지 않고 가접착상태로 해두며, 후공정에서 행해지는 수지 봉지(封止)에서의 가열을 이용하여 접착제층을 경화시켜도 된다. 또한, 반도체장치가 복수의 접착제층을 갖는 경우에는, 이를 접착제를, 한층 설치할 때마다 열경화해도 되고, 복수층 설치하고 나서 열경화해도 되며, 전층 설치하고 나서 일괄적으로 열경화해도 된다.

[0147] 이와 같은 공정을 거침으로써, 접착제층이 경화되어, 반도체 칩을 기판 또는 다른 반도체 칩에 강고하게 접착할 수 있다. 접착제층은 다이 본딩 조건에서는 유동화되어 있기 때문에, 기판 표면이나 하단 칩 표면의 회로 패턴에 유래하는 약간의 요철이 있어도 충분히 묻혀, 보이드의 발생을 방지할 수 있다.

#### 실시예

[0148] 이하, 본 발명을 실시예에 의해 설명하지만, 본 발명은 이들 실시예에 한정되지 않는다.

[0150] (1) 반도체 칩 적층용 접착 시트의 제조

[0151] 각 실시예 및 비교예의 반도체 칩 적층용 접착 시트에 사용한 접착제 조성물을 구성하는 각 성분은 하기와 같고, 성분 비율은 표 1에 나타낸다. 또한, 표 중, 수치는 고형분(불휘발분) 환산의 중량부를 나타낸다.

[0152] (A) 아크릴 공중합체; 일본 합성화학공업 주식회사제 코포닐 N-2359-6(Mw: 약 30만)

[0153] (B-1) 액상 에폭시 수지; 비스페놀 A형 에폭시 수지(일본 촉매 주식회사제 에포세트 BPA 328, 에폭시 당량 235 g/eq)

[0154] (B-2) 고체 에폭시 수지; 폐놀 노볼락형 에폭시 수지(일본 화약 주식회사제 EPPN 502H, 에폭시 당량 167 g/eq)

[0155] (C) 열경화제; 노볼락형 폐놀 수지(쇼와 고분자 주식회사: 쇼우놀 BRG-556, 폐놀성 수산기 당량 104 g/eq)

[0156] (D-1) 열경화 촉진제; 테트라페닐포스핀-테트라페닐보레이트(홋코 화학공업 주식회사제 TPP-K)

[0157] (D-2) 열경화 촉진제; 테트라페닐포스핀-테트라메틸페닐보레이트(홋코 화학공업 주식회사제 TPP-MK)

[0158] (D-3) 열경화 촉진제; 테트라부틸포스포늄데칸산염(홋코 화학공업 주식회사제 TBP-DA)

[0159] (D-4) 열경화 촉진제; 테트라페닐포스포늄티오시아네이트(홋코 화학공업 주식회사제 TPP-SCN)

[0160] (D-5) 열경화 촉진제; 2-페닐-4,5-디히드록시메틸이미다졸(시코쿠 화성공업 주식회사제 큐어졸 2PHZ)

[0161] (E) 에너지선 중합성 화합물; 활성 에너지선 경화성 다관능 아크릴레이트 올리고머(교에이샤 화학사제 라이트 아크릴레이트 DCP-A)

[0162] (F) 광중합 개시제; 1-히드록시-시클로헥실-페닐케톤(씨바 · 스페셜티 · 케미컬즈사제 이루가큐어 184)

[0163] (G) 실란 커플링제(신에쓰 화학공업 주식회사제 KBM403)

[0164] (H) 무기 충전재(주식회사 애드머텍스제 애드머파인 SC2050)

[0165] 또한, 반도체 칩 적층용 접착세트의 기재로서는, 폴리에틸렌 필름(두께 100  $\mu\text{m}$ , 표면장력 33 mN/m)을 사용하였다.

표 1

	실시예1	실시예2	실시예3	실시예4	실시예5	비교예1	비교예2	비교예3
A	100	100	100	100	100	100	100	100
B-1	316	316	316	316	316	316	316	316
B-2	352	352	352	352	352	352	352	352
C	320	320	320	320	320	320	320	320
D-1	18	—	—	—	18	—	—	—
D-2	—	68	—	—	—	—	—	—
D-3	—	—	4.9	—	—	—	—	—
D-4	—	—	—	18	—	—	—	—
D-5	—	—	—	—	—	18	2.3	18
E	85	85	85	85	85	85	85	85
F	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5
G	12	12	12	12	12	12	12	12
H	200	200	200	200	200	200	200	200
접착면적 (mm × mm)	1단계 접착 2단계 접착	8×8 8×8	8×8 8×8	8×8 8×8	8×8 8×8	8×8 8×8	8×8 8×8	8×8 6×6
파사비이션 표면의 유무	있음 (폴리아미드막)	있음 (폴리아미드막)	있음 (폴리아미드막)	있음 (폴리아미드막)	없음	있음 (폴리아미드막)	있음 (폴리아미드막)	없음

[0166]

[실시예 및 비교예]

[0167]

(1) 반도체 칩 적층용 접착 시트의 제조;

[0168]

표 1에 기재된 조성의 접착제 조성물을, 실리콘처리된 박리 필름(린텍 주식회사제 SP-PET381031(S)) 상에, 건조 후의 막두께가 60  $\mu\text{m}$ 가 되도록 다이 코터에 의해 도포하고, 오븐에서 100°C, 1분간 건조한 후에 기재와 접합(貼合)하여, 접착제층을 기재에 전사함으로써 반도체 칩 적층용 접착 시트를 제작하였다.

[0169]

(2) 반도체 칩의 제조;

[0170]

실리콘웨이퍼(직경 150  $\text{mm}$ , 두께 850  $\mu\text{m}$ )의 표면에 포지티브형 감광성 폴리아미드(도오레사제: PW-1200)를 스판 코트 도포하였다. 핫 플레이트를 사용하여 110°C에서 3분간 프리베이크한 후 노광 및 현상을 행하고, 고요 서모 시스템제 이너트 오븐 INL-60을 사용하여, 질소분위기하, 170°C에서 30분간, 추가적으로 320°C에서 60분간 처리

해, 실리콘웨이퍼 표면에 폴리이미드막으로 되는 패시베이션막(막두께 10  $\mu\text{m}$ )을 형성하였다. 또한, 실시예 5 및 비교예 3에서는, 그 패시베이션막을 형성하지 않았다.

[0172] 이어서, 실리콘웨이퍼의 패시베이션막이 형성되어 있지 않은 면을 150  $\mu\text{m}$ 의 두께로 #2000 연마하고, 이 연마면에, 실시예 및 비교예의 접착 시트의 첨부를 테이프 마운터(린텍사제, Adwill RAD2500)에 의해 행하여, 웨이퍼 다이싱용 렇 프레임에 고정하였다. 그 후, 자외선 조사장치(린텍사제, Adwill RAD2000)를 사용해서 기재면으로부터 자외선을 조사(350  $\text{mW}/\text{cm}^2$ , 190  $\text{mJ}/\text{cm}^2$ )하였다. 이어서, 다이싱장치(주식회사 디스코제, DFD651)를 사용해서 다이싱하여, 8  $\text{mm} \times 8 \text{ mm}$  또는 6  $\text{mm} \times 6 \text{ mm}$  사이즈의 칩을 얻었다. 다이싱시의 컷팅량에 대해서는, 기재를 20  $\mu\text{m}$  컷팅하도록 하였다.

### (3) 적층형 반도체장치의 제조:

[0174] 기판으로서 동박 부착 적층판(미츠비시 가스화학 주식회사제 CCL-HL830)의 동박 상에 회로 패턴이 형성되고, 패턴 상에 솔더 레지스트(다이요 잉크제조 주식회사제 PSR4000 AUS303)를 40  $\mu\text{m}$  두께로 갖고 있는 BT 기판을 사용하였다(주식회사 치노기연제). 상기 (1)에서 얻은 접착 시트 상의 칩을, 접착제층과 함께 기재로부터 집어들어, BT 기판 상에, 접착제층을 매개로 120°C, 100 gf, 1초간의 조건에서 압착하고, 이어서 120°C에서 30분간, 추가적으로 140°C에서 30분간의 조건으로 가열하여, 접착제층을 충분히 열경화시켜서, 칩을 고정시켰다.

[0175] 이 기판에 고정 완료된 칩(「1단째 칩」이라 칭한다.) 상에, 1단째 칩과 동일한 사이즈의 접착제층 부착 칩(「2단째 칩」이라 칭한다.)을, 120°C, 100 gf, 1초간의 조건에서 압착하고, 이어서 120°C에서 30분간, 추가적으로 140°C에서 30분간 가열하여, 2단째 칩의 접착제층을 충분히 경화시켰다.

[0176] 또한, 실시예 1~4, 및 비교예 1, 2에 있어서는, 1단째 칩 및 2단째 칩으로서 8  $\text{mm} \times 8 \text{ mm}$ 의 칩을 사용하였다. 제작된 적층형 반도체 칩은, 1단째 칩 및 2단째 칩의 평면형상이 동일형상이다.

[0177] 한편, 실시예 5 및 비교예 3에 대해서는, 1단째 칩으로서 8  $\text{mm} \times 8 \text{ mm}$ 의 칩, 2단째 칩으로서 6  $\text{mm} \times 6 \text{ mm}$ 의 칩을 사용하였다. 제작된 적층형 반도체 칩에 있어서, 반도체 칩의 평면적이 기판에서 멀어짐에 따라 작아지고 있다.

[0178] 그 후, 몰드 수지(교세라 케미컬 주식회사제 KE-1100AS3)로 봉지 두께 700  $\mu\text{m}$ 가 되도록 BT 기판을 봉지하고(봉지장치: 어피 암마다 주식회사제 MPC-06M Trial Press), 175°C에서 5시간에 걸쳐 몰드 수지를 경화시켰다. 이어서, 봉지된 BT 기판을 다이싱 테이프(린텍 주식회사제 Adwill D-510T)에 첨부하여, 다이싱장치(주식회사 디스코제, DFD651)를 사용해서 12  $\text{mm} \times 12 \text{ mm}$  사이즈로 다이싱함으로써, 적층형 반도체장치를 얻었다.

<평가>

### (4) 반도체 칩 적층용 접착제 조성물의 반응성 평가:

[0181] 먼저, 조도 120  $\text{mW}/\text{cm}^2$ , 광량 120  $\text{mJ}/\text{cm}^2$ 의 조건에서 UV 경화시키고, 열경화시키지 않은 반도체 칩 적층용 접착제 조성물(0.0150 g)을 하기 조건의 시차주사열량계(DSC)로 제공하여, 에폭시 수지의 경화열에 유래하는 발열량(적분량)을 측정하였다. 측정된 발열량을  $\Delta H_0(\text{kJ})$ 로 하였다.

[0182] 시차주사열량계(DSC)

[0183] 장치: 퍼킨엘머사제, Pyris-I

[0184] 승온속도: 10°C/min

[0185] 온도범위: 50°C~300°C

[0186] 또한, 동일 조건에서 UV 경화 후, 120°C에서 30분, 추가적으로 140°C에서 30분에 걸쳐서 열경화시킨 반도체 칩 적층용 접착제 조성물(0.0150 g)을, 동일 조건에서 시차주사열량계로 제공하여, 에폭시 수지의 경화열에 유래하는 발열량(적분량)을 측정하였다. 측정된 발열량을  $\Delta H_1(\text{kJ})$ 으로 하였다.

[0187] 이어서, 측정된  $\Delta H_0(\text{kJ})$  및  $\Delta H_1(\text{kJ})$ 을 하기 식을 토대로, 에폭시 수지가 반응한 비율을 나타내는 반응율(%)을 산출하였다. 결과를 표 2에 나타낸다.

$$\text{반응율} = (\Delta H_0 - \Delta H_1) / \Delta H_0 \times 100$$

[0189] 또한, 반응율이 100%인 경우, 접착제 조성물 중에 있어서의 미반응 에폭시 수지는 없어, 접착제 조성물 중의 모든 에폭시 수지가 열경화 반응한 것을 나타낸다.

(5) 이온 불순물 측정:

[0191] 반도체 칩 적층용 접착 시트의 접착제층끼리를 두께의 합계가 200  $\mu\text{m}$ 가 될 때까지 실온에서 적층하였다. 얻어진 적층체에, 한쪽 면에서 자외선을 조사하고(조도 120  $\text{mW/cm}^2$ , 광량 120  $\text{mJ/cm}^2$ ), 추가적으로 반대면에서 동일 조건으로 자외선을 조사하였다.

[0192] 이어서, 이 적층체를 오븐에서, 120°C에서 30분간, 추가적으로 140°C에서 30분간 가열하여, 접착제 경화물을 얻었다.

[0193] 얻어진 접착제 경화물을, 분쇄기(주식회사 헤이코 제작소제 진동분쇄기 TI-100)를 사용해서 분쇄하고, 100 메시의 스테인리스제 철망으로 체질하여, 이온 농도 측정용 테플론(등록상표)제 용기 내에서 철망 통과분 1 g을 순수 20 mL로 혼합하고, 121°C에서 24시간 가열하여 추출액을 제작하였다.

[0194] 얻어진 추출액의 이온 농도를 이온 크로마토그래피(일본 다이오네스 주식회사제 DX-320)로 측정하였다. 결과를 표 2에 나타낸다.

(6) 고온·고습도 환경하에서의 패키지 신뢰성(내HAST성)의 평가:

[0196] 상기 (3)에서 얻어진 적층형 반도체장치를, 전극 인출용의 2차 기판으로 실장(mounting) 후, 전처리로서 60°C, 60%RH 조건하에 120시간 방치하고, 130°C, 85%RH, 220시간, 인가전압 3.5 V의 조건하에서 상기 장치에 상시 통전(通電)하였다.

[0197] 평가는, 전극 사이의 절연저항값이  $1 \times 10^7$  Ω보다 낮은 것을 불량으로 판단하고, 각 반도체장치 20개에 대해 행하여, 불량 발생 수(NG수)를 세었다. 결과를 표 2에 나타낸다.

**표 2**

	염화물 이온농도 (ppm)	반응율 (%)	내HAST평가 (NG 수/전체 수)
실시예 1	0.665	>99	0/20
실시예 2	0.613	>99	0/20
실시예 3	0.613	>99	0/20
실시예 4	0.651	>99	0/20
실시예 5	0.672	>99	0/20
비교예 1	2.610	>99	19/20
비교예 2	0.620	93	1/20
비교예 3	2.550	>99	20/20

**산업이용 가능성**

[0199] 본 발명에 의하면, 접착제층을 구성하는 경화 후의 접착제 조성물 중에 포함되는 이온 불순물의 양이 적기 때문에, 고온·다습 조건하에서도, 양호한 패키지 신뢰성(내HAST성)을 발휘할 수 있는 반도체 칩 적층체를 제공할 수 있다.

[0200] 이와 같은 특성을, 반도체 칩 적층체에 부여할 수 있고, 열경화 촉진제로서 유기 포스핀계 화합물을 포함하기 때문에, 접착제 조성물을 열경화시킬 때, 높은 열경화 반응의 효율을 발휘할 수 있는 반도체 칩 적층용 접착제 조성물을 제공할 수 있다.

**도면의 간단한 설명**

[0201] 도 1(a)는 본 발명의 적층형 반도체장치의 단면을 모식적으로 나타내는 도면이고, 도 1(b)는 본 발명의 적층형 반도체장치의 윗면을 나타내는 도면이다(적층형 반도체장치의 반도체 칩의 적층상태를 모식적으로 나타내기 위해 일부 절결되어 있다).

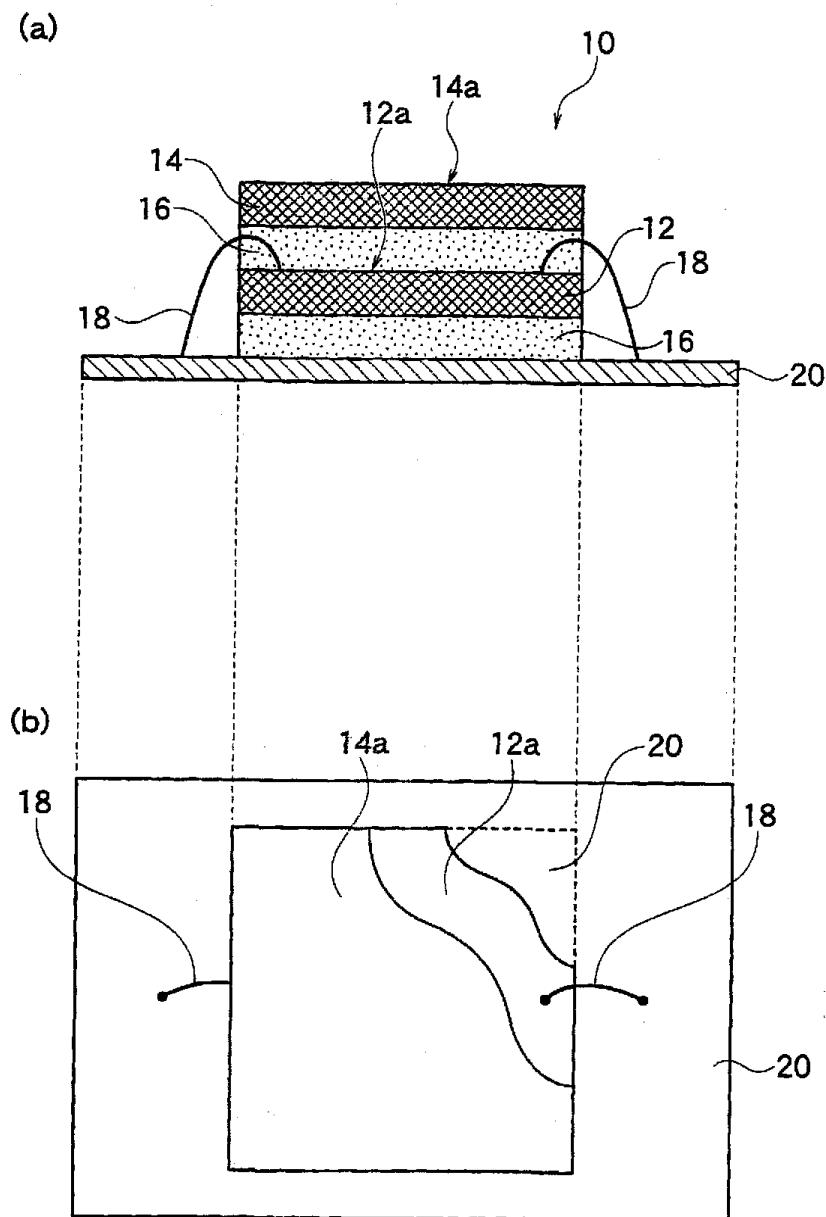
[0202] 도 2(a)는 본 발명의 적층형 반도체장치의 단면을 모식적으로 나타내는 도면이고, 도 2(b)는 본 발명의 적층형 반도체장치의 윗면을 나타내는 도면이다.

**부호의 설명**

- [0204] 10: 적층형 반도체장치
- [0205] 12: 반도체 칩(하단 칩)
- [0206] 12a: 반도체 칩(12)의 회로면
- [0207] 14: 반도체 칩(상단 칩)
- [0208] 14a: 반도체 칩(14)의 회로면
- [0209] 16: 접착제층
- [0210] 18: 본딩 와이어
- [0211] 20: 기판

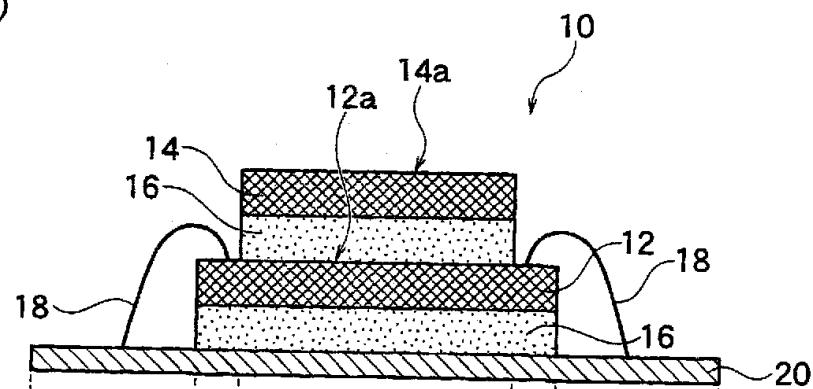
### 도면

도면1



도면2

(a)



(b)

