

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-245334
(P2010-245334A)

(43) 公開日 平成22年10月28日(2010.10.28)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 21/285 (2006.01)	HO1L 21/285	S 4M104
HO1L 21/28 (2006.01)	HO1L 21/28	301R 5FO33
HO1L 21/768 (2006.01)	HO1L 21/90	C
HO1L 29/417 (2006.01)	HO1L 29/50	M
HO1L 29/78 (2006.01)	HO1L 29/78	653A

審査請求 未請求 請求項の数 12 O L (全 19 頁) 最終頁に続く

(21) 出願番号	特願2009-92973 (P2009-92973)	(71) 出願人	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成21年4月7日 (2009.4.7)	(74) 代理人	100089071 弁理士 玉村 静世
		(72) 発明者	三浦 辰彦 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
			F ターム (参考) 4M104 AA01 BB01 BB25 CC01 DD08 DD16 DD17 DD19 DD21 DD23 DD37 DD39 DD42 DD43 DD52 DD53 DD79 DD80 DD84 FF17 FF18 FF22 FF27 GG06 GG09 GG18 HH13

最終頁に続く

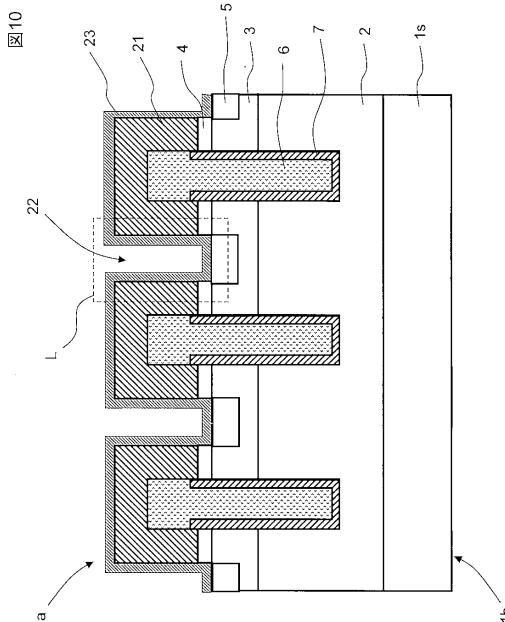
(54) 【発明の名称】半導体装置の製造方法

(57) 【要約】

【課題】最新の $0.15 \mu m$ パワー MOSFETにおいては、微細化によるセル・ピッチの縮小のためトレチ部(ソース・コンタクト用の溝)において、アルミニウム・ボイド(アルミニウム系電極内に形成されるボイド)が多発することが、本願発明者らによって明らかにされた。この欠陥の発生は、主にアスペクト比が前世代の 0.84 から一挙に 2.8 に上昇したことによると考えられる。

【解決手段】本願の一つの発明は、アスペクト比の大きい繰り返し溝等の凹部をアルミニウム系メタルで埋め込む際に、アルミニウム系メタル・シード膜の形成から埋め込みに至るまで、イオン化スパッタリングにより、実行するものである。

【選択図】図 10



【特許請求の範囲】

【請求項 1】

- 以下の工程を含む半導体装置の製造方法：
- (a) 半導体ウエハの第1の主面上の第1の絶縁膜の上面から下方に向けて、凹部を形成する工程；
- (b) 前記凹部の内面及び前記第1の絶縁膜の前記上面に、バリア・メタル膜を形成する工程；
- (c) 前記工程 (b) の後、スパッタリング処理チャンバ内において、前記凹部の内部を満たし、前記第1の絶縁膜の前記上面を覆うように、イオン化スパッタリングにより、アルミニウム系メタル層を形成する工程。

10

【請求項 2】

前記1項の半導体装置の製造方法において、前記工程 (c) は、前記スパッタリング処理チャンバ内に設けられた静電チャックを有するウエハ・ステージ上に、前記半導体ウエハの前記第1の主面を上に向かた状態で実行される。

【請求項 3】

前記2項の半導体装置の製造方法において、前記工程 (c) は、以下の下位工程を含む：

- (c1) 前記凹部の内面及び前記第1の絶縁膜の上面の前記バリア・メタル膜を覆うように、シード・アルミニウム系メタル層を形成する工程；
- (c2) 前記イオン化スパッタリングを続行することにより、前記シード・アルミニウム系メタル層と一体となって前記凹部の内部を満たし、前記第1の絶縁膜の前記上面を覆う前記アルミニウム系メタル層を形成する工程。

20

【請求項 4】

前記3項の半導体装置の製造方法において、前記下位工程 (c1) においては、前記静電チャックはオフ状態であり、前記下位工程 (c2) においては、前記静電チャックはオン状態である。

【請求項 5】

前記4項の半導体装置の製造方法において、前記ウエハ・ステージの温度は、摂氏400度以上、440度未満である。

30

【請求項 6】

前記1項の半導体装置の製造方法において、前記スパッタリング処理チャンバは、マグネットロン方式である。

【請求項 7】

前記1項の半導体装置の製造方法において、前記工程 (c) においては、ターゲット側に第1の高周波電力および直流バイアスが印加されている。

【請求項 8】

前記3項の半導体装置の製造方法において、前記下位工程 (c1) においては、前記ウエハ・ステージ側の電極に第2の高周波電力によりバイアスが印加されている。

【請求項 9】

前記1項の半導体装置の製造方法において、半導体装置はパワーMOSFETまたはIGBTを有する。

40

【請求項 10】

前記9項の半導体装置の製造方法において、前記アルミニウム系メタル層は、前記パワーMOSFETのソース電極または前記IGBTのエミッタ電極である。

【請求項 11】

前記1項の半導体装置の製造方法において、前記凹部のアスペクト比は、2以上である。

【請求項 12】

前記1項の半導体装置の製造方法において、前記凹部は、前記半導体ウエハの基板部の内部にまで達している。

50

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置（または半導体集積回路装置）の製造方法におけるメタル電極形成技術に適用して有効な技術に関する。

【背景技術】**【0002】**

日本特開2004-247559号公報（特許文献1）または米国特許公開2007-0148896号公報（特許文献2）には、DRAM（Dynamic Random Access Memory）の下部電極として、PCM（Point Cusp Magnetron）方式によるスパッタリング（すなわち、PCMスパッタリング）およびCVD（Chemical Vapor Deposition）によって、ルテニウム膜を形成する技術が開示されている。10

【0003】

日本特開2001-358091号公報（特許文献3）または米国特許公開2002-0089027号公報（特許文献4）には、コンタクト・ホールへのアルミニウムの充填を良好にするために、バリア・メタル層としてのチタン膜、窒化チタン膜等を一種のイオン化スパッタリングにより形成する技術が開示されている。

【0004】

日本特開2001-127005号公報（特許文献5）には、アスペクトの大きなホールをアルミニウムで埋め込むために、バリア・メタル層としてのチタン膜をIMP（Ion Metal Plasma）方式によるスパッタリング（すなわち、IMPスパッタリング）により形成する技術が開示されている。20

【先行技術文献】**【特許文献】****【0005】**

【特許文献1】特開2004-247559号公報

【特許文献2】米国特許公開2007-0148896号公報

【特許文献3】特開2001-358091号公報

【特許文献4】米国特許公開2002-0089027号公報

【特許文献5】特開2001-127005号公報

【発明の概要】**【発明が解決しようとする課題】****【0006】**

最新の0.15μmパワーMOSFETにおいては、微細化によるセル・ピッチの縮小のためトレンチ部（ソース・コンタクト用の溝）において、アルミニウム・ボイド（アルミニウム系電極内に形成されるボイド）が多発することが、本願発明者らによって明らかにされた。この欠陥の発生は、主にアスペクト比が前世代の0.84から一挙に2.8に上昇したことによると考えられる。30

【0007】

この対策としては、スパッタリングによるアルミニウム系電極の代わりに、CVDタンゲステン系電極を用いることが考えられるが、ある種の高信頼性品においては衝撃吸収能力等の観点で、却ってデメリットとなることがある。

【0008】

本願発明は、これらの課題を解決するためになされたものである。

【0009】

本発明の目的は、信頼性の高い半導体装置の製造プロセスを提供することにある。

【0010】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

10

20

30

40

50

【課題を解決するための手段】

【0011】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0012】

すなわち、本願の一つの発明は、アスペクト比の大きい繰り返し溝等の凹部をアルミニウム系メタルで埋め込む際に、アルミニウム系メタル・シード膜の形成から埋め込みに至るまで、イオン化スパッタリングにより、実行するものである。

【発明の効果】

【0013】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0014】

すなわち、アスペクト比の大きい繰り返し溝等の凹部をアルミニウム系メタルで埋め込む際に、アルミニウム系メタル・シード膜の形成から埋め込みに至るまで、イオン化スパッタリングにより、実行するので、良好な膜質を確保しつつ、十分な埋め込み特性を達成できる。

【図面の簡単な説明】

【0015】

【図1】本願の一実施の形態の半導体装置の製造方法に使用するマルチ・チャンバ型のウエハ処理装置の平面構成図である。

10

20

30

40

50

【図2】本願の一実施の形態の半導体装置の製造方法におけるアルミニウム系メタル膜成膜工程に使用するPCM (Point Cusp Magnetron) 方式のスパッタリング・チャンバの模式断面図である。

【図3】本願の一実施の形態の半導体装置の製造方法により製造されたパワーMOSFETの一例を示すデバイス上面図である。

【図4】本願の一実施の形態の半導体装置の製造方法におけるトレンチ・ゲート・セル部のデバイス断面フロー図 (ソース・コンタクト溝形成用レジスト・パターン形成工程) である。

【図5】本願の一実施の形態の半導体装置の製造方法におけるトレンチ・ゲート・セル部のデバイス断面フロー図 (ソース・コンタクト溝形成工程) である。

【図6】本願の一実施の形態の半導体装置の製造方法におけるトレンチ・ゲート・セル部のデバイス断面フロー図 (ソース・コンタクト溝形成用レジスト・パターン除去工程) である。

【図7】本願の一実施の形態の半導体装置の製造方法におけるトレンチ・ゲート・セル部のデバイス断面フロー図 (ソース・コンタクト溝延長工程) である。

【図8】本願の一実施の形態の半導体装置の製造方法におけるトレンチ・ゲート・セル部のデバイス上面図 (p+ボディ・コンタクト領域導入工程) である。

【図9】本願の一実施の形態の半導体装置の製造方法におけるトレンチ・ゲート・セル部 (図8のX-X'断面に対応する) のデバイス断面フロー図 (p+ボディ・コンタクト領域導入工程) である。

【図10】本願の一実施の形態の半導体装置の製造方法におけるトレンチ・ゲート・セル部のデバイス断面フロー図 (バリア・メタル膜成膜工程) である。

【図11】本願の一実施の形態の半導体装置の製造方法におけるトレンチ・ゲート・セル部のデバイス断面フロー図 (アルミニウム系メタル膜成膜工程) である。

【図12】図10のLで示す部分に対応する拡大デバイス断面図である。

【図13】図12に続く図11のアルミニウム系メタル膜成膜工程の途中の状態 (シード層形成完了) を示す拡大デバイス断面図である。

【図14】図13に続く図11のアルミニウム系メタル膜成膜工程の完了状態 (アルミニウム系メタル膜による埋め込み完了) を示す拡大デバイス断面図である。

【図15】本願の一実施の形態の半導体装置の製造方法におけるアルミニウム系メタル膜成膜工程完了時点のトレンチ・ゲート・セル部のデバイス断面S E M (Scanning Electron Microscopy)写真である。

【図16】図15の部分拡大写真である。

【発明を実施するための形態】

【0016】

〔実施の形態の概要〕

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。

【0017】

1. 以下の工程を含む半導体装置の製造方法：

(a) 半導体ウエハの第1の主面上に、第1の絶縁膜の上面から下方に向けて、凹部を形成する工程；

(b) 前記凹部の内面及び前記第1の絶縁膜の前記上面に、バリア・メタル膜を形成する工程；

(c) 前記工程(b)の後、スパッタリング処理チャンバ内において、前記凹部の内部を満たし、前記第1の絶縁膜の前記上面を覆うように、イオン化スパッタリングにより、アルミニウム系メタル層を形成する工程。

【0018】

2. 前記1項の半導体装置の製造方法において、前記工程(c)は、前記スパッタリング処理チャンバ内に設けられた静電チャックを有するウエハ・ステージ上に、前記半導体ウエハの前記第1の主面を上に向けた状態で実行される。

【0019】

3. 前記1または2項の半導体装置の製造方法において、前記工程(c)は、以下の下位工程を含む：

(c1) 前記凹部の内面及び前記第1の絶縁膜の上面の前記バリア・メタル膜を覆うように、シード・アルミニウム系メタル層を形成する工程；

(c2) 前記イオン化スパッタリングを続行することにより、前記シード・アルミニウム系メタル層と一体となって前記凹部の内部を満たし、前記第1の絶縁膜の前記上面を覆う前記アルミニウム系メタル層を形成する工程。

【0020】

4. 前記3項の半導体装置の製造方法において、前記下位工程(c1)においては、前記静電チャックはオフ状態であり、前記下位工程(c2)においては、前記静電チャックはオン状態である。

【0021】

5. 前記1から4項のいずれか一つの半導体装置の製造方法において、前記ウエハ・ステージの温度は、摂氏400度以上、440度未満である。

【0022】

6. 前記1から5項のいずれか一つの半導体装置の製造方法において、前記スパッタリング処理チャンバは、マグнетロン方式である。

【0023】

7. 前記1から6項のいずれか一つの半導体装置の製造方法において、前記工程(c)においては、ターゲット側に第1の高周波電力および直流バイアスが印加されている。

【0024】

8. 前記3から7項のいずれか一つの半導体装置の製造方法において、前記下位工程(c1)においては、前記ウエハ・ステージ側の電極に第2の高周波電力によりバイアスが印加されている。

【0025】

9. 前記1から8項のいずれか一つの半導体装置の製造方法において、半導体装置はパワーMOSFETまたはIGBTを有する。

【0026】

10

20

30

40

50

10. 前記1から9項のいずれか一つの半導体装置の製造方法において、前記アルミニウム系メタル層は、パワーMOSFETのソース電極またはIGBTのエミッタ電極である。

【0027】

11. 前記1から10項のいずれか一つの半導体装置の製造方法において、前記凹部のアスペクト比は、2以上である。

【0028】

12. 前記1から11項のいずれか一つの半導体装置の製造方法において、前記凹部は、前記半導体ウエハの基板部の内部にまで達している。

【0029】

10

〔本願における記載形式・基本的用語・用法の説明〕

1. 本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクションに分けて記載する場合もあるが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しを省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

【0030】

更に、本願において、「半導体装置」というときは、主に、各種トランジスタ(能動素子)などの単体デバイスや、これらを中心に、抵抗、コンデンサ等を半導体チップ等(たとえば単結晶シリコン基板)上に集積したものをいう。なお、単体といっても、実際は、微小な素子を複数集積したものもある。ここで、各種トランジスタの代表的なものとしては、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)に代表されるMISFET(Metal Insulator Semiconductor Field Effect Transistor)や、IGBT(Insulated gate Bipolar Transistor)を例示することができる。また、「MOS」といっても、絶縁膜を酸化物に限定しているわけではない。

20

【0031】

2. 同様に実施の態様等の記載において、材料、組成等について、「AからなるX」等といっても、特にそうでない旨明示した場合および文脈から明らかに、そうでない場合を除き、A以外の要素を主要な構成要素のひとつとするものを排除するものではない。たとえば、成分についていえば、「Aを主要な成分として含むX」等の意味である。たとえば、「シリコン部材」等といっても、純粋なシリコンに限定されるものではなく、SiGe合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。同様に、「酸化シリコン膜」、「酸化シリコン系絶縁膜」等と言っても、比較的純粋な非ドープ酸化シリコン(Undoped Silicon Dioxide)だけではなく、FSG(Fluorosilicate Glass)、TEOSベース酸化シリコン(TEOS-based silicon oxide)、SiOC(Silicon Oxide)またはカーボンドープ酸化シリコン(Carbon-doped Silicon oxide)またはOSG(Organosilicate glass)、PSG(Phosphorus Silicate Glass)、BPSG(Boronophosphosilicate Glass)等の熱酸化膜、CVD酸化膜、SOG(Spin ON Glass)、ナノ・クラスターリング・シリカ(Nano-Clustering Silica: NSC)等の塗布系酸化シリコン、これらと同様な部材に空孔を導入したシリカ系Low-k絶縁膜(ポーラス系絶縁膜)、およびこれらを主要な構成要素とする他のシリコン系絶縁膜との複合膜等を含むことは言うまでもない。

30

【0032】

また、酸化シリコン系絶縁膜と並んで、半導体分野で常用されているシリコン系絶縁膜としては、窒化シリコン系絶縁膜がある。この系統の属する材料としては、SiN, SiCN, SiNH, SiCNH等がある。ここで、「窒化シリコン」というときは、特にそうでない旨明示したときを除き、SiNおよびSiNHの両方を含む。同様に、「SiC」いうときは、特にそうでない旨明示したときを除き、SiCNおよびSiCNHの

40

50

両方を含む。

【0033】

なお、SiCは、SiNと類似の性質を有するが、SiONは、むしろ、酸化シリコン系絶縁膜に分類すべき場合が多い。

【0034】

3. 同様に、図形、位置、属性等に関して、好適な例示をするが、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、厳密にそれに限定されるものではないことは言うまでもない。

【0035】

4. さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

【0036】

5. 「ウエハ」というときは、通常は半導体装置（半導体集積回路装置、電子装置も同じ）をその上に形成する単結晶シリコンウエハを指すが、エピタキシャル・ウエハ、SOI基板、LCDガラス基板等の絶縁基板と半導体層等の複合ウエハ等も含むことは言うまでもない。

【0037】

6. 「イオン化スパッタリング」は、指向性スパッタリングの一種であるが、通常のメタル・スパッタ成膜が主に電気的に中性のスパッタ原子、分子、又は、これらのクラスタによっているのに対して、イオン化されたメタル・イオン等がシース電圧（更に付加的なバイアスを印加することもある）により、ウエハ面に比較的大きな垂直速度成分を持って入射することを利用して、カバレッジが良好なスパッタ成膜を実現したものである。このイオン化スパッタリング方式には、種々の形式があるが、ここでは、PCM方式について具体的に説明するが、この方式に限定されることはいうまでもない。従って、「イオン化スパッタリング」は、成膜にイオン化された成膜目的メタル原子が実質的に寄与している方式であれば、その名称を問わない。本実施の形態では、イオン化スパッタリング装置として、PCM方式のキャノン・アネルバ（Canon Anelva）社製のI-1080 PCMを使用した例について具体的に説明したが、その他のイオン化スパッタリング装置としては、アプライド・マテリアルズ（Applied Materials）のSIP-PVD（Self-Ionized Plasma Physical Vapor or Deposition）装置等がある。また、アルバック（Ulvac）社も類似の装置を提供している。

【0038】

〔実施の形態の詳細〕

実施の形態について更に詳述する。各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【0039】

また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である場合には、断面であってもハッティング等を省略する場合がある。これに連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するために、ハッティングを付すことがある。

【0040】

1. 本願の一実施の形態の半導体装置の製造方法に使用するメタル成膜装置等の説明（主に図1および図2）

まず、本願の一実施の形態の半導体装置の製造方法に使用するメタル成膜装置等について、簡単に説明する。図1は、本願の一実施の形態の半導体装置の製造方法に使用するマルチ・チャンバ型（クラスタ型）のウエハ処理装置の平面構成図である。

【0041】

10

20

30

40

50

図1に示すように、前記製造プロセスに使用するスパッタリング装置（チタン・スパッタリング・チャンバ58、AlSiスパッタリング・チャンバ61、TiN反応性スパッタリング・チャンバ59）、熱処理装置（プリヒート処理チャンバ56）、エッチング装置（スパッタ・エッチング・チャンバ57）等は、クラスタ装置51に集積されている。このクラスタ装置51には4個のウエハ・カセット53を常圧下で収容するロードポート52（または前室）がある。ロードポート52に収容されたウエハは二つのロードロック室54のいずれかを介して、真空に変換されて真空搬送室55を通して各処理チャンバに供給される。排出時はその逆である。

【0042】

なお、この実施の形態では、窒化チタン膜成膜後のシリサイデーション・アニール工程は、マルチ・チャンバ型ウエハ処理装置51と異なる外部のバッチ処理炉により処理する例を示すが、たとえば、複数あるAlSiスパッタリング・チャンバ61の内の一つを枚葉式のRTA（Rapid Thermal Annealing）チャンバとすることで、一連のプロセスにおいて、ウエハ1を大気に触れさせることなく実行するようにしてもよい。なお、一般に上層バリア・メタル膜23b（TiN, TiW等）の表面は、非常に清浄でないと、その後のアルミニウム系メタル膜の平坦性が確保できないが、イオン化スパッタ法によるアルミニウム系メタル膜の形成では、下地膜の表面状態に鈍感となる傾向があるので、ウエハを途中で外気に触れさせるような装置構成とすることもでき、生産の自由度が増すメリットがある。

【0043】

図2は、本願の一実施の形態の半導体装置の製造方法におけるアルミニウム系メタル膜成膜工程に使用するPCM（Point Cusp Magnetron）方式のスパッタリング・チャンバ61の模式断面図である。このスパッタ・チャンバ（スパッタ装置）も他の汎用のメタル・スパッタ装置と同様に、マグネットロン・スパッタ（Magnetron Sputter）方式に含まれる。図2に示すように、チャンバ61の下部には、下部電極（ウエハ・ステージ）62が設けられており、成膜時には、このウエハ・ステージ62上にデバイス面1a（裏面1bの反対の面）を上に向けて、ウエハ1がセットされている。下部電極62には、下部電極高周波バイアス電源63（たとえば13.56MHz）により、高周波バイアス（第2の高周波電力）が印加できるようになっており、また、直接、接地可能にもなっている。また、ウエハ・ステージ62内には、静電チャック電極65が設けられており、静電チャック制御系64により、オン・オフ可能とされている。

【0044】

このウエハ・ステージ62に対向して、チャンバ61の上部には、上部電極（ターゲット・バッキング・プレート）66が設けられており、その下面にはアルミニウム系のターゲット67（ここでは、たとえば、1%程度のシリコンを含有するアルミニウム・ターゲットである）がセットされている。この上部電極66には、上部電極直流バイアス電源74および上部電極高周波電源75（たとえば60MHz）から、直流電力（直流バイアス）及び高周波電力（第1の高周波電力）が印加可能となっている（両方及びどちらか一方を選択可能）。これらによって、たとえばアルゴン・プラズマ76等の励起と所望のバイアス電圧の発生が可能となっている。更に、ターゲット・バッキング・プレート66の上側近傍には、磁石のS極71、N極72を交互に配置したマグネット保持回転テーブル68があり、駆動軸73（回転軸）によって回転可能となっている。

【0045】

チャンバ61の外には、ガス供給制御系77が設けられており、ガス供給経路78を通して、チャンバ61内にアルゴン・ガスその他のガスを供給できるようになっている。また、チャンバ61内は、下方に設けられた排気口81を通して、真空排気系79により真空排気され、スパッタリングに必要な高真空を保持可能とされている。

【0046】

なお、この実施の形態では、下層バリア・メタル膜（チタン膜）23aを通常のスパッタ

10

20

30

40

50

タ成膜装置（イオン化スパッタ方式でないもの）を使用して、実行しているが、PCM方式等のイオン化スパッタ方式のスパッタ成膜装置を用いて実施してもよい。

【0047】

なお、下層バリア・メタル膜23a（一部はシリサイド化メタル）としては、前記チタンのほか、TiW, Ta, W, WSi等が使用可能である。

【0048】

2. 本願の一実施の形態の半導体装置の製造方法により製造したパワーMOSFETの一例の説明（主に図3）

図3は、本願の一実施の形態の半導体装置の製造方法により製造されたパワーMOSFETの一例を示すデバイス上面図である。図3に示すように、正方形又は長方形の板状のシリコン系半導体基板（個々のチップに分割する前はウエハである）上に素子を形成したパワーMOSFET素子チップ8（トレンチ・ゲート・パワーMOS型半導体装置）は中央部にあるソースパッド領域11（アルミニウム系パッド）が主要な面積を占めている。その下には、それらの幅（またはピッチ）よりも十分長く延びる帯状ゲート電極（柱状トレンチ・ゲート電極に対応）と帯状ソース・コンタクト領域が交互に多数形成された帯状繰り返しデバイス・パターン領域R（リニア・セル領域）がある。より正確には、リニア・セル領域Rは、ソースパッド領域11の下方のほぼ全体に広がっており、破線で囲った部分はその一部である。このリニア・セル領域Rの周辺には、ゲート電極を周辺から外部に引き出すゲートパッド領域13がある。更にその周りには、アルミニウム・ガードリング19が設けられている。そして、チップ8の最外周部はウエハをダイシング等により分割する際の領域、すなわち、スクライブ領域14である。

10

20

30

40

50

【0049】

3. 本願の一実施の形態の半導体装置の製造方法における関連するデバイス断面プロセス・フローの概要説明（主に図4から図11、図1および図2を参照）

このセクションでは、0.15マイクロ・メートル・プロセスのリニア・トレンチ・ゲート型パワーMOSFETの例について、図4から図11に基づいて、セクション2における図3の帯状繰り返しデバイス・パターン領域切り出し部分（リニア・セル領域）Rに対応するデバイス断面等について、プロセス・フローを説明する。

【0050】

図4は、本願の一実施の形態の半導体装置の製造方法におけるトレンチ・ゲート・セル部のデバイス断面フロー図（ソース・コンタクト溝形成用レジスト・パターン形成工程）である。ここでは、200ファイのn+型シリコン単結晶ウエハ（シリコン系ウエハ）にn型エピタキシャル層（たとえばエピタキシャル層の厚さは、4マイクロ・メートル程度）を形成したn型エピタキシャル・ウエハ1を原材料ウエハとして使用する例を説明するが、ウエハの径は300ファイでも450ファイでも、その他でもよい。また、ウエハの導電型はp型等でもよい。更に、ウエハの形式はエピタキシャル・ウエハに限らず、他の半導体基板や絶縁性基板等であってもよい。また、必要があれば、シリコン系以外の半導体ウエハ又は基板であってもよい。

【0051】

図4に示すように、半導体ウエハ1は、主にn+シリコン基板部1sとエピタキシャル層1eからなり、エピタキシャル層1e内には、もともとのn型エピタキシャル層であるn型ドリフト領域2があり、その上部には、p型チャネル領域（p型ベース領域）3、n+ソース領域4等が形成されている。エピタキシャル層1eから上部が突出するように、複数のトレンチ・ゲート電極（ポリシリコン電極）6が周期的に設けられており、各トレンチ・ゲート電極6の中下部周辺には、ゲート絶縁膜7が設けられている。半導体ウエハ1のデバイス面側1aには、層間絶縁膜21が形成されており、各トレンチ・ゲート電極6を完全にカバーしている。この層間絶縁膜21としては、下層から、たとえば60nm程度の厚さを有する窒化シリコン膜（窒化シリコン系絶縁膜）、300nm程度の厚さを有するPSG膜（酸化シリコン系絶縁膜）、95nm程度の厚さを有するSOG膜（酸化シリコン系絶縁膜）等からなる多層絶縁膜を例示することができる。

【0052】

層間絶縁膜21上には、加工のためのレジスト膜9が形成されている。このレジスト膜9をエッチング・マスクとして、ドライ・エッチングを実行すると、図5に示すように、凹部(ソース・コンタクト溝)22が形成される。次に、不要になったレジスト膜9を除去すると図6に示すように状態となる。

【0053】

次に、パターニングされた層間絶縁膜21をエッチング・マスクとして、更にドライ・エッチングを実行すると、図7に示すように、凹部(ソース・コンタクト溝)22がp型チャネル領域3の上端まで延長される。

【0054】

この時点の図7に対応する(図9にも対応している)デバイス上面(ウエハ上面)を図8に示す。図8において、セル繰り返し単位領域Gを図9にも対応して示す。

【0055】

図7に続き、図9に示すように、ソース・コンタクト溝22(たとえば溝底幅300nm程度、深さ850nm程度、アスペクト比2以上、5以下程度であり、平均的には、2.8程度である)を通して、イオン注入により、p型チャネル領域3の表面領域に、p+ボディ・コンタクト領域5を導入する。

【0056】

次に、図10に示すように、半導体ウエハ1のデバイス面側1aのほぼ全面に、バリア・メタル膜23を形成する。続いて、シリサイデーション・アニールを実施する。

10

【0057】

次に、図11に示すように、バリア・メタル膜23上のほぼ全面に、ソース電極となるアルミニウム系メタル膜24を成膜する。なお、ソース電極材料としては、ここで説明するシリコン添加アルミニウム系メタル(ALSi)のほか、AlCu, 純Al、銅系メタル部材等が使用可能である。

【0058】

その後、アルミニウム系メタル膜24をパターニングし、その上に、ファイナル・パッセーション絶縁膜(たとえば2マイクロ・メータ程度の厚さを有する塗布系ポリイミド樹脂膜等の有機系絶縁膜)を形成して、必要な開口を形成し、個々のチップに分割すると、図3に示すようなデバイスとなる。

30

【0059】

次のセクションでは、図10の凹部周辺拡大部Lに対応する要部拡大断面図である図12から図14によって、図10から図11のプロセスの詳細を説明する。

【0060】

4. 本願の一実施の形態の半導体装置の製造方法における要部デバイス断面プロセス・フローの説明(主に図12から図14、図1および図2を参照)

図9の状態で、図12に示すように、半導体ウエハ1のデバイス面側1aのほぼ全面に、下層バリア・メタル膜23a(チタン膜)をスパッタ成膜により、形成する。なお、図12から図14においては、凹部(ソース・コンタクト溝)22の周辺の層間絶縁膜等をひとまとめにして層間絶縁膜等の凹部周辺の部材22pとして表示する。

40

【0061】

このチタン膜23aのスパッタ成膜は、たとえば、以下のような手順で実施する。すなわち、図1のウエハ搬送容器(ウエハ・カセット)53にウエハ1を収容して、マルチ・チャンバ型ウエハ処理装置51のロード・ポート52にセットする。そこから、ウエハ1は、まず、脱ガス・チャンバ56内のウエハ・ステージにセットされ、表面の水分等を除去するためのプレ・ヒート処理が実行される。プレ・ヒート処理の条件としては、たとえば、ステージ温度設定摂氏375度程度、圧力266パスカル程度、アルゴン流量200sccm程度、処理時間50秒程度を例示することができる。

【0062】

次に、ウエハ1は図1のスパッタ・エッチ・チャンバ57のウエハ・ステージにセット

50

され、表面の酸化膜を除去するためのスパッタ・エッチ処理が実行される。スパッタ・エッチ処理の条件としては、たとえば、ステージ温度無制御、圧力0.5パスカル程度、アルゴン流量37.5 sccm程度、プラズマ励起方法は、たとえばCCP(Capacitive Coupled Plasma)方式、高周波パワー400W(たとえば60MHz)、処理時間25程度、エッティング量は10nm程度を例示することができる。

【0063】

次に、ウエハ1は図1のチタン・スパッタ・チャンバ58のウエハ・ステージにセットされ、たとえば、PCMスパッタ方式によりチタン・スパッタ成膜処理が実行される。チタン・スパッタ成膜処理の条件としては、たとえば、ステージ温度設定摂氏355度程度、圧力10パスカル程度、アルゴン流量56 sccm程度、上部電極高周波パワー2.5 kW(たとえば60MHz)、処理時間6秒程度、成膜量は10nm程度を例示することができる。なお、この工程はPCM方式の外、他のイオン化スパッタ方式、またはイオン化スパッタ方式ではない通常のスパッタ成膜でも実施可能である。

10

【0064】

続いて、チタン膜23a上のほぼ全面に、上層バリア・メタル膜23b(窒化チタン膜)を反応性スパッタ成膜により形成する。この窒化チタン膜23bの反応性スパッタ成膜は、たとえば、以下のような手順で実施する。すなわち、ウエハ1は図1のチタン・スパッタ・チャンバ58から搬出され、窒化チタン反応性スパッタ成膜チャンバ59のウエハ・ステージにセットされ、窒化チタン膜23bの反応性スパッタ成膜処理が実行される。反応性スパッタ成膜処理の条件としては、たとえば、ステージ温度設定摂氏445度程度、圧力0.5パスカル程度、アルゴン流量56 sccm程度、窒素流量84 sccm程度、上部電極直流パワー9kW、処理時間35程度、成膜量は70nm程度を例示することができる。なお、この工程はPCM方式でも実施可能である。

20

【0065】

前記上層バリア・メタル膜23bとしては、窒化チタンのほか、TiW, TaN等が使用可能である。

【0066】

次に、シリサイデーション・アニールを実施すると、図12において、シリコン部材と接しているチタン膜23a部分が、その全厚にわたりチタン・シリサイド化するが、図示が煩雑になるので、図12から図14においては、これらの変化は表示しない。

30

【0067】

このシリサイデーション・アニールは、たとえば、以下のような手順で実施する。すなわち、ウエハ1は図1のマルチ・チャンバ型ウエハ処理装置の外部へ搬出される。そして、ウエハ容器53に収容されて、たとえば、バッチ式のアニール装置に移送され、シリサイデーション・アニール処理が実行される。このシリサイデーション・アニール処理の条件としては、たとえば、温度摂氏650度程度、雰囲気圧力は、たとえば常圧、窒素ガス流量15リットル/分程度、処理時間10分程度を例示することができる。なお、この工程はマルチ・チャンバ型ウエハ処理装置51内またはその他の場所に設けられた枚葉式のRTA装置によっても実施可能である。

40

【0068】

シリサイデーション・アニールが完了すると、図13に示すように、PCMスパッタ成膜により、窒化チタン膜23b上のほぼ全面に、シード・アルミニウム系メタル膜24sを形成する。

【0069】

このシード・アルミニウム系メタル膜24sのスパッタ成膜は、たとえば、以下のような手順で実施する。すなわち、ウエハ1は、バッチ式のアニール装置から排出され、図1のウエハ搬送容器(ウエハ・カセット)53に収容されて、マルチ・チャンバ型ウエハ処理装置51のロード・ポート52にセットされる。そこから、ウエハ1は、再び、脱ガス・チャンバ56内のウエハ・ステージにセットされ、表面の水分等を除去するためのプレ

50

・ヒート処理が実行される。プレ・ヒート処理の条件としては、たとえば、ステージ温度設定摂氏375度程度、圧力266パスカル程度、アルゴン流量200sccm程度、処理時間50秒程度を例示することができる。

【0070】

その後、ウエハ1は、図1及び図2に示すアルミニウム系メタル膜スパッタリング・チャンバ61内のウエハ・ステージ62上にセットされ、シード・アルミニウム系メタル膜24sのスパッタ成膜処理が実行される。このシード・アルミニウム系メタル膜成膜処理の条件としては、たとえば、ステージ温度設定摂氏420度程度（静電チャックはオフ）、圧力5パスカル程度、アルゴン流量20sccm程度、上部電極高周波パワー4kW（たとえば60MHz）、上部電極直流パワー1kW、下部電極高周波パワー200W（たとえば13.56MHz）、処理時間3分程度、成膜量は600nm程度を例示することができる。なお、ステージ温度設定の好適な範囲としては、摂氏400度から摂氏440度程度である。ここで、静電チャックをオフとすることで、シード・アルミニウム系メタル膜成膜処理時に、ウエハ温度が上がりすぎ、堆積したアルミニウム系メタル部材のリフローが過剰に進行して、ソース・コンタクト溝22の上部を閉鎖することを回避することができる。すなわち、アルミニウム系メタル部材膜形成の前半部分では、リフローによる平坦化よりも、ソース・コンタクト溝22の底面部に十分厚いアルミニウム系メタル部材膜を形成することの方が、最終的な埋め込み特性への寄与が大きい。従って、下部電極のバイアスは、メタル・イオンをウエハ上に、より垂直に行きこむ点で、この前半部分においては、特に有効である。

10

20

30

40

【0071】

次に、図14に示すように、シード・アルミニウム系メタル膜24s上のほぼ全面に、PCMスパッタ成膜により、シード・アルミニウム系メタル膜24sと一緒に成って、凹部（ソース・コンタクト溝）22の内部を満たし、更に凹部（ソース・コンタクト溝）22外の窒化チタン膜23b上を覆うように、アルミニウム系メタル膜24を形成する。すなわち、この処理により、特徴的なシーム・パターン（縫い目パターン）25を伴うソース電極24（IGBTにあってはエミッタ電極）となるべきアルミニウム系メタル膜24は形成される。

【0072】

この後者のアルミニウム系メタル膜24のスパッタ成膜処理（後半部分）は、たとえば、以下のような手順で実施する。すなわち、ウエハ1は、シード・アルミニウム系メタル膜24sの成膜の際の成膜室61のウエハ・ステージ62上にセットされた状態で（諸条件もほぼそのままの状態で）、連続的に、以下の処理条件に移行する。すなわち、後者のアルミニウム系メタル膜24のスパッタ成膜処理の条件としては、たとえば、ステージ温度設定摂氏420度程度（静電チャックはオン）、圧力5パスカル程度、アルゴン流量20sccm程度、上部電極高周波パワー4kW（たとえば60MHz）、上部電極直流パワー1kW、下部電極高周波パワーはオフ、処理時間3分程度、成膜量は600nm程度を例示することができる。なお、ステージ温度設定の好適な範囲としては、摂氏400度から摂氏440度程度である。

50

【0073】

なお、スパッタ成膜処理（前半部分および後半部）の際のステージ温度設定は、摂氏400度未満では、十分にリフローが進まず、摂氏440度を越えると不所望なメタルの凝集現象がおきやすくなる。また、スパッタ成膜処理（後半部）において、下部電極高周波パワーはオンにしておくと、ウエハ温度の不所望な上昇により、同様な凝集現象が起こる傾向がある。

【0074】

5. 本願の一実施の形態の半導体装置の製造方法により製造したパワーMOSFETの断面形状を示すデータ等の説明（主に図15および図16）

以上に説明した本願の一実施の形態の半導体装置の製造方法により製造したトレチ・ゲート型のパワーMOSFETの断面形状のSEM写真を図15および図16に示す。図

50

16は、図15の部分拡大である。図16のSEM写真中において、中心より若干上のほぼ水平に走る白い曲線が図11のアルミニウム系メタル膜24(ソース電極)の上端である。これより、前記実施形態の方法により、アスペクト比の大きな溝でも、ボイドが発生することなく、うまく充填できていることがわかる。

【0075】

6. サマリ

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本願の発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0076】

例えば、前記実施の形態では、パワーMOSFETを例にとり具体的に説明したが、本願の発明はそれに限定されるものではなく、IGBT等のその他の単体や、それらを含む集積回路素子その他に広く適用できることは言うまでもない。

【0077】

また、前記実施の形態では、Nチャネル型パワーMOSFET等のNチャネル型デバイスについて具体的に説明したが、本願の発明はそれに限定されるものではなく、Pチャネル型パワーMOSFET等のPチャネル型デバイスにも適用できることは言うまでもない。その場合には、前記実施の形態において、PとNを総入れ替えするPN反転操作を実行すればよい。

【0078】

また、前記実施の形態では、メタル部材膜の形成方法として、主にスパッタ成膜法を中心に説明したが、本願の発明はそれに限定されるものではなく、必要に応じて、CVD法、メッキ法等の適用できることは言うまでもない。

【符号の説明】

【0079】

- 1 半導体ウエハ(エピタキシャル・ウエハ)
- 1 a ウエハのデバイス面(第1の主面)
- 1 b ウエハの裏面
- 1 e エピタキシャル層(n型エピタキシャル層)
- 1 s n+シリコン基板部
- 2 n型ドリフト領域
- 3 p型チャネル領域(p型ベース領域)
- 4 n+ソース領域
- 5 p+ボディ・コンタクト領域
- 6 トレンチ・ゲート電極(ポリシリコン電極)
- 7 ゲート絶縁膜
- 8 チップ又はチップ領域
- 9 レジスト膜
- 1 1 ソース・パッド
- 1 3 ゲート・パッド
- 1 4 スクライブ領域(ダイシング領域)
- 1 9 ガード・リング
- 2 1 層間絶縁膜
- 2 2 p 層間絶縁膜等の凹部周辺の部材
- 2 2 凹部(ソース・コンタクト溝)
- 2 3 バリア・メタル膜
- 2 3 a 下層バリア・メタル膜(チタン膜)
- 2 3 b 上層バリア・メタル膜
- 2 4 アルミニウム系メタル膜(ソース電極)
- 2 4 s シード・アルミニウム系メタル膜

10

20

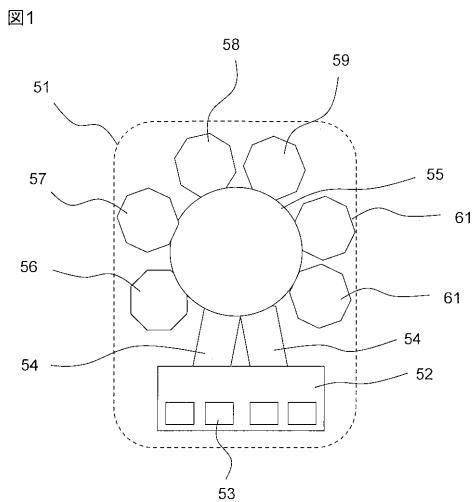
30

40

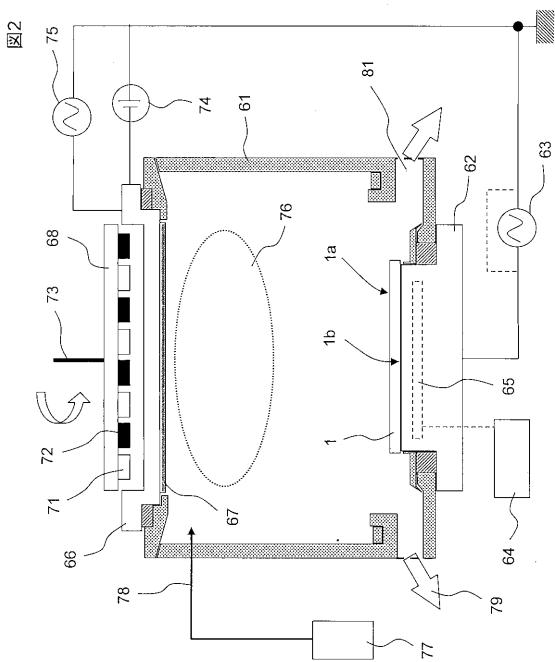
50

2 5	シーム・パターン（縫い目パターン）	
5 1	マルチ・チャンバ型ウエハ処理装置	
5 2	ロード・ポート（または前室）	
5 3	ウエハ搬送容器（ウエハ・カセット）	
5 4	ロード・ロック室	
5 5	真空搬送室	
5 6	脱ガス・チャンバ	
5 7	スパッタ・エッチング・チャンバ	
5 8	チタン・スパッタ・チャンバ	
5 9	窒化チタン反応性スパッタ成膜チャンバ	10
6 1	アルミニウム系メタル膜スパッタリング・チャンバ	
6 2	下部電極（ウエハ・ステージ）	
6 3	下部電極高周波バイアス電源（第2の高周波電力）	
6 4	静電チャック制御系	
6 5	静電チャック電極	
6 6	上部電極（ターゲット・バックキング・プレート）	
6 7	ターゲット	
6 8	マグネット保持回転テーブル	
7 1	マグネット（S極）	
7 2	マグネット（N極）	20
7 3	回転軸	
7 4	上部電極直流バイアス電源（直流バイアス）	
7 5	上部電極高周波電源（第1の高周波電力）	
7 6	プラズマ	
7 7	ガス供給制御系	
7 8	ガス供給経路	
7 9	真空排気系	
8 1	排気口	
G	セル繰り返し単位領域	
L	凹部周辺拡大部	30
R	帯状繰り返しデバイス・パターン領域切り出し部分	

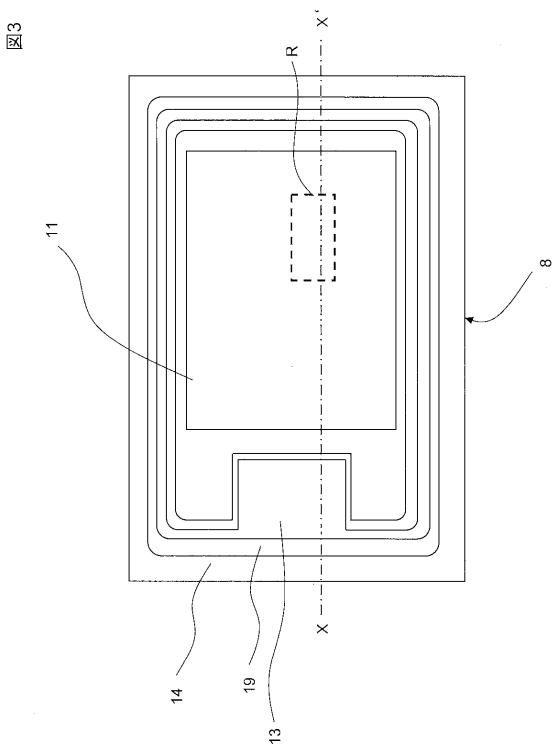
【図1】



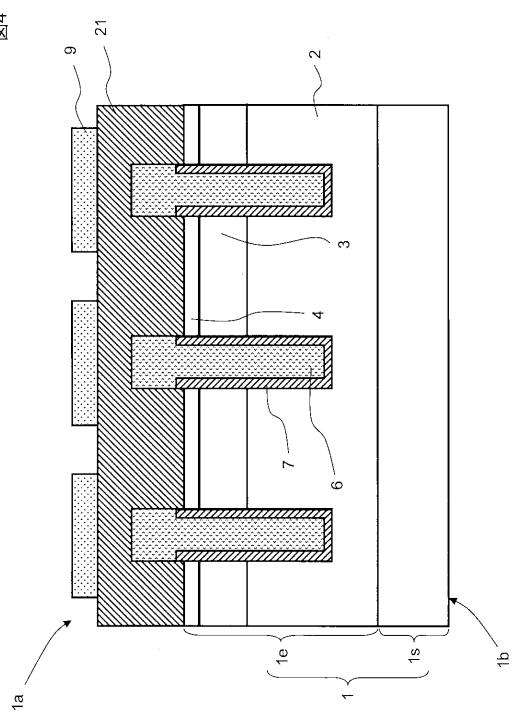
【図2】



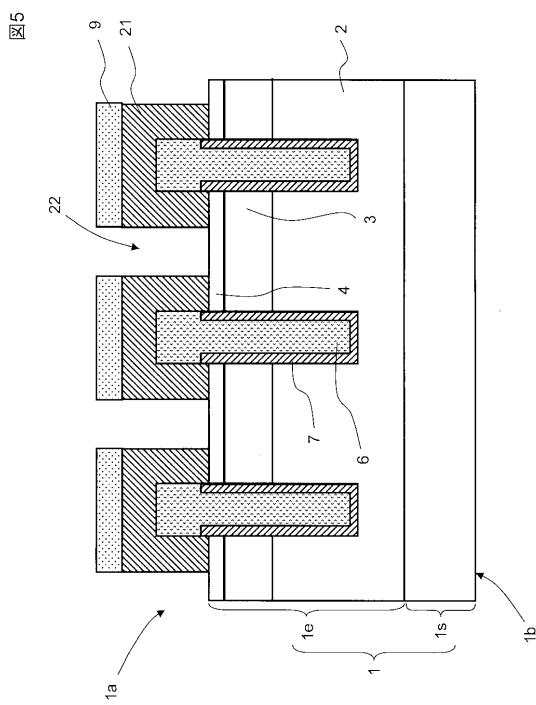
【図3】



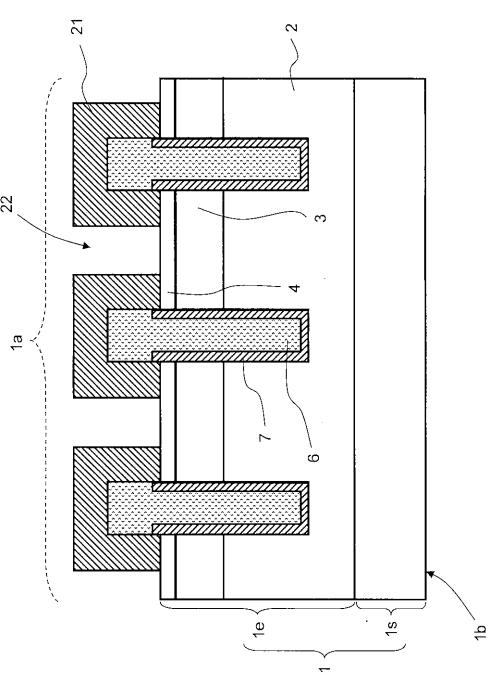
【図4】



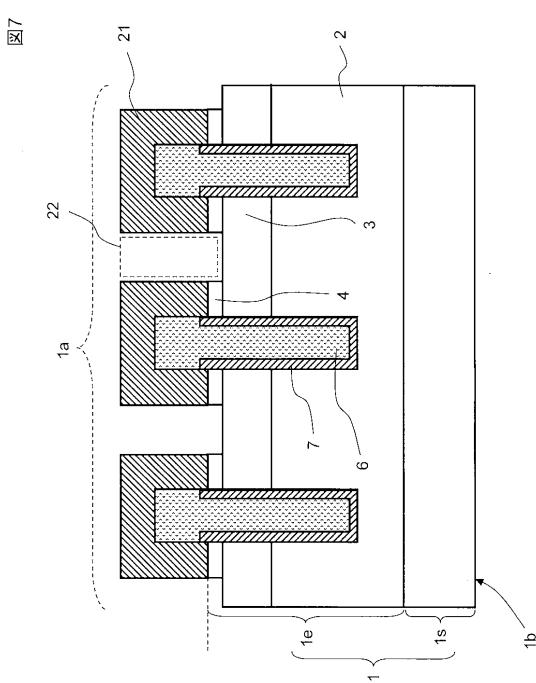
【図5】



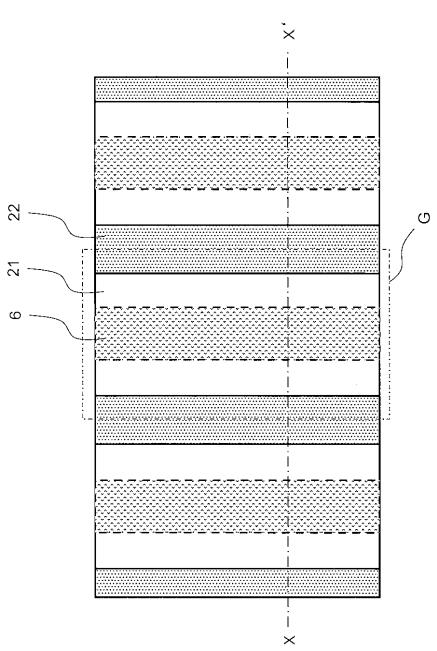
【図6】



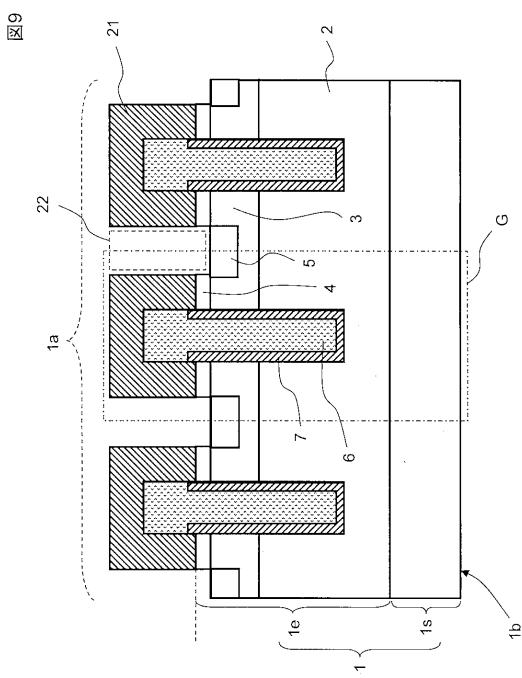
【図7】



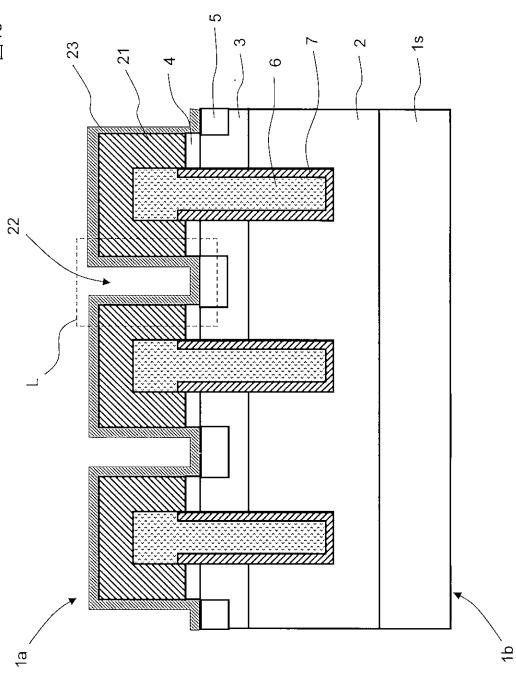
【図8】



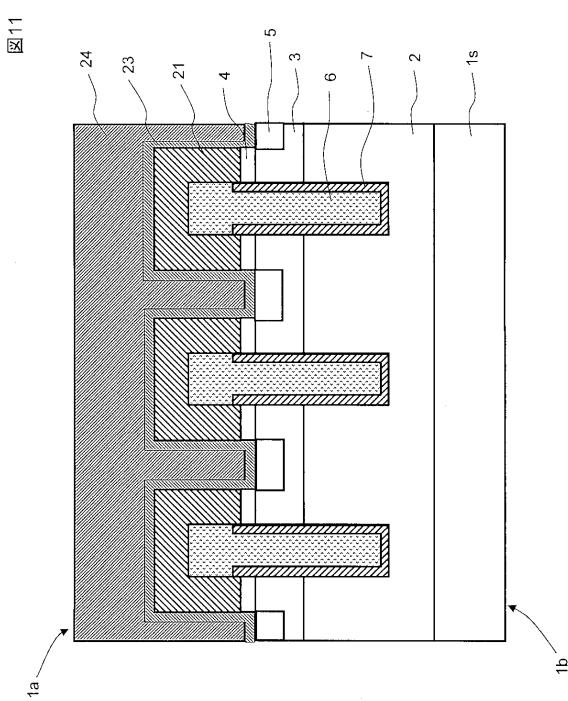
【図9】



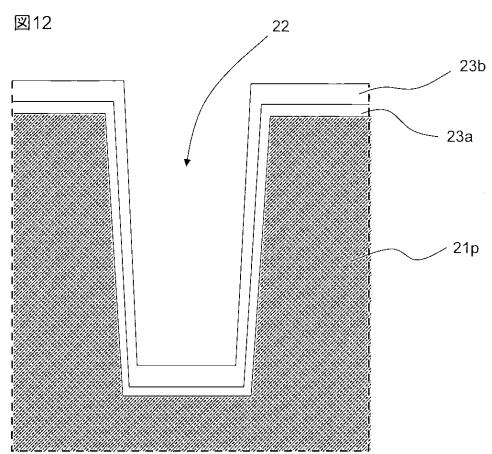
【図10】



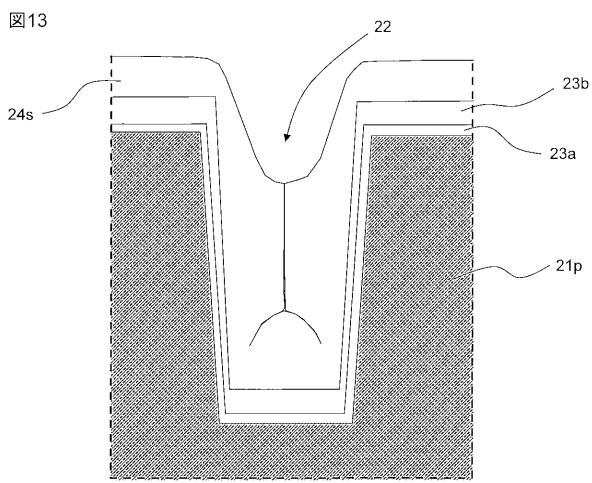
【図11】



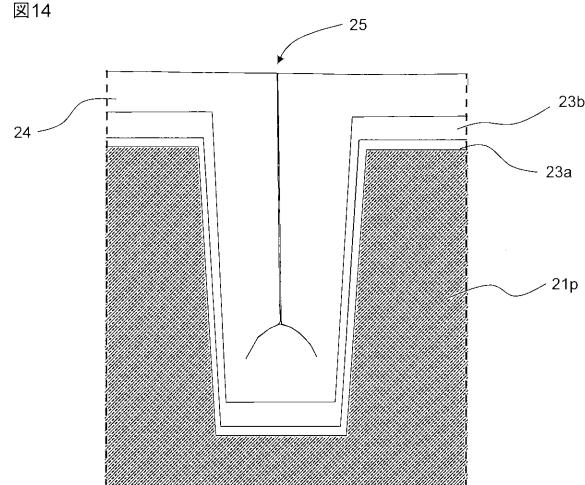
【図12】



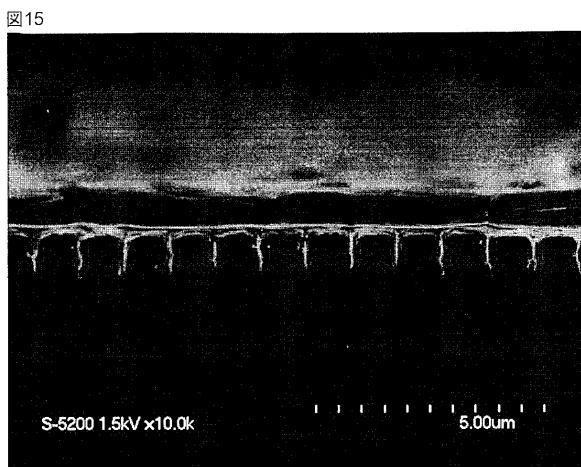
【図 1 3】



【図 1 4】

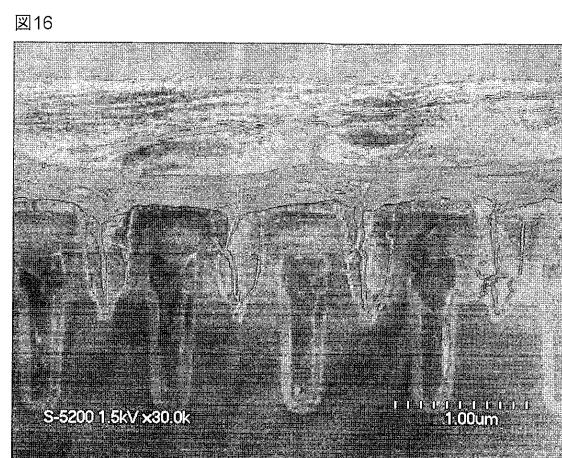


【図 1 5】



埋め込み形状のSEM写真(広域)

【図 1 6】



埋め込み形状のSEM写真(拡大)

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 29/739 (2006.01)	H 01 L 29/78	6 5 2 S
H 01 L 21/336 (2006.01)	H 01 L 29/78	6 5 5 A
	H 01 L 29/78	6 5 8 F

F ターム(参考) 5F033 HH04 HH08 HH09 HH11 HH18 HH19 HH21 HH23 HH27 HH28
JJ01 JJ08 JJ09 JJ11 JJ18 JJ19 JJ21 JJ23 JJ27 JJ28
KK01 KK27 NN06 NN07 NN13 PP06 PP15 PP16 PP18 PP21
PP27 PP28 QQ07 QQ09 QQ11 QQ14 QQ21 QQ37 QQ70 QQ73
QQ74 QQ82 QQ94 RR01 RR04 RR06 RR09 RR14 RR15 RR29
SS04 SS11 SS21 VV06 WW00 WW03 XX02 XX04