

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年8月31日 (31.08.2006)

PCT

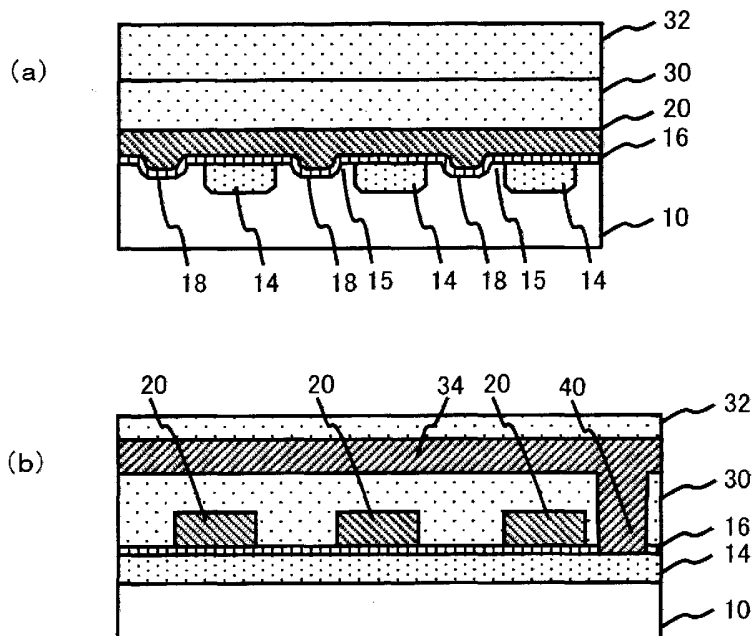
(10) 国際公開番号
WO 2006/090441 A1

- (51) 国際特許分類:
H01L 29/792 (2006.01) H01L 21/8247 (2006.01)
H01L 27/10 (2006.01)
- (21) 国際出願番号: PCT/JP2005/002890
- (22) 国際出願日: 2005年2月23日 (23.02.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワンエイ
エムディ プレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845
福島県会津若松市門田町工業団地6番 Fukushima (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 東雅彦 (HI-
GASHI, Masahiko) [JP/JP]; 〒9650060 福島県会津若
- (81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,
SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: Disclosed is a semiconductor device comprising a semiconductor substrate (10) having source/drain diffusion regions (14), and a control gate (20) formed on the semiconductor substrate (10). The surface of the semiconductor substrate is provided with a groove portion (18) which is positioned below the control gate (20) while being arranged between the source/drain diffusion regions (14). By lengthening the effective channel length, a certain channel length for storing electric charges can be secured in this semiconductor device, while enabling miniaturization of memory cells. Also disclosed is a method for manufacturing such a semiconductor device.

[続葉有]

WO 2006/090441 A1



IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 本発明は、ソース・ドレイン拡散領域(14)を有する半導体基板(10)と、該半導体基板(10)上に形成された制御ゲート(20)と、を具備し、前記制御ゲート(20)の下であって、前記ソース・ドレイン拡散領域(14)の間に位置する溝部(18)を、前記半導体基板表面に設けた半導体装置である。実効的なチャンネル長を広くすることにより、電荷を蓄積できる一定のチャンネル長を確保し、メモリセルの微細化が可能な半層体装置とその製造方法を提供することができる。

明 細 書

半導体装置及びその製造方法

技術分野

[0001] 本発明は不揮発性メモリ及びその製造方法に関し、特にONO (Oxide Nitride Oxide) 膜を有する不揮発性メモリ及びその製造方法に関する。

背景技術

[0002] 近年、データの書換えが可能な半導体装置である不揮発性メモリが広く利用されている。このような不揮発性メモリの技術分野においては、高記憶容量化のため、メモリセルの微細化を目的とした技術開発が進められている。

[0003] 不揮発性メモリとしては、フローティングゲートに電荷を蓄積するフローティングゲート型フラッシュメモリが広く用いられてきた。しかし、高記憶密度化実現のためメモリセルの微細化が進行すると、フローティングゲート型フラッシュメモリを設計することが困難となってくる。フローティング型フラッシュメモリのメモリセルの微細化に伴い、トンネル酸化膜の薄膜化が必要である。しかし、トンネル酸化膜の薄膜化により、トンネル酸化膜を流れるリーク電流が増大し、またトンネル酸化膜への欠陥の導入により、フローティングゲートに蓄積された電荷が損失するといった信頼性上の障害が発生するためである。

[0004] これを解決するために、MONOS (Metal Oxide Nitride Oxide Silicon) 型やSONOS (Silicon Oxide Nitride Oxide Silicon) 型といったONO (Oxide Nitride Oxide) 膜を有するフラッシュメモリがある。これは、酸化シリコン膜層に挟まれたトラップ層と呼ばれる窒化シリコン膜層に電荷を蓄積するフラッシュメモリである。このフラッシュメモリは絶縁膜である窒化シリコン膜層に電荷を蓄積するため、トンネル酸化膜に欠陥があっても、フローティングゲート型のように電荷の損失が発生し難い。また、同じメモリセルのトラップ層に多値のビットを記憶させることが可能であり、不揮発性メモリの高記憶容量化に有利である。ONO膜を有するフラッシュメモリは例えば特許文献1に記載されている。

[0005] 従来のONO膜を有するフラッシュメモリ (以下、従来技術) について説明する。フラ

ッシュメモリはメモリセル領域と周辺回路領域を有している。図1は従来技術のメモリセル領域の上視図(保護膜32、配線34、層間絶縁膜30、ONO膜16aは図示していない)、である。図2は図1の拡大図。図3(a)は図2のA-A'断面図、図3(b)は図2のB-B'断面図である。

- [0006] 図1および図2のように、メモリセル領域には、半導体基板10a内に形成された縦方向に延在するビットラインを兼ねるソース・ドレイン拡散領域14と、半導体基板上に形成された横方向に延在するワードラインを兼ねる制御ゲート20aが配置されている。図3のように、ソース・ドレイン拡散領域14はP型シリコン半導体基板10aへの不純物のイオン注入および熱処理による拡散領域によって形成されており、半導体基板10aに埋め込まれている。ONO膜16aが半導体基板10a上に形成され、ONO膜16a上に制御ゲート20aが形成されている。制御ゲート20a下であってソース・ドレイン拡散領域14間の半導体基板10aがチャンネル15aである。
- [0007] トランジスタ上に、層間絶縁膜30としてBPSG (Boro Phospho Silicated Glass)等の酸化シリコン膜が形成されている。層間絶縁膜30上には配線34が形成され、コンタクトホール40を介しソース・ドレイン拡散領域14と接続している。配線34上には保護膜32が形成されている。
- [0008] ONO膜16aは、トンネル酸化膜である酸化シリコン層、トラップ層である窒化シリコン層、トップ酸化膜である酸化シリコン層からなる。データの書き込みは、チャンネル15aに高電界を印加し、ホットエレクトロンをチャンネル15a上のトラップ層に注入し蓄積することにより行われる。トラップ層に蓄積された電荷は、トラップ層が酸化シリコン膜に囲まれているため、保持される。データの消去は、チャンネル15aで発生したホットホールをトラップ層に注入する方法や、トンネル酸化膜にF-N (Fowler-Nordheim)トンネル電流を流す方法がある。
- [0009] また、特許文献1の図15のように、電荷の蓄積を、1つのトランジスタにつき2箇所できるため、2値のデータを書き込むことができる。これにより、高記憶容量化を図ることができる。
- [0010] ソース・ドレイン拡散領域14はビットラインを兼ねているため、メモリセルの微細化が図れる。しかし、ソース・ドレイン拡散領域14は拡散領域により形成されているため、

金属に比べ抵抗が高い。このため、のビットラインであるソース・ドレイン拡散領域14のみではデータの書き込み、読み込み特性が悪化してしまう。そこで、図1のように、ワードライン(制御ゲート)20a複数本毎にビットライン・コンタクト領域42を配置し、ビットライン・コンタクト領域42にて、ビットラインであるソース・ドレイン拡散領域14がコンタクトホール40を介し金属で形成された配線34に接続している。これにより、ビットラインの抵抗を低くし、データの書き込み、読み込み特性を向上させている。

特許文献1: 米国特許第6011725号明細書

発明の開示

発明が解決しようとする課題

- [0011] しかしながら、従来技術においては、メモリセルの微細化が困難になるという問題がある。以下説明する。従来技術においては、ソース・ドレイン拡散領域14を拡散領域により形成している。ソース・ドレイン拡散領域14はビットラインも兼ねており、ワードラインを兼ねる制御ゲート20aの下にも延在させる必要がある。そのため、ソース・ドレイン拡散領域14は、制御ゲート20aの形成前に形成する。ソース・ドレイン拡散領域14の形成後に、制御ゲート20aや配線34の製造工程の熱処理工程を経ることとなる。このような熱処理工程によりソース・ドレイン拡散領域14内の不純物が横方向に拡散し、ソース・ドレイン拡散領域14の幅が広がる。これにより、チャンネル長が狭くなってしまふ。チャンネル長が狭くなると、ONO膜16aに電荷を蓄積する十分な領域が確保できない。仮に、これを防ぐため、ソース・ドレイン拡散領域間隔を広くすれば、チャンネル長は確保できる。しかし、メモリセルの微細化は困難となる。
- [0012] 一方、ソース・ドレイン拡散領域14を形成する際の、イオン注入のドーズ量やイオンエネルギーを小さくすることで、不純物の横方向の拡散を抑制でき、チャンネル長は広くできる。しかし、ソース・ドレイン拡散領域14はビットラインも兼ねており、ビットラインの抵抗が高くなってしまふ。よって、データの書き込み、読み込み特性を悪化させないため、コンタクトホール40による配線34との接続を、頻繁に行う必要がある。これでは、ビットライン・コンタクト領域42が多く必要になり、メモリセルの微細化が困難となる。
- [0013] 本発明は、ソース・ドレイン拡散領域の横方向の拡散があつたとしても、電荷を蓄積できる一定のチャンネル長を確保し、メモリセルの微細化が可能な半層体装置とその製

造方法を提供することを目的とする。

課題を解決するための手段

- [0014] 本発明は、ソース・ドレイン拡散領域を有する半導体基板と、該半導体基板上に形成されたONO膜と、該ONO膜上に形成された制御ゲートと、を具備し、前記制御ゲートの下であって、前記ソース・ドレイン拡散領域の間に位置する溝部を、前記半導体基板表面に設けた半導体装置である。本発明によれば、チャンネルに溝部を形成し、実効的なチャンネル長を広くすることにより、ソース・ドレイン拡散領域の横方向の拡散があったとしても、電荷を蓄積できる一定のチャンネル長を確保し、メモリセルの微細化が可能な半層体装置を提供することができる。
- [0015] 本発明は、前記溝部は前記ソース・ドレイン拡散領域から分離している半導体装置である。本発明によれば、データの書き込みが容易な半導体装置を提供することができる。
- [0016] 本発明は、前記ソース・ドレイン拡散領域を前記溝部と自己整合的に形成した半導体装置である。本発明によれば、溝部をソース・ドレイン拡散領域から確実に分離し、データの書き込みが容易な半導体装置を提供することができる。
- [0017] 本発明は、前記ソース・ドレイン拡散領域がビットラインと共通である半導体装置である。本発明によれば、メモリセルを微細化することができる。
- [0018] 本発明は、前記溝部の表面に前記ONO膜が接している半導体装置である。本発明によれば、ONO膜に電荷を蓄積できる一定のチャンネル長を確保することができる。
- [0019] 本発明は、半導体基板表面に溝部を形成する第1の工程と、前記半導体基板内の前記溝部の両側にソース・ドレイン拡散領域を形成する第2の工程と、前記半導体基板上にONO膜を形成する工程と、前記ONO膜上に制御ゲートを形成する工程と、を備えた半導体装置の製造方法である。本発明によれば、チャンネルに溝部を形成し、実効的なチャンネル長を広くすることにより、ソース・ドレイン拡散領域の横方向の拡散があったとしても、電荷を蓄積できる一定のチャンネル長を確保し、メモリセルの微細化が可能な半層体装置の製造方法を提供することができる。
- [0020] 本発明は、前記第1の工程が、前記半導体基板表面を熱酸化させることにより熱酸

化シリコン膜を形成する第3工程と、前記熱酸化シリコン膜を除去する工程と、を備えた半導体装置の製造方法である。本発明によれば、溝部深さの分布を良くし、トランジスタ特性の分布の少ない半導体装置の製造方法を提供することができる。

[0021] 本発明は、前記第1の工程の前に、前記半導体基板上に開口部を有する絶縁膜を形成する工程と、前記開口部の側部に側壁を形成する工程と、を備え、前記第3の工程が、前記絶縁膜と前記側壁をマスクに、前記半導体基板表面を熱酸化させることにより熱酸化シリコン膜を形成する工程である半導体装置の製造方法である。本発明によれば、溝部をソース・ドレイン拡散領域から分離し、データの書き込みが容易な半導体装置の製造方法を提供することができる。

[0022] 本発明は、前記第2の工程が、前記熱酸化シリコン膜および前記側壁をマスクにイオン注入し、前記ソース・ドレイン拡散領域を形成する半導体装置の製造方法である。本発明によれば、溝部をソース・ドレイン拡散領域から確実に分離し、データの書き込みが容易な半導体装置の製造方法を提供することができる。

[0023] 本発明は、前記絶縁膜が窒化シリコン膜であり、前記側壁が酸化シリコン膜である半導体装置の製造方法である。本発明によれば、絶縁膜を除去する際に、側壁と熱酸化シリコン膜を選択的に残存させることができる。

発明の効果

[0024] 本発明によれば、チャンネルに溝部を形成し、実効的なチャンネル長を広くすることにより、ソース・ドレイン拡散領域の横方向の拡散があったとしても、電荷を蓄積できる一定のチャンネル長を確保し、メモリセルの微細化が可能な半層体装置とその製造方法を提供することができる。

図面の簡単な説明

[0025] [図1]図1は従来技術のメモリセル領域の上視図(その1)である。

[図2]図2は従来技術のメモリセル領域の上視図(その2)である。

[図3]図3は従来技術の断面図であり、(a)が図2のA-A'の断面図、(b)が図2のB-B'の断面図である。

[図4]図4は実施例1のメモリセル領域の上視図である。

[図5]図5は実施例1の断面図であり、(a)が図4のA-A'断面図、(b)が図4のB-B'

の断面図である。

[図6]図6は実施例1の製造工程を示す断面図(その1)であり、(a)が図4のA-A'に相当する断面図、(b)が図4のB-B'に相当する断面図である。

[図7]図7は実施例1の製造工程を示す断面図(その2)であり、(a)が図4のA-A'に相当する断面図、(b)が図4のB-B'に相当する断面図である。

[図8]図8は実施例1の製造工程を示す断面図(その3)であり、(a)が図4のA-A'に相当する断面図、(b)が図4のB-B'に相当する断面図である。

[図9]図9は実施例1の製造工程を示す断面図(その4)であり、(a)が図4のA-A'に相当する断面図、(b)が図4のB-B'に相当する断面図である。

[図10]図10は実施例1の製造工程を示す断面図(その5)であり、(a)が図4のA-A'に相当する断面図、(b)が図4のB-B'に相当する断面図である。

[図11]図11は実施例1の製造工程を示す断面図(その6)であり、(a)が図4のA-A'に相当する断面図、(b)が図4のB-B'に相当する断面図である。

[図12]図12は実施例1の製造工程を示す断面図(その7)であり、(a)が図4のA-A'に相当する断面図、(b)が図4のB-B'に相当する断面図である。

発明を実施するための最良の形態

[0026] 以下、本発明の実施例を説明する。

実施例 1

[0027] 図4は実施例1のメモリセル領域の上視図(保護膜32、配線34、層間絶縁膜30、ONO膜16)は図示していない)、図5(a)は図4のA-A'断面図、図5(b)は図4のB-B'断面図である。図4のように、メモリセル領域には、半導体基板10内に縦方向に延在するビットラインを兼ねるソース・ドレイン拡散領域14と、半導体基板上に横方向に延在するワードラインを兼ねる制御ゲート20が配置されている。また、ソース・ドレイン拡散領域14の間のチャンネル15領域に、ソース・ドレイン拡散領域14の延在する方向と同じ方向に延在する溝部18(図4では破線で示した)が形成されている。

[0028] 図5のように、ソース・ドレイン拡散領域14はP型シリコン半導体基板10に埋め込まれている。ONO膜16が半導体基板10上に形成され、ONO膜16上に制御ゲート20が形成されている。制御ゲート20下であってソース・ドレイン拡散領域間の半導体

基板10がチャネル15である。チャネル15には溝部18が形成されている。つまり、溝部18は、制御ゲート20下であってソース・ドレイン拡散領域間の半導体基板10の表面に形成されている。トランジスタ上に、層間絶縁膜30が形成されている。層間絶縁膜30上には配線34が形成され、コンタクトホール40を介しソース・ドレイン拡散領域14と接続している。配線34上には保護膜32が形成されている。

[0029] 実施例1においては、溝部18が形成されることにより、チャネル15の実効的なチャネル長が広がる。また、電荷を蓄積できるONO膜16も広がる。このため、ソース・ドレイン拡散領域の横方向の拡散があったとしても、電荷を蓄積できる一定のチャネル長を確保し、メモリセルの微細化が可能な半層体装置ことができ、メモリセルの微細化が容易となる。

[0030] 以下、実施例1の製造方法につき説明する。図6から図12の(a)は図4のA-A'に相当する断面図、(b)は図4のB-B'に相当する断面図である。図6を参照すると、P型シリコン半導体基板10(または、半導体基板内のP型領域)上に、熱酸化により酸化シリコン膜22を形成する。その後、酸化シリコン膜22上に、絶縁膜24を例えばCVD法を用い、例えば150nm厚の窒化シリコン膜を形成する。

[0031] 図7において、絶縁膜24の所定の領域を、通常露光技術、ドライエッチングを用い除去し開口部を形成する。このとき、開口部の幅は、例えば200nmとする。図8において、全面に、例えば70nm厚の酸化シリコン膜を形成し、全面を異方性エッチングすることにより、絶縁膜24の開口部の側部に例えば幅50nmの酸化シリコン膜の側壁26を形成する。全面に形成する酸化シリコン膜の膜厚を変えることにより、側壁26は所望の幅とすることができる。

[0032] 図9において、絶縁膜24と側壁26をマスクに、半導体基板10表面を熱酸化し熱酸化シリコン膜28を形成する。このとき、酸化シリコン膜の厚さを、例えば300nmとすることにより、半導体基板10には約140nmの溝部18が形成される。また、溝部18の幅は、ほぼ相対する側壁26の間隔となる。例えば、絶縁膜24の開口部の幅が200nm、側壁26の幅が50nmの場合、溝部18の幅は約100nmとなる。

[0033] 図10において、熱リン酸を用い、窒化シリコン膜24を除去する。このとき、側壁26は酸化シリコン膜で形成することにより熱リン酸では除去されない。熱酸化シリコン膜28

と側壁26マスクに、例えば砒素をイオン注入し熱処理することによりソース・ドレイン拡散領域14を形成する。イオン注入は、例えば10〜15keVのイオンエネルギー、 $1 \times 10^{15} \text{ cm}^{-3}$ のドーズ量で行う。ソース・ドレイン拡散領域14間の半導体基板10がチャネル15となる。

[0034] 図11において、熱酸化シリコン膜28、側壁26および酸化シリコン膜22を例えば弗酸により除去する。ソース・ドレイン拡散領域14間に溝部18が形成される。溝部18は、ソース・ドレイン拡散領域14から、側壁26の幅程度分離して形成される。その後、ONO膜16として、トンネル酸化膜の酸化シリコン膜を例えば熱酸化またはCVD法を用い、トラップ層の窒化シリコン膜をCVD法を用い、トップ酸化膜の酸化シリコン膜を例えば熱酸化またはCVD法により形成する。トンネル酸化膜、トラップ層、トップ酸化膜の膜厚は、例えば、7nm、10nm、10nmとする。

[0035] 図12において、ONO膜16上に例えば多結晶シリコン膜を形成し、所定領域をエッチングすることにより制御ゲート20を形成する。多結晶シリコン上をシリサイド化し、制御ゲート20の低抵抗化を図ることもできる。層間絶縁膜30をBPSG等の酸化シリコン膜で形成し、ビットライン・コンタクト領域42にコンタクトホール40を形成する。配線34を例えばアルミニウムで形成し、保護膜32を形成する。以上、メモリセル領域の製造工程につき説明したが、同一チップ内に周辺回路領域を形成することによりフラッシュメモリを製造することができる。

[0036] 溝部18は、例えばエッチングにより形成することもできる。しかし、溝部18をエッチングで形成すると、エッチングレートのウェーハ面内分布や再現性により、溝部18の深さも分布を持ってしまう。溝部18の深さが異なると、トランジスタのチャネル長が異なることになり、トランジスタの特性も異なる。よって、トランジスタの特性の分布が大きくなってしまう。

[0037] 実施例1においては、熱酸化シリコン膜28を形成し、除去することにより、溝部18を形成している。熱酸化シリコン膜28の膜厚は温度、酸素分圧および時間で決まる。温度、酸素分圧および時間は制御し易い項目である。よって、熱酸化シリコン膜28の膜厚は、ウェーハ面内分布および再現性良く形成することができる。溝部18の深さは熱酸化したシリコン半導体基板10であるから、溝部18の深さも、ウェーハ面内分

布および再現性良く形成することができる。以上より、トランジスタのチャネル長のウェーハ面内分布および再現性良くすることができ、トランジスタの特性のウェーハ面内分布および再現性良くすることができる。このように、溝部18は半導体基板10に熱酸化シリコン膜28を形成し、除去することにより形成することが好ましい。

[0038] 熱酸化シリコン膜28と側壁26をマスクにイオン注入することによりソース・ドレイン拡散領域14を形成する工程を行っている。これにより、溝部18をソース・ドレイン拡散領域14から、側壁26の幅程度分離することができる。すなわち、ソース・ドレイン領域14を溝部18と自己整合的に形成している。仮に、溝部18がソース・ドレイン拡散領域14に接触した場合、チャネル15からソース・ドレイン拡散領域14に至る不純物濃度のプロファイルが急峻でなくなる。イオン注入による不純物濃度のプロファイルはイオン注入の方向に垂直方向の方が平行方向より急峻だからである。チャネル15からソース・ドレイン拡散領域14に至る不純物濃度のプロファイルが急峻でないと、データ書き込みの際に、チャネル15のソース・ドレイン拡散領域14端での電界が小さくなりホットエレクトロンが発生し難くなる。すなわち、データを書き込み難くなってしまう。

[0039] 実施例1においては、溝部18とソース・ドレイン拡散領域14の距離が側壁26の幅に保てるため、溝部18とソース・ドレイン拡散領域14を確実に分離できる。これにより、チャネル15からソース・ドレイン拡散領域14に至る不純物濃度のプロファイルを急峻に保つことができる。よって、データ書き込みの際に、チャネル15のソース・ドレイン拡散領域14端での電界を大きくし、ホットエレクトロンの発生が容易となる。すなわち、データの書き込みを容易にできる。さらに、ソース・ドレイン拡散領域14を溝部18に対し自己整合的に形成しているため、ソース・ドレイン拡散領域14と溝部18の距離を精度良く形成することができる。これにより、例えば前述したデータの書き込み特性等のトランジスタ特性の分布を小さくすることができる。

[0040] 実施例1においては、絶縁膜24を窒化シリコン膜、側壁26を酸化シリコン膜とすることを例示した。これにより、熱酸化シリコン膜28を形成した後、絶縁膜24を除去する際、熱リン酸を用いることにより、酸化シリコン膜22、側壁26および熱酸化シリコン膜28に対し容易に選択的に除去することができる。

[0041] 以上、発明の好ましい実施形態について詳述したが、本発明に係る特定の実施形

態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。例えば、MONOS(Metal Oxide Nitride Oxide Silicon)型、またはSONOS(Silicon Oxide Nitride Oxide Silicon)型のフラッシュメモリにも応用することが可能である。また、ONO膜のトラップ層は酸化アルミニウム膜その他トラップ層として機能する膜であればよい。

請求の範囲

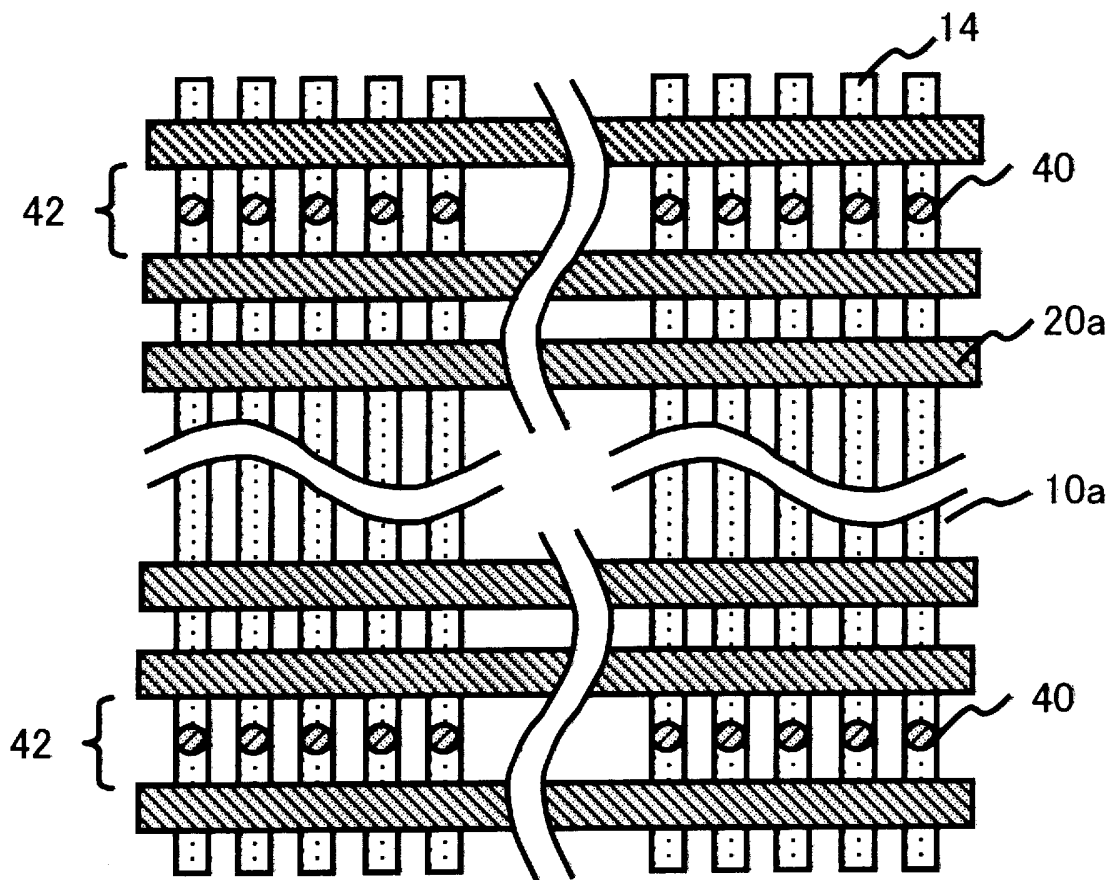
- [1] ソース・ドレイン拡散領域を有する半導体基板と、
該半導体基板上に形成されたONO膜と、
該ONO膜上に形成された制御ゲートと、
を具備し、
前記制御ゲートの下であって、前記ソース・ドレイン拡散領域の間に位置する溝部
を前記半導体基板表面に設けた半導体装置。
- [2] 前記溝部は前記ソース・ドレイン拡散領域から分離している請求項1記載の半導体装
置。
- [3] 前記ソース・ドレイン拡散領域を前記溝部と自己整合的に形成した請求項1または2
記載の半導体装置。
- [4] 前記ソース・ドレイン拡散領域がビットラインと共通である請求項1から3のいずれか一
項記載の半導体装置。
- [5] 前記溝部の表面に前記ONO膜が接している請求項1から4記載の半導体装置。
- [6] 半導体基板表面に溝部を形成する第1の工程と、
前記半導体基板内の前記溝部の両側にソース・ドレイン拡散領域を形成する第2
の工程と、
前記半導体基板上にONO膜を形成する工程と、
前記ONO膜上に制御ゲートを形成する工程と、
を備えた半導体装置の製造方法。
- [7] 前記第1の工程が、
前記半導体基板表面を熱酸化させることにより熱酸化シリコン膜を形成する第3工
程と、
前記熱酸化シリコン膜を除去する工程と、
を備えた請求項6記載の半導体装置の製造方法。
- [8] 前記第1の工程の前に、
前記半導体基板上に開口部を有する絶縁膜を形成する工程と、
前記開口部の側部に側壁を形成する工程と、

を備え、

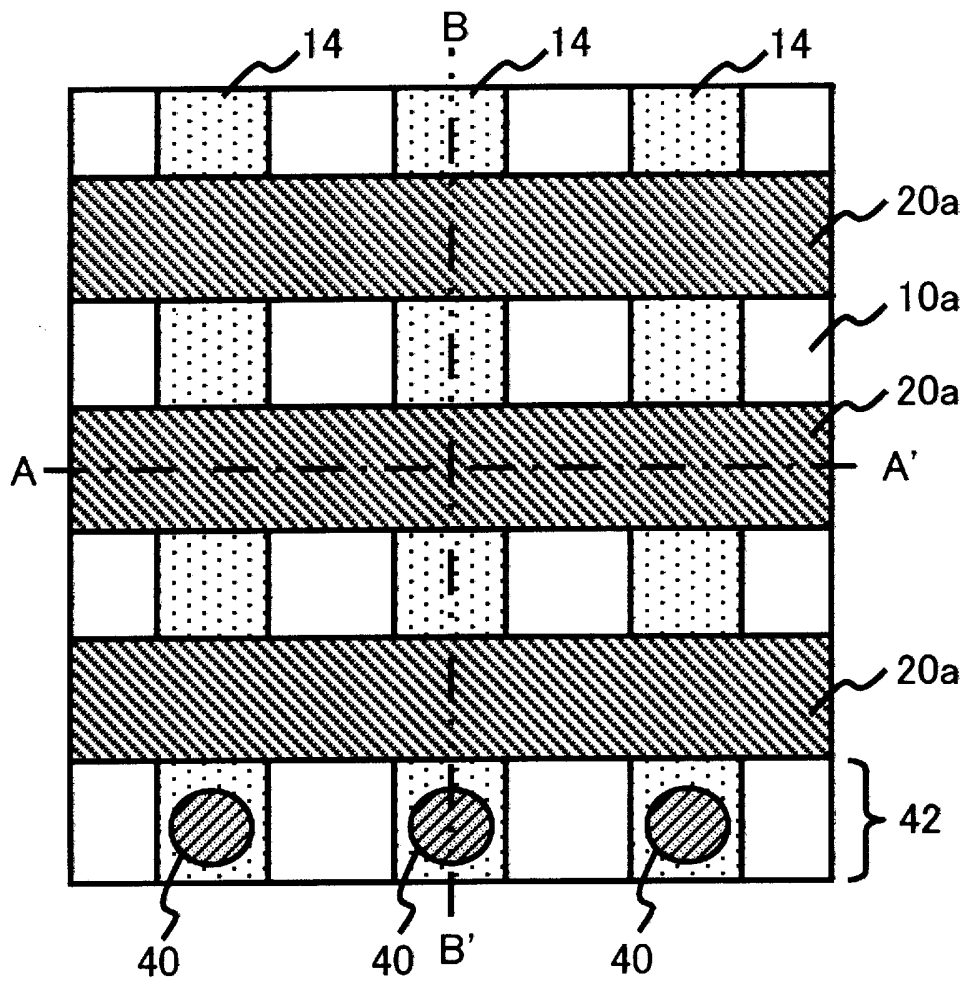
前記第3の工程が、前記絶縁膜と前記側壁をマスクに、前記半導体基板表面を熱酸化させることにより熱酸化シリコン膜を形成する工程である請求項7記載の半導体装置の製造方法。

- [9] 前記第2の工程が、前記熱酸化シリコン膜および前記側壁をマスクにイオン注入し、前記ソース・ドレイン拡散領域を形成する請求項8記載の半導体装置の製造方法。
- [10] 前記絶縁膜が窒化シリコン膜であり、前記側壁が酸化シリコン膜である請求項8または9項記載の半導体装置の製造方法。

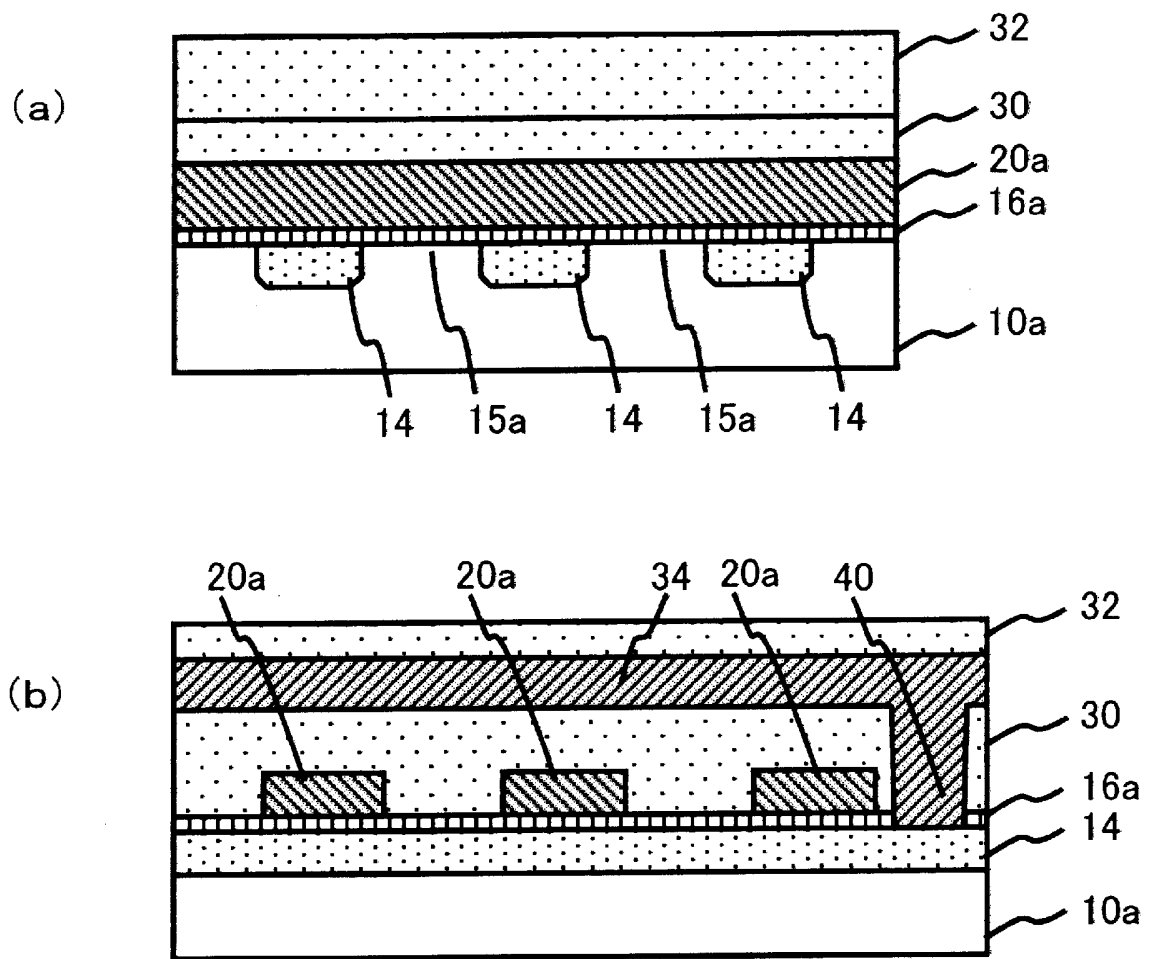
[図1]



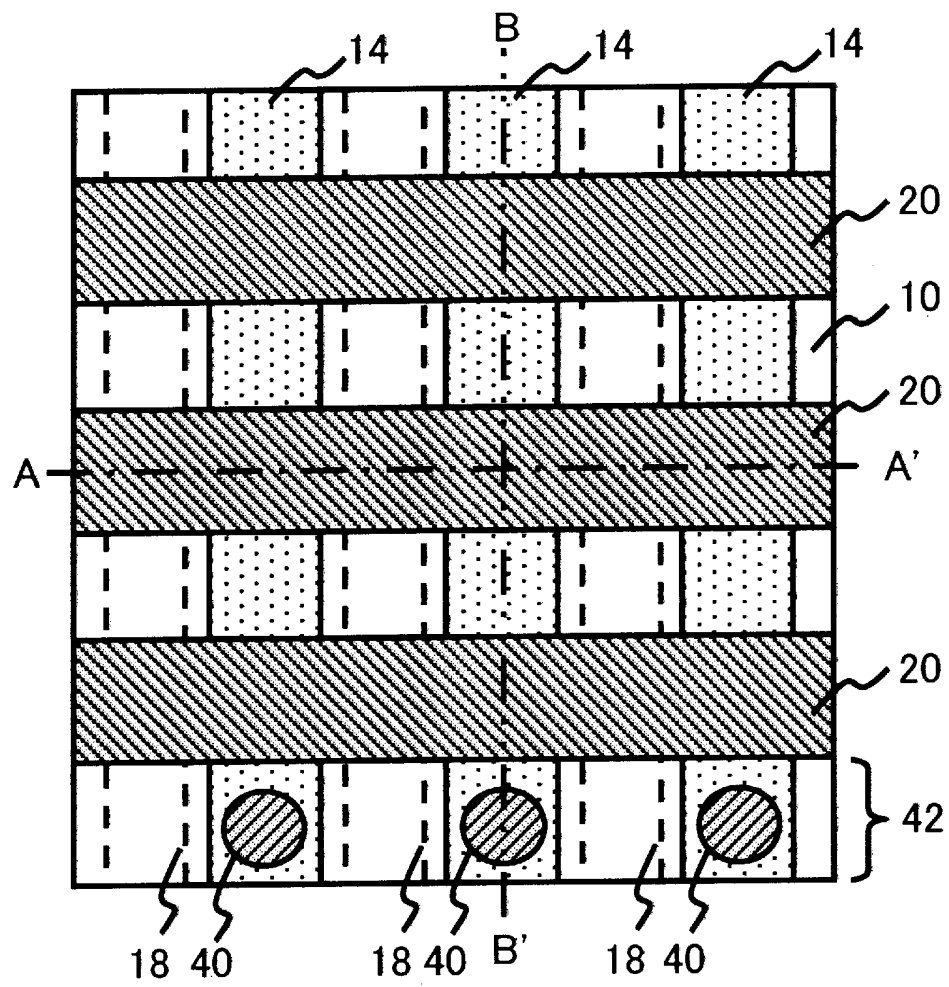
[図2]



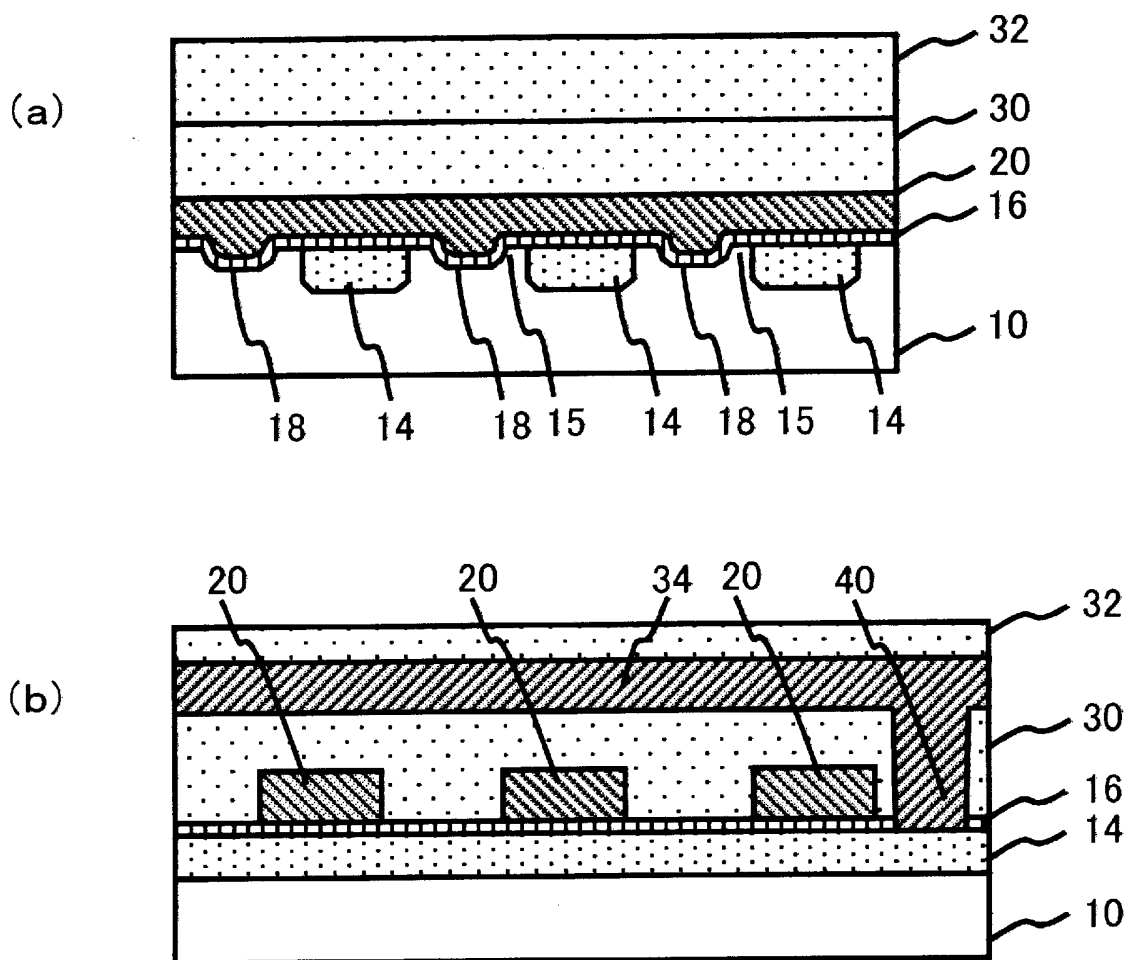
[図3]



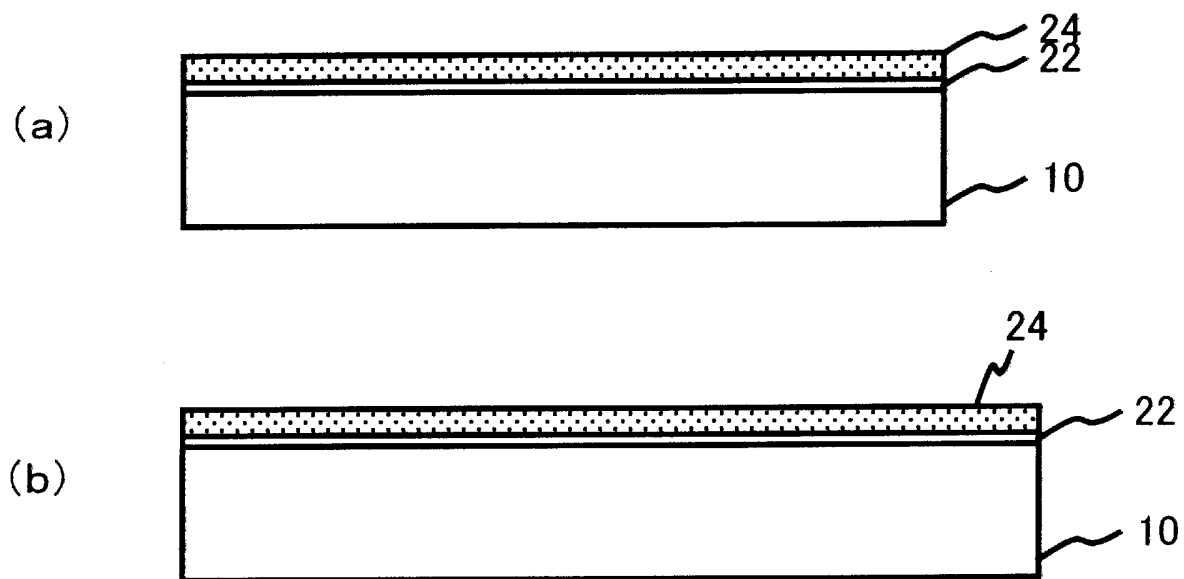
[図4]



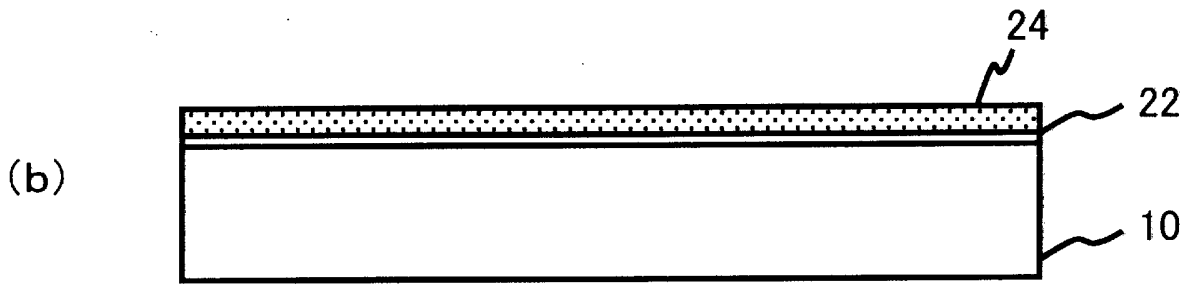
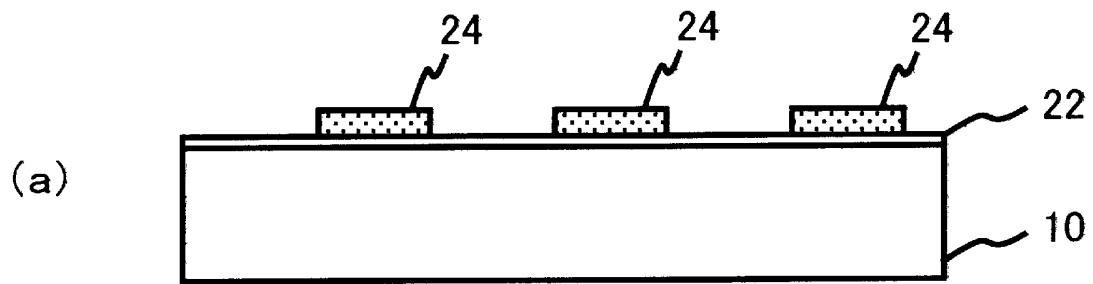
[図5]



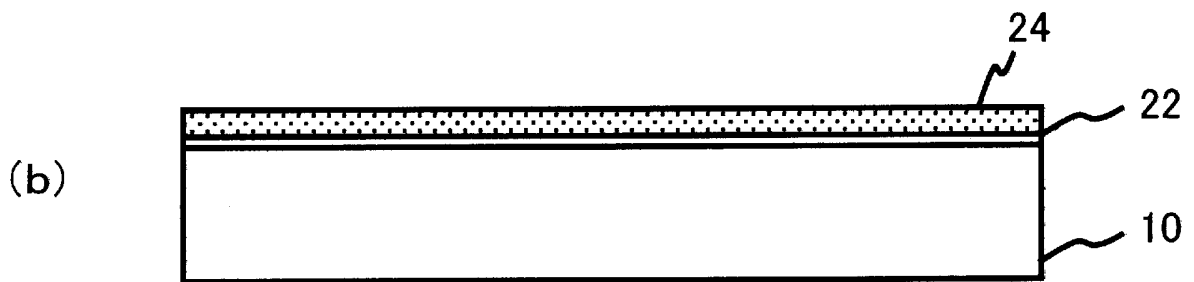
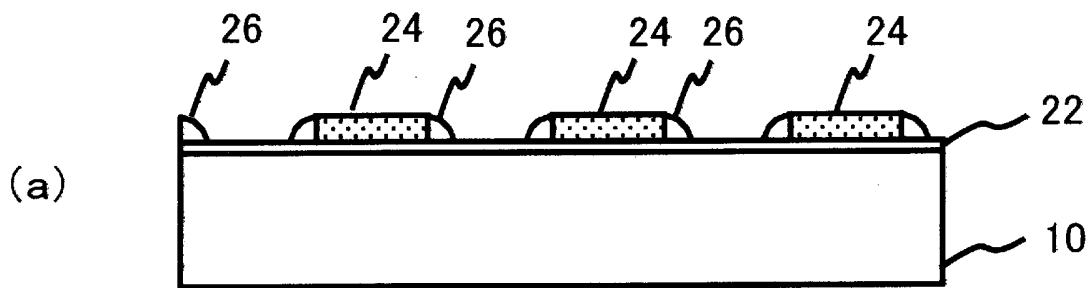
[図6]



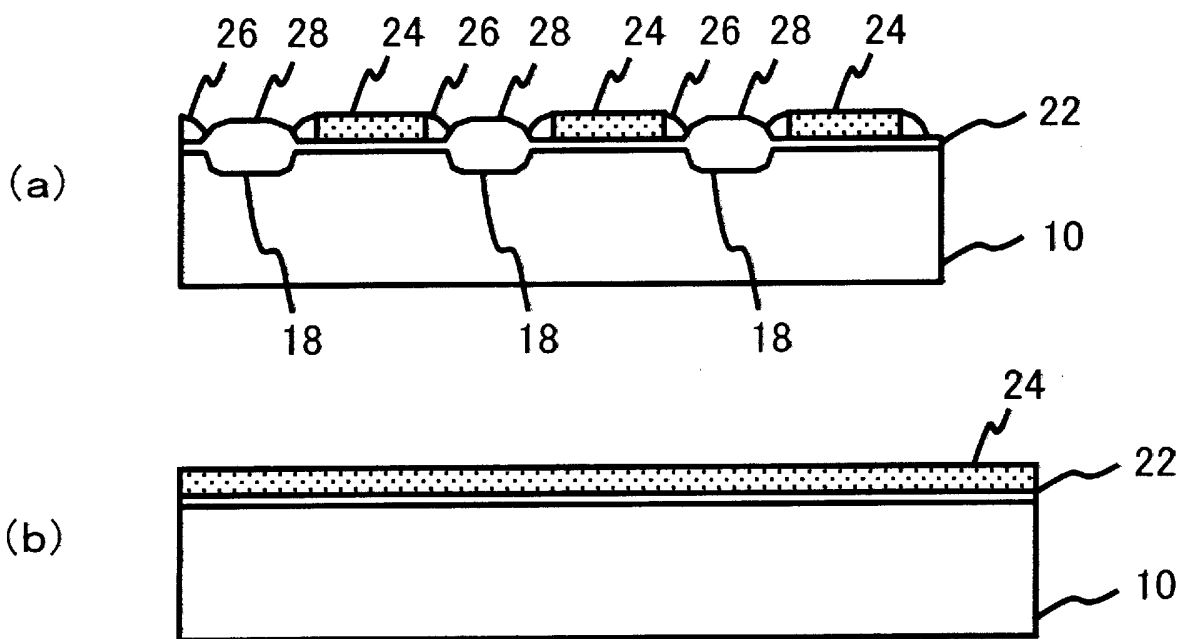
[図7]



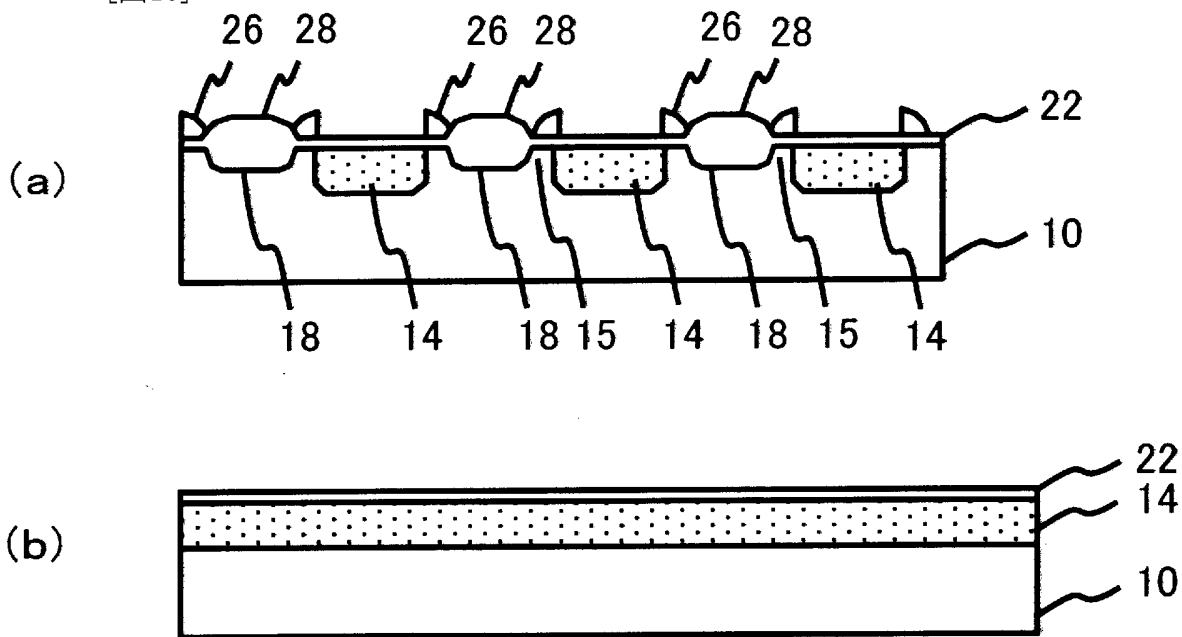
[図8]



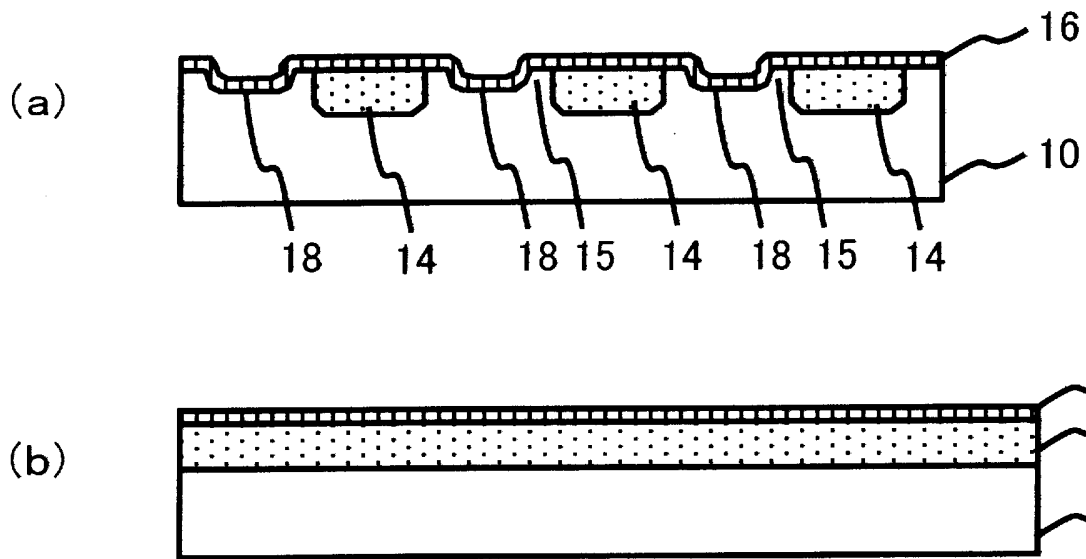
[図9]



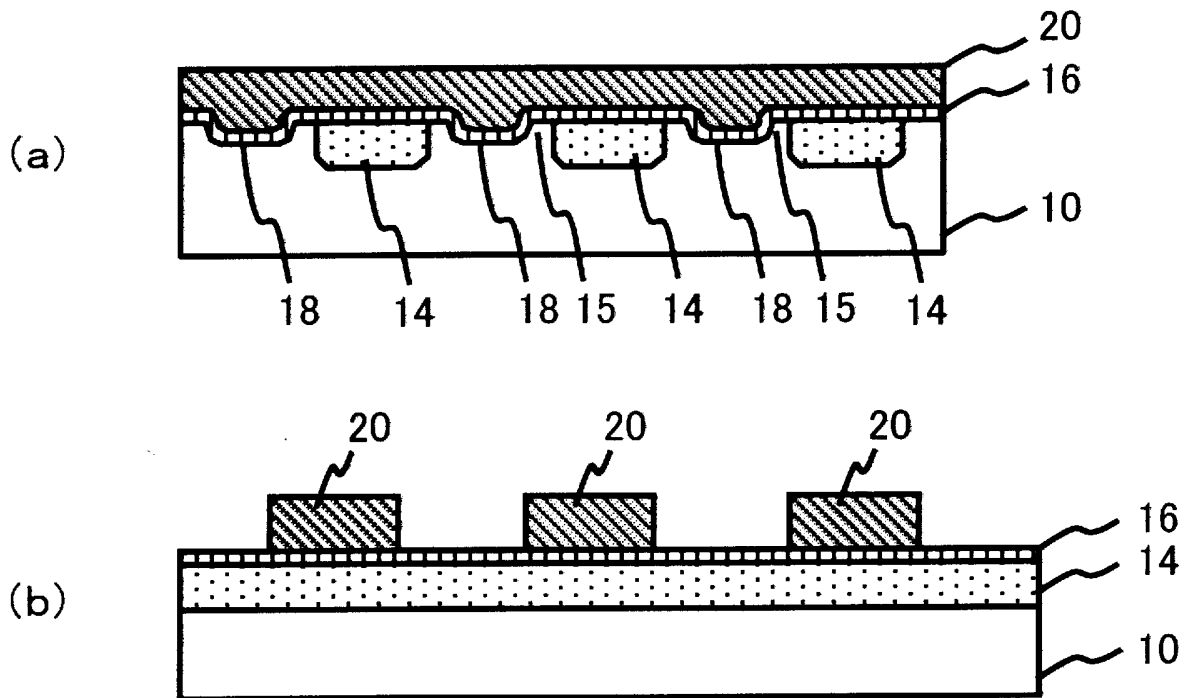
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002890

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L29/792, H01L27/10, H01L21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L29/792, H01L27/10, H01L21/8247

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 04-012573 A (Matsushita Electronics Corp.), 17 January, 1992 (17.01.92), Full text (Family: none)	1-3, 5, 6 4, 7-10
Y	JP 2004-193178 A (FASL JAPAN Kabushiki Kaisha), 08 July, 2004 (08.07.04), Full text & US 2004/0110390 A1	4
Y	JP 2004-111737 A (FASL JAPAN Kabushiki Kaisha), 08 April, 2004 (08.04.04), Full text & US 2004/0082198 A1	4

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
23 March, 2005 (23.03.05)

Date of mailing of the international search report
05 April, 2005 (05.04.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002890

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 07-226513 A (LG Semicon Co., Ltd.), 22 August, 1995 (22.08.95), Full text & US 5583064 A	7-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/792 H01L27/10 H01L21/8247

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/792 H01L27/10 H01L21/8247

最小限資料以外の資料で調査を行った分野に含まれるもの

- 日本国実用新案公報 1922-1996年
- 日本国公開実用新案公報 1971-2005年
- 日本国実用新案登録公報 1996-2005年
- 日本国登録実用新案公報 1994-2005年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 04-012573 A (松下電子工業株式会社) 1992.01.17, 全文 (ファミリーなし)	1-3, 5, 6
Y		4, 7-10
Y	JP 2004-193178 A (FASL JAPAN株式会社) 2004.07.08, 全文 &US 2004/0110390 A1	4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日
23.03.2005

国際調査報告の発送日
05.04.2005

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
河 口 雅 英
4L 8421
電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-111737 A (FASL JAPAN株式会 社) 2004. 04. 08, 全文 &US 2004/0082198 A1	4
Y	JP 07-226513 A (エルジイ・セミコン・カンパニイ ・リミテッド) 1995. 08. 22, 全文 &US 5583064 A	7-10