

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5012775号
(P5012775)

(45) 発行日 平成24年8月29日(2012.8.29)

(24) 登録日 平成24年6月15日(2012.6.15)

(51) Int.Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	611H
G09F 9/30 (2006.01)	G09G 3/30	K
H01L 27/32 (2006.01)	G09G 3/20	642A
H01L 51/50 (2006.01)	G09G 3/20	642P

請求項の数 9 (全 40 頁) 最終頁に続く

(21) 出願番号	特願2008-305714 (P2008-305714)	(73) 特許権者	000001443
(22) 出願日	平成20年11月28日(2008.11.28)		カシオ計算機株式会社
(65) 公開番号	特開2010-128397 (P2010-128397A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成22年6月10日(2010.6.10)	(74) 代理人	100095407
審査請求日	平成21年10月6日(2009.10.6)		弁理士 木村 満
		(72) 発明者	小倉 潤
			東京都八王子市石川町2951番地の5
			カシオ計算機株式会社 八王子技術センタ ー内
		(72) 発明者	武居 学
			東京都八王子市石川町2951番地の5
			カシオ計算機株式会社 八王子技術センタ ー内

最終頁に続く

(54) 【発明の名称】 画素駆動装置、発光装置及び画素駆動装置におけるパラメータ取得方法

(57) 【特許請求の範囲】

【請求項1】

電流が供給されて発光する発光素子と、該発光素子に供給する電流を制御する駆動素子と該駆動素子に印加される電圧に対応する電荷を蓄積する保持容量とを有する画素駆動回路と、を備える画素を、一端が前記駆動素子の電流路の一端に電氣的に接続される信号線を介して駆動制御する画素駆動装置であって、

前記駆動素子の閾値電圧を越える電圧値を有する基準電圧を出力する電圧印加部と、

前記信号線の他端の電圧を測定電圧として取得する電圧測定部と、

前記電圧印加部の出力端と前記信号線の他端との接続を切り換え、前記信号線の他端と前記電圧印加部を接続して該信号線の他端に前記基準電圧を所定時間印加した後、前記信号線の他端を、前記電圧印加部との接続が遮断された状態に設定する切換部と、

前記駆動素子の閾値電圧と前記画素駆動回路の電流増幅率からなる特性パラメータを取得する特性パラメータ取得部と、

を備え、

前記電圧測定部は、前記切換部により前記信号線の他端が前記電圧印加部との接続が遮断された状態に設定された時点からの経過時間が緩和時間 t [sec] であるときに取得する前記測定電圧を $V_{meas}(t)$ [V] とし、前記閾値電圧を V_{th} [V]、前記電流増幅率を $[A/V^2]$ 、前記電流増幅率の設計値を $0 [A/V^2]$ 、容量成分 C [F] を前記信号線に寄生する寄生容量と前記保持容量と前記発光素子に寄生する発光素子容量との合計とし、前記緩和時間 t を、 $(C / 0) / t < 1$ [V] となる時間で、互いに異なる第1の値 t_1 と第2の値に設

定し、前記緩和時間が前記第 1 の値であるときの第 1 の測定電圧 $V_{\text{meas}}(t_1)$ の値と、前記緩和時間が前記第 2 の値 t_2 であるときの第 2 の測定電圧 $V_{\text{meas}}(t_2)$ の値と、を取得し、
 前記特性パラメータ取得部は、前記第 1 の測定電圧の値と前記第 2 の測定電圧の値とを式 (1) に代入して演算を行うことにより、前記閾値電圧と前記電流増幅率とを前記特性パラメータとして取得することを特徴とする画素駆動装置。

【数 1】

$$V_{\text{meas}}(t) = V_{\text{th}} + \frac{(C/\beta)}{t}$$

$$t = t_1, t_2$$

・・・(1)

【請求項 2】

前記特性パラメータ取得部が取得した前記特性パラメータに基づいて、供給される画像データに応じた電圧信号の電圧値を補正した補正電圧信号を生成する電圧信号補正部と、
 前記補正電圧信号に基づく駆動信号を生成して前記信号線他端に印加する駆動信号印加部と、
 を備えることを特徴とする請求項 1 に記載の画素駆動装置。

【請求項 3】

複数の画素と、該各画素に接続された複数の信号線と、を有し、前記各画素は、電流が供給されて発光する発光素子と、前記各信号線の一端に接続されて、前記発光素子に供給する電流を制御する駆動素子と該駆動素子に印加された電圧に対応する電荷を蓄積する保持容量とを有する画素駆動回路と、を備える画素アレイと、
 供給される画像データに応じて、前記複数の信号線の各々を介して、前記各画素を駆動制御する信号線駆動部と、

を備え、

前記信号線駆動部は、

前記各画素の前記駆動素子の閾値電圧を越える電圧値を有する基準電圧を出力する電圧印加部と、

前記各信号線他端の電圧を測定電圧として取得する電圧測定部と、

前記電圧印加部の出力端と前記各信号線他端との接続を切り換え、前記信号線他端と前記電圧印加部を接続して該信号線他端に前記基準電圧を所定時間印加した後、前記信号線他端を、前記電圧印加部との接続が遮断された状態に設定する切換部と、

前記各画素の前記駆動素子の閾値電圧と前記画素駆動回路の電流増幅率からなる特性パラメータを取得する特性パラメータ取得部と、

を備え、

前記電圧測定部は、前記切換部により前記信号線他端が前記電圧印加部との接続が遮断された状態に設定された時点からの経過時間が緩和時間 t [sec] であるときに取得する前記測定電圧を $V_{\text{meas}}(t)$ [V] とし、前記閾値電圧を V_{th} [V]、前記電流増幅率を $[A/V^2]$ 、前記電流増幅率の設計値を $0 [A/V^2]$ 、容量成分 C [F] を前記信号線に寄生する寄生容量と前記保持容量と前記発光素子に寄生する発光素子容量との合計とし、前記緩和時間 t を、 $(C/0)/t < 1$ [V] となる時間で、互いに異なる第 1 の値 t_1 と第 2 の値に設定し、前記緩和時間が前記第 1 の値であるときの第 1 の測定電圧 $V_{\text{meas}}(t_1)$ の値と、前記緩和時間が前記第 2 の値 t_2 であるときの第 2 の測定電圧 $V_{\text{meas}}(t_2)$ の値と、を取得し、

前記特性パラメータ取得部は、前記第 1 の測定電圧の値と前記第 2 の測定電圧の値とを式 (2) に代入して演算を行うことにより、前記閾値電圧と前記電流増幅率とを前記特性パラメータとして取得することを特徴とする発光装置。

【数 2】

$$V_{\text{meas}}(t) = V_{\text{th}} + \frac{(C/\beta)}{t}$$

10

20

30

40

50

t = t₁ , t₂

・ ・ ・ (2)

【請求項 4】

前記画素アレイにおける前記複数の信号線は第 1 の方向に沿って配列され、
該画素アレイは、前記第 1 の方向に直交する第 2 の方向に沿って配列される複数の走査線を有して、前記複数の画素は前記複数の走査線と前記複数の信号線の各交点近傍に配設され、

前記各走査線に選択信号を順次印加して、各行の前記各画素を順次選択状態に設定する選択駆動部を有し、

前記特性パラメータ取得部は、前記順次選択状態とされる行に対応する前記各画素の前記特性パラメータを取得することを特徴とする請求項 3 に記載の発光装置。 10

【請求項 5】

前記画素駆動回路は、少なくとも、

電流路の一端に所定の電源電圧が印加され、該電流路の他端に前記発光素子との接続点が接続された第 1 の薄膜トランジスタと、

制御端子が前記走査線に接続され、電流路の一端が前記第 1 の薄膜トランジスタの電流路の一端に接続され、該電流路の他端が前記第 1 の薄膜トランジスタの制御端子に接続された第 2 の薄膜トランジスタと、

を備え、

前記駆動素子は前記第 1 の薄膜トランジスタであり、 20

前記選択状態において、前記第 2 の薄膜トランジスタがオン状態となって、前記第 1 の薄膜トランジスタの電流路の一端と制御端子とが接続され、

前記選択状態とされた行の前記各画素の前記接続点に、前記電圧印加部より印加される前記基準電圧に応じた電圧が、前記各信号線を介して印加され、

前記電圧測定部は、前記選択状態とされた行の前記各画素の前記接続点の、前記各緩和時間経過後の電圧を、前記各信号線を介して、前記測定電圧として取得することを特徴とする請求項 4 に記載の発光装置。

【請求項 6】

前記信号線駆動部は、

前記特性パラメータ取得部が取得した前記特性パラメータに基づいて、前記画像データに応じた電圧信号の電圧値を補正した補正電圧信号を生成する電圧信号補正部と、 30

前記補正電圧信号に基づく駆動信号を生成して前記各信号線の他端に印加する電圧信号印加部と、

を備えることを特徴とする請求項 3 乃至 5 のいずれか 1 項に記載の発光装置。

【請求項 7】

電流が供給されて発光する発光素子と、該発光素子に供給する電流を制御する駆動素子と該駆動素子に印加される電圧に対応する電荷を蓄積する保持容量とを有する画素駆動回路と、を備える画素を、一端が前記駆動素子の電流路の一端に電氣的に接続される信号線を介して、該画素の特性パラメータに基づいて駆動制御する画素駆動装置における、前記特性パラメータを取得する画素駆動装置における特性パラメータ取得方法であって、 40

前記信号線の他端に電圧印加部を接続して、該電圧印加部より前記駆動素子の閾値電圧を越える電圧値を有する基準電圧を印加するステップと、

前記信号線の他端と前記電圧印加部との接続を遮断した後、予め設定された複数の異なる緩和時間が経過した後の前記信号線の他端の電圧を、複数の測定電圧として取得するステップと、

前記複数の測定電圧の値に基づいて、前記駆動素子の閾値電圧と前記画素駆動回路の電流増幅率とを特性パラメータとして取得するステップと、

を含み、

前記複数の測定電圧を取得するステップは、前記緩和時間が t [sec] であるときに取得する前記測定電圧を $V_{\text{meas}}(t)$ [V]、前記閾値電圧を V_{th} [V]、前記電流増幅率を $[A/V^2]$ 50

、前記電流増幅率の設計値を $0 [A/V^2]$ 、容量成分 $C [F]$ を前記信号線に寄生する寄生容量と前記保持容量と前記発光素子に寄生する発光素子容量との合計として、前記緩和時間 t を、 $(C / 0) / t < 1 [V]$ となる時間で、互いに異なる第 1 の値 t_1 と第 2 の値に設定し、前記緩和時間が前記第 1 の値 t_1 であるときの第 1 の測定電圧 $V_{\text{meas}}(t_1)$ の値と、前記緩和時間が前記第 2 の値 t_2 であるときの第 2 の測定電圧 $V_{\text{meas}}(t_2)$ の値と、を取得するステップを含み、

前記特性パラメータを取得するステップは、前記第 1 の測定電圧の値と前記第 2 の測定電圧の値とを式 (3) に代入するステップと、前記第 1 の測定電圧の値と前記第 2 の測定電圧の値とを代入した式 (3) に基づいて演算を行うことにより、前記閾値電圧及び前記電流増幅率の値を前記特性パラメータとして取得するステップと、を含むことを特徴とする画素駆動装置におけるパラメータ取得方法。

【数 3】

$$V_{\text{meas}}(t) = V_{\text{th}} + \frac{(C/\beta)}{t}$$

$$t = t_1, t_2$$

・・・ (3)

【請求項 8】

発光素子と、

電流路と制御端とを有し、前記発光素子の一端に前記電流路の一端が接続され、前記制御端と前記電流路の一端との間に保持容量が接続され、前記制御端と前記電流路の一端との間に書き込まれた電圧データに基づいて、前記電流路を介して前記発光素子に供給する電流を制御する駆動トランジスタと、

を画素毎に備えた発光装置において、

前記画素毎に、前記駆動トランジスタの前記電流路の一端に基準電圧を印加して、前記駆動トランジスタに該駆動トランジスタの閾値電圧を超える電圧を印加した後、前記基準電圧の印加を停止して、前記電流路の一端をハイインピーダンス状態とした後の前記電流路の一端の電圧を測定電圧として測定する電圧測定部と、

前記駆動トランジスタの電流増幅率を $[A/V^2]$ 、容量成分 $C [F]$ を前記電圧測定部と前記電流路の一端との間の配線に寄生する配線寄生容量 $C_p [F]$ と前記保持容量 $C_s [F]$ と前記発光素子に寄生する発光素子容量 $C_{el} [F]$ との合計として、前記駆動トランジスタの閾値電圧と $(C /)$ 値とを特性パラメータとして、前記画素毎に取得する特性パラメータ取得部と、

を備え、

前記電圧測定部は、前記駆動トランジスタの前記電流路の一端がハイインピーダンス状態となった後の経過時間が緩和時間 $t [\text{sec}]$ であるときに取得する前記測定電圧を $V_{\text{meas}}(t) [V]$ とし、前記緩和時間が、第 1 の値 t_1 であるときの第 1 の測定電圧 $V_{\text{meas}}(t_1)$ の値と、前記緩和時間が前記第 1 の値 t_1 と異なる第 2 の値 t_2 であるときの第 2 の測定電圧 $V_{\text{meas}}(t_2)$ の値とを取得し、

前記特性パラメータ取得部は、前記基準電圧を $V_{\text{ref}} [V]$ 、前記閾値電圧を $V_{\text{th}} [V]$ とし、前記第 1 の測定電圧の値と前記第 2 の測定電圧の値とを式 (4) に代入して演算を行うことにより、前記閾値電圧と前記 $(C /)$ 値とを前記特性パラメータとして取得することを特徴とする発光装置。

【数 4】

$$V_{\text{meas}}(t) = V_{\text{th}} + \frac{1}{\frac{t}{(C/\beta)} + \frac{1}{V_{\text{ref}} - V_{\text{th}}}}$$

$$t = t_1, t_2$$

但し、

10

20

30

40

50

t ; 緩和時間
 $V_{\text{meas}}(t)$; 緩和時間 t において測定された測定電圧
 V_{th} ; 駆動トランジスタの閾値電圧
 V_{ref} ; 基準電圧
 C ; 容量成分 ($C = C_p + C_s + C_{el}$)
 C_p ; 配線寄生容量
 C_s ; 保持容量
 C_{el} ; 発光素子容量
 ; 電流増幅率

・・・(4)

10

【請求項9】

前記特性パラメータ取得部は、前記電流増幅率の設計値を $0 [A/V^2]$ として、前記緩和時間の前記第1の値 t_1 と前記第2の値 t_2 が、 $(C/0)/t_1 < 1 [V]$ 、 $(C/0)/t_2 < 1 [V]$ となる値に設定されているとき、前記電圧測定部が、画素毎に、前記第1の値と前記第2の値の前記緩和時間において測定した前記第1の測定電圧 $V_{\text{meas}}(t_1)$ の値と第2の測定電圧 $V_{\text{meas}}(t_2)$ の値を、前記式(4)を変形した式(5)に代入して演算を行うことにより、前記画素毎に前記特性パラメータを取得する、

ことを特徴とする請求項8に記載の発光装置。

【数5】

$$V_{\text{meas}}(t) = V_{\text{th}} - \frac{(C/\beta)}{t}$$

$$t = t_1, t_2$$

20

・・・(5)

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素駆動装置、発光装置及び画素駆動装置におけるパラメータ取得方法に関するものである。

【背景技術】

30

【0002】

近年、液晶表示装置に続く次世代の表示デバイスとして、発光素子をマトリクス状に配列した表示パネル(画素アレイ)を備えた発光素子型の表示装置(発光素子型ディスプレイ、発光装置)の研究開発が盛んに行われている。

【0003】

このような発光素子としては、有機エレクトロルミネッセンス素子(有機EL素子)や無機エレクトロルミネッセンス素子(無機EL素子)、あるいは、発光ダイオード(LED)等のような電流駆動型の発光素子がある。

【0004】

特に、アクティブマトリクス駆動方式を適用した発光素子型の表示装置においては、周知の液晶表示装置と比較して、表示応答速度が速く、また、視野角依存性もなく、高輝度・高コントラスト化、表示画質の高精細化等が可能である。

40

【0005】

それとともに、発光素子型の表示装置は、液晶表示装置のようにバックライトや導光板を必要としないので、一層の薄型軽量化が可能であるという極めて優位な特徴を有している。そのため、今後様々な電子機器への適用が期待されている。

【0006】

このような発光素子型の表示装置として、例えば、電圧信号によって電流制御されたアクティブマトリクス駆動方式の表示装置としての有機ELディスプレイ装置がある(例えば、特許文献1参照)。

50

【 0 0 0 7 】

この有機 E L ディスプレイ装置では、発光素子としての有機 E L 素子と、有機 E L 素子を駆動するための電流制御用薄膜トランジスタとスイッチ用薄膜トランジスタとを有する画素駆動回路とが、各画素に設けられている。

【 0 0 0 8 】

電流制御用薄膜トランジスタは、画像データに応じた電圧値を有する電圧信号がゲートに印加され、このゲート電圧で電流制御用薄膜トランジスタのドレイン - ソース間に流れる電流の電流値を制御し、この電流を有機 E L 素子に供給して発光させる。スイッチ用薄膜トランジスタは、この電流制御用薄膜トランジスタのゲートに画像データに応じた電圧信号を供給するためのスイッチングを行う。

10

【 0 0 0 9 】

【特許文献 1】特開 2 0 0 2 - 1 5 6 9 2 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

しかしながら、各画素の電流制御用薄膜トランジスタの特性が使用時に経時的に変化することがある。特に、電流制御用薄膜トランジスタがアモルファスシリコン T F T からなる場合には、その閾値電圧 V_{th} の経時的な変化が比較的大きいことが知られている。

【 0 0 1 1 】

電圧信号の電圧値によって階調を制御する構成においては、閾値電圧 V_{th} が変化すると同じゲート電圧を印加してもドレイン - ソース間に流れる電流の電流値が変化してしまい、有機 E L 素子の発光輝度が変化してしまう。

20

【 0 0 1 2 】

また、電流制御用薄膜トランジスタのドレイン - ソース間に流れる電流の電流値は電流増幅率 の値に比例する。このため、各画素の電流制御用薄膜トランジスタの閾値電圧が同じであっても、例えば製造プロセスに起因して電流増幅率 の値がばらついていると、電流制御用薄膜トランジスタのドレイン - ソース間に流れる電流の電流値にバラツキが生じ、有機 E L 素子の発光輝度がばらついてしまう。

【 0 0 1 3 】

この移動度のバラツキは特に低温ポリシリコン T F T に顕著であり、それに比べてアモルファスシリコン T F T ではバラツキは比較的少ない。しかし、それでも製造プロセス起因のバラツキによる影響は避けられない。

30

【 0 0 1 4 】

このように、閾値電圧 V_{th} の変化や、製造プロセスに起因する電流増幅率 のバラツキは、画質にも影響する。従って、このような閾値電圧 V_{th} の変化や、製造プロセスに起因する電流増幅率 のバラツキによる画質の劣化を抑制するためには、特性パラメータとして、例えば、各画素に対応する閾値電圧及び を取得して、供給された画像データに応じて各画素に供給する電圧信号をこの特性パラメータに基づいて補正する必要がある。

【 0 0 1 5 】

本発明は、このような従来の問題点に鑑みてなされたもので、画像データに応じた電圧信号の電圧値を補正するための画素の特性パラメータを取得することが可能な画素駆動装置、発光装置及び画素駆動装置におけるパラメータ取得方法を提供することを目的とする。

40

【 0 0 1 6 】

また、本発明は、画質の劣化を抑制することが可能な画素駆動装置、発光装置及び画素駆動装置におけるパラメータ取得方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 7 】

この目的を達成するため、本発明の第 1 の観点に係る画素駆動装置は、電流が供給されて発光する発光素子と、該発光素子に供給する電流を制御する駆動素子

50

と該駆動素子に印加される電圧に対応する電荷を蓄積する保持容量とを有する画素駆動回路と、を備える画素を、一端が前記駆動素子の電流路の一端に電氣的に接続される信号線を介して駆動制御する画素駆動装置であって、

前記駆動素子の閾値電圧を越える電圧値を有する基準電圧を出力する電圧印加部と、
前記信号線の他端の電圧を測定電圧として取得する電圧測定部と、

前記電圧印加部の出力端と前記信号線の他端との接続を切り換え、前記信号線の他端と前記電圧印加部を接続して該信号線の他端に前記基準電圧を所定時間印加した後、前記信号線の他端を、前記電圧印加部との接続が遮断された状態に設定する切換部と、

前記駆動素子の閾値電圧と前記画素駆動回路の電流増幅率からなる特性パラメータを取得する特性パラメータ取得部と、

を備え、

前記電圧測定部は、前記切換部により前記信号線の他端が前記電圧印加部との接続が遮断された状態に設定された時点からの経過時間が緩和時間 t [sec] であるときに取得する前記測定電圧を $V_{\text{meas}}(t)$ [V] とし、前記閾値電圧を V_{th} [V]、前記電流増幅率を β [A/V²]、前記電流増幅率の設計値を β_0 [A/V²]、容量成分 C [F] を前記信号線に寄生する寄生容量と前記保持容量と前記発光素子に寄生する発光素子容量との合計とし、前記緩和時間 t を、 $(C / \beta_0) / t < 1$ [V] となる時間で、互いに異なる第 1 の値 t_1 と第 2 の値に設定し、前記緩和時間が前記第 1 の値であるときの第 1 の測定電圧 $V_{\text{meas}}(t_1)$ の値と、前記緩和時間が前記第 2 の値 t_2 であるときの第 2 の測定電圧 $V_{\text{meas}}(t_2)$ の値と、を取得し、

前記特性パラメータ取得部は、前記第 1 の測定電圧の値と前記第 2 の測定電圧の値とを式 (1) に代入して演算を行うことにより、前記閾値電圧と前記電流増幅率とを前記特性パラメータとして取得することを特徴とする。

【数 1】

$$V_{\text{meas}}(t) = V_{\text{th}} + \frac{(C/\beta)}{t}$$

$$t = t_1, t_2$$

・・・ (1)

【0021】

前記特性パラメータ取得部が取得した前記特性パラメータに基づいて、供給される画像データに応じた電圧信号の電圧値を補正した補正電圧信号を生成する電圧信号補正部と、

前記補正電圧信号に基づく駆動信号を生成して前記信号線の他端に印加する駆動信号印加部と、を備えるようにしてもよい。

【0022】

本発明の第 2 の観点に係る発光装置は、

複数の画素と、該各画素に接続された複数の信号線と、を有し、前記各画素は、電流が供給されて発光する発光素子と、前記各信号線の一端に接続されて、前記発光素子に供給する電流を制御する駆動素子と該駆動素子に印加された電圧に対応する電荷を蓄積する保持容量とを有する画素駆動回路と、を備える画素アレイと、

供給される画像データに応じて、前記複数の信号線の各々を介して、前記各画素を駆動制御する信号線駆動部と、

を備え、

前記信号線駆動部は、

前記各画素の前記駆動素子の閾値電圧を越える電圧値を有する基準電圧を出力する電圧印加部と、

前記各信号線の他端の電圧を測定電圧として取得する電圧測定部と、

前記電圧印加部の出力端と前記各信号線の他端との接続を切り換え、前記信号線の他端と前記電圧印加部を接続して該信号線の他端に前記基準電圧を所定時間印加した後、前記信号線の他端を、前記電圧印加部との接続が遮断された状態に設定する切換部と、

前記各画素の前記駆動素子の閾値電圧と前記画素駆動回路の電流増幅率からなる特性パ

10

20

30

40

50

ラメータを取得する特性パラメータ取得部と、
を備え、

前記電圧測定部は、前記切換部により前記信号線の他端が前記電圧印加部との接続が遮断された状態に設定された時点からの経過時間が緩和時間 t [sec] であるときに取得する前記測定電圧を $V_{\text{meas}}(t)$ [V] とし、前記閾値電圧を V_{th} [V]、前記電流増幅率を β [A/V²]、前記電流増幅率の設計値を β_0 [A/V²]、容量成分 C [F] を前記信号線に寄生する寄生容量と前記保持容量と前記発光素子に寄生する発光素子容量との合計とし、前記緩和時間 t を、 $(C / \beta_0) / t < 1$ [V] となる時間で、互いに異なる第 1 の値 t_1 と第 2 の値に設定し、前記緩和時間が前記第 1 の値であるときの第 1 の測定電圧 $V_{\text{meas}}(t_1)$ の値と、前記緩和時間が前記第 2 の値 t_2 であるときの第 2 の測定電圧 $V_{\text{meas}}(t_2)$ の値と、を取得し、

前記特性パラメータ取得部は、前記第 1 の測定電圧の値と前記第 2 の測定電圧の値とを式 (2) に代入して演算を行うことにより、前記閾値電圧と前記電流増幅率とを前記特性パラメータとして取得することを特徴とする。

【数 2】

$$V_{\text{meas}}(t) = V_{\text{th}} + \frac{(C/\beta)}{t}$$

$$t = t_1, t_2$$

・・・ (2)

【0023】

前記画素アレイにおける前記複数の信号線は第 1 の方向に沿って配列され、
該画素アレイは、前記第 1 の方向に直交する第 2 の方向に沿って配列される複数の走査線を有して、前記複数の画素は前記複数の走査線と前記複数の信号線の各交点近傍に配設され、

前記各走査線に選択信号を順次印加して、各行の前記各画素を順次選択状態に設定する選択駆動部を有し、

前記特性パラメータ取得部は、前記順次選択状態とされる行に対応する前記各画素の前記特性パラメータを取得するようにしてもよい。

【0024】

前記画素駆動回路は、少なくとも、
電流路の一端に所定の電源電圧が印加され、該電流路の他端に前記発光素子との接続点が接続された第 1 の薄膜トランジスタと、

制御端子が前記走査線に接続され、電流路の一端が前記第 1 の薄膜トランジスタの電流路の一端に接続され、該電流路の他端が前記第 1 の薄膜トランジスタの制御端子に接続された第 2 の薄膜トランジスタと、

を備え、

前記駆動素子は前記第 1 の薄膜トランジスタであり、
前記選択状態において、前記第 2 の薄膜トランジスタがオン状態となって、前記第 1 の薄膜トランジスタの電流路の一端と制御端子とが接続され、

前記選択状態とされた行の前記各画素の前記接続点に、前記電圧印加部より印加される前記基準電圧に応じた電圧が、前記各信号線を介して印加され、

前記電圧測定部は、前記選択状態とされた行の前記各画素の前記接続点の、前記各緩和時間経過後の電圧を、前記各信号線を介して、前記測定電圧として取得するようにしてもよい。

【0028】

前記信号線駆動部は、

前記特性パラメータ取得部が取得した前記特性パラメータに基づいて、前記画像データに応じた電圧信号の電圧値を補正した補正電圧信号を生成する電圧信号補正部と、

前記補正電圧信号に基づく駆動信号を生成して前記各信号線の他端に印加する電圧信号印加部と、を備えるようにしてもよい。

10

20

30

40

50

【 0 0 2 9 】

本発明の第3の観点に係る画素駆動装置のパラメータ取得方法は、

電流が供給されて発光する発光素子と、該発光素子に供給する電流を制御する駆動素子と該駆動素子に印加される電圧に対応する電荷を蓄積する保持容量とを有する画素駆動回路と、を備える画素を、一端が前記駆動素子の電流路の一端に電氣的に接続される信号線を介して、該画素の特性パラメータに基づいて駆動制御する画素駆動装置における、前記特性パラメータを取得する画素駆動装置における特性パラメータ取得方法であって、

前記信号線の他端に電圧印加部を接続して、該電圧印加部より前記駆動素子の閾値電圧を越える電圧値を有する基準電圧を印加するステップと、

前記信号線の他端と前記電圧印加部との接続を遮断した後、予め設定された複数の異なる緩和時間が経過した後の前記信号線の他端の電圧を、複数の測定電圧として取得するステップと、

前記複数の測定電圧の値に基づいて、前記駆動素子の閾値電圧と前記画素駆動回路の電流増幅率とを特性パラメータとして取得するステップと、

を含み、

前記複数の測定電圧を取得するステップは、前記緩和時間が t [sec] であるときに取得する前記測定電圧を $V_{\text{meas}}(t)$ [V]、前記閾値電圧を V_{th} [V]、前記電流増幅率を $[A/V^2]$ 、前記電流増幅率の設計値を $0 [A/V^2]$ 、容量成分 C [F] を前記信号線に寄生する寄生容量と前記保持容量と前記発光素子に寄生する発光素子容量との合計として、前記緩和時間 t を、 $(C / 0) / t < 1$ [V] となる時間で、互いに異なる第1の値 t_1 と第2の値に設定し、前記緩和時間が前記第1の値 t_1 であるときの第1の測定電圧 $V_{\text{meas}}(t_1)$ の値と、前記緩和時間が前記第2の値 t_2 であるときの第2の測定電圧 $V_{\text{meas}}(t_2)$ の値と、を取得するステップを含み、

前記特性パラメータを取得するステップは、前記第1の測定電圧の値と前記第2の測定電圧の値とを式(3)に代入するステップと、前記第1の測定電圧の値と前記第2の測定電圧の値とを代入した式(3)に基づいて演算を行うことにより、前記閾値電圧及び前記電流増幅率の値を前記特性パラメータとして取得するステップと、を含むことを特徴とする。

【 数 3 】

$$V_{\text{meas}}(t) = V_{\text{th}} + \frac{(C/\beta)}{t}$$

$$t = t_1, t_2$$

・・・(3)

【 0 0 3 2 】

本発明の第4の観点に係る発光装置は、

発光素子と、

電流路と制御端とを有し、前記発光素子の一端に前記電流路の一端が接続され、前記制御端と前記電流路の一端との間に保持容量が接続され、前記制御端と前記電流路の一端との間に書き込まれた電圧データに基づいて、前記電流路を介して前記発光素子に供給する電流を制御する駆動トランジスタと、

を画素毎に備えた発光装置において、

前記画素毎に、前記駆動トランジスタの前記電流路の一端に基準電圧を印加して、前記駆動トランジスタに該駆動トランジスタの閾値電圧を超える電圧を印加した後、前記基準電圧の印加を停止して、前記電流路の一端をハイインピーダンス状態とした後の前記電流路の一端の電圧を測定電圧として測定する電圧測定部と、

前記駆動トランジスタの電流増幅率を $[A/V^2]$ 、容量成分 C [F] を前記電圧測定部と前記電流路の一端との間の配線に寄生する配線寄生容量 C_p [F] と前記保持容量 C_s [F] と前記発光素子に寄生する発光素子容量 C_{el} [F] との合計として、前記駆動トランジスタの閾値電圧と $(C /)$ 値とを特性パラメータとして、前記画素毎に取得する特性パラメータ取

10

20

30

40

50

得部と、
を備え、

前記電圧測定部は、前記駆動トランジスタの前記電流路の一端がハイインピーダンス状態となった後の経過時間が緩和時間 t [sec] であるときに取得する前記測定電圧を $V_{\text{meas}}(t)$ [V] とし、前記緩和時間が、第 1 の値 t_1 であるときの第 1 の測定電圧 $V_{\text{meas}}(t_1)$ の値と、前記緩和時間が前記第 1 の値 t_1 と異なる第 2 の値 t_2 であるときの第 2 の測定電圧 $V_{\text{meas}}(t_2)$ の値とを取得し、

前記特性パラメータ取得部は、前記基準電圧を V_{ref} [V]、前記閾値電圧を V_{th} [V] とし、前記第 1 の測定電圧の値と前記第 2 の測定電圧の値とを式 (4) に代入して演算を行うことにより、前記閾値電圧と前記 (C/β) 値とを前記特性パラメータとして取得することを特徴とする。

10

【数 4】

$$V_{\text{meas}}(t) = V_{\text{th}} + \frac{1}{\frac{t}{(C/\beta)} + \frac{1}{V_{\text{ref}} - V_{\text{th}}}}$$

$$t = t_1, t_2$$

但し、

t ; 緩和時間

$V_{\text{meas}}(t)$; 緩和時間 t において測定された測定電圧

20

V_{th} ; 駆動トランジスタの閾値電圧

V_{ref} ; 基準電圧

C ; 容量成分 ($C = C_p + C_s + C_{el}$)

C_p ; 配線寄生容量

C_s ; 保持容量

C_{el} ; 発光素子容量

; 電流増幅率

・・・ (4)

【0033】

前記特性パラメータ取得部は、前記電流増幅率の設計値を β [A/V²] とし、前記緩和時間の前記第 1 の値 t_1 と前記第 2 の値 t_2 が、 $(C/\beta) / t_1 < 1$ [V]、 $(C/\beta) / t_2 < 1$ [V] となる値に設定されているとき、前記電圧測定部が、画素毎に、前記第 1 の値と前記第 2 の値の前記緩和時間において測定した前記第 1 の測定電圧 $V_{\text{meas}}(t_1)$ の値と第 2 の測定電圧 $V_{\text{meas}}(t_2)$ の値を、前記式 (4) を変形した式 (5) に代入して演算を行うことにより、前記画素毎に前記特性パラメータを取得するようにしてもよい。

30

【数 5】

$$V_{\text{meas}}(t) = V_{\text{th}} - \frac{(C/\beta)}{t}$$

$$t = t_1, t_2$$

40

・・・ (5)

【0034】

また、以下のような方法を本発明の第 5 の観点に係る発光装置におけるパラメータ取得方法としてもよい。即ち、

本発明の第 5 の観点に係る発光装置におけるパラメータ取得方法は、

発光素子と、

電流路と制御端とを有し、前記発光素子の一端に前記電流路の一端が接続され、前記制御端と前記電流路の一端との間に書き込まれた電圧データに基づいて、前記電流路を介して前記発光素子に供給する電流を制御する駆動トランジスタと、を画素毎に備えた発光装置におけるパラメータ取得方法であって、

50

前記画素毎に、前記駆動トランジスタの前記電流路に閾値電圧を超える電圧を印加するステップと、

前記画素毎に、前記電圧の印加を停止させてハイインピーダンス状態とするステップと

、
ハイインピーダンス状態となったときからの測定電圧を式(6)に示す測定電圧 $V_{meas}(t)$ として、当該測定電圧を、前記画素毎に、 $(C/\beta) / t < 1$ の条件を満たす複数の異なる緩和時間 t で測定するステップと、

前記駆動トランジスタの閾値電圧と (C/β) 値とを特性パラメータとして、前記画素毎に、前記駆動トランジスタの特性パラメータを、測定した複数の測定電圧に基づいて取得するステップと、を備えたことを特徴とする。

10

【数6】

$$V_{meas}(t) = V_{th} + \frac{1}{\frac{t}{(C/\beta)} + \frac{1}{V_{ref} - V_{th}}}$$

$$t = t_1, t_2$$

但し、

t ; 緩和時間

$V_{meas}(t)$; 緩和時間 t において測定された測定電圧

V_{th} ; 駆動トランジスタの閾値電圧

V_{ref} ; 基準電圧

C ; 容量成分 ($C = C_p + C_s + C_{el}$)

C_p ; 配線寄生容量

C_s ; 保持容量

C_{el} ; 発光素子容量

; 電流増幅率

・・・(6)

【発明の効果】

【0035】

本発明によれば、取得した画素の特性パラメータに基づいて、画像データに応じた電圧信号の電圧値を補正することができる。また、画質の劣化を抑制することができる。

30

【発明を実施するための最良の形態】

【0036】

以下、本発明の実施形態に係る発光装置を図面を参照して説明する。尚、本実施形態では、発光装置を表示装置として説明する。

本実施形態に係る表示装置の構成を図1に示す。

本実施形態に係る表示装置(発光装置)1は、パネルモジュール11と、アナログ電源(電圧印加部)14と、ロジック電源15と、制御部(パラメータ取得部、電圧信号補正部)16と、によって構成される。

【0037】

パネルモジュール11は、有機ELパネル(画素アレイ)21とデータドライバ(信号線駆動部)22とアノード回路(電源駆動部)12とセレクトドライバ(選択駆動部)13とを備える。

40

【0038】

有機ELパネル21は、列方向に配設される複数のデータライン(信号線) L_{di} ($i = 1 \sim m$) と、行方向に配設される複数のセレクトライン(走査線) L_{sj} ($j = 1 \sim n$) と、行方向に配設される複数のアノードライン L_a と、複数の画素 $21(i, j)$ ($i = 1 \sim m$ 、 $j = 1 \sim n$ 、 m, n ; 自然数) と、を備える。画素 $21(i, j)$ はデータライン L_{di} とセレクトライン L_{sj} との交点近傍に配列される。

【0039】

50

図1に示すパネルモジュール11の構成の詳細を図2に示す。各画素21(i,j)は、画像の1画素に対応するものであり、図2に示すように、有機EL素子(発光素子)101と、トランジスタT1~T3と、ストレージ容量(保持容量)Csとからなる画素駆動回路DCと、を備える。

【0040】

有機EL(Organic Electro-Luminescence)素子101は、有機化合物に注入された電子と正孔との再結合によって生じた励起子によって発光する現象を利用した自発光型の表示素子であり、供給された電流の電流値に対応する輝度で発光する。

【0041】

有機EL素子101には、画素電極が形成され、この画素電極上に、正孔注入層と発光層と対向電極とが形成される(いずれも図示せず)。正孔注入層は、画素電極上に形成され、発光層に正孔を供給する機能を有する。

10

【0042】

画素電極は、透光性を備える導電材料、例えばITO(Indium Tin Oxide)、ZnO等から構成される。各画素電極は隣接する他の画素の画素電極と層間絶縁膜(図示せず)によって絶縁されている。

【0043】

正孔注入層は正孔(ホール)注入、輸送が可能な有機高分子系の材料から構成される。また、有機高分子系のホール注入・輸送材料を含む有機化合物含有液としては、例えば導電性ポリマーであるポリエチレンジオキシチオフェン(PEDOT)とドーパントであるポリスチレンスルホン酸(PSS)を水系溶媒に分散させた分散液であるPEDOT/PSS水溶液が用いられる。

20

【0044】

発光層は、インターレイヤ(図示せず)上に形成される。発光層は、アノード電極とカソード電極との間に所定の電圧を印加することにより光を発生する機能を有する。

【0045】

発光層は、蛍光あるいは燐光を発光することが可能な公知の高分子発光材料、例えばポリパラフェニレンピレン系やポリフルオレン系等の共役二重結合ポリマーを含む赤(R)、緑(G)、青(B)色の発光材料から構成される。

【0046】

また、これらの発光材料は、適宜水系溶媒あるいはテトラリン、テトラメチルベンゼン、メシチレン、キシレン等の有機溶媒に溶解(又は分散)した溶液(分散液)をゾルコート法やインクジェット法等により塗布し、溶媒を揮発させることによって形成される。

30

【0047】

尚、3原色の場合、有機EL素子101のRGBの発光材料は、通常、列毎に塗布される。

【0048】

対向電極は、導電材料、例えばCa, Ba等仕事関数の低い材料からなる層と、Al等の光反射性導電層と、からなる2層構造となっている。

【0049】

電流は、画素電極から対極電極方向へと流れ、逆方向には流れず、画素電極、対極電極は、それぞれ、アノード電極、カソード電極となる。このカソード電極には、カソード電圧Vcathが印加される。本実施形態では、カソード電圧VcathをGND(接地電位)とする。

40

【0050】

尚、有機EL素子101には、有機EL画素容量(発光素子容量)Celがあり、この有機EL画素容量Celは、等価的に、有機EL素子101のカソード-アノード間に接続されている。

【0051】

セレクトドライバ13は、行毎に画素21(i,j)を選択するためのものであり、各セレ

50

クトライン L_{sj} ($j = 1 \sim n$) に Gate(1) ~ Gate(n) 信号を出力する。セレクトドライバ 13 は、例えば、シフトレジスタを備え、図 2 に示すように、制御部 16 からスタートパルス $SP1$ が供給されて、このスタートパルス $SP1$ を、順次、シフトして、Gate(1) ~ Gate(n) 信号として、Hi (High; ハイ) レベルの信号 (V_{gH})、又は、Lo (Low; ロー) レベルの信号 (V_{gL}) を出力する。

【0052】

データドライバ 22 は、各データライン L_{di} ($i = 1 \sim m$) の電圧を測定して、測定電圧 $V_{meas}(t)$ として取得するとともに、測定した測定電圧 $V_{meas}(t)$ に基づいて補正された、電圧値 V_{data} を有する電圧信号を各データライン L_{di} に印加する構成を有するものである。

10

【0053】

アノード回路 12 は、各アノードライン L_a を介して有機 EL パネル 21 に電圧を印加するものである。アノード回路 12 は、図 2 に示すように、制御部 16 に制御されて、アノードライン L_a に印加する電圧を、電圧 $ELVDD$ 又は $ELVSS$ に切り換える。

【0054】

電圧 $ELVDD$ は、各画素 21 (i, j) の有機 EL 素子 101 を発光させる際にアノードライン L_a に印加される正の表示用電圧である。また、電圧 $ELVSS$ は、画素駆動回路 DC を後述する書き込み動作状態に設定し、後述するオートゼロ法を行う際にアノードライン L_a に印加される電圧である。電圧 $ELVSS$ は、本実施形態では、有機 EL 素子 101 のカソード電圧 V_{cath} と同じ電圧に設定される。

20

【0055】

各画素 21 (i, j) において、画素駆動回路 DC のトランジスタ $T1 \sim T3$ は、 n チャンネル型の FET (Field Effect Transistor; 電界効果トランジスタ) によって構成された TFT であり、例えば、アモルファスシリコン又はポリシリコン TFT によって構成されている。

【0056】

トランジスタ $T3$ は、ゲート - ソース間電圧 V_{gs} (以後、ゲート電圧 V_{gs} と記す。) に基づいて電流量を制御して、有機 EL 素子 101 に電流を供給する電流制御用薄膜トランジスタであり、駆動トランジスタである。トランジスタ $T3$ のドレイン - ソースを電流路、ゲートを制御端として、ドレイン (端子) は、アノードライン L_a に接続され、ソース (端子) は、有機 EL 素子 101 のアノードに接続される。

30

【0057】

トランジスタ $T1$ は、後述する書き込み動作を行う際にトランジスタ $T3$ をダイオード接続するためのスイッチトランジスタである。

【0058】

トランジスタ $T1$ のドレインは、トランジスタ $T3$ のドレインに接続され、トランジスタ $T1$ のソースはトランジスタ $T3$ のゲートに接続される。

【0059】

各画素 21 (1,1) ~ 21 (m,1) のトランジスタ $T1$ のゲート (端子) は、セレクトライン L_{s1} に接続される。同様に、各画素 21 (1,2) ~ 21 (m,2) のトランジスタ $T1$ のゲートは、セレクトライン L_{s2} に、・・・、各画素 21 (1,n) ~ 21 (m,n) のトランジスタ $T1$ のゲートは、セレクトライン L_{sn} に、それぞれ、接続される。

40

【0060】

画素 21 (1,1) の場合、セレクトドライバ 13 からセレクトライン L_{s1} に Gate(1) 信号として Hi レベルの Gate(1) 信号 V_{gH} が出力されると、トランジスタ $T1$ はオンする。

【0061】

セレクトドライバ 13 からセレクトライン L_{s1} に Gate(1) 信号として Lo レベルの Gate(1) 信号 V_{gL} が出力されると、トランジスタ $T1$ は、オフする。

【0062】

トランジスタ $T2$ は、セレクトドライバ 13 によって選択されてオン、オフし、アノード

50

ド回路12とデータドライバ22との間を導通、遮断するためのスイッチトランジスタである。

【0063】

各画素21(i,j)のトランジスタT2の電流路の一端としてのドレインは、トランジスタT3のソース及び有機EL素子101のアノード(電極)に接続される。

【0064】

各画素21(1,1)~21(m,1)のトランジスタT2のゲートは、セレクトラインLs1に接続される。同様に、各画素21(2,1)~21(m,2)のトランジスタT2のゲートは、セレクトラインLs2に、・・・、各画素21(1,n)~21(m,n)のトランジスタT2のゲートは、セレクトラインLsnに接続される。

10

【0065】

また、各画素21(1,1)~21(1,n)のトランジスタT2の電流路の他端としてのソースは、データラインLd1に接続される。同様に、各画素21(2,1)~21(2,n)のトランジスタT2のソースは、データラインLd2に、・・・、各画素21(m,1)~21(m,n)のトランジスタT2のソースは、データラインLdmに接続される。

【0066】

画素21(1,1)の場合、トランジスタT2は、セレクトドライバ13から、セレクトラインLs1にGate(1)信号としてHiレベルのGate(1)信号(VgH)が出力されるとオンして、トランジスタT3のソース及び有機EL素子101のアノードとデータラインLd1とを接続する。

20

【0067】

また、セレクトラインLs1にGate(1)信号としてLoレベルの信号(VgL)が出力されると、トランジスタT2はオフして、トランジスタT3のソース及び有機EL素子101のアノードとデータラインLd1とを遮断する。

【0068】

ストレージ容量Csは、トランジスタT3のゲート電圧Vgsを保持する容量であり、トランジスタT1のソース及びトランジスタT3のゲートと、トランジスタT3のソース及び有機EL素子101のアノードと、の間に接続される。

【0069】

トランジスタT3は、ゲート-ドレイン間にトランジスタT1のソース及びドレインが接続されている。アノード回路12からアノードラインLaに電圧ELVSSが印加され、セレクトドライバ13からセレクトラインLs1にGate(1)信号としてHiレベルの信号(VgH)が印加され、データラインLd1に電圧信号が印加されたとき、トランジスタT1、トランジスタT2がオンする。

30

【0070】

このとき、トランジスタT3はトランジスタT1によりゲート-ドレイン間が接続されてダイオード接続状態となる。そして、このときにデータドライバ22からデータラインLd1に電圧信号が印加されると、トランジスタT2を介してトランジスタT3のソースに電圧信号が印加されて、トランジスタT3はオンし、アノード回路12からアノードラインLa、トランジスタT3、トランジスタT2を介して、データラインLd1に向けて電圧信号に対応した電流が流れる。そして、ストレージ容量Csは、このときのトランジスタT3のゲート電圧Vgsで充電され、その電荷がストレージ容量Csに蓄積される。

40

【0071】

そして、セレクトドライバ13からセレクトラインLs1にGate(1)信号としてLoレベルの信号(VgL)が印加されて、トランジスタT1及びT2がオフすると、ストレージ容量Csは、トランジスタT3のゲート電圧Vgsを保持する。

【0072】

尚、有機ELパネル21内には、配線寄生容量Cpも存在する。この配線寄生容量Cpは、主に、それぞれ、Ld1~LdmとセレクトラインLs1~Lsnとが交差する点で発生する。

50

【 0 0 7 3 】

本実施形態に係る表示装置 1 は、オートゼロ (AutoZero) 法を用いて、各画素 2 1 (i, j) の画素駆動回路 D C の特性値としてデータラインの電圧の測定を複数回行い、画像データの補正パラメータとして、各画素 2 1 (i, j) のトランジスタ T 3 の閾値電圧 V_{th} と画素駆動回路 D C の電流増幅率 β のバラツキを同時に取得する構成を備えるものである。

【 0 0 7 4 】

図 3 は、画素駆動回路の書き込み動作時の電圧 - 電流特性を説明するための図である。図 3 (a) は、書き込み動作時の画素 2 1 (i, j) の各部の電圧と電流を示す図である。

【 0 0 7 5 】

図 3 (a) に示すように、書き込み動作時には、セレクトドライバ 1 3 からセレクトライン L_{sj} に H_i レベルの信号 (V_{gH}) が印加される。このとき、トランジスタ T 1 , T 2 がオンとなり、電流制御用薄膜トランジスタであるトランジスタ T 3 はダイオード接続状態となっている。

【 0 0 7 6 】

そして、データドライバ 2 2 からデータライン L_{di} に電圧値 V_{data} の電圧信号が印加される。また、このとき、アノード回路 1 2 からアノードライン L_a に電圧 $ELVSS$ が印加される。

【 0 0 7 7 】

このとき、トランジスタ T 2 , T 3 を介して、アノード回路 1 2 から画素駆動回路 D C を介してデータライン L_{di} に向けて、電圧信号に応じた電流 I_d が流れる。

【 0 0 7 8 】

この電流 I_d の電流値は、次の式 (1 0 1) によって表される。式 (1 0 1) における β は電流増幅率であり、 V_{th} はトランジスタ T 3 の閾値電圧である。ここで、トランジスタ T 3 のソース - ドレイン間に印加される電圧は、アノードライン L_a の電圧 $ELVSS$ を 0 V としたとき、電圧値 V_{data} の絶対値からトランジスタ T 2 のドレイン - ソース間電圧 (接点 N 1 3 と接点 N 1 2 間の電圧) を減じた電圧となる。

【 0 0 7 9 】

すなわち、式 (1 0 1) は、単にトランジスタ T 3 の電圧 - 電流特性を表すものではなく、画素駆動回路 D C を実質的に一つの素子とみなしたときの特性を表すものであり、 β は画素駆動回路 D C の実効的な電流増幅率である。

【 数 7 】

$$I_d = \beta (| V_{data} | - V_{th})^2$$

・・・ (1 0 1)

図 3 (b) は、この式 (1 0 1) による、電圧値 V_{data} の絶対値に対する電流 I_d の変化を示すグラフである。

【 0 0 8 0 】

トランジスタ T 3 が初期状態の特性を有して、閾値電圧 V_{th} が初期の値 V_{th0} を有し、画素駆動回路 D C の電流増幅率 β が初期の値 β_0 (標準値) を有しているときの特性は、図 3 (b) に示す電圧 - 電流特性 $V I_0$ で表される。

【 0 0 8 1 】

ここで、 β_0 の標準値としての β_0 は、例えば、画素駆動回路 D C の設計値もしくは典型値 (Typical 値) に設定される。

【 0 0 8 2 】

また、このトランジスタ T 3 が経時劣化して、閾値電圧 V_{th} が V_{th} だけシフト (増加) したとき、電圧 - 電流特性は、図 3 (b) に示す電圧 - 電流特性 $V I_3$ となる。

【 0 0 8 3 】

また、電流増幅率 β の値が β_0 (標準値) からばらつき、 β_0 より小さい β_1 (= $\beta_0 - \Delta\beta$) である場合の電圧 - 電流特性は電圧 - 電流特性 $V I_1$ になり、 β_0 より大きい β_2 (= $\beta_0 + \Delta\beta$) である場合の電圧 - 電流特性は電圧 - 電流特性 $V I_2$ になる。

10

20

30

40

50

【 0 0 8 4 】

このオートゼロ法について説明する。オートゼロ法は、基本的には、まず、上記の書き込み動作において、アノードライン L_a の電圧 $ELVSS$ に対する電位差の絶対値が閾値電圧 V_{th} を超える基準電圧 V_{ref} をデータライン L_{di} から画素 $21(i, j)$ の画素駆動回路 DC トランジスタ T_3 のゲート - ソース間に印加する。

【 0 0 8 5 】

そして、その後、データライン L_{di} をハイインピーダンス状態とする。これによってゲートデータライン L_{d1} の電圧を自然緩和（低下）させる。そして、自然緩和が終了した後のデータライン L_{di} の電圧を測定して、測定した電圧を閾値電圧 V_{th} とする手法である。

【 0 0 8 6 】

しかるに、本実施形態におけるオートゼロ法を用いたデータライン L_{di} の電圧の測定は、上記の自然緩和が完全に終了するより前のタイミングで電圧の測定を行うものである。詳しくは後述する。

【 0 0 8 7 】

図 4 は、本実施形態におけるオートゼロ法を用いたデータラインの電圧の測定方法を説明するための図である。図 4 (a) は、上記基準電圧 V_{ref} を印加した後、データライン L_{di} をハイインピーダンス状態にしてからの、データライン L_{di} の電圧の時間的变化（緩和特性）を示す図である。

【 0 0 8 8 】

データライン L_{di} の電圧はデータドライバ 22 によってゲート電圧 V_{gs} (測定電圧 $V_{meas}(t)$) として取得される。

【 0 0 8 9 】

図 4 (b) は、図 3 (b) に示した のバラツキがあるときの、データラインの電圧（測定電圧 $V_{meas}(t)$ ）に対する影響を説明するための図である。なお、図 4 (a)、図 4 (b) において、縦軸はデータライン L_{di} の電圧（測定電圧 $V_{meas}(t)$ ）の絶対値を示し、横軸は時間 t を示し、基準電圧 V_{ref} を印加した後、データライン L_{di} をハイインピーダンス状態にしたときを $t = 0$ として、そこからの経過時間（緩和時間）を示す。

【 0 0 9 0 】

オートゼロ法によるデータラインの電圧の測定について、更に詳しく説明する。書き込み動作状態において、まず、トランジスタ T_3 の閾値電圧 V_{th} を超える電圧値を有する基準電圧 V_{ref} をデータライン L_{di} から画素 $21(i, j)$ の画素駆動回路 DC トランジスタ T_3 のゲート - ソース間に印加すると、アノード回路 12 からアノードライン L_a 、トランジスタ T_3 、トランジスタ T_2 を介して、データライン L_{di} に向けて基準電圧 V_{ref} に対応した電流が流れる。

【 0 0 9 1 】

そして、トランジスタ T_3 のゲート - ソース間（図 3 (a) の接点 $N_{11} - N_{12}$ 間）に接続されたストレージ容量 C_s は基準電圧 V_{ref} に基づく電圧に充電される。なお、基準電圧 V_{ref} は電源電圧 $ELVSS$ に対して負極性に設定されている。

【 0 0 9 2 】

次いで、データライン L_{di} のデータ入力側（データドライバ 22 側）をハイインピーダンス（ HZ ）状態に設定する。ハイインピーダンス状態に設定した直後においては、ストレージ容量 C_s に充電された電圧は基準電圧 V_{ref} に基づく電圧に保持され、トランジスタ T_3 のゲート - ソース間電圧はストレージ容量 C_s に充電された電圧に保持される。

【 0 0 9 3 】

これにより、ハイインピーダンス状態に設定した直後においてはトランジスタ T_3 はオン状態を維持して、トランジスタ T_3 のドレイン - ソース間に電流が流れ続ける。

【 0 0 9 4 】

これにより、トランジスタ T_3 のソース端子側（接点 N_{12} ）の電位が、時間の経過とともに、ドレイン端子側の電位に近づくように徐々に上昇していき、トランジスタ T_3 のドレイン - ソース間に流れる電流の電流値が減少していく。

10

20

30

40

50

【 0 0 9 5 】

これに伴って、ストレージ容量 C s に蓄積された電荷の一部が放電されていく。ストレージ容量 C s に蓄積された電荷が徐々に放電されていくと、ストレージ容量 C s の両端間の電圧が徐々に減少していく。

【 0 0 9 6 】

これによりトランジスタ T 3 のゲート電圧 Vgs が徐々に低下していく。これに応じて、図 4 (a) に示すように、データライン L di の電圧の絶対値も徐々に低下していく。

【 0 0 9 7 】

そして、最終的に、トランジスタ T 3 のドレイン - ソース間に電流が流れなくなると、ストレージ容量 C s に蓄積された電荷の放電が停止する。このときのトランジスタ T 3 のゲート電圧 Vgs は、このトランジスタ T 3 の閾値電圧 Vth になる。

10

【 0 0 9 8 】

このときは、トランジスタ T 2 のドレイン - ソース間に電流が流れない状態であるため、トランジスタ T 2 のドレイン - ソース間電圧はほぼゼロになる。このため、このときのデータライン L di の電圧はトランジスタ T 3 の閾値電圧 Vth にほぼ等しくなる。

【 0 0 9 9 】

しかしながら、図 4 (a) に示すように、データライン L di の電圧はこの閾値電圧 Vth に時間 (緩和時間) とともに漸近していく。しかし、この電圧は閾値電圧 Vth に限りなく近づくものの、理論的には、緩和時間をいくら長くしても、閾値電圧 Vth に完全には等しくならないものである。

20

【 0 1 0 0 】

そこで、本実施形態においては、表示装置 1 における制御部 1 6 は、ハイインピーダンス状態に設定してからの緩和時間 t を予め設定しておく。そして、この設定された緩和時間 t におけるデータライン L di の電圧 (測定電圧 Vmeas (t)) を測定し、この測定電圧 Vmeas (t) に基づいてトランジスタ T 3 の閾値電圧 Vth 及び画素駆動回路 D C の電流増幅率を取得する。

【 0 1 0 1 】

この測定電圧 Vmeas (t) は、次の式 (1 0 2) によって表される。

【 数 8 】

$$V_{meas}(t) = V_{th} + \frac{1}{\frac{t}{(C/\beta)} + \frac{1}{V_{ref} - V_{th}}}$$

30

・・・ (1 0 2)

ここで、C = Cp + Cs + Cel である。

【 0 1 0 2 】

そして、緩和時間 t を (C /) / t < 1 (すなわち、(C /) < t) の条件を満たす値に設定すると、その設定された緩和時間 t での測定電圧 Vmeas (t) は、次の式 (1 0 3) によって表される。

【 数 9 】

$$V_{meas}(t) \doteq V_{th} + \frac{(C/\beta)}{t}$$

40

・・・ (1 0 3)

【 0 1 0 3 】

ここで、図 4 (b) に示す緩和時間 tx を、(C /) / t = 1 の条件を満たす時間として、この緩和時間 tx を超える時間が (C /) / t < 1 の条件を満たす緩和時間となる。この緩和時間 tx は、測定電圧 Vmeas (t) が基準電圧 Vref の概ね 3 0 % 程度になる時間であり、具体的には、概ね 1 ms ~ 4 ms 程度の時間である。

50

【 0 1 0 4 】

尚、次に、図 4 (b) に示す $V_{meas_0}(t)$ は、電流増幅率 β が初期の値 β_0 (標準値) である場合 (図 3 (a) , (b) に示す電圧 - 電流特性 V_{I_0} に対応) のデータライン L_{di} の電圧の緩和特性を示す。

【 0 1 0 5 】

また、図 4 (b) に示す $V_{meas_2}(t)$ 、 $V_{meas_3}(t)$ は、それぞれ、電流増幅率 β の値が β_0 より小さい β_1 ($= \beta_0 - \Delta\beta$) である場合と、 β_0 より大きい β_2 ($= \beta_0 + \Delta\beta$) である場合 (図 3 (b) に示す電圧 - 電流特性 V_{I_1} , V_{I_2} に対応) のデータライン L_{di} の電圧の緩和特性を示す。

【 0 1 0 6 】

表示装置 1 の出荷時等の初期段階で、上記の $(C/\beta) / t < 1$ の条件を満たす緩和時間として、緩和時間 t_x を超える 2 つの異なる時間 t_1 , t_2 を設定して、上記オートゼロ法により、基準電圧 V_{ref} を印加した後の緩和時間 t_1 , t_2 の 2 回のタイミングでデータライン L_{di} の電圧の測定を行う。そして、緩和時間 t_1 及び t_2 でのデータライン L_{di} の電圧値と上記の式 (1 0 3) に基づいて、初期の閾値電圧 V_{th0} と (C/β) とを求めることができる。

10

【 0 1 0 7 】

次いで、上記の手法によって有機 EL パネル 2 1 の全ての画素 2 1 (i , j) に対する閾値電圧 V_{th0} と (C/β) とを求める。そして、各画素 2 1 の (C/β) の平均値 $\langle C/\beta \rangle$ と、そのバラツキを計算する。

20

【 0 1 0 8 】

そして、このバラツキが閾値電圧 V_{th} 測定の許容精度内に入り、かつ、 $(C/\beta) / (t) < 1$ を満たす最短の緩和時間 $t = t_0$ を決定する。そして、画像データが供給される実使用時に測定電圧 $V_{meas}(t_0)$ を取得すれば、実使用時の閾値電圧 V_{th} を、式 (1 0 3) を変形した次の式 (1 0 4) から求めることができる。

【 0 1 0 9 】

なお、各画素 2 1 の (C/β) の平均値 $\langle C/\beta \rangle$ としては、各画素 2 1 の (C/β) の加算平均値を用いることができるが、各画素 2 1 の (C/β) の値の中央値を用いてもよい。

【 0 1 1 0 】

ここで、オフセット電圧を次の式 (1 0 5) に示すように定義する。

30

【数 1 1】

$$\frac{\langle C/\beta \rangle}{t_0} = V_{offset}$$

・・・ (1 0 5)

【 0 1 1 1 】

次に、画素 2 1 (i , j) の画素駆動回路 DC の電流増幅率 β が $\beta_0 \pm \Delta\beta = \beta_0 (1 \pm \Delta\beta/\beta_0)$ にばらついていた場合について説明する。このときのデータライン L_{di} の電圧 (測定電圧 $V_{meas}(t)$) の β による変化量 $\Delta V_{meas}(t)$ は、次の式 (1 0 6) によって表される。

40

【数 1 2】

$$\Delta V_{meas}(t) = - \left[\frac{\Delta\beta}{\beta_0} \right] \times \frac{\langle C/\beta \rangle}{t} \left\{ 1 - \frac{2}{V_{ref} - V_{th}} \frac{\langle C/\beta \rangle}{t} \right\}$$

・・・ (1 0 6)

【 0 1 1 2 】

(C/β_0) は、各画素 2 1 (i , j) の画素駆動回路 DC の電流特性のバラツキを示すバラツキパラメータであり、 $V_{meas}(t)$ は、データライン L_{di} の電圧のバラツキ依存

50

性を表している。この場合、この式(106)に示すように、のバラツキによってデータラインLdiの電圧は Vmeas(t)だけ変動する。

【0113】

このときの緩和時間tは、図4(b)に示すように、緩和時間txに比べて小さな値t3に設定される((C/) / t 1)。

【0114】

この緩和時間t3では、データラインLdiの電圧が急速に緩和(低下)し、データラインLdiの電圧(測定電圧Vmeas(t))ののバラツキ依存性が比較的大きくなっている。

【0115】

このため、Vmeas(t3)で示すように、このに 応じた測定電圧Vmeas(t)の変化を判別できる。従って、式(106)に示す meas(t)は、t = t1, t2とした場合と比較して、より大きな値として取得される。

10

【0116】

そして、この Vmeas(t)を取得できれば、式(106)を変形した式から(/)を取得できる。

【0117】

次に、供給される画像データに基づいてデータラインLd1に印加される電圧信号の電圧値Vdataに対する補正について説明する。

【0118】

まず、画像データに対応する、補正する前の電圧値をVdata0とし、式(106)を電圧で微分することにより、電圧値Vdata0を補正した電圧値Vdata1は次の式(107)で表される。

20

【数13】

$$Vdata1 = Vdata0 \times \left\{ 1 - \frac{1}{2} \left(\frac{\Delta \beta}{\beta 0} \right) \right\}$$

・・・(107)

【0119】

最後に、閾値電圧Vthは、式(105)で定義したオフセット電圧Voffsetを用い、緩和時間t0におけるオートゼロ法により、次の式(108)で表される。

30

$$Vth = Vmeas(t0) - Voffset \quad \dots (108)$$

【0120】

そして、補正した電圧値(補正電圧信号)Vdataは、次の式(109)によって表される。この電圧値Vdataがデータドライバ22からデータラインLd1に印加される電圧信号(駆動信号)の電圧値となる。

$$Vdata = Vdata1 + Vth \quad \dots (109)$$

【0121】

次に、データドライバ22の構成の詳細について説明する。図5は、図1に示すデータドライバ22の具体的な構成を示すブロック図である。データドライバ22は、図5に示すように、シフトレジスタ111と、データレジスタブロック112と、バッファ113(1)~113(m), 119(1)~119(m)と、ADC114(1)~114(m)と、レベルシフタ(図中、「LS」と記す。)115(1)~115(m), 117(1)~117(m)と、データラッチ部(図中、「D-Latch」と記す。)116(1)~116(m)と、VDAC118(1)~118(m)と、スイッチSw1(1)~Sw1(m), Sw2(1)~Sw2(m), Sw3(1)~Sw3(m), Sw4(1)~Sw4(m), Sw5(1)~Sw5(m)と、を備える。Sw3(1)~Sw3(m)は、切換部に相当するものである。

40

【0122】

シフトレジスタ111は、制御部16からスタートパルスSP2が供給され、供給され

50

たスタートパルスSP2をシフトして、シフト信号を順次、データレジスタブロック112に供給するものである。

【0123】

データレジスタブロック112は、m個のレジスタ(図示せず)によって構成されたものである。データレジスタブロック112は、制御部16から画像データに対応するデジタルデータ $Din(i)$ ($i=1\sim m$)が供給され、シフトレジスタ111から供給されたシフト信号に従って、これらのデジタルデータ $Din(i)$ を、順次、シフトして各レジスタに保持する。

【0124】

バッファ113(i)($i=1\sim m$)は、それぞれ、データライン $Ldi(i=1\sim m)$ の電圧をアナログデータとしてADC114(i)に印加するためのバッファ回路である。

10

【0125】

ADC114(i)は、アナログ-デジタル変換器であり、それぞれ、バッファ113(i)から印加されたアナログデータをデジタルデータの出力信号 $Dout(i)$ に変換する。ADC114(i)は、データライン $Ldi(i=1\sim m)$ の電圧を測定する測定器(電圧測定部)として用いられる。

【0126】

レベルシフタ115(i)は、それぞれ、ADC114(i)が変換したデジタルデータを回路の電源電圧に合わせるようにレベルシフトするものである。

20

【0127】

データラッチ部116(i)は、それぞれ、供給されたデータ信号を保持するためのものである。データラッチ部116(i)は、制御部16から供給されたデータラッチパルス $Dlpulse$ の立ち上がりタイミングでデータ信号をラッチする。

【0128】

レベルシフタ117(i)は、それぞれ、データラッチ部116(i)が保持したデータを回路の電源電圧に合わせるようにレベルシフトするものである。

【0129】

VDAC(DAC; Digital Analog Converter)118(i)は、デジタルデータをアナログ電圧に変換するデジタル-アナログ変換器である。VDAC118(i)は、レベルシフタ117(i)がレベルシフトしたデジタルデータ $Din(i)$ をアナログ電圧に変換して、バッファ119(i)を介して各データライン Ldi に出力するものであり、駆動信号印加部に相当する。

30

【0130】

図6は、図5に示すVDAC118の構成と機能を説明するための図である。図6(a)に示すように、VDAC118(i)は、階調電圧生成回路118-1と、階調電圧選択回路118-2と、を有する。

【0131】

階調電圧生成回路118-1は、VDAC118に入力されるデジタル信号のビット数に対応した数の階調電圧(アナログ電圧)を生成するものである。入力されるデジタル信号が図6(a)に示す10ビット($D0-D9$)の場合、階調電圧生成回路118-1は、1024個の階調電圧 $VD0\sim VD1023$ を生成する。

40

【0132】

階調電圧生成回路118-1は、VD1設定回路118-3と、VD1023設定回路118-4と、抵抗 $R2$ と、ラダー抵抗部118-5と、を有する。

【0133】

VD1設定回路118-3は、制御部16から制御信号 VL_SEL が供給され、電圧 $VD0$ が印加されて、階調電圧 $VD1$ の電圧値を設定する回路である。電圧 $VD0$ は、最低階調電圧であり、例えば電源電圧 $ELVSS$ と同じ電圧に設定される。

【0134】

50

VD1設定回路118-3は、図6(b)に示すように、抵抗R3と、複数の抵抗R4-1~R4-127と、VD1選択回路118-6と、を有する。

【0135】

抵抗R3と抵抗R4-1~R4-127とは直列接続された分圧抵抗である。抵抗R3の一端には、電圧VD0が印加される。抵抗R4-127の一端は、抵抗R2の一端に接続される。この抵抗R3と抵抗R4-1との接続点の電圧を電圧VA0、・・・、抵抗R4-127と抵抗R2との接続点の電圧を電圧VA127とする。

【0136】

VD1選択回路118-6は、制御部16から供給された制御信号VLSELに基づいて、電圧VA0~VA127のうちから、いずれかの電圧を選択する回路であり、選択した電圧を階調電圧VD1として出力する。ここで、VD1設定回路118-3は、階調電圧VD1を閾値電圧Vth0に対応する値に設定する。

10

【0137】

VD1023設定回路118-4は、制御部16から制御信号VHSELが供給され、電圧DVSSが印加されて最高階調電圧VD1023の電圧値を設定する回路である。

【0138】

VD1023設定回路118-4は、図6(b)に示すように、複数の抵抗R5-1~R5-127と、抵抗R6と、VD1023選択回路118-7と、を有する。

【0139】

抵抗R5-1~R5-127と抵抗R6とは直列接続された分圧抵抗である。抵抗R5-1の一端は、抵抗R2の他端に接続され、抵抗R6の一端には、電圧DVSSが印加される。この抵抗R2と抵抗R5-1との接続点の電圧を電圧VB0、・・・、抵抗R5-127と抵抗R6との接続点の電圧を電圧VB127とする。

20

【0140】

VD1023選択回路118-7は、制御部16から供給された制御信号VHSELに基づいて、電圧VB0~VB127のうちから、いずれかの電圧を選択し、選択した電圧を階調電圧VD1023として出力する回路である。

【0141】

ラダー抵抗部118-5は、直列に接続された複数(例えば、1022個)のラダー抵抗R1-1~R1-1022を備えたものであり、各ラダー抵抗R1-1~R1-1022は、同じ抵抗値を有している。

30

【0142】

ラダー抵抗R1-1の一端は、VD1設定回路118-3の出力端に接続されて電圧VD1が印加される。ラダー抵抗R1-1022の一端は、VD1023設定回路118-4の出力端に接続されて、電圧VD1023が印加される。

【0143】

そして、ラダー抵抗R1-1~R1-1022は、電圧VD1~VD1023を均等に分割し、ラダー抵抗部118-5は、均等に分割した電圧を、等間隔の階調電圧VD2~VD1022として階調電圧選択回路118-2に出力する。

【0144】

40

階調電圧選択回路118-2は、レベルシフタ117(i)がレベルシフトしたデジタル信号をデジタル信号D0~D9として入力され、階調電圧生成回路118-1から供給された各階調電圧VD2~VD1022を、入力されたデジタル信号D0~D9の値に応じて選択し、選択した階調電圧をVDAC118の出力電圧VOUTとして出力するものである。

【0145】

このようにして、VDAC118(i)は、入力されたデジタル信号を、デジタル信号の階調値に対応したアナログ電圧に変換する。

【0146】

本実施形態においては、VDAC118に入力されるデジタル信号の値は、画像データのビット数に応じた全階調範囲より狭い範囲に設定され、VDAC118(i)が出力す

50

る出力電圧 V_{OUT} の電圧範囲は、階調電圧生成回路118-1によって生成する全階調電圧 $VD0 \sim VD1023$ のうちの一部の電圧範囲に設定されている。

【0147】

そして、上述のように、本実施形態においては、供給された画像データに対して、概略、閾値電圧 V_{th} の値に応じた補正を行う。すなわち、出力電圧 V_{OUT} の電圧範囲の幅は変わらず、第1階調に対応する電圧範囲の開始電圧の値が閾値電圧 V_{th} の変動量(V_{th})に応じた値だけシフトされて、全階調電圧 $VD0 \sim VD1023$ のうち電圧範囲がシフトする。

【0148】

しかるに、階調電圧生成回路118-1によって設定される各階調電圧 $VD1 \sim VD1023$ は等間隔の値に設定されているため、出力電圧 V_{OUT} の電圧範囲がシフトしても、画像データの階調値に対する $VDAC118(i)$ の出力電圧の変化特性を一定に維持することができる。

10

【0149】

なお、画像データの階調値がゼロであるとき、 $VDAC118(i)$ はゼロ階調に対応する最低階調電圧 $VD0$ を出力する。このときは黒表示であって有機EL素子101を発光させないため、上記の閾値電圧 V_{th} の値に応じた補正を行う必要がないため、階調電圧 $VD0$ は一定の電圧値に設定される。

【0150】

図5に示す $ADC114(i)$ と $VDAC118(i)$ とは、例えば同一のビット幅を有して、1階調に対応する電圧幅が同一の値に設定されている。

20

【0151】

バッファ119(i)は、それぞれ、 $VDAC118(i)$ から出力されたアナログ電圧をデータライン L_{di} に出力するためのバッファ回路である。

【0152】

スイッチ $Sw1(i)$ は、それぞれ、データライン L_{di} とバッファ119(i)の出力端との間を接続、遮断するスイッチである。

【0153】

データライン L_{di} に電圧値 V_{data} を有する電圧信号を印加するとき、スイッチ $Sw1(i)$ は、それぞれ、制御部16から、スイッチ制御信号 $S1$ として $On1$ 信号が供給されてオンし(閉じ)、バッファ119(i)の出力端とデータライン L_{di} とを接続する。

30

【0154】

データライン L_{di} への電圧値 V_{data} の電圧信号の印加が終了すると、スイッチ $Sw1(i)$ は、それぞれ、制御部16から、スイッチ制御信号 $S1$ として $Off1$ 信号が供給されてオフし(開き)、バッファ119(i)の出力端とデータライン L_{di} との間を遮断する。

【0155】

スイッチ $Sw2(i)$ は、それぞれ、データライン L_{di} とバッファ113(i)の入力端との間を接続、遮断するスイッチである。

【0156】

オートゼロ法によるデータライン L_{di} の電圧測定を行うとき、スイッチ $Sw2(i)$ は、それぞれ、制御部16から、スイッチ制御信号 $S2$ として $On2$ 信号が供給されてオンし、データライン L_{di} とバッファ113(i)の入力端との間を接続する。

40

【0157】

データライン L_{di} の電圧測定が終了すると、スイッチ $Sw2(i)$ は、それぞれ、制御部16から、スイッチ制御信号 $S2$ として $Off2$ 信号が供給されてオフし、データライン L_{di} とバッファ113(i)の出力端との間を遮断する。

【0158】

スイッチ $Sw3(i)$ は、それぞれ、データライン L_{di} とアナログ電源14の基準電圧 V_{ref} の出力端との間を接続、遮断するスイッチである。

【0159】

50

データライン L_{di} に基準電圧 V_{ref} を印加するとき、スイッチ $S w 3 (i)$ は、それぞれ、制御部 16 から、スイッチ制御信号 $S 3$ として $On3$ 信号が供給されてオンし、アナログ電源 14 の基準電圧 V_{ref} の出力端とデータライン L_{di} とを接続する。

【0160】

$On3$ 信号は上記のオートゼロ法による測定を行うために、基準電圧 V_{ref} を印加する短期間にのみ供給される。その後、スイッチ $S w 3 (i)$ は、それぞれ、制御部 16 から、スイッチ制御信号 $S 3$ として $Off3$ 信号が供給されて各スイッチ $S w 3 (i)$ はオフし、アナログ電源 14 の基準電圧 V_{ref} の出力端とデータライン L_{di} との間を遮断する。

【0161】

スイッチ $S w 4 (1)$ は、データラッチ部 116 (1) の出力端と、スイッチ $S w 6$ の一端又はレベルシフタ 117 (1) との接続切り換えを行うスイッチであり、front 端子と DAC 側端子とを有している。front 端子は、スイッチ $S w 6$ の一端に接続された端子であり、DAC 側端子は、レベルシフタ 117 (1) に接続された端子である。

10

【0162】

また、スイッチ $S w 4 (i) (i = 2 \sim m)$ は、それぞれ、データラッチ部 116 (i) の出力端と、スイッチ $S w 5 (i - 1)$ の入力端又はレベルシフタ 117 (i) と、の接続切り換えを行うスイッチであり、front 端子と DAC 側端子とを有している。

【0163】

スイッチ $S w 4 (2) \sim (m)$ の front 端子は、それぞれ、スイッチ $S w 5 (1) \sim (m - 1)$ と接続するための端子であり、DAC 側端子は、それぞれ、レベルシフタ 117 (2) \sim 117 (m) に接続された端子である。

20

【0164】

測定電圧 $V_{meas}(t)$ を、出力信号 $Dout (1) \sim Dout (m)$ として、制御部 16 に出力するとき、スイッチ $S w 4 (i) (i = 1 \sim m)$ は、制御部 16 から、それぞれ、スイッチ制御信号 $S 4$ として $Connect_front$ 信号が供給される。

【0165】

スイッチ $S w 4 (1)$ は、制御部 16 から $Connect_front$ 信号が供給されて、データラッチ部 116 (i) の出力端と front 端子とを接続する。

【0166】

スイッチ $S w 4 (i) (i = 2 \sim m)$ は、制御部 16 から $Connect_front$ 信号が供給されて、それぞれ、データラッチ部 116 (i) の出力端と front 端子とを接続する。

30

【0167】

また、各データライン L_{di} への電圧値 V_{data} の電圧信号の印加が行われるとき、スイッチ $S w 4 (i) (i = 1 \sim m)$ は、それぞれ、制御部 16 から、スイッチ制御信号 $S 4$ として $Connect_DAC$ 信号が供給されて、データラッチ部 116 (i) の出力端と DAC 側端子とを接続する。

【0168】

スイッチ $S w 5 (i)$ は、それぞれ、データラッチ部 116 (i) の入力端と、データレジスタブロック 112、レベルシフタ 115 (i)、及びスイッチ $S w 4 (i)$ のいずれか 1 つの front 端子と、の間の接続切り換えを行うスイッチである。

40

【0169】

スイッチ $S w 5 (i)$ は、制御部 16 から、スイッチ制御信号 $S 5$ として、それぞれ、 $Connect_ADC$ 信号が供給されて、データラッチ部 116 (i) の入力端と、レベルシフタ 115 (i) の出力端とを接続する。

【0170】

スイッチ $S w 5 (i)$ は、制御部 16 から、スイッチ制御信号 $S 5$ として、それぞれ、 $Connect_rear$ 信号が供給されて、データラッチ部 116 (i) の入力端と、スイッチ $S w 4 (i + 1)$ の front 端子とを接続する。

【0171】

スイッチ $S w 5 (i)$ は、制御部 16 から、スイッチ制御信号 $S 5$ として、それぞれ、

50

Connect_DRB信号が供給されて、データラッチ部116(i)の入力端と、データレジスタブロック112の出力端と、を接続する。

【0172】

スイッチSw6は、スイッチSw4(1)のfront端子と、制御部16との間を接続、遮断するスイッチである。

【0173】

測定電圧 $V_{meas}(t)$ を、出力信号 $Dout(1) \sim Dout(m)$ として、制御部16に出力するとき、スイッチSw6は、制御部16から、スイッチ制御信号S6として、On6信号が供給されてオンし、スイッチSw4(1)のfront端子と制御部16とを接続する。

【0174】

測定電圧 $V_{meas}(t)$ をすべて出力すると、スイッチSw6は、制御部16から、スイッチ制御信号S6として、Off6信号が供給されてオフし、スイッチSw4(1)のfront端子と制御部16との間を遮断する。

【0175】

図1に戻り、アノード回路12は、アノードラインLaを介して有機ELパネル21に電圧を印加して電流を供給するためのものである。

【0176】

アナログ電源14は、データドライバ22に基準電圧 V_{ref} 、電圧DVSS、VDOを印加するための電源である。

【0177】

基準電圧 V_{ref} は、オートゼロ法によるデータラインLd1の電圧測定の際、各画素21(i, j)から電流を引き込むように、データドライバ22に印加される。基準電圧 V_{ref} は、アノード回路12から印加される電源電圧ELVSSに対して負極性の電圧であり、電源電圧ELVSSに対する電位差の絶対値が各画素21(i, j)のトランジスタT3の閾値電圧 V_{th} よりも絶対値で大きな値に設定される。

【0178】

アナログ電圧DVSSとVDOとは、バッファ113(i), 119(i)、ADC114(i)、VDAC118(i)を駆動するためのアナログ電圧である。アナログ電圧DVSSは、アノード回路12から印加される電源電圧ELVSSに対して負極性の電圧であり、例えば-1.2V程度に設定される。

【0179】

ロジック電源15は、データドライバ22に電圧LVSS、LVDDを印加するための電源である。電圧LVSS、LVDDは、データドライバ22のデータラッチ部116(i)、データレジスタブロック、シフトレジスタを駆動するためのロジック電圧である。尚、各電圧DVSS、VDO、LVSS、LVDDは、例えば、 $(DVSS - VDO) < (LVSS - LVDD)$ に設定される。

【0180】

制御部16は、各データを格納し、格納したデータに基づいて各部を制御するものである。なお、上述のように、本実施形態における制御部16は、供給されたデジタル信号の画像データに対して種々の補正を行ったデジタルデータ $D_{in}(i)$ をデータドライバ22に供給する構成を有する。制御部16内での演算等の処理はデジタル値に対して行われるものである。

【0181】

制御部16は、例えば、表示装置1の出荷時等の初期段階において、各部を制御して、データドライバ22を介して、オートゼロ法によるデータラインLdiの電圧測定を行い、すべての画素21(i, j)に対応する測定電圧 $V_{meas}(t1)$ 、 $V_{meas}(t2)$ 、 $V_{meas}(t3)$ を取得する。

【0182】

そして、制御部16は、式(103)に従って演算を行うことにより、特性パラメータとして、各画素21(i, j)のトランジスタT3の(初期)閾値電圧 V_{th0} 、画素駆動回路DCのCノ値を取得し、さらに、平均値 $\langle Cノ \rangle$ を取得し、式(105)に従って演算

10

20

30

40

50

を行うことにより、オフセット電圧 V_{offset} を取得する。

【0183】

次いで、画像データが供給される実使用時において、制御部16は、各部を制御して、データドライバ22を介して、オートゼロ法によるデータライン L_{di} の電圧測定を行い、すべての画素21(i,j)に対応する測定電圧 $V_{meas}(t_0)$ を取得する。

【0184】

制御部16は、供給された画像データの電圧データに対し、RGB毎に画像データの階調値に対するデータ値(電圧振幅)の変換を行って電圧値 V_{data0} を取得する。

【0185】

カラー表示においては、RGB各々が最高階調であるときに白表示となるようにする必要がある。しかし、画素21(i,j)のRGB各色の有機EL素子101は、通常、供給された電流の電流値に対する発光輝度の特性が異なる。

【0186】

このため、画像データの階調値に対してRGB各色の有機EL素子101に供給される電流の電流値を、RGBの各々が最高階調であるときに白表示となる互いに異なる値とするように、制御部16において、RGB毎に画像データの階調値に対する電圧振幅の変換を行う。

【0187】

制御部16は、すべての画素21(i,j)について、このような電圧振幅の変換を行って電圧値 V_{data0} を取得する。電圧値 V_{data0} を取得すると、制御部16は、式(106)、(107)に従って演算を行うことにより、() / 0)に基づいて補正した電圧値 V_{data1} を取得する。

【0188】

制御部16は、式(108)、(109)に従って演算を行い、最終出力電圧として、閾値電圧 V_{th} に基づく電圧値 V_{data} を取得する。具体的に、制御部16は、閾値電圧 V_{th} 相当分のビット加算をすることにより電圧値 V_{data1} を補正し、電圧値 V_{data} を取得する。

【0189】

制御部16は、補正後のすべての画素21(i,j)に対応する画像データ V_{data} を、デジタルデータ $D_{in}(1) \sim D_{in}(m)$ として、1行毎にデータドライバ22に出力する。

【0190】

図7は、図1に示す制御部の構成を示すブロック図であり、図8は、図7に示すメモリの各格納領域を示す図である。制御部16は、上記のような処理を行うため、図7に示すように、CPU121と、メモリ122と、LUT123と、を備える。

【0191】

CPU(Central Processing Unit)121は、実際に、アノード回路12、セレクトドライバ13、データドライバ22の制御、各種演算を行うものである。

【0192】

メモリ122は、ROM(Read Only Memory)、RAM(Random Access Memory)等によって構成されたものであり、CPU121が実行する各処理プログラムを格納するとともに、処理に必要な各種データを格納する。

【0193】

メモリ122は、各種データを格納する領域として、図8に示すように、画素データ格納領域122aと、 $\langle C / \rangle$ 格納領域122bと、オフセット電圧(V_{offset})格納領域122cと、を備える。

【0194】

画素データ格納領域122aは、画素21(i,j)毎に、測定電圧 $V_{meas}(t_1)$ 、 $V_{meas}(t_2)$ 、 $V_{meas}(t_3)$ 、 V_{meas} 、閾値電圧 V_{th0} 、 V_{th} 、 $C /$ 、 $/ 0$ の各データを格納する領域である。

【0195】

10

20

30

40

50

< C / > 格納領域 1 2 2 b は、各画素 2 1 (i , j) の C / の平均値 < C / > を格納する領域である。

【 0 1 9 6 】

オフセット電圧格納領域 1 2 2 c は、式 (1 0 5) によって定義されたオフセット電圧 Voffset を格納する領域である。

【 0 1 9 7 】

LUT (Look Up Table) 1 2 3 は、供給された画像データに対して RGB (R ; R e d、G ; G r e e n、B ; B l u e) 各色毎に電圧振幅の変換を行うためのテーブルであり、予め設定されたものである。

【 0 1 9 8 】

制御部 1 6 は、この LUT 1 2 3 を参照することにより、供給された画像データの電圧データに対し、RGB 毎にデータ値 (電圧振幅) の変換を行う。

【 0 1 9 9 】

次に、図 9 は、VDAC 1 1 8 (i) を 1 0 ビットとしてデータ変換を行う場合の LUT 1 2 3 における画像データの変換特性を示す図であり、図 1 0 は、LUT 1 2 3 における画像データ変換特性を説明するための図である。

【 0 2 0 0 】

この例では、青 (B) > 赤 (R) > 緑 (G) の順にデータ値 (電圧振幅) が異なっている。まず、図 9 の横軸は画像データの階調値であり、画像データが 1 0 ビットの場合を示す。

【 0 2 0 1 】

図 9 の縦軸は LUT 1 2 3 によって画像データを変換した変換データの階調値を示す。この変換データに基づいて RGB の電圧振幅が設定される。なお、画像データの階調値に対する変換データの階調値の変換特性は LUT 1 2 3 に予め設定されているものである。図 9 (a) は、画像データの階調値に対して変換データの階調値が直線的 (リニア) な関係に設定される場合を示している。

【 0 2 0 2 】

また、図 9 (b) は、画像データの階調値に対して変換データの階調値が曲線的な、ガンマ特性を有するように設定されている場合を示している。LUT 1 2 3 における画像データの階調値に対する変換データの階調値の関係は、必要に応じて任意に設定することができる。

【 0 2 0 3 】

ここで、データドライバ 2 2 の VDAC 1 1 8 (i) は、1 0 ビットの構成を有している場合、0 ~ 1 0 2 3 の入力データを受け取ることができるものである。しかし、LUT 1 2 3 によって変換した後の変換データは、最大値が 6 0 0 程度に設定されている。これは以下の理由によるものである。

【 0 2 0 4 】

図 1 0 は、画像データの階調値に対する、データドライバ 2 2 へ入力されるデジタルデータ Din (i)、すなわち、制御部 1 6 から出力されるデジタルデータ Din (i) の階調値を示したものである。

【 0 2 0 5 】

ここで、図 1 0 (a) は図 9 (a) に対応し、図 1 0 (b) は図 9 (b) に対応するものである。上述のように、本実施形態においては、制御部 1 6 において、供給された画像データに対して、概略、閾値電圧 Vth の値に応じた補正を行う。

【 0 2 0 6 】

この補正は、式 (1 0 9) に示すように、画像データに対応し、電流増幅率 のバラツキに応じた補正を行ったデータに対して、閾値電圧 Vth に相当する量を加算することによって行われるものである。

【 0 2 0 7 】

ここで、上記のように、データドライバ 2 2 の VDAC 1 1 8 における階調電圧 VD1 は

10

20

30

40

50

閾値電圧 V_{th} の初期値 V_{th0} に対応する値に設定されるため、補正によって加算する量は、閾値電圧 V_{th} の初期値 V_{th0} からの変化量 V_{th} に相当する量となる。

【0208】

そして、制御部 16 から出力されるデジタルデータ $D_{in}(i)$ の階調値がデータドライバ 22 の $V_{DAC118}(i)$ の入力可能範囲 (0 ~ 1023) 内になければならない。

【0209】

このために、LUT 123 によって変換した後の変換データの階調値の最大値は、データドライバ 22 の $V_{DAC118}(i)$ の入力可能範囲から、補正によって加算される量を減じた値に設定されている。

【0210】

なお、補正によって加算される量は閾値電圧 V_{th} の変化量 V_{th} に対応したものであるから一定の量ではなく、使用時間の経過に応じて次第に増加するものである。

【0211】

よって、LUT 123 による変換データの階調値の最大値は、例えば、表示装置 1 の予想される使用時間に基づいて補正によって加算される量の最大値を予測して、決定される。

【0212】

なお、画像データの階調値がゼロで黒表示であるときは、有機 EL 素子 101 を発光させない状態であるため、上記の補正を行う必要がない。このため、黒表示の画像データがゼロ階調である場合、制御部 16 は、LUT 123 を参照することなく、そのままゼロ階調をデータドライバ 22 に供給する。

【0213】

次に本実施形態に係る表示装置 1 の動作を説明する。

初期段階において、オートゼロ法による各データライン L_{di} の電圧測定を行う場合、制御部 16 は、電圧 $ELVSS$ をアノードライン L_a に印加するように、アノード回路 12 を制御する。

【0214】

図 11 は、オートゼロ法による電圧測定を行う場合の各部の動作を示すタイミングチャートである。制御部 16 は、図 11 に示すように、時刻 t_{10} において、セレクトドライバ 13 に、スタートパルス SP_1 を供給する。セレクトドライバ 13 は、セレクトライン L_{s1} に、 V_{gH} レベルの $Gate(1)$ 信号を出力する。

【0215】

セレクトドライバ 13 がセレクトライン L_{s1} に V_{gH} レベルの $Gate(1)$ 信号を出力すると、第 1 行目の画素 11 (i, j) のトランジスタ T_1, T_2 はオンする。トランジスタ T_1 がオンすると、トランジスタ T_3 のゲート - ドレイン間が接続されてトランジスタ T_3 は、ダイオード接続状態となる。

【0216】

また、制御部 16 は、時刻 t_{10} において、データドライバ 22 に、スイッチ制御信号 $S_1 \sim S_6$ として、それぞれ、 $Off_1, Off_2, On_3, Connect_front, Connect_ADC, Off_6$ の各信号を供給する。

【0217】

スイッチ $Sw_4(1)$ は、図 12 (a) に示すように、制御部 16 から $Connect_front$ 信号が供給されて、データラッチ部 116 (1) の出力端と front 端子とを接続し、スイッチ $Sw_4(2) \sim Sw_4(m)$ は、それぞれ、データラッチ部 116 (i) の出力端と front 端子とを接続する。

【0218】

スイッチ $Sw_5(1) \sim Sw_5(m)$ は、図 12 (a) に示すように、制御部 16 から $Connect_ADC$ 信号が供給されて、それぞれ、データラッチ部 116 (1) ~ 116 (m) の入力端と、レベルシフタ 115 (1) ~ 115 (m) の出力端とを接続する。

【0219】

10

20

30

40

50

図13は、オートゼロ法による電圧測定を行う場合の各スイッチの接続関係を示す図である。スイッチ $Sw1(1) \sim Sw1(m)$, $Sw2(1) \sim Sw2(m)$ は、それぞれ、制御部16から $Off1$, $Off2$ 信号が供給されてオフする。また、スイッチ $Sw3(1) \sim Sw3(m)$ は、それぞれ、制御部16から $On3$ 信号が供給されてオンする。

【0220】

アナログ電源14の基準電圧 V_{ref} が負であるため、トランジスタ $T1 \sim T3$ がオンすれば、アナログ電源14は、第1行目の画素 $21(1,1) \sim 21(1,m)$ から各データライン L_{di} を介して電流 I_d を引き込む。

【0221】

このとき、第1行目の画素 $21(1,1) \sim 21(m,1)$ の有機EL素子101はカソード側の電位が V_{cath} であり、アノード側は V_{cath} より負電位になって逆バイアスとなっているため、電流は流れず、発光しない。

10

【0222】

また、スイッチ $Sw1(1) \sim Sw1(m)$, $Sw2(1) \sim Sw2(m)$ がオフしているため、アナログ電源14が引き込んだ電流 I_d は、バッファ113(1) ~ 113(m) , 119(1) ~ 119(m) には流れ込まない。

【0223】

このため、電流 I_d は、図13(a)に示すように、第1行目の画素 $21(1,j) \sim 21(m,j)$ のトランジスタ $T3$, $T2$ から各データライン L_{di} を経由してアナログ電源14へと流れる。

20

【0224】

電流 I_d が流れると、各画素 $21(1,j) \sim 21(m,j)$ のストレージ容量 C_s は、基準電圧 V_{ref} に基づく電圧で充電される。

【0225】

そして、時刻 t_{11} において、これらの容量が基準電圧 V_{ref} で充電されると、制御部16は、データドライバ22に、スイッチ制御信号 S_3 として $Off3$ 信号を供給する。

【0226】

制御部16から $Off3$ 信号が供給されると、図13(b)に示すように、それぞれ、スイッチ $Sw3(i)$ はオフする。また、スイッチ $Sw1(i)$, $Sw2(i)$ は、それぞれ、オフしたままであり、有機ELパネル21とデータドライバ22との間の接続が遮断される。これにより、データライン L_{di} はハイインピーダンス(HZ)状態になる。

30

【0227】

データライン L_{di} はハイインピーダンス状態になった直後においては、ストレージ容量 C_s に蓄積された電荷が直前の値に保持され、これによりトランジスタ $T3$ がオン状態に維持される。

【0228】

これにより、トランジスタ $T3$ のドレイン - ソース間に電流が流れ続けて、トランジスタ $T3$ のソース端子側の電位がドレイン端子側の電位に近づくように徐々に上昇していき、トランジスタ $T3$ のドレイン - ソース間に流れる電流の電流値が減少していく。

【0229】

これに伴って、ストレージ容量 C_s に蓄積された電荷の一部が徐々に放電されていき、ストレージ容量 C_s の両端間の電圧が減少していく。これによりトランジスタ $T3$ のゲート電圧 V_{gs} が徐々に低下していき、これに応じて、データライン L_{di} の電圧の絶対値は基準電圧 V_{ref} から徐々に低下していく。

40

【0230】

時刻 t_{11} から、予め設定された緩和時間 t が経過した時刻 t_{12} において、制御部16は、データドライバ22に、スイッチ制御信号 S_2 として $On2$ 信号を供給する。このときの緩和時間 t は、 $C / (\quad t) < 1$ の条件を満たす t_{11} に設定される。

【0231】

図13(c)に示すように、スイッチ $Sw2(i)$ は、それぞれ、制御部16から $On2$

50

信号が供給されてオンし、ADC114(i)は、それぞれ、データラインLdiの電圧値を測定電圧 $V_{meas}(t1)$ としてを取得する。

【0232】

レベルシフタ115(i)は、それぞれ、ADC114(i)が取得した測定電圧 $V_{meas}(t1)$ をレベルシフトする。

【0233】

図12(a)に示すように、それぞれ、データラッチ部116(1)~116(m)の入力端と、レベルシフタ115(1)~115(m)の出力端とがスイッチSw5(1)~Sw5(m)を介して接続されているため、レベルシフタ115(1)~115(m)がそれぞれレベルシフトした測定電圧 $V_{meas}(t1)$ は、データラッチ部116(1)~116(m)に供給される。

10

【0234】

データラッチ部116(1)~116(m)は、それぞれ、供給された測定電圧 $V_{meas}(t1)$ を保持する。制御部16は、データラッチパルスDLpulseをデータドライバ22に出力する。

【0235】

Gate(1)信号が立ち下がる時刻 $t13$ において、制御部16は、データドライバ22に、スイッチ制御信号S6として、On6信号を供給し、スイッチSw6は、図12(b)に示すように、オンする。

【0236】

この図12(b)に示すように、データラッチ部116(i)の出力端とスイッチSw6(i)の一端とがスイッチSw4(1)のfront端子を介して接続され、それぞれ、データラッチ部116(2)~116(m)の出力端と、スイッチSw5(1)~Sw5(m-1)の入力端と、がスイッチSw4(2)~Sw4(m)のfront端子を介して接続されている。

20

【0237】

このため、データラッチ部116(1)~116(m)は、制御部16からDLpulseが供給される毎に、保持した第1行目の画素21(1,1)~21(m,1)に対応するデータラインLdi(i=1~m)の測定電圧 $V_{meas}(t1)$ を、順次、転送し、データDout(1)~Dout(m)として制御部16に出力する。

30

【0238】

制御部16は、このデータDout(1)~Dout(m)を取得して、図8に示すメモリ122の画素データ格納領域122aに格納する。このようにして、第1行目の画素21(1,1)~21(m,1)の電圧測定が終了する。

【0239】

時刻 $t20$ において、Gate(2)信号が立ち上がると、制御部16は、同様にして、データドライバ22に、スイッチ制御信号S1~S6を供給し、第2行目の画素21(1,2)~21(m,2)に対応するデータラインLdi(i=1~m)の電圧測定を行う。

【0240】

そして、第n行目の画素21(1,n)~21(m,n)に対応したデータラインLdi(i=1~m)の電圧測定を行うことにより、時間 $t1$ におけるすべての電圧測定が終了する。

40

【0241】

次に、制御部16は、同じように、緩和時間 t を $t2$ に設定して各画素21(i,j)に対応したデータラインLdiの電圧測定を行う。制御部16は、緩和時間 $t2$ における各画素21(i,j)に対応したデータラインLdiの測定電圧 $V_{meas}(t2)$ を取得し、メモリ122の画素データ格納領域122aに格納する。

【0242】

次に、制御部16は、同じように、緩和時間 t を $t3$ に設定して各画素21(i,j)に対応したデータラインLdiの電圧測定を行う。制御部16は、緩和時間 $t3$ における各画素21(i,j)に対応したデータラインLdiの測定電圧 $V_{meas}(t3)$ を取得し、メモリ122の

50

画素データ格納領域 1 2 2 a に格納する。

【 0 2 4 3 】

図 1 4 は、補正パラメータを取得するときに制御部が実行する駆動シーケンスを説明するための図である。制御部 1 6 は、測定電圧 $V_{meas}(t1)$ 、 $V_{meas}(t2)$ 、 $V_{meas}(t3)$ を取得すると、図 1 4 に示す駆動シーケンスに従って演算を行い、補正パラメータを取得する。

【 0 2 4 4 】

即ち、制御部 1 6 は、メモリ 1 2 2 の各画素データ格納領域 1 2 2 a から、画素 2 1 (1, 1) に対応したデータライン L_{di} の測定電圧 $V_{meas}(t1)$ 、 $V_{meas}(t2)$ を読み出す (ステップ S 1 1)。

【 0 2 4 5 】

そして、制御部 1 6 は、式 (1 0 3) に従って演算を行い、画素 2 1 (1,1) に対応した閾値電圧 V_{th0} 、 $C /$ を取得する (ステップ S 1 2)。

【 0 2 4 6 】

制御部 1 6 は、この処理を全画素 2 1 (i, j) について行い、全画素 2 1 (i, j) に対応した閾値電圧 V_{th0} と $C /$ を取得すると、全画素 2 1 (i, j) の $C /$ の平均値 $\langle C / \rangle$ を取得し (ステップ S 1 3)、緩和時間 $t = t_0$ を決定する。

【 0 2 4 7 】

そして、制御部 1 6 は、式 (1 0 5) によって定義されたオフセット電圧 V_{offset} を取得する (ステップ S 1 4)。

【 0 2 4 8 】

制御部 1 6 は、取得した平均値 $\langle C / \rangle$ 、オフセット電圧 V_{offset} を、それぞれ、メモリ 1 2 2 の $\langle C / \rangle$ 格納領域 1 2 2 b、オフセット電圧格納領域 1 2 2 c に格納する。

【 0 2 4 9 】

制御部 1 6 は、メモリ 1 2 2 の各画素データ格納領域 1 2 2 a から、画素 2 1 (1,1) の測定電圧 $V_{meas}(t3)$ を読み出す (ステップ S 1 5)。

【 0 2 5 0 】

制御部 1 6 は、各画素 2 1 (i, j) の測定電圧 $V_{meas}(t3)$ を用い、式 (1 0 6) を変形して演算を行い、各画素 2 1 (i, j) の $/$ を取得する (ステップ S 1 6)。

【 0 2 5 1 】

制御部 1 6 は、取得した $/_0$ を、メモリ 1 2 2 の各画素データ格納領域 1 2 2 a に格納する。

【 0 2 5 2 】

図 1 5 は、供給された画像データに応じた電圧信号を補正してデータドライバに出力するときに制御部が実行する駆動シーケンスを説明するための図である。実使用時、制御部 1 6 に画像データが供給される。制御部 1 6 は、図 1 5 に示す駆動シーケンスに従って、画像データに応じた電圧信号の電圧値 V_{data0} を補正する。

【 0 2 5 3 】

制御部 1 6 は、図 1 1 に示すタイミングチャートに従って各部を制御し、データドライバ 2 2 から、緩和時間 $t = t_0$ における測定電圧 $V_{meas}(t0)$ を取得する (ステップ S 2 1)。制御部 1 6 は、取得した測定電圧 $V_{meas}(t0)$ をメモリ 1 2 2 の画素データ格納領域 1 2 2 a に格納する。

【 0 2 5 4 】

制御部 1 6 は、デジタル信号からなる画像データが入力され、画像データに対して LUT 1 2 3 を参照して、RGB 毎にデータ値 (電圧振幅) を変換して、原階調信号として各画素 2 1 (i, j) に対する電圧値 V_{data0} を生成する (ステップ S 2 2)。

【 0 2 5 5 】

尚、原階調信号の最大値は、 $V_{DAC118}(i)$ の入力範囲における最大値から上述の閾値電圧 V_{th} 等の特性パラメータに基づく補正量を減じた値に等しいか、それより小さい値に設定されている。

10

20

30

40

50

【 0 2 5 6 】

制御部 1 6 は、 のバラツキの補正パラメータとして、 / を使い、式 (1 0 7) に従って乗算を行い、電圧値 V_{data1} を取得する (ステップ S 2 3)。

【 0 2 5 7 】

制御部 1 6 は、メモリ 1 2 2 のオフセット電圧格納領域 1 2 2 c から、オフセット電圧 V_{offset} を読み出し、式 (1 0 8) に従って測定電圧 $V_{meas}(t_0)$ と負のオフセット電圧 V_{offset} とを加算し、補正量としての閾値電圧 V_{th} を取得する (ステップ S 2 4)。

【 0 2 5 8 】

制御部 1 6 は、式 (1 0 9) に従って、電圧値 V_{data1} と閾値電圧 V_{th} とを加算して、補正階調信号としての電圧値 V_{data} を取得する (ステップ S 2 5)。

10

【 0 2 5 9 】

制御部 1 6 は、このような駆動シーケンスを 1 画素毎に対応して行う。そして、制御部 1 6 は、電圧値 V_{data} をデータ $D_{in}(1) \sim D_{in}(m)$ として、行毎にデータドライバ 2 2 に出力する。

【 0 2 6 0 】

図 1 6 は、実使用時の各部の動作を示すタイミングチャートである。制御部 1 6 は、図 1 6 に示すデータ出力タイミングチャートに従って各部を制御し、データ $D_{in}(1) \sim D_{in}(m)$ をデータドライバ 2 2 に出力する。

【 0 2 6 1 】

制御部 1 6 は、時刻 t_{30} において、データドライバ 2 2 に、スイッチ制御信号 $S_1 \sim S_6$ として、それぞれ、 Off_1 , Off_2 , Off_3 , $Connect_DAC$, $Connect_DRB$, Off_6 信号を供給する。

20

【 0 2 6 2 】

図 1 7 は、電圧信号を書き込むときの各スイッチの接続関係を示す図である。図 1 7 に示すように、 $Sw_2(i)$, $Sw_3(i)$ は、それぞれ、制御部 1 6 から、 Off_2 , Off_3 信号が供給されてオフし、バッファ 1 1 3 (i) とデータライン L_{di} との間、アナログ電源 1 4 とデータライン L_{si} との間が遮断される。

【 0 2 6 3 】

スイッチ $Sw_1(i)$ は、それぞれ、制御部 1 6 から、 On_1 信号が供給されてオンし、バッファ 1 1 9 (i) を介して $V_{DAC} 1 1 8 (i)$ とデータライン L_{si} とが接続される。

30

【 0 2 6 4 】

図 1 8 は、制御部からデータドライバにデータを入力するときの各スイッチの接続関係を示す図である。図 1 8 に示すように、スイッチ $Sw_5(i)$ は、それぞれ、制御部 1 6 から、 $Connect_DRB$ 信号が供給されて、データラッチ部 1 1 6 (i) の入力端と、データレジスタブロック 1 1 2 の出力端と、を接続する。

【 0 2 6 5 】

スイッチ $Sw_4(i)$ ($i = 1 \sim m$) は、それぞれ、制御部 1 6 から、 $Connect_DAC$ 信号が供給されて、データラッチ部 1 1 6 (i) の出力端と DAC 側端子とを接続する。

【 0 2 6 6 】

図 5 に示すスイッチ Sw_6 は、制御部 1 6 から、 Off_6 信号が供給されてオフし、データラッチ部 1 1 6 (1) と制御部 1 6 との間が遮断される。

40

【 0 2 6 7 】

制御部 1 6 は、時刻 t_{31} において、スタートパルス SP_2 を立ち上げ、時刻 t_{32} において、スタートパルス SP_2 を L_0 レベルに立ち下げる。

【 0 2 6 8 】

スタートパルス SP_2 が L_0 レベルに立ち下がると、データドライバ 2 2 のシフトレジスタ 1 1 1 は、クロック信号に従って、このスタートパルス SP_2 を、順次、シフトし、データレジスタブロック 1 1 2 にシフト信号を供給する。

【 0 2 6 9 】

50

データレジスタブロック 112 は、このシフト信号が供給されて、順次、データ $Din(1) \sim Din(m)$ を取り込む。

【0270】

時刻 t_{33} において、Gate(1)信号が V_{gH} レベルに立ち上がると、画素 $21(1,1) \sim 21(m,1)$ の各トランジスタ T_1, T_2 はオンする。

【0271】

制御部 16 は、データラッチパルス $DLpulse$ を立ち上げ、データドライバ 22 のデータラッチ部 116(i) は、データラッチパルス $DLpulse$ の立ち上がりタイミングにて、データをラッチする。

【0272】

レベルシフト 117(i) は、それぞれ、データラッチ部 116(i) がラッチしたデータに対してレベルシフトを行い、レベルシフトしたデータを $VDAC118(i)$ に供給する。

【0273】

$VDAC118(i)$ は、このデジタルデータを負のアナログ電圧に変換し、バッファ 119(i) を介して、変換した負のアナログ電圧をデータライン L_{di} に印加する。

【0274】

データライン L_{di} に負のアナログ電圧が印加されると、各画素 $21(1,1) \sim 21(m,1)$ の有機 EL 素子 101 は逆バイアスとなるために電流は流れず、電流は、アノード回路 12 から、各画素 $21(1,1) \sim 21(m,1)$ のトランジスタ T_3, T_2 、データライン $L_{d1} \sim L_{dm}$ を介して、それぞれ、データドライバ 22 の $VDAC118(i)$ に流れる。

【0275】

各画素 $11(1,1) \sim 21(m,1)$ の各トランジスタ T_1 はオンしているため、各トランジスタ T_3 は、ゲート - ドレイン間が接続されて、ダイオード接続される。このため、トランジスタ T_3 は、飽和領域内で動作し、トランジスタ T_3 には、ダイオード特性に応じたドレイン電流 I_d が流れる。

【0276】

トランジスタ T_1 がオンし、トランジスタ T_3 にドレイン電流 I_d が流れるため、トランジスタ T_3 のゲート電圧 V_{gs} は、ドレイン電流 I_d に対応した電圧に設定され、ストレージ容量 C_s は、このゲート電圧 V_{gs} で充電される。

【0277】

このようにしてデータドライバ 22 は、補正パラメータに基づいて補正された電流を、図 17 に示すように、各画素 $21(1,1) \sim 21(m,1)$ のトランジスタ T_3 から引き込んで、ストレージ容量 C_s に、電圧値 V_{data} に基づくトランジスタ T_3 のゲート電圧 V_{gs} を保持させる。

【0278】

このようにして第 1 行目の各画素 $21(1,1) \sim 21(m,1)$ のストレージ容量 C_s へのデータの書き込みが終了する。

【0279】

制御部 16 は、時刻 t_{34} になると、 $DLpulse$ を立ち下げてスタートパルス $SP2$ を立ち上げ、時刻 t_{35} においてスタートパルス $SP2$ を立ち下げて、第 2 行目の各画素 $21(1,1) \sim 21(m,1)$ のストレージ容量 C_s へのデータの書き込みを行う。

【0280】

以下、同様にして、制御部 16 は、順次、画素 $21(1,3) \sim 21(m,3), \dots, 21(1,n) \sim 21(m,n)$ のストレージ容量 C_s に、電圧値 V_{data} に基づく電圧を書き込む。

【0281】

すべての画素 $21(i,j)$ のストレージ容量 C_s に電圧値 V_{data} の書き込みが行われ、Gate(n)信号が V_{gL} レベルになると、すべての画素 $21(i,j)$ のトランジスタ T_1, T_2 がオフする。

【0282】

10

20

30

40

50

すべての画素 2 1 (i, j)において、それぞれ、トランジスタ T 1 , T 2 がオフすると、トランジスタ T 3 は、非選択状態となる。トランジスタ T 3 が非選択状態となると、トランジスタ T 3 のゲート電圧 V_{gs}は、ストレージ容量 C_s に書き込まれた電圧に保持される。

【 0 2 8 3 】

制御部 1 6 は、電圧 ELVDD がアノードライン L_a に印加されるように、アノード回路 1 2 を制御する。この電圧 ELVDD は、例えば、1.5 V 程度に設定される。

【 0 2 8 4 】

このとき、トランジスタ T 3 のゲート電圧 V_{gs} がストレージ容量 C_s によって保持されているため、トランジスタ T 3 のドレイン - ソース間には、電圧値 V_{data} を書き込んだときの書き込み電流と同等の電流値のドレイン電流 I_d が流れる。

10

【 0 2 8 5 】

トランジスタ T 2 がオフし、有機 EL 素子 1 0 1 のアノード側の電位がカソード側の電位より高い状態となっているため、このドレイン電流 I_d は、有機 EL 素子 1 0 1 に供給される。

【 0 2 8 6 】

このとき、各画素 2 1 (i, j) の有機 EL 素子 1 0 1 に流れる電流 I_d は、閾値電圧 V_{th} , のバラツキに基づいて補正されており、有機 EL 素子 1 0 1 は、この補正された電流で発光する。

【 0 2 8 7 】

以上説明したように、本実施形態によれば、表示装置 1 は、緩和時間 t として、 $(C /) / t < 1$ を満たす緩和時間 t₁ , t₂ を選択し、オートゼロ法により、各データライン L_{di} の電圧測定を複数回行うようにした。

20

【 0 2 8 8 】

また、表示装置 1 は、緩和時間 t として、 $(C /) / t < 1$ を満たす時間 t₃ を選択し、オートゼロ法により、各データラインの電圧測定を行うようにして、各画素の画素駆動回路の のバラツキを示す $(/ 0)$ を取得するようにした。

【 0 2 8 9 】

従って、各画素の特性パラメータとして、閾値電圧 V_{th} と $(C /)$ 値と、 のバラツキを示す $(/ 0)$ とを同時に取得することができる。

30

【 0 2 9 0 】

このため、 のバラツキを測定するための回路と閾値電圧 V_{th} を測定のための回路を別々に設ける必要がなくなる。そして、表示装置 1 の駆動システムを簡素化することができる。また、閾値電圧 V_{th} および、画素マトリクス のバラツキを補正するアクティブ有機 EL 駆動システムが可能になる。

【 0 2 9 1 】

また、実使用時に供給された画像データに基づく電圧信号の電圧値 V_{data0} を、取得した $(/)$ に基づいて補正することができ、さらに、補正された電圧値 V_{data1} を、取得した閾値電圧 V_{th} と $(C /)$ 値とに基づいて補正し、電圧値 V_{data} を取得することができる。

40

【 0 2 9 2 】

このため、実使用時に供給された画像データに基づく電流を各画素 2 1 (i, j) の有機 EL 素子 1 0 1 に供給することができ、画質の劣化を抑制することができる。

【 0 2 9 3 】

尚、本発明を実施するにあたっては、種々の形態が考えられ、上記実施形態に限られるものではない。

例えば、上記実施形態では、発光素子を有機 EL 素子として説明した。しかし、発光素子は、有機 EL 素子に限られるものではなく、例えば、無機 EL 素子又は LED であってもよい。

【 0 2 9 4 】

50

また、上記実施形態においては、本発明を有機ELパネル21を有する表示装置1に適用した場合について説明したが、本発明はこれに限るものではない。例えば、有機EL素子101による発光素子を有する複数の画素が一方向に配列された、発光素子アレイを備え、感光体ドラムに画像データに応じて発光素子アレイから出射した光を照射して露光する露光装置に適用してもよい。この場合、経時劣化や特性のバラツキによる露光状態の劣化を抑制することができる。

【0295】

上記実施形態では、 $(C/t) / t < 1$ を満たす緩和時間 t として t_1 、 t_2 の2つに設定するようにした。しかし、緩和時間を3つ以上に設定してもよい。

【0296】

上記実施形態では、制御部16が、供給された画像データに応じた電圧信号の電圧値に対して、LUT123を用いて、RGB毎に電圧振幅の変換を行うようにした。しかし、LUT123を備えずに、制御部16は、演算を行うことにより、このような電圧振幅の変換を行うようにしてもよい。

【図面の簡単な説明】

【0297】

【図1】本発明の実施形態に係る表示装置の構成を示すブロック図である。

【図2】図1に示す有機ELパネルとデータドライバの構成を示す図である。

【図3】画素駆動回路の書き込み動作時の電圧-電流特性を説明するための図である。

【図4】本実施形態におけるオートゼロ法を用いたデータラインの電圧の測定方法を説明するための図である。

【図5】図1に示すデータドライバの具体的な構成を示すブロック図である。

【図6】図5に示すVDACとADCの構成と機能を説明するための図である。

【図7】図1に示す制御部の構成を示すブロック図である。

【図8】図7に示すメモリの各格納領域を示す図である。

【図9】図7に示すLUTの画像データの変換特性を示す例を示す図である。

【図10】図7に示すLUTにおける画像データの変換特性を説明するための図である。

【図11】オートゼロ法による電圧測定を行う場合の各部の動作を示すタイミングチャートである。

【図12】データドライバから制御部にデータを出力する場合の各スイッチの接続関係を示す図である。

【図13】オートゼロ法による電圧測定を行う場合の各スイッチの接続関係を示す図である。

【図14】補正パラメータを取得するときに制御部が実行する駆動シーケンスを説明するための図である。

【図15】供給された画像データに応じた電圧信号を補正してデータドライバに出力するときに制御部が実行する駆動シーケンスを説明するための図である。

【図16】各部の実使用時の各部の動作を示すタイミングチャートである。

【図17】電圧信号を書き込むときの各スイッチの接続関係を示す図である。

【図18】制御部からデータドライバにデータを入力するときの各スイッチの接続関係を示す図である。

【符号の説明】

【0298】

1・・・表示装置、11・・・パネルモジュール、12・・・アノード回路、13・・・セレクトドライバ、14・・・アナログ電源、16・・・制御部、21・・・有機ELパネル、21(i,j) ($i = 1 \sim m$, $j = 1 \sim n$)・・・画素、22・・・データドライバ、101・・・有機EL素子(発光素子)、114(1)～114(m)・・・ADC、118(1)～118(m)・・・VDAC、Sw1(1)～Sw1(m), Sw2(1)～Sw2(m), Sw3(1)～Sw3(m), Sw4(1)～Sw4(m), Sw5(1)～Sw5(m), Sw6・・・スイッチ、121・・・CPU、122・・・メモ

10

20

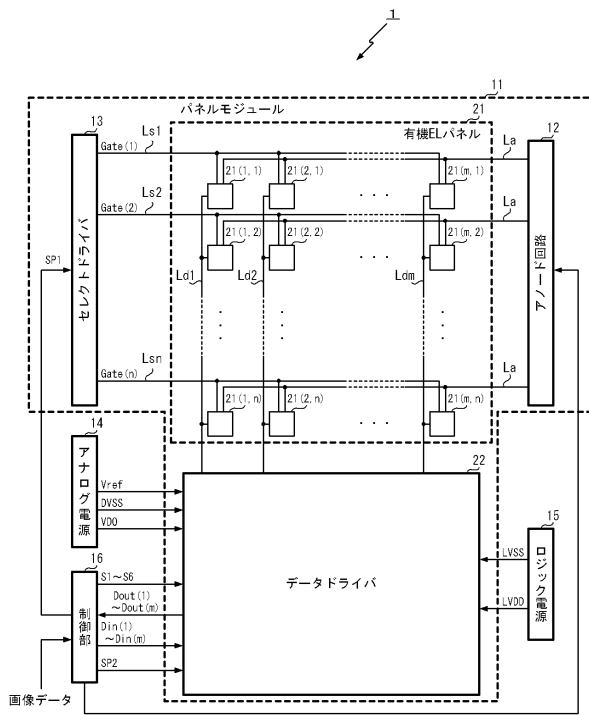
30

40

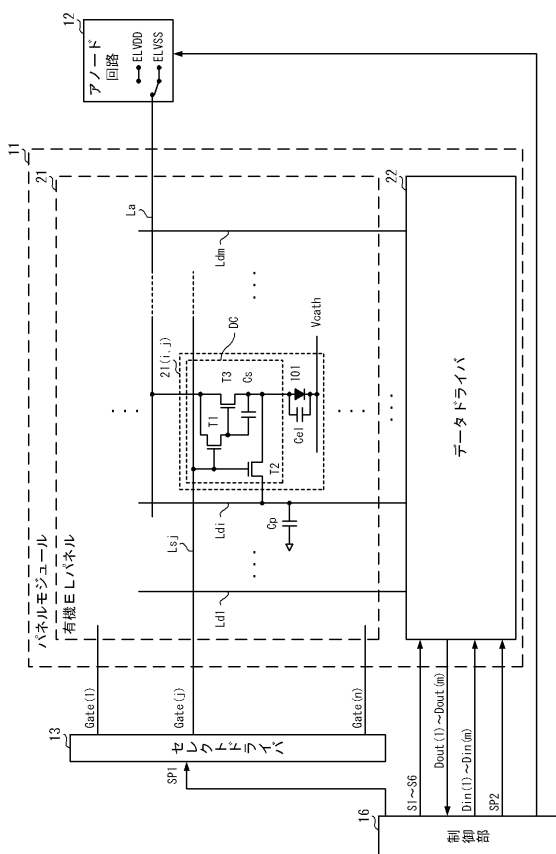
50

リ、1 2 3 . . . LUT、T 1 ~ T 3 . . . トランジスタ、C s . . . ストレージ容量、
C e l . . . 有機EL画素容量、C p . . . 配線寄生容量

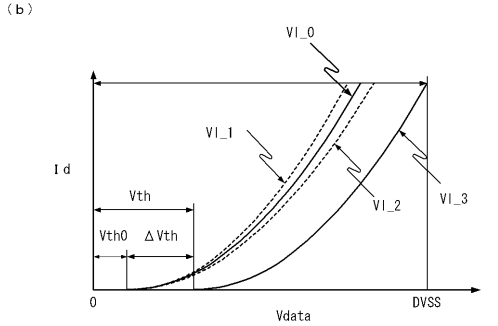
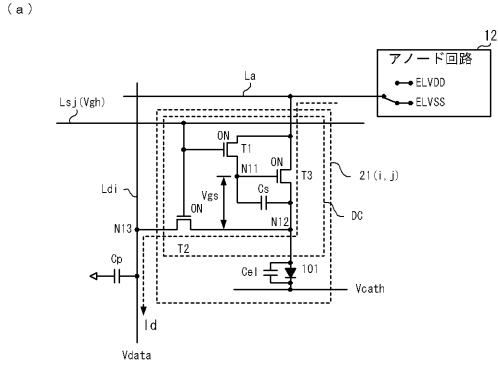
【図1】



【図2】



【図3】



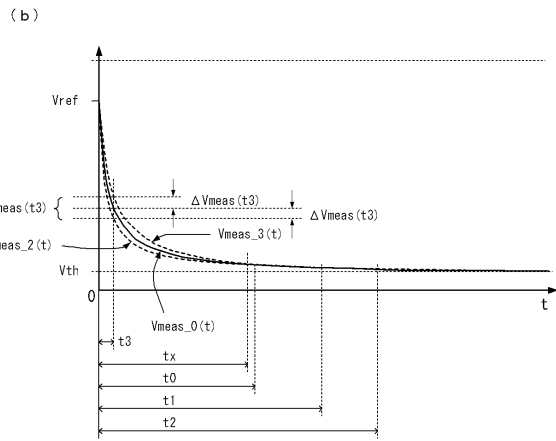
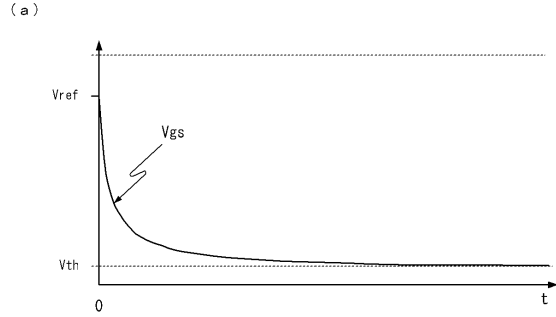
$$VI_0: I_{d0} = \beta_0 (V_{data} - V_{th0})^2$$

$$VI_1: I_{d1} = (\beta_0 - \Delta\beta) (V_{data} - V_{th0})^2$$

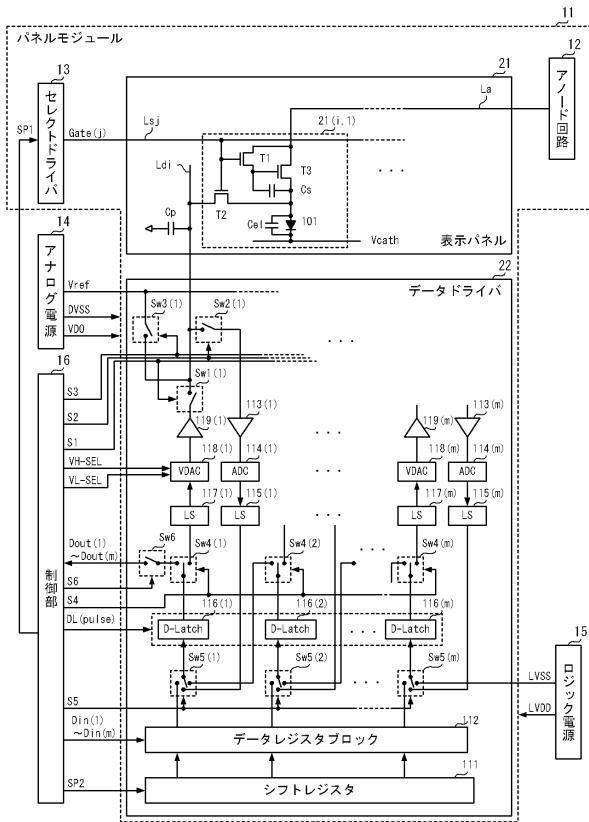
$$VI_2: I_{d2} = (\beta_0 + \Delta\beta) (V_{data} - V_{th0})^2$$

$$VI_3: I_{d3} = \beta_0 (V_{data} - (V_{th0} + \Delta V_{th}))^2$$

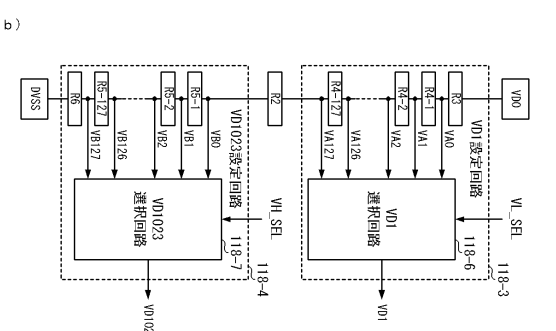
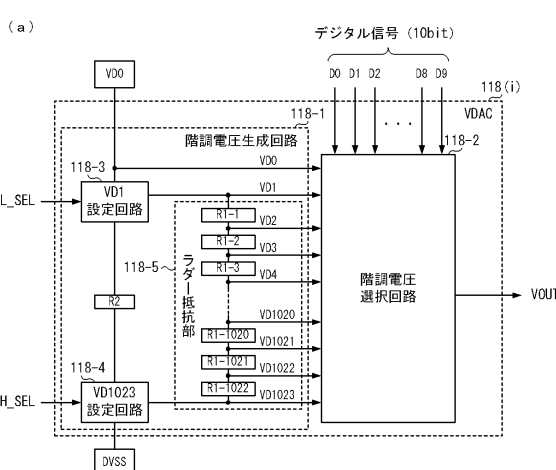
【図4】



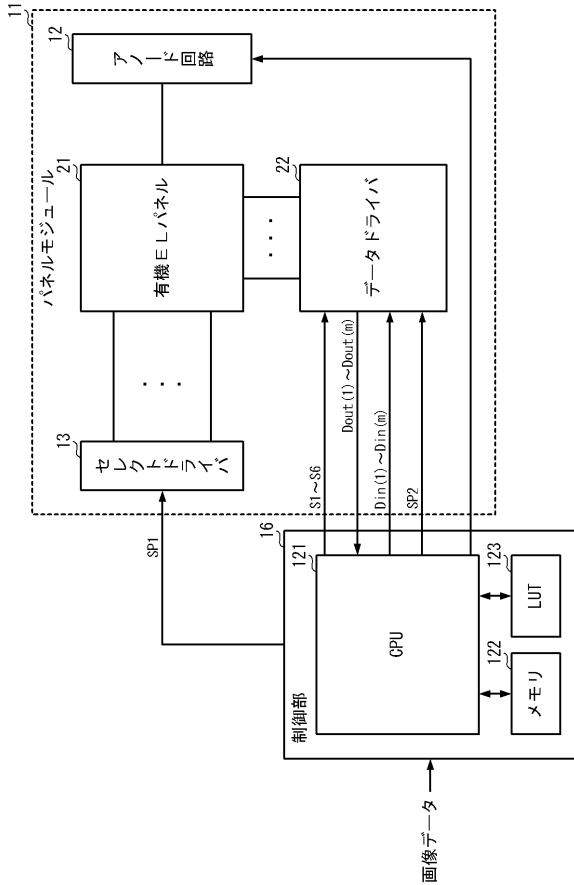
【図5】



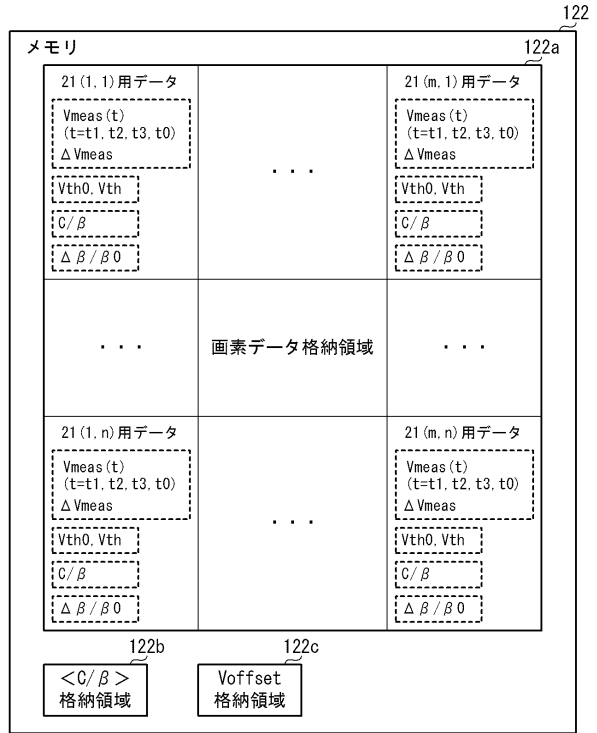
【図6】



【図7】

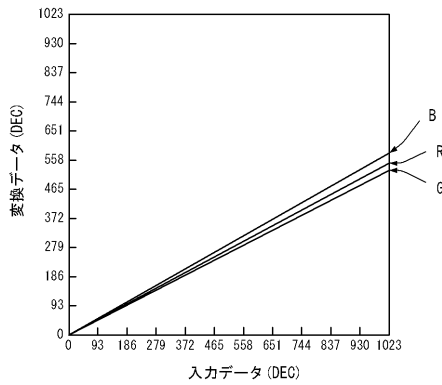


【図8】

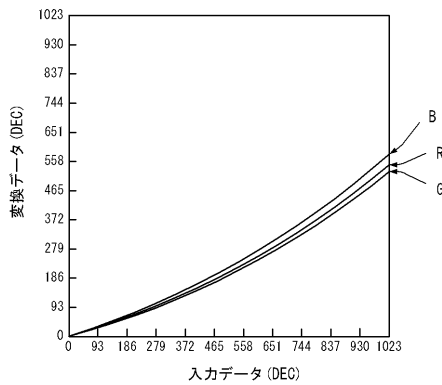


【図9】

(a)

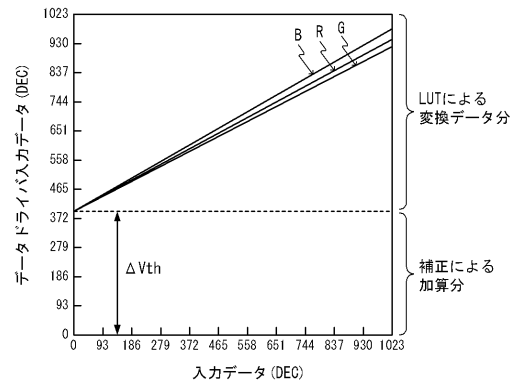


(b)

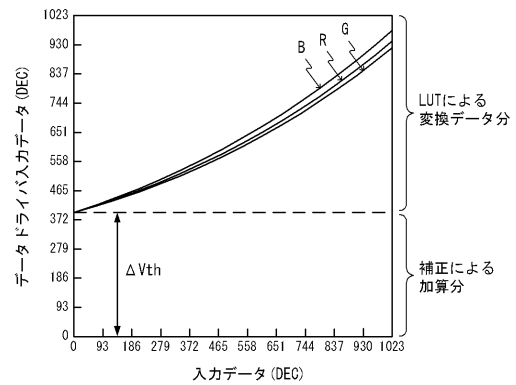


【図10】

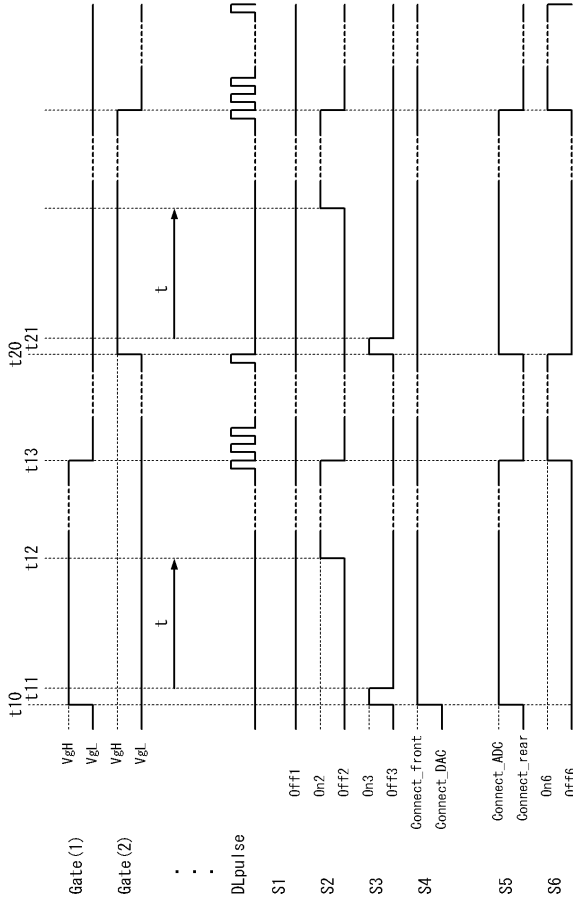
(a)



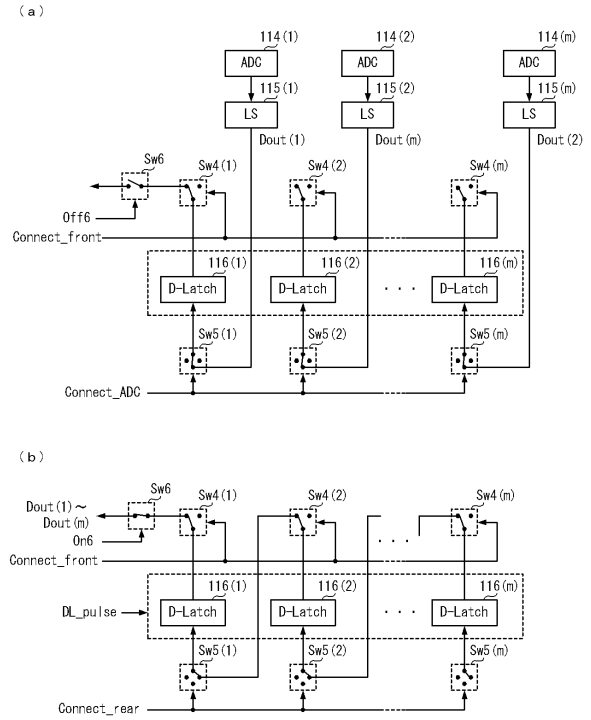
(b)



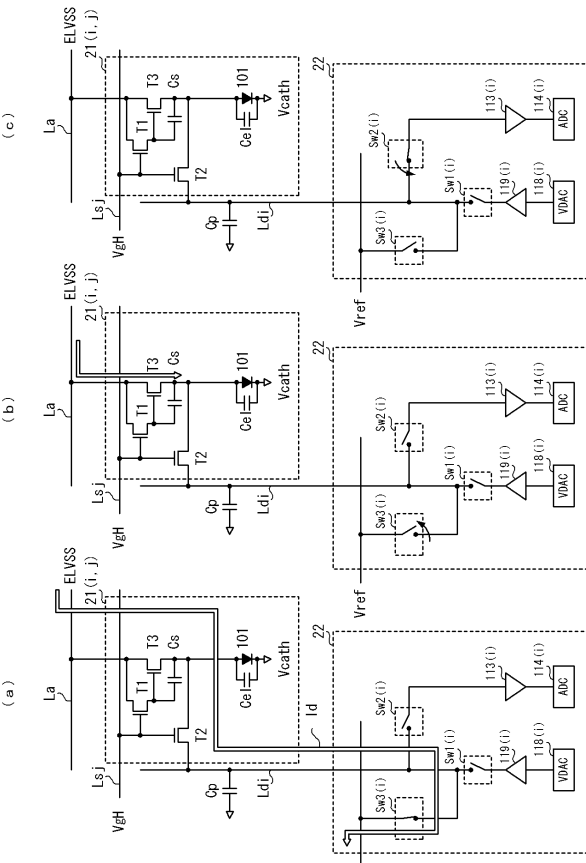
【図 1 1】



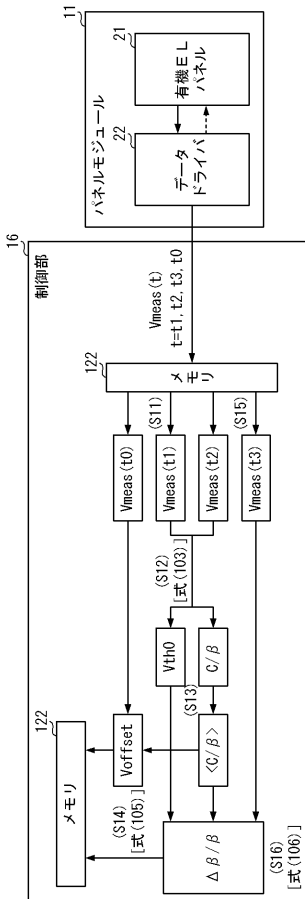
【図 1 2】



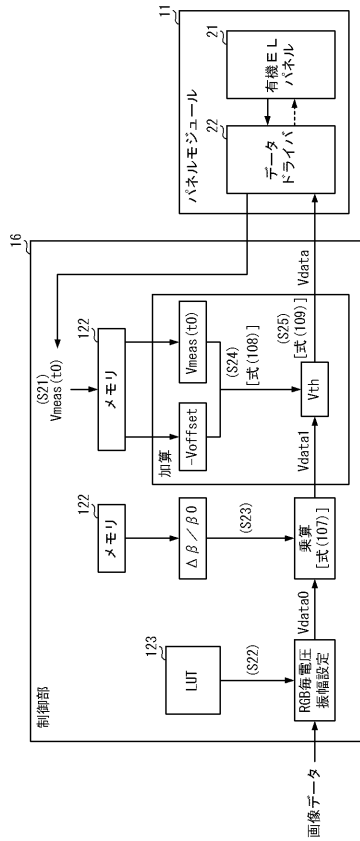
【図 1 3】



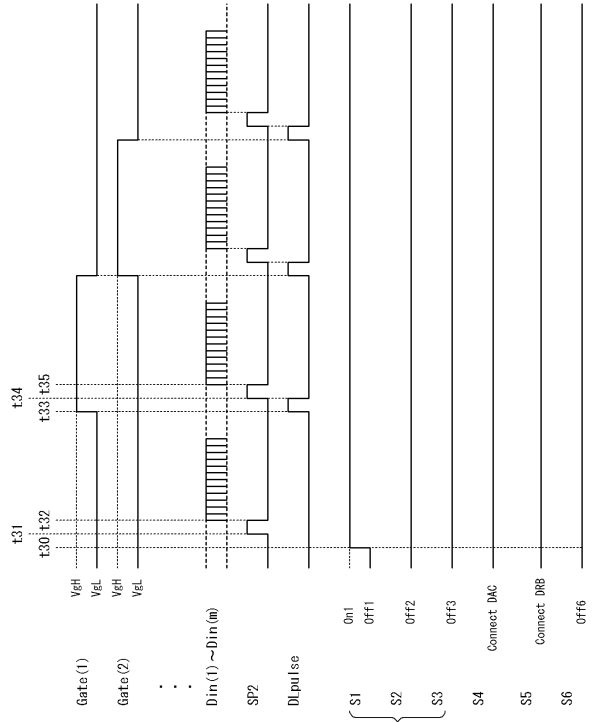
【図 1 4】



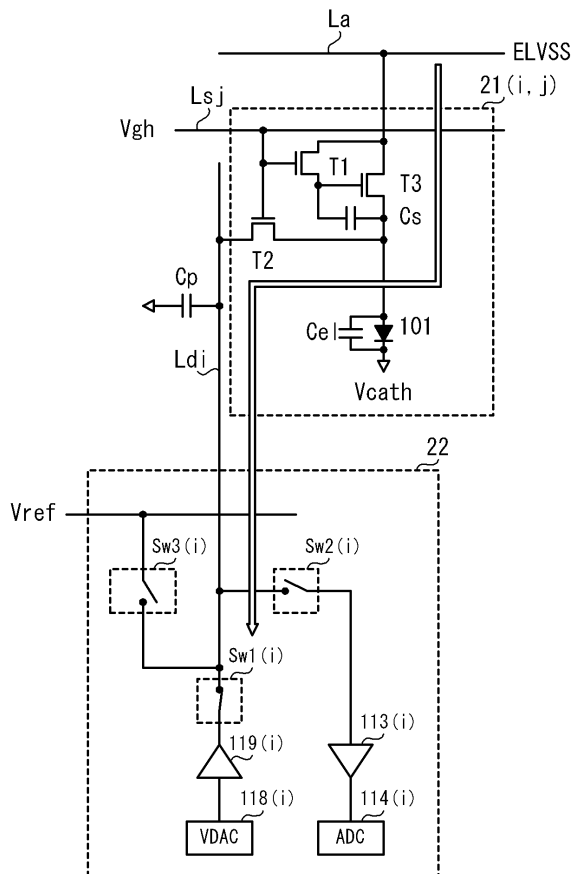
【図15】



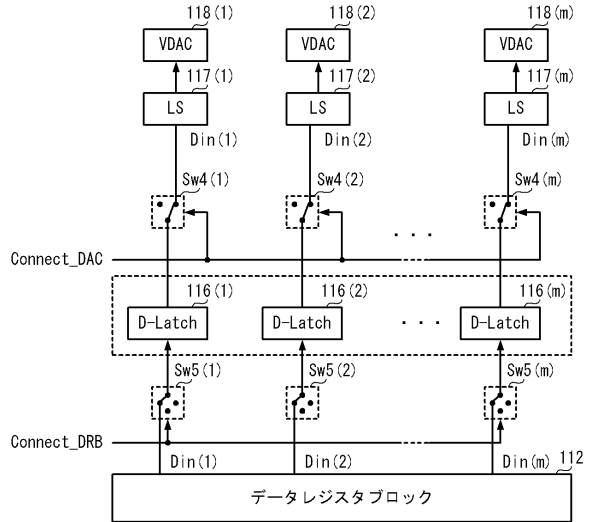
【図16】



【図17】



【図18】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 4 B
	G 0 9 G	3/20	6 7 0 J
	G 0 9 G	3/20	6 4 1 C
	G 0 9 G	3/20	6 4 1 P
	G 0 9 G	3/20	6 1 2 F
	G 0 9 G	3/20	6 2 3 F
	G 0 9 G	3/20	6 2 3 N
	G 0 9 G	3/20	6 2 3 A
	G 0 9 F	9/30	3 3 8
	G 0 9 F	9/30	3 6 5 Z
	H 0 5 B	33/14	A

(72)発明者 樫山 俊二
東京都八王子市石川町2951番地の5 カシオ計算機株式会社 八王子技術センター内

審査官 山崎 仁之

(56)参考文献 特開2008-107774(JP,A)
特開2007-322133(JP,A)
特開2006-301250(JP,A)
特開2005-141062(JP,A)
特開2010-128396(JP,A)
特開2004-004673(JP,A)
特開2011-017967(JP,A)
国際公開第2009/110132(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 3 0
G 0 9 F	9 / 3 0
G 0 9 G	3 / 2 0
H 0 1 L	2 7 / 3 2
H 0 1 L	5 1 / 5 0