(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3810064号
(P3810064)
(45)発行日　平成18年8月16日(2006.8.16)　(24)登録日　平成18年6月2日(2006.6.2)

(51)Int.Cl.　　F I
H01L 21/60 (2006.01)　　H01L 21/60　311S
G02F 1/1345 (2006.01)　　G02F 1/1345

請求項の数 5　(全 12 頁)

(21)出願番号　特願2002-71403(P2002-71403)
(22)出願日　平成14年3月15日(2002.3.15)
(65)公開番号　特開2003-273163(P2003-273163A)
(43)公開日　平成15年9月26日(2003.9.26)
審査請求日　平成17年2月28日(2005.2.28)

(73)特許権者　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100105809
弁理士　木森　有平
(72)発明者　小坂　幸広
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　石亀　剛
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　藤田　光
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【特許請求の範囲】
【請求項１】
一対の基板の間に液晶を挟持する液晶表示装置において、
前記一対の基板の一方側基板に電極端子が形成され、バンプを有する半導体素子が導電粒子を含む異方性導電膜を介してＣＯＧ実装されており、
上記電極端子は、基板側から順に一層以上の下位層と最上位層が積層された複数層で構成されており、最上位層は少なくとも一の下位層よりも硬度が高く、且つ前記最上位層の硬度は導電粒子の硬度よりも高いことを特徴とする液晶表示装置。
【請求項２】
一対の基板の間に液晶を挟持する液晶表示装置において、
前記一対の基板の一方側基板に電極端子が形成され、バンプを有する半導体素子が導電粒子を含む異方性導電膜を介してＣＯＧ実装されるとともに、前記一方側基板が前記電極端子を裏面側から透視可能な透明な基板からなり、
上記電極端子は、基板側から順に最下位層、一層以上の内層、最上位層が積層された複数層で構成されており、最上位層及び最下位層は少なくとも一の内層よりも硬度が高く、且つ前記最上位層の硬度は導電粒子の硬度よりも高いことを特徴とする液晶表示装置。
【請求項３】
前記電極端子の厚みをＴとし、前記一以上の内層の厚みをｔとし、電極端子の層数をａとすると、ｔ≦３Ｔ／ａを満たすことを特徴とする請求項２記載の液晶表示装置。
【請求項４】

前記導電粒子が樹脂に金メッキを施した導電粒子であることを特徴とする請求項１から３のいずれか１項記載の液晶表示装置。

【請求項５】

上記バンプは、半導体素子側から順に一層以上の下位層と最上位層が積層された複数層で構成されており、最上位層は下位層のうち少なくとも一の下位層よりも硬度が高く、且つ前記バンプの最上位層の硬度は、前記導電粒子の硬度よりも高いことを特徴とする請求項１から４のいずれか１項記載の液晶表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、表面に電極端子が形成された半導体素子実装用基板又は半導体素子を用いた液晶表示装置に関する。

【０００２】

【従来の技術】

近年、電子機器の小型化の要求に対応するため、より高密度の半導体素子の実装が要求される。この高密度の実装を行う方法として一般的にフェイスダウンによる実装方法がある。図６に半導体素子ＩＣ１を半導体素子実装用基板１４にフェイスダウンにより実装した状態を示す。このフェイスダウンによる実装は、半導体素子ＩＣ１のバンプ１Ｂと半導体実装用基板１４の電極端子１１とを対向させて、圧着ツールを使用して半導体素子ＩＣ１の上側から加熱加圧し、半導体素子ＩＣ１を半導体実装基板１４である透明なガラス基板に導電粒子ｒを含む異方性導電膜（Anisotropic Conductive Film：ACF）８を介して固着することにより、半導体素子ＩＣ１を半導体実装基板１４に実装する方法であり、異方性導電膜８を接続端子間に介在させることにより高密度実装を可能にするようになってきている（ファインピッチ化）。この実装方法によれば、ワイヤボンディング等による通常の実装方法に比べて、半導体素子ＩＣ１を高密度に実装できるという利点がある。

【０００３】

このようにフェイスダウンにより実装された半導体素子ＩＣ１のバンプ１Ｂと半導体実装基板１の電極端子１１との電気的接続は、異方性導電膜８の導電粒子ｒをバンプ１Ｂと電極端子１１との間に挟持されることで導通状態が得られるが、その電気的接続は、半導体素子ＩＣを上側から押圧する押圧力（熱圧着）により導電粒子ｒを押し潰して接続抵抗を小さくすることによって確実なものとされる。

【０００４】

電極端子１１の材料としては、アルミニウム（Ａｌ）やクロム（Ｃｒ）、金（Ａｕ）、ＩＴＯ等が用いられており、バンプ１Ｂの材料としては、金（Ａｕ）等が用いられている。異方性導電膜８は、絶縁性を有する接着剤中に導電粒子ｒが分散され厚み方向（接続方向）に導電性を有し、面方向（横方向）に絶縁性を有するペースト状又はフィルム状の接着剤８であり、導電粒子ｒには、ニッケル粒子や、樹脂製の粒子に金メッキを施したもの等が用いられている。

【０００５】

かかるフェイスダウンにより実装された半導体素子ＩＣ１のバンプ１Ｂと半導体素子実装用基板１４の電極端子１１との導通検査には様々な方法があるが、その一つとして導電粒子ｒの圧痕（熱圧着による痕跡）の有無により検査する方法がある。この検査方法は、主にガラスやプラスチック等の透明なガラス基板１４に半導体素子ＩＣが実装されるＣＯＧ実装の場合に用いられる検査方法であり、実装工程において半導体素子ＩＣを上側から押圧すると、電極端子１１に導電粒子ｒが押し当てられ電極端子１１が隆起して圧痕が生じるが、この圧痕の数や大きさや高さ等を透明なガラス基板１４の裏側から観察することにより導通状態を判断する方法である。この検査方法によれば、導電粒子ｒの圧痕の数や大きさや高さに所定の基準を設けて、基準より高い場合は導通良好であり、低い場合は導通不良と判断される。なお、液晶表示パネルにおける半導体素子の実装では、ガラス基板上の電極端子（接続用電極又は電極パッド）に直接半導体素子を接続するＣＯＧ（chip on

glass）実装が主流となって来ているが、ＣＯＧ実装等は、前記異方性導電膜（ＡＣＦ）を使用して、バンプを有する半導体素子を実装することが通常であり、この検査方法は液晶表示パネルの導通検査に用いられることが多い。

【０００６】

【発明が解決しようとする課題】

しかしながら、前記従来の構成では、例えば電極端子１１にアルミニウム（Ａｌ）等のような硬度の低い材料を使用した場合は、図７に示すように、圧着ツールＳ２で半導体素子ＩＣ１を押圧すると（図中矢印方向）、導電粒子ｒが硬度の低い電極端子１１に埋もれ過ぎてしまい潰れないことがあった。すなわち、圧着ツールからの押圧力がバンプ１Ｂと電極端子１１との間に挟持された導電粒子ｒに加わり電極端子１１に埋もれるが、更にその導電粒子ｒを潰すまでの押圧力が加わらないため、潰れないことがあった。このため、バンプ１Ｂと導電粒子ｒとの接地面積が小さくなり、接続抵抗が高くなって電極端子１１とバンプ１Ｂとの間に導通不良が生じることがあり、電気的接続の信頼性が低いという問題があった。また、硬度の低い電極端子１１は衝撃や熱等に弱く、経時的変化によって導通不良が生じることがあり、初期検査時においては導通不良が発生していない場合でも、出荷後等において導通不良が発生する場合もあった。経時的変化としては、例えば、温度変化や他の部品の実装や組み立てによる影響等により形状等が変化する。

【０００７】

かかる問題は、特に導電粒子ｒの硬度よりも電極端子１１の硬度が低い場合に生じていた。すなわち、導電粒子ｒがニッケル粒子等の材料で形成されており、電極端子１１がニッケル等よりも硬度の低いアルミニウム等の材料で形成されている場合には、導電粒子ｒが電極端子１１に埋もれてしまい押し潰されないため、導通不良が発生していた。

【０００８】

一方、電極端子１１にニッケル（Ｎｉ）等の硬度が高い材料を使用した場合は、導電粒子ｒが電極端子１１に埋もれ過ぎることがなく上記問題は生じないが、図８（ａ）に示すように、複数のバンプ１Ｂ，１Ｂの高さにバラツキがある場合は、高さの低いバンプ１Ｂ１では導電粒子ｒが十分に加圧されず潰れなかったり、図８（ｂ）に示すように、製造不良等によりバンプ１Ｂ（１Ｂ１）の表面に凹部（クレーター）がある場合は、凹部の個所では導電粒子ｒが十分に加圧されず潰されなかったり、図８（ｃ）に示すように、半導体素子ＩＣの厚みが不均一であり部分的に薄くなっている場合は、半導体素子ＩＣの厚みが薄くなっている方のバンプ１Ｂ１では導電粒子ｒが十分に加圧されず潰されないため、導電粒子ｒとバンプ１Ｂ（１Ｂ１）及び導電粒子ｒと電極端子１１との接続抵抗が高くなり、導通不良が生じていた。

【０００９】

これらの問題は、電極端子１１の表面に凹部がある場合（バンプ表面や電極端子表面には凹凸があり、熱圧着により高さで約１～２μｍ程度変形する。）や、電極端子１１の高さにバラツキがある場合、半導体素子実装用基板１４の厚みが不均一な場合にも同様に生じていた。

【００１０】

また、導電粒子ｒの圧痕により導通状態を検査する検査方法においては、電極端子１１に硬度の低い材料を用いると、電極端子１１に圧痕が出現しにくいため、半導体実装用基板１４の裏側から圧痕が認識し難く、顕微鏡等を使用した目視検査が行い難くなったり、検査精度が低下したりする等の問題が生じていた。

【００１１】

そこで本発明の目的は、導電粒子が埋もれ過ぎることがなく、半導体素子のバンプや半導体素子実装用基板の電極端子の表面に凹部がある場合や、高さにバラツキがある場合、半導体素子や半導体素子実装用基板の厚みが不均一な場合等でも導通状態を良好にすることができ、経時的変化による導通不良の発生も少なく、また、導通粒子の圧痕も出現し易い半導体素子実装用基板又は半導体素子を用いた液晶表示装置に関する。

【００１２】

【課題を解決するための手段】
本発明の請求項１記載の液晶表示装置は、一対の基板の間に液晶を挟持する液晶表示装置において、前記一対の基板の一方側基板に電極端子が形成され、バンプを有する半導体素子が導電粒子を含む異方性導電膜を介してＣＯＧ実装されており、上記電極端子は、基板側から順に一層以上の下位層と最上位層が積層された複数層で構成されており、最上位層は少なくとも一の下位層よりも硬度が高く、且つ前記最上位層の硬度は導電粒子の硬度よりも高いことを特徴とする。一以上の下位層は、一層でも良く、二層以上でも良い。
【００１３】
この発明によれば、導電粒子を含む異方性導電膜を介してバンプを有する半導体素子を熱圧着により実装する際、電極端子の最上位層は少なくとも一の下位層よりも硬度が高いので、硬度の高い最上位層ではバンプと電極端子との間に挟持された導電粒子が埋もれ過ぎず、導電粒子が潰され易くなるとともに、硬度の低い少なくとも一の下位層により、バンプや半導体素子の表面の凹部や高さのバラツキや、半導体素子の厚みの不均一を吸収することができる。また、最上位層の硬度が導電粒子の硬度よりも高いため、導電粒子は最上位層に埋もれ過ぎることなく、確実に潰されることとなる。
【００１４】
本発明の請求項２記載の液晶表示装置は、一対の基板の間に液晶を挟持する液晶表示装置において、前記一対の基板の一方側基板に電極端子が形成され、バンプを有する半導体素子が導電粒子を含む異方性導電膜を介してＣＯＧ実装されるとともに、前記一方側基板が前記電極端子を裏面側から透視可能な透明な基板からなり、上記電極端子は、基板側から順に最下位層、一層以上の内層、最上位層が積層された複数層で構成されており、最上位層及び最下位層は少なくとも一の内層よりも硬度が高く、且つ前記最上位層の硬度は導電粒子の硬度よりも高いことを特徴とする。一層以上の内層は、一層でも良く、二層以上でも良い。
【００１５】
この発明によれば、導電粒子を含む異方性導電膜を介してバンプを有する半導体素子を熱圧着により実装する際、電極端子の最上位層は少なくとも一の内層よりも硬度が高いので、半導体素子を載置して押圧すると、硬度の高い最上位層ではバンプと電極端子との間に挟持された導電粒子が埋もれ過ぎず、導電粒子が潰され易くなるとともに、硬度の低い少なくとも一の下位層により、バンプや半導体素子の表面の凹部や高さのバラツキや、半導体素子の厚みの不均一を吸収することができる。また、半導体素子実装用基板は透明な基板からなるとともに電極端子の最下位層は硬度が高いので、半導体素子実装用基板半導体素子実装用基板の裏側から導電粒子の圧痕が認識し易くなり、導電粒子の圧痕による導通検査が行い易くなる。
【００１６】
本発明の請求項３記載の液晶表示装置は、請求項２記載の発明を前提として、前記電極端子の厚みをＴとし、前記一以上の内層の厚みをｔとし、電極端子の層数をａとすると、ｔ≦３Ｔ／ａを満たすことを特徴とする。
【００１７】
この発明によれば、一以上の内層の厚みが厚くなり過ぎすることがないので、半導体素子を載置して押圧しても、その押圧力が内層により吸収され過ぎることがない。すなわち、本願発明者等は、内層の厚さが厚いと、導電粒子を潰す確率が低くなることを認識しているが、上記関係式を満たすことにより、導電粒子に適当な押圧力（熱圧着力）、特に上方からの押圧力が加えることにより、導電粒子が硬度の高い最上位層に潰され易くなる。また、押圧力が最下位層に伝達され易くなるため最下位層に導電粒子の圧痕が更に出現し易くなる。
【００２２】
本発明の請求項５記載の液晶表示装置は、請求項１から４記載の発明を前提として、上記バンプは、半導体素子側から順に一層以上の下位層と最上位層が積層された複数層で構成されており、最上位層は下位層のうち少なくとも一の下位層よりも硬度が高く、且つ前

記バンプの最上位層の硬度は、前記導電粒子の硬度よりも高いことを特徴とする。

【００２３】

この発明によれば、バンプの最上位層は少なくとも一の下位層よりも硬度が高いので、半導体素子を載置して押圧すると、硬度の高い最上位層では突起電極と電極端子との間に挟持された導電粒子が埋もれ過ぎることがなく、硬度の低い少なくとも一の下位層ではバンプや半導体素子の高さのバラツキや、半導体素子の厚みの不均一を吸収することができる。したがって、導電粒子が潰され易くなり、電極端子とバンプとの導通の信頼性を高めることができる。導電粒子との接続部分は硬度が高い層なので、接続部分の経時的変化による導通不良も生じにくい。

【００２８】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

【００２９】

（第１の実施の形態）本発明の第１の実施の形態は、バンプＢを有する半導体素子ＩＣが実装される半導体素子実装用基板４である。図１（ａ）は、本発明の第１の実施の形態の半導体素子実装用基板４を示す図である。半導体素子実装用基板４の表面には、半導体素子ＩＣのバンプＢとの間に導電粒子ｒを挟持して導通する電極端子１が形成されている。電極端子１には中央を露出して両端部を覆うように絶縁膜２が形成されており、さらに電極端子１と絶縁膜２の上にはＩＴＯ層３が形成されている。半導体素子実装用基板４はガラス製の透明基板であるが、フレキシブル基板等のその他の基板でもよい。

【００３０】

電極端子１は半導体素子実装用基板４側から順に下位層１ａと最上位層１ｃが積層された二層が突出するように構成されており、最上位層１ｃは下位層１ａよりも硬度が高くなっている。具体的には、最上位層１ｃはチタン（Ｔｉ）であり、下位層１ａはアルミニウム（Ａｌ）であり、フォトリソグラフィとメッキによる方法等により形成されている。電極端子１の材料は、かかる材料に限られるものではなく、下位層１ａよりも最上位層１ｃの方が硬度が高い導電性の材料であれば良い。なお、本実施の形態の電極端子１は下位層１ａが一層で最上位層１ｃが一層の二層構造であるが、下位層が二層以上で最上位層が一層の三層以上の構造でも良い。下位層が二層以上の場合は、最上位層が下位層のうち少なくとも１つの層よりも硬度が高ければ良い。また、最上位層と下位層の材料はチタンとアルミニウムに限らず、ニッケル（Ｎｉ）とアルミニウム（Ａｌ）や、純度の高い金（Ａｕ）と純度の低い金（Ａｕ）等のその他の材料でも良い。

【００３１】

次に、本実施の形態の半導体素子実装用基板４に半導体素子ＩＣを実装する方法について説明する。図１（ｂ）は本実施の形態の半導体素子実装用基板４に異方性導電膜８を介して半導体素子ＩＣを実装した状態の図である。半導体素子ＩＣの裏面には、外周辺に沿って突起状電極であるバンプＢが多数形成されている。半導体素子ＩＣを実装する場合は、半導体素子実装用基板４の電極端子１の上に導電粒子ｒを含む異方性導電膜８を配置して（仮接着して）、半導体素子ＩＣのバンプＢが半導体素子実装用基板４の電極端子１に対応するように半導体素子ＩＣを位置合わせし、その後、圧着ツールＳ１とＳ２により加熱しながら加圧して（熱圧着して）、半導体素子ＩＣを半導体素子実装用基板４に実装する。電極端子１とバンプＢとの間には導電粒子ｒが挟持され、導電粒子ｒを介して導通が図られる。異方性導電膜８は、絶縁性を有する接着剤中に導電粒子ｒが分散され厚み方向（接続方向）に導電性を有し、面方向（横方向）に絶縁性を有するペースト状又はフィルム状の接着剤８である。導電粒子ｒは、ニッケル粒子や、樹脂製の粒子に金メッキを施したものや、その他のものでも良い。接着剤はエポキシ樹脂等の熱硬化性樹脂に限らず、熱可塑性樹脂を用いても良い。

【００３２】

圧着ツールＳ１とＳ２により挟まれると、電極端子１の最上位層１ｃは、下位層１ａよりも硬度が高いので、突起電極（バンプ）Ｂと電極端子１との間に挟持された導電粒子ｒが

最上位層１ｃに埋もれ過ぎることがなく潰され易くなる。すなわち、導電粒子ｒの埋もれる量が減少した分、導電粒子ｒに加わる力（圧着力）が増加することにより、これまで加圧が十分に加わらず（届かず）に潰しきれなかった導電粒子ｒを潰す確率が高くなる。このため、初期の導通検査時には導通不良が起きていないが、電極端子１の形状の経時的変化を原因とする導通不良も生じにくくなる。また、バンプＢの表面に凹部が生じていたり、バンプＢ１とバンプＢ２の高さにバラツキがあったり、半導体素子ＩＣの厚みが不均一であるような事態等（更に、バンプＢと導電粒子ｒ又は導電粒子ｒと電極端子１との間への異物の混入等）が生じていても、圧着ツールＳ２により上方から押圧されると、下位層１ａは最上位層１ｃよりも硬度が低いため、バンプＢの表面の凹部や高さのバラツキや、半導体素子ＩＣの厚みの不均一を吸収することができる。したがって、電極端子１とバンプＢとの導通の信頼性を高めることができる。

【００３３】

（第２の実施の形態）本発明の第２の実施の形態は、半導体素子実装用基板４の表面に形成される電極端子１は、半導体素子実装用基板４側から順に最下位層１ａ、内層１ｂ、最上位層１ｃが積層された三層で突出するように構成されており、最上位層１ｃ及び最下位層１ａは内層１ｂよりも硬度が高くなっている。具体的には、最上位層１ｃ及び最下位層１ａはチタン（Ｔｉ）であり、内層１ｂはアルミニウム（Ａｌ）である。半導体素子実装用基板４はガラス製の透明基板であるが、透明基板であれば、プラスチック樹脂等のその他の材料で形成されていても良い。

【００３４】

本実施の形態の電極端子１は、電極端子１の厚みをＴとし、内層１ｂの厚みをｔとし、電極端子１の層数をａとすると、ｔ≦３Ｔ／ａを満たす。本実施の形態の電極端子１の層数は３層であるからａ＝３である。

【００３５】

ここで、本実施の形態の電極端子１は、最下位層１ａ、内層１ｂ、最上位層１ｃがそれぞれ一層の三層構造であるが、最下位層１ａと最上位層１ｃが内層１ｂのうち少なくとも１つの層よりも硬度が高ければ、内層１ｃが二層以上であり最下位層１ａと最上位層１ｃがそれぞれ１層の四層以上の構造でも良い。また、図１のように、電極端子１や絶縁膜２の上に透明電極層（ＩＴＯ）が形成されていても良い。

【００３６】

図２（ｂ）は本実施の形態の半導体素子実装用基板４に半導体素子ＩＣを実装した状態の図である。電極端子１の最上位層１ｃ及び最下位層１ａは内層１ｂよりも硬度が高いので、突起電極Ｂと電極端子１との間に挟持された導電粒子ｒが最上位層１ｃに埋もれ過ぎることなく潰され易くなる。すなわち、導電粒子ｒの埋もれる量が減少した分、導電粒子ｒに加わる力が増加することにより、これまで潰しきれなかった導電粒子ｒが潰れる確立が高くなる。また、バンプＢの表面に凹凸（バンプ表面や電極端子表面には凹凸があり、熱圧着により高さで約１～２μｍ程度変形する。凹部はクレータとも呼ばれる）が生じていたり、バンプＢ１とバンプＢ２の高さにバラツキがあったり、半導体素子ＩＣの厚みが不均一であっても、内層１ｂは最下位層１ａ及び最上位層１ｃよりも硬度が低いため、これらの不均一等を効果的に吸収することとなる。したがって、電極端子１とバンプＢとの導通の信頼性を高めることができる。最下位層１ｃは硬度が高いため導電粒子ｒの圧痕が出現し易くなる。また、透明な半導体素子実装用基板４の裏側から導電粒子ｒの圧痕が認識し易くなるため、導電粒子ｒの圧痕による導通検査が行い易くなり、検査精度も高めることができる。

【００３７】

さらに、内層１ｂの厚みｔがｔ≦３Ｔ／ａを満たすことで、厚くなり過ぎすることがないので、半導体素子ＩＣを載置して上側から押圧しても、その押圧力が内層により吸収され過ぎることがない。したがって、導電粒子ｒに適当な押圧力が加わるため、導電粒子ｒが更に潰され易くなり、押圧力が最下位層１ａに伝達され易くなるため最下位層１ａに導電粒子ｒの圧痕が更に出現し易くなる。

【００３８】
（第２の実施の形態の応用例）第２の実施の形態の応用例として、４層構造の電極端子１が形成された半導体素子実装用基板４を説明する。図３は本実施の形態の応用例の半導体素子実装用基板４を示す図である。本実施の形態の応用例の半導体素子実装用基板４は、電極端子１が、半導体素子実装用基板４側から順に、最下位層１ａと下側の内層１ｂ１と上側の内層１ｂ２と最上位層１ｃとが積層された四層構造となっており、最下位層１ａ及び最上位層１ｃは２つの内層１ｂ１，１ｂ２よりも硬度が高くなっている。具体的には最下位層１ｃ及び最上位層１ａがチタン（Ｔｉ）であり、下側の内層１ｂ１がニッケル（Ｎｉ）であり、上側の内層１ｂ２がアルミニウム（Ａｌ）である。本実施の形態の応用例では、最下位層１ａ及び最上位層１ｃがいずれの内層１ｂ１，１ｂ２よりも硬度が高くなっているが、内層１ｂ１，１ｂ２のうち少なくとも一の内層よりも硬度が高ければ良い。
【００３９】
（第３の実施の形態）本発明の第３の実施の形態の半導体素子ＩＣは、電極端子１が形成された半導体素子実装用基板４に実装される半導体素子ＩＣであり、電極端子１との間に導電粒子ｒを挟持して導通する突起電極であるバンプＢが形成されている。図４（ａ）は、本発明の第３の実施の形態の半導体素子ＩＣを示す図である。半導体素子ＩＣの裏面には、外周辺に沿って突起状電極であるバンプＢが多数形成されている。
【００４０】
バンプＢは半導体素子ＩＣ側から順に下位層Ｂａと最上位層Ｂｃが積層された二層で構成されており、最上位層Ｂｃは下位層Ｂａよりも硬度が高くなっている。具体的には、最上位層Ｂｃはチタン（Ｔｉ）であり、下位層ＢａはアルミニウムＡｌであり、フォトリソグラフィとメッキによる方法等によりバンプＢが形成されている。バンプＢの材料は、かかる材料に限られるものではなく、下位層Ｂａよりも最上位層Ｂｃの方が硬度が高い導電性の材料であれば良い。なお、本実施の形態のバンプＢは下位層Ｂａが一層で最上位層Ｂｃが一層の二層構造であるが、下位層Ｂａが二層以上で最上位層Ｂｃが一層の三層以上の構造でも良い。下位層Ｂａが二層以上の場合は、最上位層Ｂｃが下位層Ｂａのうち少なくとも一の層よりも硬度が高ければ良い。また、最上位層Ｂｃと下位層Ｂａの材料はチタンとアルミニウムに限らず、純度の高い金（Ａｕ）と純度の低い金（Ａｕ）や、ニッケル（Ｎｉ）とアルミニウム等のその他の材料でも良い。
【００４１】
次に、本実施の形態のバンプＢが形成された半導体素子ＩＣを半導体素子実装用基板４に実装する方法について説明する。図４（ｂ）は本実施の形態の半導体素子ＩＣを半導体素子実装用基板４に実装した状態の図である。バンプＢの最上位層Ｂｃは下位層Ｂａよりも硬度が高いので、突起電極Ｂと電極端子１との間に挟持された導電粒子ｒが最上位層Ｂｃに埋もれ過ぎることなく潰され易くなる。また、バンプＢの表面に凹部があったり、バンプＢ１とバンプＢ２の高さにバラツキがあったり、半導体素子ＩＣの厚みが不均一であっても、下位層Ｂａは最上位層Ｂｃよりも硬度が低く潰れ易いため、バンプＢの表面の凹部や高さのバラツキや、半導体素子ＩＣの厚みの不均一等を吸収することができる。
【００４２】
（第４の実施の形態）本実施の形態の半導体素子実装用基板又は半導体素子は、前記第１の実施の形態又は第２の実施の形態の半導体素子実装用基板４、または前記第３の実施の形態の半導体素子ＩＣであり、導電粒子ｒは樹脂に金メッキを施した導電粒子ｒである。半導体素子実装用基板４に形成された電極端子１の最上位層１ｃはチタンであり、導電粒子ｒの硬度よりも高いため、導電粒子ｒは最上位層１ｃに埋もれ過ぎることなく、潰され易くなる（図１（ｂ）、図２（ｂ）参照）。また、第３の実施の形態の半導体素子ＩＣに形成されたバンプＢの最上位層Ｂｃはチタンであり、前記導電粒子ｒの硬度よりも高いため、導電粒子ｒがバンプＢの最上位層Ｂｃに埋もれ過ぎることなく、潰され易くなる（図４（ｂ）参照）。
【００４３】
（液晶表示装置への適用例）以下、具体的な例として、本発明の半導体素子実装用基板４

又は本発明の半導体素子ＩＣをＣＯＧ実装の液晶表示装置に適用した場合を説明する。図５はＣＯＧ実装の液晶表示装置を示す図である。液晶パネルＬＣＤは、現在使用されている代表的なアクティブ素子であるＴＦＴを用いた反射型液晶表示装置ＬＣＤである。

【００４４】

液晶パネルＬＣＤの一方の基板（一方の基板：ＡＭ基板ともアレイ基板とも呼ばれる）４は、他方の基板５よりも大きく、このため両基板４，５を重ね合わせると、ＡＭ基板４の周辺に一部張り出した半導体素子ＩＣの実装領域６が形成されている。このＡＭ基板４の実装領域６には、半導体実装用の配線パターン７が形成されている。なお、ＡＭ基板４としてはガラス基板の他、合成樹脂製のフレキシブル基板でも良い。

【００４５】

本実施の形態の半導体素子ＩＣは、ＡＭ基板４の実装領域６に、導電粒子ｒを含む異方性導電膜８を介して実装されている。半導体素子ＩＣの裏面側には、外周辺に沿ってバンプＢが対向して多数形成されている。

【００４６】

配線パターン７の端部には、半導体素子ＩＣに接続する電極端子１がパターン形成されている。一方側（図５中左側）の電極端子１は入力電極であり、他方側（図５中右側）の電極端子１は出力電極である。そして、液晶パネルＬＣＤを駆動させる半導体素子ＩＣは、接着剤に導電粒子ｒを含んだ異方性導電膜（ＡＣＦ）８を介して実装されている。

【００４７】

かかる液晶パネルＬＣＤに本発明の半導体素子実装用基板４を適用する場合は、ＡＭ基板４として使用する。つまり、実装領域５の従来の電極端子１を上記実施の形態の電極端子１とする。また、本発明の半導体素子ＩＣを適用する場合は、実装領域５に配される半導体素子ＩＣとして使用する。つまり、実装領域５に配される半導体素子ＩＣのバンプＢを上記実施の形態のバンプＢとする。本発明の電極端子１を形成した半導体素子実装用基板４と、本発明のバンプＢを形成した半導体素子ＩＣは、液晶表示パネルＬＣＤに同時に適用しても良いし、いずれか一方のみを適用しても良い。

【００４８】

本発明の適用例では、ＣＯＧ実装の液晶表示装置を例に説明したが、フレキシブル基板に接着剤を介して半導体素子を実装するＣＯＦ実装の液晶表示装置や、その他電子機器にも適用可能である。

【００４９】

【発明の効果】

以上説明したように、本発明によれば、最上位層及び最下位層は少なくとも一の内層よりも硬度が高いので、半導体素子を載置して押圧すると、硬度の高い最上位層では突起電極と電極端子との間に挟持された導電粒子が埋もれ過ぎることなく潰され易くなり、硬度の低い少なくとも一の内層ではバンプや半導体素子の表面の凹部や高さのバラツキを吸収することができる。導電粒子との接続部分は硬度が高い層なので、接続部分の経時的変化による導通不良も生じにくいしたがって、本発明の半導体素子実装用基板、又は本発明の半導体素子によれば、バンプと電極端子との導通の信頼性を高めることができる。また、最下位層は硬度が高いため、導電粒子の圧痕を出現させ易くすることができる。したがって、半導体素子実装用基板の裏側から導電粒子の圧痕が認識し易くなるため、導電粒子の圧痕による導通検査が行い易くなり、検査精度も高めることができる。

【００５０】

【図面の簡単な説明】

【図１】（ａ）は第１の実施の形態の半導体素子実装用基板を示す図、（ｂ）はその半導体素子実装用基板に半導体素子を実装した状態の図

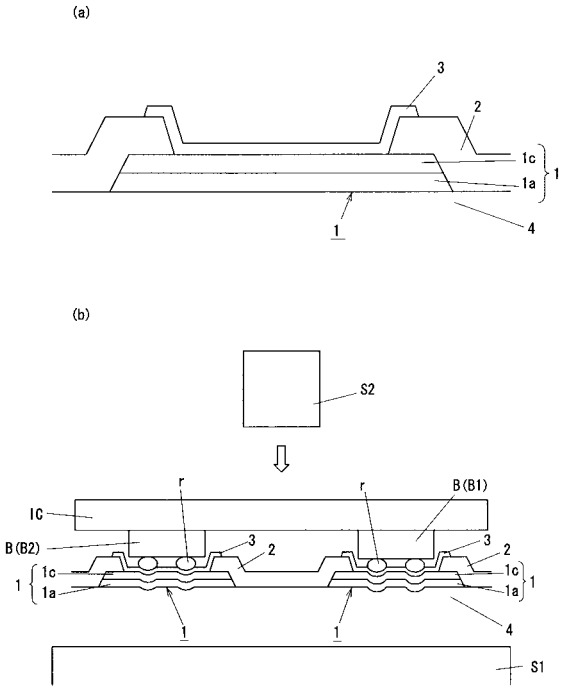
【図２】（ａ）は第２の実施の形態の半導体素子実装用基板を示す図、（ｂ）はその半導体素子実装用基板に半導体素子を実装した状態の図

【図３】（ａ）は第２の実施の形態の応用例の半導体素子実装用基板を示す図、（ｂ）はその半導体素子実装用基板に半導体素子を実装した状態の図

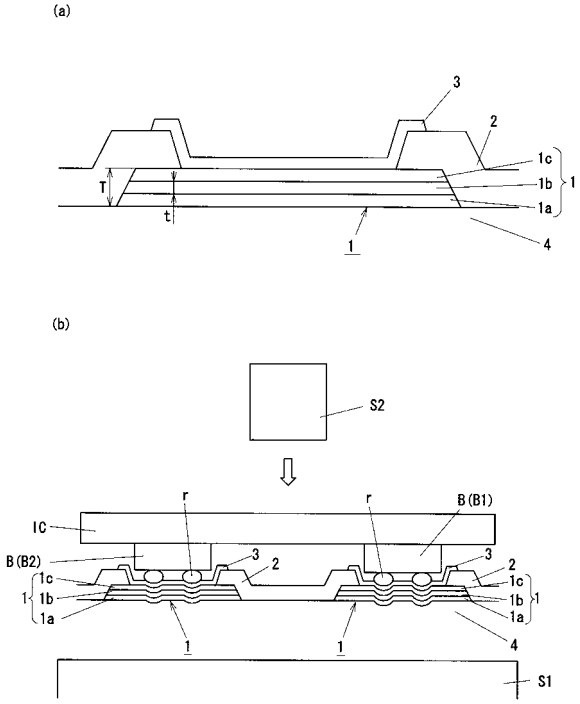
【図４】（ａ）は第３の実施の形態の半導体素子を示す図、（ｂ）はその半導体素子を半導体素子実装基板に実装した状態の図
【図５】本発明の半導体素子実装用基板と半導体素子を適用した液晶表示パネルを示す図
【図６】半導体素子を半導体素子実装用基板にフェイスダウンにより実装した状態を示す図
【図７】導電粒子が電極端子に埋もれてしまい潰れていない状態を示す図
【図８】（ａ）はバンプの表面が凹形状になっている状態、（ｂ）は複数のバンプの高さにバラツキがある状態、（ｃ）は半導体素子の厚みが不均一な状態を示す図
【符号の説明】

| | |
|---|---|
| ＩＣ、ＩＣ１ | 半導体素子 |
| １、１１ | 電極端子 |
| １ａ | 電極端子の下位層、最下位層 |
| １ｂ | 電極端子の内層 |
| １ｃ | 電極端子の最上位層 |
| ２ | 絶縁膜 |
| ３ | ＩＴＯ |
| ４、１４ | 半導体素子実装用基板、一方の基板（ＡＭ基板） |
| ５ | 他方の基板 |
| ６ | 実装領域 |
| ７ | 配線パターン |
| ８ | 異方性導電膜 |
| ｒ | 導電粒子 |
| Ｂ、１Ｂ | バンプ |
| Ｂａ | バンプの下位層 |
| Ｂｃ | バンプの最上位層 |
| ｔ | 電極端子の内層の厚み |
| Ｔ | 電極端子の厚み |
| ＬＣＤ | 液晶表示パネル |

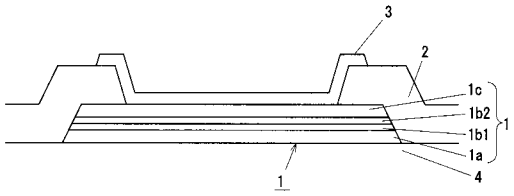
【図１】


(a)
3
2
1c
1a
1
1
4
(b)
S2
IC
B(B1)
B(B2)
r
r
3
2
1c
1a
1
S1

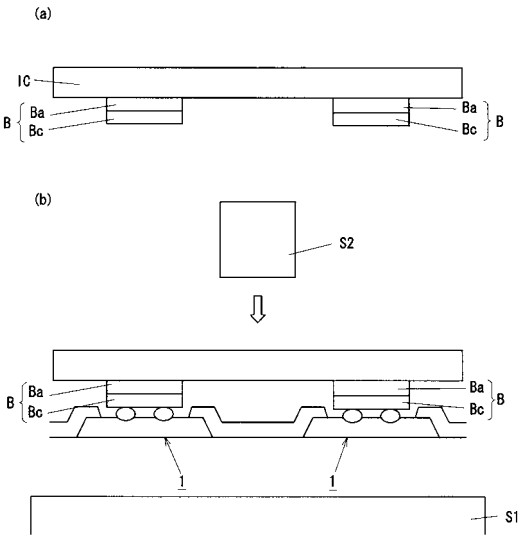
【図２】


(a)
3
2
1c
1b
1a
1
T
t
1
4
(b)
S2
IC
B(B1)
B(B2)
r
r
3
2
1c
1b
1a
1
S1

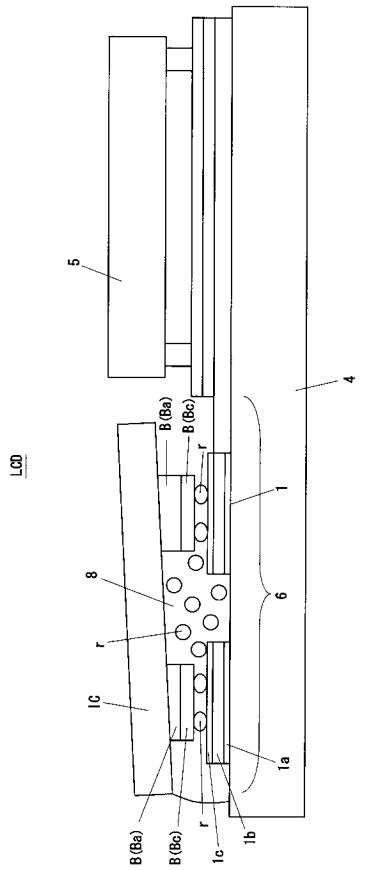
【図３】


3
2
1c
1b2
1b1
1a
1
1
4

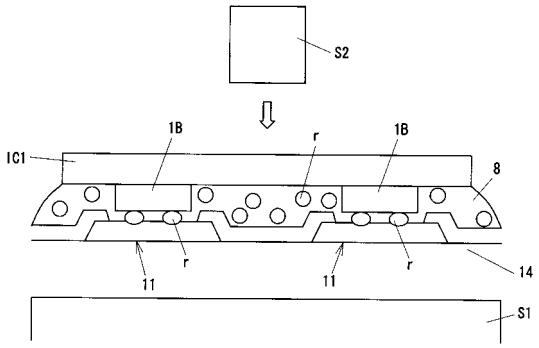
【図４】


(a)
IC
B
Ba
Bc
Ba
Bc
B
(b)
S2
B
Ba
Bc
Ba
Bc
B
1
1
S1

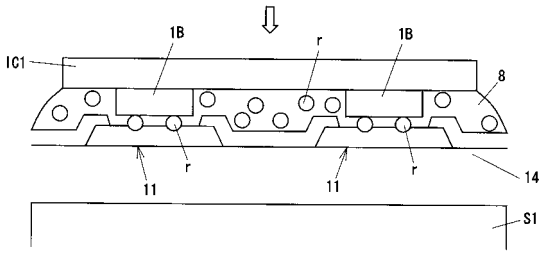
【図５】


5
4
LCD
B(Ba)
B(Bc)
r
1
6
8
r
IC
1a
B(Ba)
B(Bc)
r
1c
1b

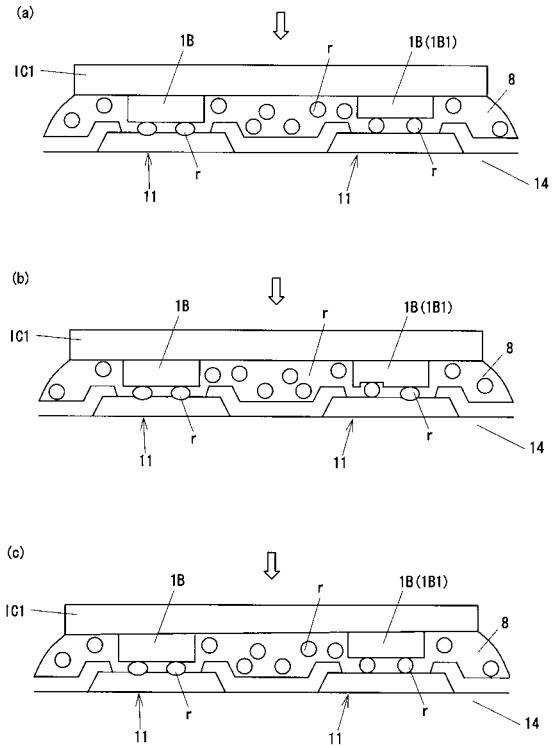
【図６】


S2
1B
r
1B
IC1
8
r
r
14
11
11
S1

【図７】


1B
r
1B
IC1
8
r
r
14
11
11
S1

【図８】


(a)
1B
r
1B(1B1)
IC1
8
r
r
14
11
11
(b)
1B
r
1B(1B1)
IC1
8
r
r
14
11
11
(c)
1B
r
1B(1B1)
IC1
8
r
r
14
11
11

フロントページの続き

審査官　市川　篤

(56)参考文献　特開平０９－２３７８０５（ＪＰ，Ａ）
特開平０４－０３２１７１（ＪＰ，Ａ）
特開２０００－２３２１１８（ＪＰ，Ａ）
特開昭６１－０６３０３５（ＪＰ，Ａ）
特開平１１－０６８２７８（ＪＰ，Ａ）
特開２００２－２６１４１６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/60
G02F 1/1345