



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년09월07일
(11) 등록번호 10-0915832
(24) 등록일자 2009년08월31일

(51) Int. Cl.

G11C 7/10 (2006.01) G11C 8/00 (2006.01)

(21) 출원번호 10-2008-0077692

(22) 출원일자 2008년08월08일

심사청구일자 2008년08월08일

(56) 선행기술조사문헌

KR1020080076087 A

KR1020070089557 A

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김귀동

경기도 이천시 고담동 고담기숙사 101동 901호

(74) 대리인

김성남

전체 청구항 수 : 총 12 항

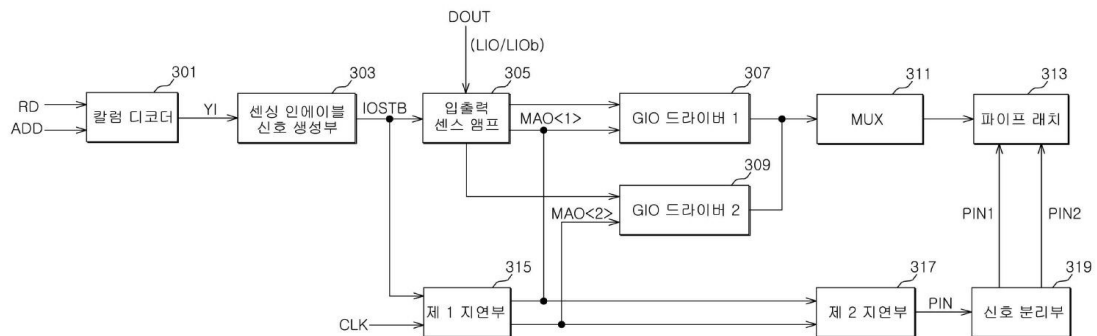
심사관 : 이강하

(54) 반도체 메모리 장치의 리드 동작 제어 회로

(57) 요약

서데스(SERDES) 방식의 반도체 메모리 장치를 위한 리드 동작 제어 회로로서, 센싱 인에이블 신호(IOSTB)를 입력받아 제 1 지연신호를 생성하여 제 1 글로벌 입출력 라인 드라이버로 출력하고, 센싱 인에이블 신호를 입력받아 클럭에 동기하여 지연시킨 제 2 지연신호를 생성하여 제 2 글로벌 입출력 라인 드라이버로 출력하는 제 1 지연부 및 제 1 지연신호 및 제 2 지연신호에 따라 파이프 래치 제어 신호를 생성하는 제 2 지연부를 포함한다.

대표도



특허청구의 범위

청구항 1

서데스(SERDES) 방식의 반도체 메모리 장치를 위한 리드 동작 제어 회로로서,

센싱 인에이블 신호(IOSTB)를 입력받아 제 1 지연신호를 생성하여 제 1 글로벌 입출력 라인 드라이버로 출력하고, 상기 센싱 인에이블 신호를 입력받아 클럭에 동기하여 지연시킨 제 2 지연신호를 생성하여 제 2 글로벌 입출력 라인 드라이버로 출력하는 제 1 지연부; 및

상기 제 1 지연신호 및 상기 제 2 지연신호에 따라 파이프 래치 제어 신호를 생성하는 제 2 지연부;

를 포함하는 리드 동작 제어 회로.

청구항 2

제 1 항에 있어서,

상기 제 1 지연부는, 상기 센싱 인에이블 신호(IOSTB)를 소정 시간 지연시켜 상기 제 1 지연신호를 출력하는 제 1 지연기;

상기 센싱 인에이블 신호를 클럭에 동기하여 쉬프트시키는 래치; 및

상기 래치의 출력 신호를 소정 시간 지연시켜 상기 제 2 지연신호를 출력하는 제 2 지연기;

를 포함하는 것을 특징으로 하는 리드 동작 제어 회로.

청구항 3

제 2 항에 있어서,

상기 래치는, 상기 클럭에 따라 상기 센싱 인에이블 신호를 지연시키는 D-플립플롭인 것을 특징으로 하는 리드 동작 제어 회로.

청구항 4

제 2 항에 있어서,

상기 제 1 지연기 및 제 2 지연기의 지연량은 동일한 것을 특징으로 하는 리드 동작 제어 회로.

청구항 5

제 1 항에 있어서,

상기 제 2 지연부는, 상기 제 1 지연신호 및 상기 제 2 지연신호를 입력받아 입력 신호가 인에이블될 때마다 펄스를 출력하는 논리 소자를 포함하는 것을 특징으로 하는 리드 동작 제어 회로.

청구항 6

제 1 항에 있어서,

상기 리드 동작 제어 회로는, 상기 제 2 지연부로부터 출력되는 상기 파이프래치 제어 신호로부터, 제 1 파이프래치 제어 신호 및 제 2 파이프래치 제어 신호를 각각 출력하는 신호 분리부를 더 포함하는 것을 특징으로 하는 리드 동작 제어 회로.

청구항 7

제 6 항에 있어서,

상기 신호 분리부는, 상기 파이프래치 제어 신호를 입력받아 상기 파이프래치 제어 신호에 포함된 펄스의 개수를 카운트하여 출력하는 카운터를 포함하는 것을 특징으로 하는 리드 동작 제어 회로.

청구항 8

서데스(SERDES) 방식의 반도체 메모리 장치를 위한 리드 동작 제어 회로로서,

센싱 인에이블 신호(IOSTB)를 입력받아 제 1 지연신호를 생성하여 제 1 글로벌 입출력 라인 드라이버로 출력하고, 상기 센싱 인에이블 신호를 클럭에 동기하여 지연시킨 제 2 지연신호를 생성하여 제 2 글로벌 입출력 라인 드라이버로 출력하는 제 1 지연부; 및

상기 센싱 인에이블 신호(IOSTB)를 입력받아 제 3 지연신호를 생성하여 제 1 파이프 래치 제어 신호로서 출력하고, 상기 센싱 인에이블 신호를 클럭에 동기하여 지연시킨 제 4 지연신호를 생성하여 제 2 파이프 래치 제어 신호로서 출력하는 제 2 지연부;

를 포함하는 리드 동작 제어 회로.

청구항 9

제 8 항에 있어서,

상기 제 1 지연부는, 상기 센싱 인에이블 신호(IOSTB)를 소정 시간 지연시켜 상기 제 1 지연신호를 출력하는 제 1 지연기;

상기 센싱 인에이블 신호를 클럭에 동기하여 쉬프트시키는 래치; 및

상기 래치의 출력 신호를 소정 시간 지연시켜 상기 제 2 지연신호를 출력하는 제 2 지연기;

를 포함하는 것을 특징으로 하는 리드 동작 제어 회로.

청구항 10

제 8 항에 있어서,

상기 제 2 지연부는, 상기 센싱 인에이블 신호(IOSTB)를 소정 시간 지연시켜 상기 제 3 지연신호를 출력하는 제 1 지연기;

상기 센싱 인에이블 신호를 클럭에 동기하여 쉬프트시키는 래치; 및

상기 래치의 출력 신호를 소정 시간 지연시켜 상기 제 4 지연신호를 출력하는 제 2 지연기;

를 포함하는 것을 특징으로 하는 리드 동작 제어 회로.

청구항 11

제 9 항 또는 제 10 항에 있어서,

상기 래치는, 상기 클럭에 따라 상기 센싱 인에이블 신호를 지연시키는 D-플립플롭인 것을 특징으로 하는 리드 동작 제어 회로.

청구항 12

제 9 항 또는 제 10 항에 있어서,

상기 제 1 지연기 및 제 2 지연기의 지연량은 동일한 것을 특징으로 하는 리드 동작 제어 회로.

명 세 서

발명의 상세한 설명

기술 분야

<1> 본 발명은 반도체 메모리 장치에 관한 것으로, 보다 구체적으로는 서데스(SERDES) 방식을 사용하는 반도체 메모리 장치의 리드 동작 제어 회로에 관한 것이다.

배경 기술

- <2> 일반적인 반도체 메모리 장치는 다수의 입출력 핀이 구비된 하나의 포트를 통해 외부 칩셋과 데이터 교환을 수행하는 병렬 입출력 방식을 이용한다. 병렬 입출력 방식은 동시에 여러 비트의 데이터를 전송할 수 있어 데이터 처리 속도가 우수한 장점이 있다.
- <3> 반면, 데이터를 전송하기 위한 버스의 수가 증가하고, 데이터 전송 거리가 길어질수록 제품 단가가 높아지는 등의 단점이 있다.
- <4> 이러한 단점을 보완하기 위해 서데스(SERDES; SERializer and DESerializer) 방식을 적용하게 되었다. 서데스 방식에서, 반도체 메모리 장치는 둘 이상의 포트를 구비하고, 각각의 포트는 서데스 회로를 포함한다. 그리고, 각각의 포트는 외부로부터 직렬 입력되는 신호를 병렬화하여 메모리 뱅크로 전달하고, 메모리 뱅크로부터 병렬 입력되는 신호를 직렬화하여 외부로 출력한다.
- <5> 이와 같이 함으로써, 서데스 방식의 메모리 장치는 버스 라인의 수를 감소시킬 수 있다.
- <6> 서데스 방식에서는 한 번의 라이트/리드 명령에 대하여 적어도 2회의 라이트/리드 동작이 이루어진다. 따라서, 카스-투-카스 지연(tCCD)이 4클럭인 서데스 방식의 반도체 메모리 장치의 경우, 2클럭 내에 한 번의 라이트/리드 동작이 이루어져야 한다.
- <7> 현재는 이러한 동작 시간 간격이 고정되어 있으며, 따라서 타깃 주파수가 1ns인 경우 2ns 내에 한 번의 라이트/리드 동작이 이루어져야 한다. 즉, 첫번째 라이트/리드 동작을 제어하기 위한 칼럼선택신호(YI)와 두번째 라이트/리드 동작을 위한 칼럼선택신호(YI)는 2ns 이상 지연될 수 없다.
- <8> 그리고, 두 YI 간의 시간 간격은 반도체 메모리 장치의 동작 속도와 상관없이 고주파 동작에 맞게 고정된 값이며, 따라서 반도체 메모리 장치는 항상 최소 마진을 가지고 동작하게 된다.
- <9> 도 1a 및 1b는 일반적인 서데스 방식의 반도체 메모리 장치에서 명령어 처리 과정을 설명하기 위한 회로도이다.
- <10> 먼저, 도 1a는 라이트(write) 동작을 설명하기 위한 회로도이다.
- <11> 명령어 디코더(미도시)에서 생성되는 라이트 명령(WT)이 인에이블됨에 따라, 칼럼 디코더(101)는 어드레스 신호(ADD)를 입력받아 클럭 신호(CLK)에 동기하여 제 1 칼럼선택신호(YI1) 및 제 2 칼럼선택신호(YI2)를 생성한다. 이때, 제 2 칼럼선택신호(YI2)는 제 1 칼럼선택신호(YI1)를 클럭에 동기하여 지정된 시간 간격, 예를 들어 2클럭 지연시킨 신호가 될 수 있다.
- <12> 그리고, 데이터 입력 멀티플렉서(MUX1, MUX2, 103, 105)는 각각 칼럼선택신호(YI1, YI2)와 데이터(DIN)를 입력받아 선택된 메모리 뱅크로 데이터가 전달되도록 한다. 여기에서, 입력 데이터(DIN)는 데이터 입력 패드로(DQ)부터 데이터 스트로브 신호(DQS)에 의해 소정의 과정을 거쳐 포트로 입력되어 병렬화된 후, 글로벌 입출력 라인(GIO)을 통해 데이터 입력 멀티플렉서(103, 105)로 전달된다.
- <13> 한편, 라이트 드라이버(107)는 글로벌 입출력 라인을 통해 전달된 데이터를 로컬 입출력 라인(LIO/LIOb)을 통해 메모리 뱅크 블록으로 전달한다.
- <14> 예를 들어, 한 번의 라이트 명령에 의해 2회의 라이트 동작을 수행하는 경우, 8비트의 입력 데이터는 4비트씩 병렬화되어 GIO를 통해 순차적으로 입력되고, 데이터 입력 멀티플렉서(103, 105)는 제 1 칼럼선택신호(YI1)에 의해 첫번째 4비트 데이터를 로컬 입출력 라인(LIO/LIOb)으로 전달하고, 지정된 시간 간격(2클럭) 후 출력되는 제 2 칼럼선택신호(YI2)에 의해 두번째 4비트 데이터를 로컬 입출력 라인(LIO/LIOb)으로 전달한다.
- <15> 이와 같이, 라이트 동작시에는 클럭 신호와 동기하여 칼럼선택신호를 생성하기 때문에, 데이터 스트로브 신호에 의해 입력되는 데이터를 정확한 시기에 메모리 뱅크로 전달할 수 있다.
- <16> 다음, 도 1b는 리드(read) 동작을 설명하기 위한 회로도이다.
- <17> 리드(RD) 명령이 인에이블됨에 따라, 칼럼 디코더(201)는 어드레스 신호(ADD)를 입력받아 칼럼선택신호(YI)를 출력한다. 이에 따라, 입출력 센스앰프(205)는 로컬 입출력 라인(LIO/LIOb)을 통해 메모리 뱅크 블록에 저장되어 있는 데이터(DOUT)를 전달받아 증폭한 후 래치한다.
- <18> 그리고, 센싱 인에이블 신호(IOSTB) 생성부(203)에서 출력되는 센싱 인에이블 신호(IOSTB)를 소정 시간 지연시켜 출력하는 제 1 지연부(215)의 출력 신호에 따라, 입출력 센스앰프(205)에서 증폭된 데이터가 글로벌 입출력 라인 드라이버(207, 209)를 통해 멀티플렉서(211)를 경유하여 파이프 래치(213)로 전달된다.

- <19> 보다 구체적으로, 제 1 지연부(215)에서 출력되는 제 1 지연신호(MA0<1>)에 의해 입출력 센스앰프(205)의 출력 신호 중 일부(제1데이터그룹)가 멀티플렉서(211)로 전달된다. 아울러, 제 1 지연부(215)에서 출력되는 제 2 지연신호(MA0<2>)에 의해 입출력 센스앰프(205)의 출력 신호 중 나머지(제2데이터그룹)가 멀티플렉서(211)로 전달된다. 여기에서, 제 2 지연신호(MA0<1>)는 제 1 지연신호(MA0<2>)를 기 설정된 시간만큼 지연시킨 값이다.
- <20> 한편, 멀티플렉서(211)로 입력된 제1데이터그룹은 제2데이터그룹이 멀티플렉서(211)로 입력되기 전 파이프 래치(213)에 저장되어야 한다. 그러므로, 제 2 지연부(217)에서 생성되는 제 1 및 제 2 파이프 래치 제어 신호(PIN1, PIN2) 각각은 제 1 지연부(215)에서 출력되는 제 1 및 제 2 지연신호(MA0<1>), MA0<2>)와 동일한 지연 값을 갖도록 설계되어야 한다.
- <21> 이와 같이, 제 1 지연부(215) 및 제 2 지연부(217)는 반도체 메모리 장치의 동작 속도에 무관하게 고정된 지연 시간을 갖도록 설계된다. 그러나, 제 1 지연부(215)와 제 2 지연부(217)의 설계 위치가 다르기 때문에 완전히 동일한 값을 갖기 어렵고, 이에 따라 글로벌 입출력 라인으로 전달된 데이터가 파이프 래치(213)에 정확한 시점에 전달되지 않는 문제가 있다. 이러한 문제는 고주파 동작시 더욱 악화되어 반도체 메모리 장치가 오동작하는 결과를 초래할 수 있다.
- <22> 또한, 제 1 지연부(215) 및 제 2 지연부(217)에 적용된 지연 시간은 센싱 인에이블 신호(IOSTB)를 기 설정된 시간만큼 지연시켜 생성한 고정값이기 때문에, 저주파 동작시 동작 마진이 여유로움에도 불구하고 고정된 값에 따라 동작하므로 효율이 저하되는 단점이 있다.

발명의 내용

해결 하고자하는 과제

- <23> 본 발명은 상술한 문제점 및 단점을 해결하기 위하여 안출된 것으로서, 서데스 방식의 반도체 메모리 장치에서 리드 동작을 클럭 기반으로 수행하는 리드 동작 제어 회로를 제공하는 데 그 기술적 과제가 있다.
- <24> 본 발명의 다른 기술적 과제는 서데스 방식의 반도체 메모리 장치에서 리드 동작시 동작 주파수에 따라 클럭에 동기하여 데이터 출력 시간 간격을 가변시킴으로써 동작 마진을 확보할 수 있는 리드 동작 제어 회로를 제공하는 데 있다.

과제 해결수단

- <25> 상술한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 반도체 메모리 장치의 리드 동작 제어 회로는 서데스(SERDES) 방식의 반도체 메모리 장치를 위한 리드 동작 제어 회로로서, 센싱 인에이블 신호(IOSTB)를 입력받아 제 1 지연신호를 생성하여 제 1 글로벌 입출력 라인 드라이버로 출력하고, 상기 센싱 인에이블 신호를 입력받아 클럭에 동기하여 지연시킨 제 2 지연신호를 생성하여 제 2 글로벌 입출력 라인 드라이버로 출력하는 제 1 지연부; 및 상기 제 1 지연신호 및 상기 제 2 지연신호에 따라 파이프 래치 제어 신호를 생성하는 제 2 지연부;를 포함한다.
- <26> 또한, 본 발명의 다른 실시예에 의한 반도체 메모리 장치의 리드 동작 제어 회로는 서데스(SERDES) 방식의 반도체 메모리 장치를 위한 리드 동작 제어 회로로서, 센싱 인에이블 신호(IOSTB)를 입력받아 제 1 지연신호를 생성하여 제 1 글로벌 입출력 라인 드라이버로 출력하고, 상기 센싱 인에이블 신호를 클럭에 동기하여 지연시킨 제 2 지연신호를 생성하여 제 2 글로벌 입출력 라인 드라이버로 출력하는 제 1 지연부; 및 상기 센싱 인에이블 신호(IOSTB)를 입력받아 제 3 지연신호를 생성하여 제 1 파이프 래치 제어 신호로서 출력하고, 상기 센싱 인에이블 신호를 클럭에 동기하여 지연시킨 제 4 지연신호를 생성하여 제 2 파이프 래치 제어 신호로서 출력하는 제 2 지연부;를 포함한다.

효과

- <27> 본 발명에 의하면, 한 번의 리드 명령에 의해 복수회의 리드 동작이 수행되는 서데스 방식의 반도체 메모리 장치에서, 두번째 이후의 리드 동작이 클럭에 기반하여 수행되기 때문에 동작 시간을 주파수에 따라 가변시킬 수 있다.
- <28> 아울러, 리드 동작 간의 지연 시간을 고정값으로 사용하지 않고 클럭에 따라 가변시킴으로써, 동작 주파수가 낮아질수록 동작 마진을 충분히 확보할 수 있는 이점이 있다.

<29> 또한, 센싱된 데이터를 글로벌 입출력 라인으로 전달하는 과정에서 사용된 지연신호를 이용하여 파이프 래치 제어 신호를 생성하기 때문에, 지연 시간 차이로 인한 오동작을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

<30> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 구체적으로 설명한다.

<31> 도 2는 본 발명의 일 실시예에 의한 리드 동작 제어 회로의 구성도이다.

<32> 본 발명에 의한 리드 동작 제어 회로는 센싱 인에이블 신호(IOSTB)를 입력받아 제 1 지연신호(MAO<1>)를 생성하여 제 1 글로벌 입출력 라인 드라이버(307)로 공급하고, 센싱 인에이블 신호(IOSTB)를 클럭에 동기하여 지연시킨 제 2 지연신호(MAO<2>)를 생성하여 제 2 글로벌 입출력 라인 드라이버(309)로 공급하는 제 1 지연부(315)와, 제 1 지연부(315)에서 출력되는 제 1 지연신호(MAO<1>) 및 제 2 지연신호(MAO<2>)에 따라 파이프 래치 제어 신호(PIN)를 생성하는 제 2 지연부(317)와, 제 2 지연부(317)의 출력 신호로부터 제 1 및 제 2 파이프 래치 제어 신호(PIN1/PIN2)를 생성하는 신호 분리부(319)를 포함한다.

<33> 상술한 리드 동작 제어 회로를 포함하는 반도체 메모리 장치의 리드 동작을 구체적으로 설명하면 다음과 같다.

<34> 리드(RD) 신호가 인에이블됨에 따라, 칼럼 디코더(301)는 어드레스 신호(ADD)를 입력받아 칼럼선택신호(YI)를 출력한다. 이에 따라, 입출력 센스앰프(305)는 로컬 입출력 라인(LIO/LIOb)을 통해 메모리 뱅크 블록에 저장되어 있는 데이터(DOUT)를 전달받아 증폭한 후 래치한다.

<35> 그리고, 센싱 인에이블 신호(IOSTB) 생성부(303)에서 센싱 인에이블 신호(IOSTB)가 출력됨에 따라, 제 1 지연부(315)에서 센싱 인에이블 신호(IOSTB)를 소정 시간 지연시켜 제 1 지연신호(MAO<1>)를 출력한다. 이후, 제 1 지연신호(MAO<1>)에 따라 입출력 센스앰프(305)에 래치되어 있는 제1데이터그룹이 제 1 글로벌 입출력 라인 드라이버(307)를 통해 멀티플렉서(311)로 전달된다.

<36> 그리고, 멀티플렉서(311)로 입력된 제1데이터그룹은 신호 분리부(319)에서 출력되는 제 1 파이프 래치 제어 신호(PIN1)에 의해 파이프 래치(313)에 저장된다.

<37> 한편, 제 1 지연부(315)에서 센싱 인에이블 신호(IOSTB)를 클럭(CLK)에 동기하여 지연시킨 제 2 지연신호(MAO<2>)에 따라, 입출력 센스앰프(305)에 래치되어 있는 제2데이터그룹이 제 2 글로벌 입출력 라인 드라이버(309)를 통해 멀티플렉서(311)로 전달된다.

<38> 이후, 제2데이터그룹은 신호 분리부(319)에서 출력되는 제 2 파이프 래치 제어 신호(PIN2)에 의해 파이프 래치(313)에 저장된다.

<39> 이와 같이, 본 발명에서는 제 1 지연신호(MAO<1>) 출력 후 클럭에 동기하여 센싱 인에이블 신호(IOSTB)를 지연시켜 제 2 지연신호(MAO<2>)를 생성하므로, 저주파 동작시 리드 동작 간의 마진을 확보할 수 있다.

<40> 또한, 멀티플렉서(311)에 저장되어 있는 데이터를 파이프 래치(313)로 전달할 때에도 제 1 지연신호(MAO<1>) 및 제 2 지연신호(MAO<2>)를 기반으로 생성된 파이프 래치 제어 신호(PIN1, PIN2)를 사용하기 때문에, 멀티플렉서(311)로 데이터가 전달되는 시점과 파이프 래치(313)에서 데이터를 저장하는 시점이 중첩되지 않게 된다.

<41> 도 3은 도 2에 도시한 제 1 지연부의 상세 구성도이다.

<42> 도시한 것과 같이, 제 1 지연부(315)는 센싱 인에이블 신호(IOSTB)를 소정 시간 지연시켜 제 1 지연신호(MAO<1>)를 출력하는 제 1 지연기(401), 센싱 인에이블 신호(IOSTB)를 클럭(CLK)에 동기하여 쉬프트시키는 래치(403) 및 래치(403)의 출력 신호를 소정 시간 지연시켜 제 2 지연신호(MAO<2>)를 출력하는 제 2 지연기(405)를 포함한다.

<43> 여기에서, 래치(403)는 클럭(CLK) 신호에 따라 센싱 인에이블 신호(IOSTB)를 2클럭 지연시키는 D-립플롭으로 구성할 수 있다. 그리고, 제 1 및 제 2 지연기(401, 405)의 지연량은 동일하게 조절하는 것이 바람직하다.

<44> 도 4는 도 2에 도시한 제 2 지연부의 상세 구성도이다.

<45> 본 발명의 바람직한 실시예에서, 제 2 지연부(317)는 제 1 지연신호(MAO<1>) 및 제 2 지연신호(MAO<2>)를 입력받아 입력 신호가 인에이블될 때마다 펄스를 발생하는 논리 소자로 구성할 수 있다. 일 예로, 논리 소자는 노아(NOR) 게이트와 인버터를 직렬 연결하여 구성할 수 있으며, 논리 소자의 출력 펄스는 파이프 래치 제어 신호(PIN)가 된다.

- <46> 도시하지 않았지만, 신호 분리부(319)는 카운터로 구성할 수 있다. 이 경우 제 2 지연부(317)에서 펄스가 출력될 때마다 카운팅이 이루어지고, 카운팅 값을 제 1 및 제 2 파이프 래치 제어 신호(PIN1, PIN2)로 사용하게 된다.
- <47> 도 5는 본 발명의 다른 실시예에 의한 리드 동작 제어 회로의 구성도이다.
- <48> 본 실시예에 의한 리드 동작 제어 회로는 도 2에 도시한 리드 동작 제어 회로와 달리, 제 2 지연부(321)가 센싱 인에이블 신호(IOSTB) 및 클럭(CLK)을 이용하여 제 1 파이프 래치 제어 신호(PIN1) 및 제 2 파이프 래치 제어 신호(PIN2)를 각각 생성한다. 이를 위하여, 제 2 지연부(321)는 도 3과 같이 구성할 수 있다.
- <49> 즉, 센싱 인에이블 신호(IOSTB)를 소정 시간 지연시켜 제 1 파이프 래치 제어 신호(PIN1)을 출력하는 제 1 지연기와, 센싱 인에이블 신호(IOSTB)를 클럭(CLK)에 동기하여 쉬프트시키는 래치와, 래치의 출력 신호를 소정 시간 지연시켜 제 2 파이프 래치 제어 신호(PIN2)를 출력하는 제 2 지연기를 포함할 수 있다.
- <50> 이러한 회로 구성에서는 제 1 지연부(315)로 입력되는 클럭(CLK)과 제 2 지연부(321)로 입력되는 클럭(CLK)이 시간차를 가지지 않도록 제어하여야 한다.
- <51> 본 실시예에서는 멀티플렉서(311)로 데이터를 전달할 때, 그리고 멀티플렉서(311)에 저장되어 있는 데이터를 파이프 래치(313)로 전달할 때, 동일한 방식으로 생성된 지연신호를 사용하기 때문에, 멀티플렉서(311)로 데이터가 전달되는 시점과 파이프 래치(313)에서 데이터를 저장하는 시점이 중첩되지 않게 된다.
- <52> 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

산업이용 가능성

- <53> 본 발명은 반도체 메모리 장치의 오동작 없이 센싱된 데이터를 정확한 시점에 출력할 수 있으므로, 외부로부터 입력된 한 번의 리드 명령에 따라 두 번의 리드 동작을 수행하는 서데스 방식의 반도체 메모리 장치에 적용할 경우 반도체 메모리 장치의 동작 신뢰성을 개선할 수 있다.

도면의 간단한 설명

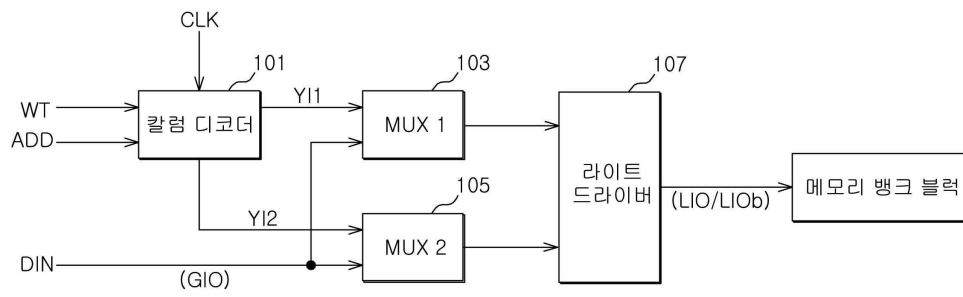
- <54> 도 1a 및 1b는 일반적인 서데스 방식의 반도체 메모리 장치에서 명령어 처리 과정을 설명하기 위한 회로도,
- <55> 도 2는 본 발명의 일 실시예에 의한 리드 동작 제어 회로의 구성도,
- <56> 도 3은 도 2에 도시한 제 1 지연부의 상세 구성도,
- <57> 도 4는 도 2에 도시한 제 2 지연부의 상세 구성도,
- <58> 도 5는 본 발명의 다른 실시예에 의한 리드 동작 제어 회로의 구성도이다.

<도면의 주여 부분에 대한 부호 설명>

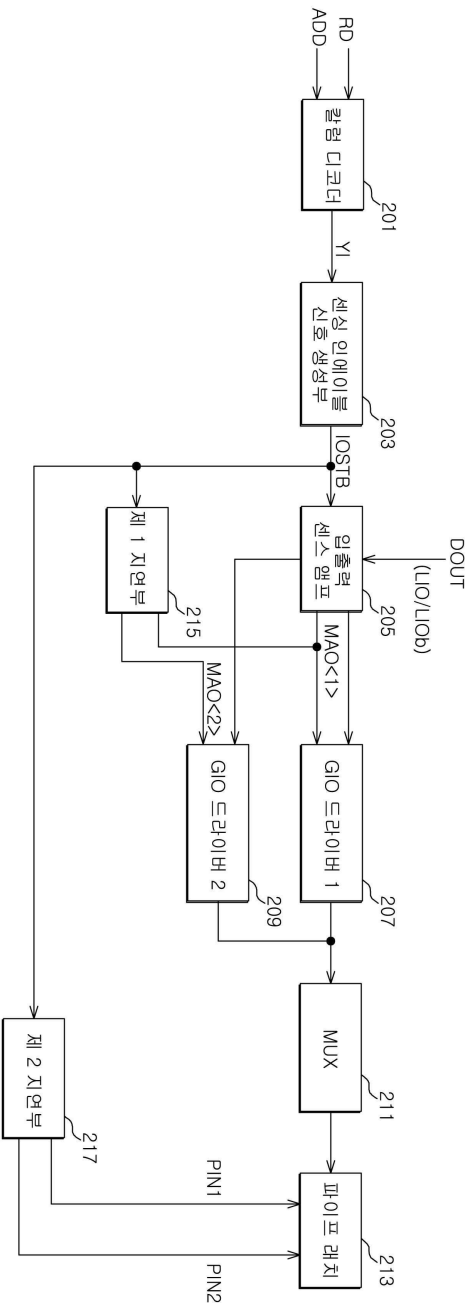
- | | |
|--------------------------|----------------------|
| <60> 301 : 칼럼 디코더 | 303 : 센싱 인에이블 신호 생성부 |
| <61> 305 : 입출력 센스 앰프 | 307 : 제 1 GIO 드라이버 |
| <62> 309 : 제 2 GIO 드라이버 | 311 : 멀티플렉서 |
| <63> 313 : 파이프 래치 | 315 : 제 1 지연부 |
| <64> 317, 3119 : 제 2 지연부 | |

도면

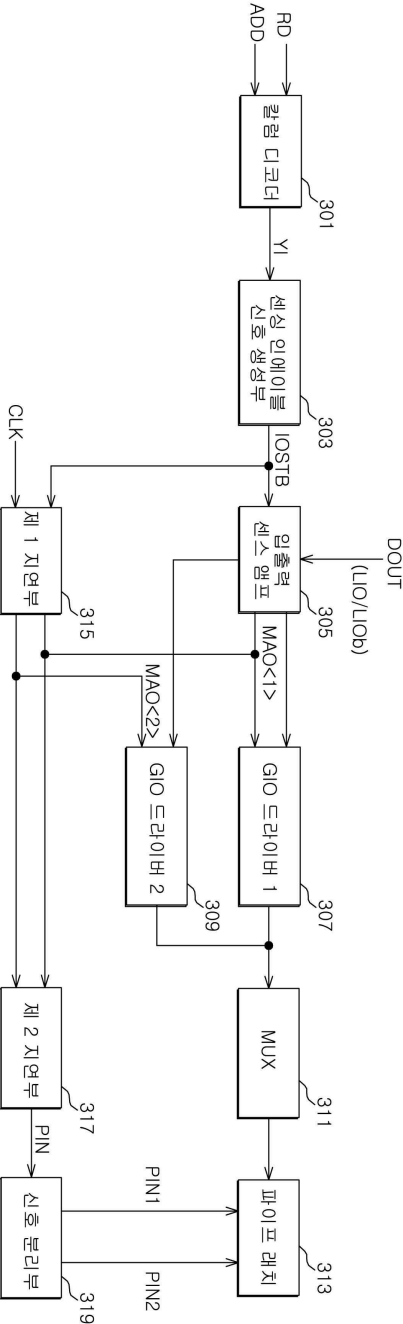
도면1a



도면1b

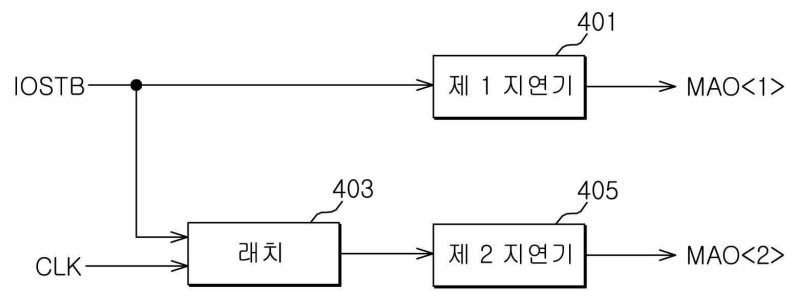


도면2



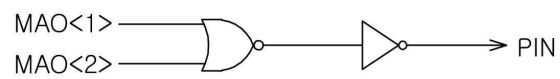
도면3

315



도면4

317



도면5

