

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 03110587.4

[45] 授权公告日 2007 年 10 月 10 日

[11] 授权公告号 CN 100342484C

[22] 申请日 2003.4.11 [21] 申请号 03110587.4

[30] 优先权

[32] 2002.4.11 [33] JP [31] 109305/02

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

共同专利权人 夏普公司

[72] 发明人 仲泽美佐子 一条充弘 浜谷敏次

大沼英人 牧田直树

[56] 参考文献

CN1128900A 1996.8.14

JP10-022289A 1998.1.23

JP8139021A 1996.5.31

审查员 钟 翊

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 吴立明 梁 永

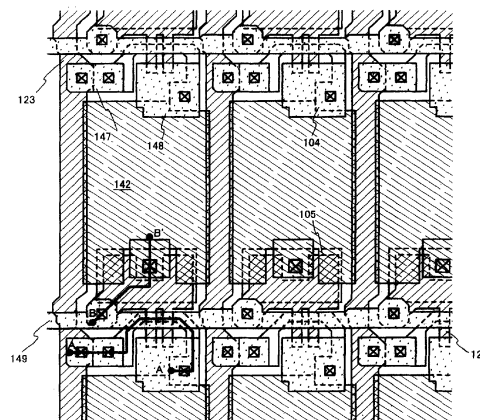
权利要求书 3 页 说明书 21 页 附图 15 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

形成了满足以下三个要求，“很好地抵挡刻蚀并能够阻止刻蚀来保护半导体薄膜被刻蚀剂刻蚀掉”，“在为吸收进行的热处理中允许杂质元素自由移动”，及“具有优秀的可重复性”的阻挡层，阻挡层用于吸收半导体薄膜中的杂质。阻挡层为氧化硅薄膜，阻挡层中所含的低氧化物比率为 18% 或更高。



1. 一种制造半导体器件的方法，包括：
在绝缘体上形成第一层无定形半导体薄膜；
在第一层无定形半导体薄膜中加入一种加速结晶的元素；
将薄膜进行第一次热处理以形成一层结晶半导体薄膜；
在结晶半导体薄膜上形成一个阻挡层；
在阻挡层上形成第二层无定形半导体薄膜；并
通过第二次热处理吸收结晶半导体薄膜内所含的结晶加速元素，
其中阻挡层为一层含低氧化物的薄膜；和
其中阻挡层中所含的低氧化物比率为 18%或更高。
2. 一种制造半导体器件的方法，包括：
在绝缘体上形成第一层无定形半导体薄膜；
在第一层无定形半导体薄膜上形成一层掩膜绝缘薄膜；
有选择地在第一层无定形半导体薄膜中加入一种加速结晶的元素；
将这层薄膜进行第一次热处理以形成一层结晶半导体薄膜；
在结晶半导体薄膜上形成一层阻挡层；
在阻挡层上形成第二层无定形半导体薄膜；并
通过第二次热处理吸收结晶半导体薄膜内所含的结晶加速元素，
其中阻挡层为一层含低氧化物的薄膜；和
其中阻挡层中所含的低氧化物比率为 18%或更高。
3. 根据权利要求 1 的制造半导体器件的方法，其中，第二层无定形半导体薄膜中包含一种具有吸收作用的元素。
4. 根据权利要求 2 的制造半导体器件的方法，其中第二层无定形半导体薄膜中包含一种具有吸收作用的元素。
5. 根据权利要求 1 的制造半导体器件的方法，
其中阻挡层为一层氧化硅薄膜。
6. 根据权利要求 2 的制造半导体器件的方法，
其中阻挡层为一层氧化硅薄膜。
7. 根据权利要求 1 的制造半导体器件的方法，其中阻挡层中所含的低氧化物比率是通过电子能谱化学分析测量得到的。

8. 根据权利要求 2 的制造半导体器件的方法, 其中阻挡层中所含的低氧化物比率是通过电子能谱化学分析测量得到的。

9. 根据权利要求 1 的制造半导体器件的方法, 其中阻挡层是通过将结晶半导体薄膜表面用含臭氧的水溶液进行处理而氧化形成的。

10. 根据权利要求 2 的制造半导体器件的方法, 其中阻挡层是通过将结晶半导体薄膜表面用含臭氧的水溶液进行处理而氧化形成的。

11. 根据权利要求 1 的制造半导体器件的方法, 其中阻挡层是通过采用 SiH_4 气和 N_2O 气作为原料气体的等离子体 CVD 所形成的。

12. 根据权利要求 2 的制造半导体器件的方法, 其中阻挡层是通过采用 SiH_4 气和 N_2O 气作为原料气体的等离子体 CVD 所形成的。

13. 根据权利要求 3 的制造半导体器件的方法, 其中具有吸收作用的元素为惰性气体元素, 选自氩气, 氙气, 氦气和氖气。

14. 根据权利要求 4 的制造半导体器件的方法, 其中具有吸收作用的元素为惰性气体元素, 选自氩气, 氙气, 氦气和氖气。

15. 根据权利要求 3 的制造半导体器件的方法, 其中具有吸收作用的元素属于元素周期表中第 5 主族元素。

16. 根据权利要求 4 的制造半导体器件的方法, 其中具有吸收作用的元素属于元素周期表中第 5 主族元素。

17. 根据权利要求 3 的制造半导体器件的方法, 其中具有吸收作用的元素属于元素周期表中第 5 主族元素, 或属于元素周期表中第 3 主族元素。

18. 根据权利要求 4 的制造半导体器件的方法, 其中具有吸收作用的元素属于元素周期表中第 5 主族元素, 或属于元素周期表中第 3 主族元素。

19. 根据权利要求 1 的制造半导体器件的方法, 其中, 在第一次热处理之后, 结晶半导体薄膜用激光进行照射。

20. 根据权利要求 2 的制造半导体器件的方法, 其中, 在第一次热处理之后, 结晶半导体薄膜用激光进行照射。

21. 根据权利要求 1 的制造半导体器件的方法, 其中, 在第二次热处理之后, 通过刻蚀去除第二层半导体薄膜, 再去除阻挡层。

22. 根据权利要求 2 的制造半导体器件的方法, 其中, 在第二次热处理之后, 通过刻蚀去除第二层半导体薄膜, 再去除阻挡层。

23. 根据权利要求 1 的制造半导体器件的方法, 其中加速结晶的元素选自包含镍、铁、钴、锡、铅、钨、铈、钕、钐、铜和金的组中

的一种或多种。

24. 根据权利要求 2 的制造半导体器件的方法，其中加速结晶的元素选自包含镍、铁、钴、锡、铅、钨、铈、钡、钨、铈、铂、铜和金的组中的一种或多种。

半导体器件及其制造方法

技术领域

本发明涉及吸收半导体薄膜内所含的杂质元素的方法。本发明还涉及通过根据本发明所形成的结晶半导体薄膜，制造具有优秀特性的高可靠性半导体器件技术。

背景技术

为了提高利用半导体特性，如薄膜晶体管(TFTs)等器件所制造的元件产量，从而使器件更加微小精密，开发一种吸收技术来降低半导体薄膜内重金属杂质元素的浓度是很重要的（一种通过热处理引导的扩散，能够将半导体薄膜中的杂质元素转移至吸收区域的技术）。人们一直在研究使器件更小、性能更高的方法，随着尺寸和重量的减小，重金属杂质元素的影响反而变得更大。结果，即使在器件中存在少量的重金属杂质元素，也会导致诸如缺陷和漏电流之类的问题，从而降低器件的特性，缩短器件的寿命。

因此，为了提高产量并获得高性能的器件，涉及用来降低半导体中杂质元素浓度的吸收技术的技术性开发正在积极进展着。

本发明的申请人已经在 JP 07-161634 A 和其他已发表的论文中公开了获得高质量结晶半导体薄膜的方法。在这一方法中，在无定形半导体薄膜（典型的为无定形硅薄膜）中掺杂一种金属元素，如 Ni，Cu 或 Pd，再对薄膜进行热处理，形成晶粒尺寸很大的高质量结晶硅薄膜。用于掺杂到无定形硅薄膜中的金属元素称为加速结晶元素或催化元素，其作用是加速结晶。这里用 Ni 来作为催化元素（加速结晶元素）的例子，它同时也是一种上述提到的导致半导体特性降低的重金属杂质元素。

因此，在结晶步骤后，需要迅速将催化元素从结晶半导体薄膜（结晶硅薄膜）中去除（或者降低结晶硅薄膜中催化元素（加速结晶元素）的浓度）。已经有很多种吸收技术用于去除或降低催化元素。

用于吸收杂质元素（加速结晶元素）的技术可以根据其吸收机制分为三种类型。类型 1 为通过加热的方法，将之后将作为沟道形成区域内的杂质元素扩散至源区或漏区，这些区域中含有高浓度具有吸收

作用的元素（例如，在元素周期表中位于第 5 主族的元素）。类型 2 为通过加热的方法，将有源层区域（特别是之后将成为沟道形成区的区域）内的杂质元素扩散至位于有源层区域外的吸收区域，该区域内含有高浓度具有吸收作用的元素（例如，在元素周期表中位于第 5 主族的元素）。类型 3 为通过热处理的方法，将第一层半导体薄膜（形成有源层的半导体薄膜）内的杂质元素扩散至第二层半导体薄膜（例如，硅薄膜）内，这一层形成于第一层半导体薄膜之上作为一层吸收区域。

特别指出是的，类型 3 将杂质元素沿基本上垂直于衬底的方向移动来吸收（在下文中指垂直吸收），这一类型被认为是一种能获得具有低杂质元素浓度的高质量半导体薄膜的很有前途的方法，因为杂质元素移动的距离很短，这有利于在降低在半导体薄膜中杂质元素的浓度方面取得令人满意的效果。

JP 10-022289 A 中公开了一种用来吸收半导体薄膜中所含的杂质元素的方法，该方法在半导体薄膜上形成一层厚度为 1~5 纳米的氧化膜，再在氧化膜上形成一层含硅的薄膜并将其进行热处理。

当吸收区域在为吸收进行的热处理后被刻蚀掉时，半导体薄膜上的这层氧化膜起到了阻止刻蚀（阻碍刻蚀）的作用。基于这一原因，要求氧化膜能够“很好地抵挡刻蚀并能够阻止刻蚀来保护半导体薄膜被刻蚀剂刻蚀掉”，“在为吸收进行的热处理中允许杂质元素自由移动”，并“具有优秀的可重复性”。

然而，尽管 JP 10-022289 A 中指出了能够进行有效吸收的氧化膜厚度为 1~5 纳米，但并没有提到如何才能获得满足以上要求的氧化膜。

发明内容

本发明的一个目的是提供一种形成阻挡层的方法来满足这些要求：“很好地抵挡刻蚀并能够阻止刻蚀来保护半导体薄膜被刻蚀剂刻蚀掉”，“在为吸收进行的热处理中允许杂质元素自由移动”，并“具有优秀的可再生性”，并提供一种通过利用阻挡层来吸收半导体薄膜中的杂质元素，从而形成只含有少量杂质元素的高质量半导体薄膜的方法。

为了实现上述目标，本发明涉及了一种制造半导体器件的方法，

其特征包括：在绝缘体上形成第一层无定形半导体薄膜；在第一层无定形半导体薄膜中掺杂一种加速结晶的元素，将这层薄膜进行第一次热处理以形成一层结晶半导体薄膜；在这层结晶半导体薄膜上形成一层阻挡层；在阻挡层上形成第二层无定形半导体薄膜；通过第二次热处理吸收结晶半导体薄膜中加速结晶的元素，这里阻挡层为一层含有低氧化物的薄膜。

本发明的另一方面涉及一种制造半导体器件的方法，其特征包括：在绝缘体上形成第一层无定形半导体薄膜；在第一层无定形半导体薄膜上形成一层掩膜绝缘薄膜，在第一层无定形半导体薄膜中有选择地掺杂一种加速结晶的元素，将这层薄膜进行第一次热处理以形成一层结晶半导体薄膜；在这层结晶半导体薄膜上形成一层阻挡层；在阻挡层上形成第二层无定形半导体薄膜；通过第二次热处理吸收结晶半导体薄膜中加速结晶的元素，这里阻挡层为一层含有低氧化物的薄膜。

本发明的另一方面还涉及一种制造半导体器件的方法，其特征包括：在绝缘体上形成第一层无定形半导体薄膜；在第一层无定形半导体薄膜中掺杂一种加速结晶的元素，将这层薄膜进行第一次热处理以形成一层结晶半导体薄膜；在这层结晶半导体薄膜上形成一层阻挡层；在阻挡层上形成第二层无定形半导体薄膜；通过第二次热处理吸收结晶半导体薄膜中加速结晶的元素，这里阻挡层为一层含有低氧化物的氧化薄膜，第二层无定形半导体薄膜中含有一种具有吸收作用的元素。

本发明的另一方面还涉及一种制造半导体器件的方法，其特征包括：在绝缘体上形成第一层无定形半导体薄膜；在第一层无定形半导体薄膜上形成一层掩膜绝缘薄膜，在第一层无定形半导体薄膜中有选择地掺杂一种加速结晶的元素，将这层薄膜进行第一次热处理以形成一层结晶半导体薄膜；在这层结晶半导体薄膜上形成一层阻挡层；在阻挡层上形成第二层无定形半导体薄膜；通过第二次热处理吸收结晶半导体薄膜中加速结晶的元素，这里阻挡层为一层含有低氧化物的薄膜，第二层无定形半导体薄膜中含有一种具有吸收作用的元素。

此外，在上述提到的本发明的各个方面中，该方法的特征在于阻挡层为一层氧化硅薄膜，阻挡层中所含的低氧化物比率为 18%或更高。

此外，在上述提到的本发明的各个方面中，该方法的特征在于阻挡层中所含的低氧化物比率是由 ESCA（电子能谱化学分析仪）测量的。

此外，在上述提到的本发明的各个方面中，该方法的特征在于阻挡层的形成是通过将结晶半导体薄膜的表面用含臭氧的水溶液进行处理而氧化得到的。

此外，在上述提到的本发明的各个方面中，该方法的特征在于阻挡层的形成是通过采用 SiH_4 气和 N_2O 气作为原料气体的等离子体化学汽相沉积得到的。

此外，在上述提到的本发明的各个方面中，该方法的特征在于具有吸收作用的元素为惰性气体元素，选自氩气，氙气，氪气和氡气。

此外，在上述提到的本发明的各个方面中，该方法的特征在于具有吸收作用的元素为位于元素周期表中第 5 主族的元素。

此外，在上述提到的本发明的各个方面中，该方法的特征在于具有吸收作用的元素为位于元素周期表中第 5 主族和第 3 主族的元素。

此外，在上述提到的本发明的各个方面中，该方法的特征在于在第一次热处理之后，用激光照射结晶半导体薄膜。

此外，在上述提到的本发明的各个方面中，该方法的特征在于在第二次热处理之后，用刻蚀的方法去除第二层半导体薄膜，之后去除阻挡层。

此外，在上述提到的本发明的各个方面中，该方法的特征在于用于加速结晶的元素为选自 Ni, Fe, Co, Sn, Pb, Ru, Rh, Pd, Os, Ir, Pt, Cu 和 Au 的一种或多种元素。

此外，本发明涉及一种半导体器件，其特征在于包含了一层半导体层，一层栅绝缘薄膜，以及在绝缘表面上形成的一个栅电极，其中半导体层中含有加速结晶的元素，元素浓度沿半导体层的厚度方向分级。

此外，本发明涉及一种半导体器件，其特征在于包含了一层半导体层，一层栅绝缘薄膜，以及在绝缘表面上形成的一个栅电极，其中半导体层中含有加速结晶的元素，元素浓度沿半导体层的厚度方向分级，半导体层表面一侧的加速结晶元素浓度高于半导体层衬底一侧的浓度。

此外，在上述提到的本发明的各个方面中，该方法的特征在于用

于加速结晶的元素为选自 Ni, Fe, Co, Sn, Pb, Ru, Rh, Pd, Os, Ir, Pt, Cu 和 Au 的一种或多种元素。

此外,在上述提到的本发明的各个方面中,该方法的特征在于半导体层表面的平均表面粗糙度 Ra 为 4.7~8.3 纳米。

通过上述提到的含有 18%或更高低氧化物的氧化薄膜,可以得到满足“很好地抵挡刻蚀并能够阻止刻蚀来保护半导体薄膜被刻蚀剂刻蚀掉”和“在为吸收进行的热处理中允许杂质元素自由移动”的阻挡层。上述提到的含有 18%或更高低氧化物的氧化薄膜可以通过如下方法轻易实现:在无定形半导体薄膜中掺杂加速结晶元素,将这层薄膜进行热处理,得到的结晶半导体薄膜(典型的为结晶硅薄膜)表面形成了一层自然氧化薄膜,去除这层自然氧化膜后,再用含臭氧的水或 TEOS-CVD(四氢化萘-化学汽相沉积)进行处理即可。因此,在制造半导体器件的工艺中,这层氧化膜具有了优秀的可重复性。

附图说明

在附图中:

图 1 所示为六种不同的阻挡层吸收程度的比较结果;

图 2A 至 2F 所示为用 ESCA 测量阻挡层的结果;

图 3 所示为阻挡层中所含的低氧化物比率;

图 4A 至 4D 所示为本发明的一种实施方案的工艺流程(第一部分);

图 5A 至 5C 所示为本发明的一种实施方案的工艺流程(第二部分);

图 6A 至 6C 所示为本发明的一种实施方案的工艺流程(第三部分);

图 7A 和 7B 所示为本发明的一种实施方案的工艺流程(第四部分);

图 8 所示为本发明的一种实施方案的工艺流程(第五部分);

图 9 所示为根据本发明制造的显示设备中像素部分的顶部视图;

图 10A 至 10E 所示为本发明的一种实施方案示意图(第一部分);

图 11A 至 11C 所示为本发明的一种实施方案示意图(第二部分);

图 12A 至 12F 所示为应用本发明制造的显示设备作为显示单元的电气设备实例示意图;

图 13A 至 13D 所示为应用本发明制造的显示设备作为显示单元的电气设备实例示意图;

图 14A 至 14C 所示为应用本发明制造的显示设备作为显示单元的电气设备实例示意图;

图 15 所示为应用本发明制造的半导体器件中半导体层的二次离子质谱测定法 (SIMS) 测量结果。

具体实施方式

实施方案 1

本节将会介绍根据本发明去除半导体薄膜中用于结晶的金属元素（催化元素或加速结晶的元素）的方法。该介绍参照图 4A 至 4D。

在玻璃衬底 10 上形成一层厚度为 100 纳米的氮化硅薄膜作为衬底绝缘薄膜 11。在其上继续形成一层厚度为 20~100 纳米的无定形硅薄膜 12。衬底绝缘薄膜 11 可以为叠层结构。

在在定形硅薄膜 12 中掺杂加速结晶的元素（催化元素），形成一层含催化元素的层 13 用来进行热处理。这里，含催化元素的层 13 是采用旋转涂布工艺在在定形硅薄膜 12 上涂敷质量浓度为 10ppm 的结晶加速元素水溶液（在本实施方案中为镍）（乙酸镍水溶液）而形成的。可以用作加速结晶的元素选自包含铁 (Fe)、镍 (Ni)、钴 (Co)、锡 (Sn)、铅 (Pb)、钌 (Ru)、铑 (Rh)、钯 (Pd)、锇 (Os)、铱 (Ir)、铂 (Pt)、铜 (Cu) 和金 (Au) 的组（图 4A）。除了采用旋转涂布工艺在在定形硅薄膜 12 中掺杂镍，还可以通过蒸发或溅射在在定形硅薄膜 12 上形成加速结晶元素薄膜（这里为镍薄膜）。

在结晶步骤之前，将衬底在 400~500℃ 下进行约一小时的热处理以使薄膜脱氢，再在 500~650℃ 下（优选值为 550~570℃）进行 4~12 小时（优选值为 4~6 小时）的第一次热处理。在本实施方案中，热处理控制在 550℃ 下进行 4 小时。结果形成了一层结晶半导体薄膜（在本实施方案中为结晶硅薄膜）14。尽管这里薄膜的结晶是通过炉内热处理来进行的，还可以利用灯或类似光源的快速热退火 (RTA) 设备来进行结晶。在热处理后，可以通过激光照射结晶硅薄膜 14 来提高其结晶程度。激光照射可以显著提高结晶硅薄膜的结晶程度。可以采用脉冲振荡型 KrF 准分子激光器（波长：248 纳米）作为激光照射源。

随后在结晶硅薄膜 14 上形成了一层阻挡层 15。在本实施方案中制备了六种不同的阻挡层作为阻挡层 15。这六种阻挡层是如何形成的如表 1 所示。

表 1

阻挡层形成条件

类型	(1) 氢 氧化薄 膜	(2) SiO _x	(3) TEOS (a)	(4) TEOS (b)	(5) 氧 气 等 离 子 体 薄 膜 (a)	(6) 氧 气 等 离 子 体 薄 膜 (b)
形成条件	处 理 时 间 60 秒	沉积时间 20 秒	沉积时间 15 秒	沉积时间 2 秒	沉积时间 60 秒	沉积时间 60 秒
		功 率 10W/600c m2	功 率 150W/600c m2	功 率 700W	功 率 100W/600 cm2	功 率 700W
		压强 0.3 Torr	压强 0.3 Torr	压强 0.6 Torr	压强 0.3 Torr	压强 0.6 Torr
	温 度 室温	温 度 400℃	温度 400 ℃	温 度 377℃	温 度 400℃	温 度 377℃
		间 隔 25mm	间 隔 26mm	间 隔 500mil.	间 隔 25mm	间 隔 500mil.
	氢 氧 根 浓 度 14mg/l	SiH4 4sccm	O2GAS 50sccm	O2GAS 3000sccm	O2GAS 100sccm	O2GAS 3000sccm
		N2O 800sccm	TEOS 10sccm	TEOS 145sccm		
		脉 冲 1kHz 30%	脉冲 1kHz 10%			

(1) 中所示的氢氧化薄膜特指一种形成于结晶硅薄膜 14 (第一层半导体薄膜) 表面上的氧化硅薄膜, 它是通过去除结晶硅薄膜表面形成的一层自然氧化薄膜后, 将其表面用含氢氧基 (氢氧基浓度: 14 毫克/升) 的臭氧水处理 60 秒得到的。即使使用了相同的原料气体, 不同的薄膜形成条件 (特别是流速率比和薄膜形成速率) 使得这些薄膜也会具有不同的特性 (例如, 薄膜密度和组分比率)。由此制备了 (3) TEOS(a), (4) TEOS(b), (5) 氧气等离子体薄膜(a)和 (6) 氧气等离子体薄膜(b)。

在阻挡层 15 上, 形成了第二层半导体薄膜 16 作为吸收区域。第

二层半导体薄膜 16 是通过溅射形成的一层无定形硅薄膜，它含有浓度为 $1 \times 10^{19} \sim 1 \times 10^{22}/\text{cm}^3$ 惰性气体元素氩。

对衬底进行第二次热处理，将第一层半导体薄膜 14 中的结晶加速元素扩散至第二层半导体薄膜 16 中以便吸收。热处理控制在 550°C 下在炉内进行 4 小时。如果采用光源（用红外线作为光源）的辐射热作为热源来进行瞬时热处理的方法，或是采用加热的惰性气体（氮气或类似的惰性气体）作为热源来进行瞬时热处理的方法，可以缩短吸收所进行的热处理所需的时间。

现在，在吸收条件下对作为阻挡层 15 的 6 种薄膜进行评估。通过测量在吸收步骤后结晶加速元素在结晶硅薄膜（第一层半导体薄膜）14 中所剩的浓度，可以评价吸收的效果，即结晶硅薄膜（第一层半导体薄膜）14 中的杂质元素（加速结晶的元素）已经有多少转移至第二层半导体薄膜 16 中。特别指出的是，在经过热处理扩散之后，结晶加速元素在结晶硅薄膜（第一层半导体薄膜）14 中所剩的浓度是通过 X 射线全反射荧光谱所测量得出的，平均值是通过测量同一平面内六个点得出的。用 X 射线全反射荧光谱所能检测的 Ni 的最低浓度为 $2.0 \times 10^9/\text{cm}^2$ 。TXRF（X 射线全反射荧光谱）的测量结果如图 1 所示。

图 1 给出了阻挡层（1）和阻挡层（2）能够有效地将结晶加速元素的浓度降低至 1×10^{10} 原子/ cm^2 或更低。已经证明阻挡层（1）和阻挡层（2）都可以“在为吸收进行的热处理中允许杂质元素自由移动”。

本发明分别对这六种阻挡层（含硅的绝缘薄膜）进行了电子能谱化学分析（ESCA）来检测它们之间的差异。ESCA 是一种利用软 X 射线激发的光电子能谱。在 ESCA 中，通过测量样品受到软 X 射线照射时所释放出的光电子的动能，来测定该原子特有的结合能，并通过结合能中的细微变化读出电子的能态。

图 2 和图 3 给出了用 ESCA 分析这六种阻挡层的结果。表 2 中给出了图 2 和图 3 中的数值结果。

表 2

阻挡层类型	低氧化物				总计 (%)
	Si^{1+}	Si^{2+}	Si^{3+}	Si^{4+}	
(1) 氢氧化薄膜	8.8%	8.8%	6.4%	76.0%	100%
(2) SiO_x	6.3%	5.8%	6.7%	81.2%	100%

(3) TEOS (a)	1.8%	0.9%	4.6%	92.7%	100%
(4) TEOS (b)	0.0%	0.0%	1.3%	98.7%	100%
(5) 氧气等离子体 (a)	0.4%	0.4%	0.9%	98.2%	100%
(6) 氧气等离子体 (b)	4.5%	2.7%	5.4%	87.5%	100%

从结果中看出, 本发明人发现, 在吸收效果评价高的薄膜中(已经成功降低了残留在第一层结晶半导体薄膜中的催化元素浓度的薄膜)低氧化物的比率高于吸收效果评价低的薄膜(未成功降低残留在第一层结晶半导体薄膜中的催化元素浓度的薄膜)。四个氧原子与一个硅原子结合所得到的氧化硅用 Si^{4+} 表示, 通常这是最合理的结合方式。硅的四个键中有一个与氧结合的氧化硅用 Si^{1+} 表示。硅的四个键中有两个与氧键合的氧化硅用 Si^{2+} 表示。硅的四个键中有三个与氧结合的氧化硅用 Si^{3+} 表示。非 Si^{4+} 的 Si^{n+} 称为低氧化物。在本发明中, 通过 ESCA 测量的位于阻挡层中的非 Si^{4+} 的 Si^{n+} 被特指为低氧化物。

上述结果证明, 由具有高低氧化物比率的氧化膜所形成的阻挡层(例如, 上述提到的氢氧化膜(1)和氧化硅膜(2))能够“在为吸收进行的热处理中允许杂质元素自由移动”。

对于吸收, 在结晶半导体薄膜上形成一层作为阻挡层的具有高低氧化物比率的氧化膜, 再在其上形成第二层半导体薄膜作为吸收区域。这种方法可以获得令人满意的吸收效果, 在吸收步骤之后, 阻挡层还可以在去除吸收区域时起到阻止刻蚀的作用。

在采用了本发明中的具有高低氧化物比率的阻挡层进行吸收之后, 利用 SIMS 来测量硅薄膜中的结晶加速元素(这里为镍)分布。测量结果如图 15 所示。在图的左边, 纵坐标表示镍的浓度。横坐标表示样品的测量深度。由无定形硅形成的吸收区域深度大约为从样品上表面起 0~140 纳米。阻挡层约 140~150 纳米深。结晶半导体薄膜约 150~190 纳米深。衬底绝缘薄膜约 190 纳米深及更深。

图 15 中, 用作结晶加速元素的镍浓度在硅薄膜的表面一侧更高(这里指的是和衬底相对的一面, 即形成栅绝缘薄膜的一面)。已经证明, 通过吸收过程, 将平均分布于整个硅薄膜上的结晶加速元素转移至形成于硅薄膜上的吸收区域内, 会使得镍的浓度在硅薄膜表面一侧更高。

如上所述, 利用本发明中的阻挡层进行吸收处理, 可以转移半导

体（硅）薄膜中的结晶加速元素，并获得结晶加速元素浓度降低了的高质量结晶硅薄膜。

实施方案 2

参考图 4A 至 7B 描述一种根据本发明制造半导体器件的方法。

衬底 10 可以选用低碱性玻璃衬底或石英衬底。本实施方案采用了低碱性玻璃衬底。本方案中，将衬底预先在低于玻璃形变温度的 10~20℃ 下进行热处理。在衬底 10 的表面上，即形成 TFT 的区域，形成一层氧化硅薄膜，氮化硅薄膜，氮氧化硅薄膜或类似薄膜作为衬底绝缘薄膜 11，以防止衬底 10 中的杂质扩散出来。例如，衬底绝缘薄膜 11 为衬底绝缘薄膜 11a 和衬底绝缘薄膜 11b 所组成的叠层，其中衬底绝缘薄膜 11a 是通过等离子体 CVD 由 SiH_4 ， NH_3 和 N_2O 所形成的一层 100 纳米厚的氮氧化硅薄膜，衬底绝缘薄膜 11b 是通过等离子体 CVD 由 SiH_4 和 N_2O 所形成的一层 200 纳米厚的氮氧化硅薄膜。

接着，通过等离子体 CVD，溅射，或其他已知的方法形成一层具有无定形结构（无定形半导体薄膜，典型的为无定形硅薄膜）的半导体薄膜 12，其厚度为 20~150 纳米（优选值为 30~80 纳米）。本实施方案中的无定形半导体薄膜 12 为通过等离子体 CVD 形成的一层厚度为 55 纳米的无定形硅薄膜。具有无定形结构的半导体薄膜包括无定形半导体薄膜和微晶半导体薄膜。衬底绝缘薄膜 11 和衬底绝缘薄膜 12 可以用相同的薄膜形成方法获得，因此它们可以连续形成。在衬底绝缘薄膜 11 形成后，如果可以避免将其暴露在空气中，则可以防止衬底绝缘薄膜 11 的表面污染，还可以降低待测的 TFTs 间的特性波动以及阈值电压的变化（图 4A）。

接着形成了一层具有晶体结构（在本实施方案中为结晶硅薄膜）的半导体薄膜。在无定形硅薄膜 12 的结晶化过程中，使用了加速结晶元素（催化元素）（选自 Ni，Co，Sn，Pb，Pd，Fe，和 Cu 中的一种或多种元素，典型的为 Ni），通过热处理形成一层结晶硅薄膜 14。

特别是，含有催化元素的层 13 形成于无定形硅薄膜 12 的表面，对这种状态下的衬底进行热处理，从而将无定形硅薄膜 12 转化为结晶硅薄膜 14。结晶硅薄膜 14 可以为单晶硅薄膜或多晶硅薄膜。本实施方案中形成的结晶硅薄膜 14 为具有晶界的硅薄膜。

等离子体掺杂，或是如蒸发或溅射的汽化方法，或是使用含有结

晶加速元素的溶液都可以用来在无定形硅薄膜中掺杂结晶加速元素。采用溶液的方法更容易控制掺杂的结晶加速元素量，适用于少量的掺杂。

当上述的结晶方法结合了激光结晶法后，可以提高结晶半导体薄膜的结晶程度。应用于激光结晶中的激光可以采用脉冲振荡型或连续波型 KrF 准分子激光器，XeCl 准分子激光器，YAG 激光器或 YVO₄ 激光器。当采用了其中一种激光器时，从这些激光振荡器中发射的激光在照射到半导体薄膜前，被光学系统收集成为线型光。可以根据不同的情况选择合适的结晶条件。

受到激光照射的半导体薄膜表面呈不规则状。通过扫描面积设定为 50 微米×50 微米的原子力显微镜 (AFM) 可以观察到这些不平整态。观察结果显示薄膜的表面粗糙度 Ra 为 4.7~8.3 纳米。

当无定形硅薄膜 12 结晶后，原子将重新排列，薄膜变得致密。结果，得到的结晶硅薄膜 14 的厚度减少了无定形硅薄膜初始厚度（在本实施方案中为 55 纳米）的 1~15%。

在结晶硅薄膜 14 上形成一层阻挡层 15。在本实施方案中，阻挡层为一层氧化硅薄膜，其形成条件为：设定薄膜形成温度为 400℃，气体流速率比 SiH₄:N₂O 为 4/800 (sccm)，压强为 0.399×10^2 帕，射频功率密度为 10/600W/cm²。

在阻挡层 15 上形成了第二层半导体薄膜 16，以作为吸收区域。第二层半导体薄膜 16 可采用硅薄膜。在第二层半导体薄膜 16 中掺杂惰性气体元素以保证充分吸收。在含有一种惰性气体元素的气氛中采用硅靶来形成一层无定形硅薄膜，这可以作为例子说明如何形成一层含有惰性气体元素的半导体薄膜以作为吸收区域 16。选用的惰性气体元素选自氦气 (He)、氖气 (Ne)、氩气 (Ar)、氪气 (Kr) 和氙气 (Xe) 中的一种或几种。优选的为氩气 (Ar)，因为其价格便宜。

此外，可以采用含有位于元素周期表中第 5 主族的元素（典型的为磷或砷）或第 3 主族的元素（典型的为硼）的靶来形成吸收区域，这些元素都具有吸收作用。吸收区域中可以包含一种位于元素周期表中第 5 主族的元素（典型的为磷或砷）和一种位于第 3 主族的元素（典型的为硼）。

在吸收步骤之后，通过刻蚀去除第二层半导体薄膜（吸收区域）16。

这样，薄膜 16 必须能够轻易去除，考虑到第一层半导体薄膜（结晶硅薄膜 14）也会受到刻蚀，则具有很大选择比的无定形半导体薄膜适合作为薄膜 16。

对于吸收，残留在结晶硅薄膜 14 中的结晶加速元素（镍）通过热处理转移至吸收区域 16 中，从而去除了镍或降低了镍的浓度。吸收所进行的热处理是用强光进行照射或在炉内加热。镍被彻底吸收直到结晶硅薄膜 14 中几乎没有剩余的镍，即，直到薄膜中镍的浓度降低至 $1 \times 10^{18}/\text{cm}^3$ 或更低，优选值为 $1 \times 10^{17}/\text{cm}^3$ 或更低。

接着，阻挡层 15 作为刻蚀阻挡物来有选择地单独去除吸收区域 16。阻挡层 15 用氟化酸或类似物去除。

随着上述结晶硅薄膜中催化元素浓度的降低，薄膜被分割成所需的图形，形成了半导体层 102 至 105。

为了形成 n 型沟道 TFT，在半导体层 102 至 105 的整个表面掺杂硼（B），硼是一种能提供 p 型导电型的杂质元素，为了控制阈值电压，硼的浓度为 $1 \times 10^{16} \sim 5 \times 10^{17}/\text{cm}^3$ 。可采用离子掺杂的方法掺杂硼（B）。此外，在无定形硅薄膜形成时，可以同时进行硼掺杂。尽管掺杂硼不总是必须的，但它是优选的做法，因为如果在半导体层 102 至 105 中掺杂硼（B），所形成的 n-沟道 TFT 的阈值电压就可以控制在指定范围内。

接着，通过等离子体 CVD 或溅射的方法，形成了厚度为 10~150 纳米的含硅的隔离薄膜，用作栅绝缘薄膜 106。例如，形成一层厚度为 120 纳米的氮氧化硅薄膜。栅绝缘薄膜 106 可以为单独的一层或是其他含硅的绝缘薄膜的叠层。

接着形成导电薄膜（A）107 和导电薄膜（B）108，以用来形成栅电极。在本实施方案中，作为导电层（B）108 的金属薄膜位于作为导电层（A）107 的金属氮化物薄膜之上。导电层（B）108 是由选自包含钽（Ta）、钛（Ti）、钼（Mo）和钨（W）的组中的一个元素，或主要包含上述元素之一的合金，或含有上述元素组合的合金薄膜（典型的为 Mo-W 合金薄膜或 Mo-Ta 合金薄膜）所形成的。导电层（A）107 是由氮化钽（TaN）、氮化钨（WN）、氮化钛（TiN）或氮化钼（MoN）所形成的。或者，导电层（A）107 可以由硅化钨、硅化钛或硅化钼形成。优选降低导电层（B）内的杂质浓度以降低电阻。特别是优选降低其氧

浓度至 30ppm 或更低。例如，当导电层（B）为钨（W）薄膜时，通过降低层中的氧浓度至 30ppm 或更低，可以获得 $20\ \mu\ \Omega\ \text{cm}$ 或更低的电阻率。

导电层（A）107 的厚度为 10~50 纳米（优选值为 20~30 纳米）。导电层（B）108 的厚度为 200~400 纳米（优选值为 250~350 纳米）。在本实施方案中，采用了厚度为 30 纳米的氮化钽薄膜作为导电层（A）107，采用了厚度为 350 纳米的钨薄膜作为导电层（B）108。这两个导电层都是通过溅射形成的。当通过溅射形成薄膜时，在溅射气体 Ar 气中加入适量的 Xe 气或 Kr 气可以释放出薄膜形成所需的内部压力，以防止薄膜剥离（图 5A）。

接下来形成了抗蚀剂掩膜 109~113，抗蚀剂掩膜用于第一次刻蚀处理以形成每个 TFT 的栅电极及电容线。在本实施方案中，第一次刻蚀条件包括采用 ICP（电感耦合等离子体）刻蚀，使用 CF_4 、 Cl_2 和 O_2 作为刻蚀气体，设置气体流速率比为 25:25:10(sccm)，在 1Pa 的压强下，对环绕电极施加 500 瓦的射频（13.56MHz）功率来产生等离子体。衬底一侧（样品台）也接收到 150W 的射频（13.56MHz）功率，施加相当于负的自偏置电压。在第一次刻蚀条件下，钨薄膜被刻蚀掉，第一层导电层沿边缘呈圆台形。

无需去除抗蚀剂掩膜 109~113，可以将第一次刻蚀条件转变为第二次刻蚀条件。第二次刻蚀条件包括采用刻蚀气体 CF_4 和 Cl_2 ，设置气体流速率比为 30:30（sccm），在 1Pa 的压强下，对环绕电极施加 500 瓦的射频（13.56MHz）功率来产生用于 30 秒刻蚀的等离子体。衬底一侧（样品台）也接收到 20W 的射频（13.56MHz）功率，施加相当于负的自偏置电压。在包括使用了 CF_4 和 Cl_2 的混合气体的第二次刻蚀条件下，钨薄膜和氮化钽薄膜的刻蚀程度是相同的。通过上述步骤，在沿边缘呈圆台形的导电薄膜（A）和导电薄膜（B）上形成了第一次栅电极图形 114~116，电容线 117 和源极引线 118。

无需去除抗蚀剂掩膜 109~113，可以实施第二次刻蚀处理。在第二次刻蚀处理中，用 CF_4 、 Cl_2 和 O_2 作为刻蚀气体，气体流速率比设置为 20:20:20(sccm)，在 1Pa 的压强下，对环绕电极施加 500 瓦的射频（13.56MHz）功率来施加相当于负的自偏置电压。在第二次刻蚀处理中，钨薄膜被有选择地刻蚀掉。

通过第二次刻蚀处理, 导电薄膜 (A) 114a~118a 以及导电薄膜 (B) 114a~118a 被刻蚀形成了第二次栅电极图形 119~121, 电容线 122 和源极引线 123。

接着, 去除抗蚀剂掩膜 109~113, 在半导体层中掺杂 n 型杂质元素。将第二次刻蚀处理时形成的栅电极 119~122 作为掩膜层, 形成了 n 型杂质区域 124~127。在杂质区域 124~127 内杂质元素 (磷) 的浓度设定为 $1 \times 10^{16} \sim 1 \times 10^{17}/\text{cm}^3$ 。(图 6A)

接下来, 为了进行第二次掺杂处理, 形成了第一块掩膜层 128 和 130, 它们覆盖了整个半导体层 103 和 105, 并形成了第二块掩膜层 129, 它覆盖了半导体层 104 上的第二次导电层图形 121 以及半导体层 104 的一部分。在半导体层 102 内, 通过半导体层 102 上的第二次导电层图形 119a, 第二次掺杂处理得到了含有第二种浓度的 n 型杂质元素的 n 型杂质区域 132, 以及含有第三种浓度的 n 型杂质元素的 n 型杂质区域 131。第二次掺杂处理还在半导体层 104 内得到了含有第三种浓度的 n 型杂质元素的 n 型杂质区域 133。含有第二种浓度的 n 型杂质元素的 n 型杂质区域 132 中, 磷浓度设定为 $1 \times 10^{17} \sim 1 \times 10^{19}/\text{cm}^3$ 。含有第三种浓度的 n 型杂质元素的 n 型杂质区域 131 和 133 中, 磷浓度设定为 $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ (图 6B)。

尽管如上所述, 在本实施方案中, 含有第二种浓度的 n 型杂质元素的 n 型杂质区域, 以及含有第三种浓度的 n 型杂质元素的 n 型杂质区域都在一个掺杂步骤中形成, 这一掺杂步骤也可以分为两个步骤。

接着形成了掩膜层 134 和 135 以覆盖整个半导体层 102 和 104, 从而为第三次掺杂处理作准备。第三次掺杂处理采用了以氢气稀释的乙硼烷 (B_2H_6) 气体或是以惰性气体稀释的乙硼烷 (B_2H_6) 气体, 在半导体层 103 和 105 内形成了含有第一种浓度的 p 型杂质元素的 p 型杂质区域 136 和 138, 以及含有第二种浓度的 p 型杂质元素的 p 型杂质区域 137 和 139。含有第一种浓度的 p 型杂质元素的 p 型杂质区域 136 和 138 中, 所含硼的浓度为 $2 \times 10^{20} \sim 3 \times 10^{21}/\text{cm}^3$ 。含有第二种浓度的 p 型杂质元素的 p 型杂质区域 137 和 139 形成于和第二次圆台型导电层图形 120a 和 122a 交叠的区域内, 其中所含硼的浓度为 $1 \times 10^{18} \sim 1 \times 10^{20}/\text{cm}^3$ 。

通过以上步骤, n 型杂质区域和 p 型杂质区域分布在各自的半导

体层内形成（图 4D）。

去除掩膜层 134 和 135 以形成一层无机隔层绝缘薄膜 140。无机隔层绝缘薄膜 140 为一层厚度为 50~500 纳米（典型值为 100~300 纳米）的氮化硅薄膜，氧化硅薄膜或氮氧化硅薄膜。在本实施方案中，用等离子体 CVD 形成了一层厚度为 150 纳米的氮氧化硅薄膜。无机隔层绝缘薄膜不限于氮氧化硅薄膜，它可以为单独的一层或是其他含硅的绝缘薄膜的叠层。

下一个步骤是激活用于掺杂到半导体层内的杂质元素。激活步骤采用炉内退火。热退火温度控制在 400~700℃，典型值为 500~550℃。在本实施方案中，在 550℃ 下进行四小时的热处理来实现激活。除了热退火，还可以采用激光退火或快速热退火（RTA）。

激活处理可以在无机隔层绝缘薄膜 140 的形成之前进行。但是，当栅电极的材料抗热性差时，通常将激活步骤放在无机隔层绝缘薄膜（一层主要含硅的绝缘薄膜，例如氮化硅薄膜）的形成之后，如同在本实施方案中一样，以用来保护连线或其他。

另一种热处理控制在温度为 300~550℃，在含 3~100% 氢气的气氛中进行 1~12 小时，使半导体层氢化。本实施方案中，在 410℃ 下，衬底在含有大约 3% 氢气的氮气气氛中进行了 1 小时的热处理。这一步骤是利用隔层绝缘薄膜中所含的氢气来去除半导体层中的悬挂键。其他氢化方法的例子有等离子体氢化（采用等离子体激发的氢气）。

如果采用激光退火来进行激活处理，在上述提到的脱氢步骤后，通常用准分子激光器、YAG 激光器或类似激光器发射的激光来照射半导体层。

接着，在无机隔层绝缘薄膜 140 上，由有机绝缘材料形成了一层有机隔层绝缘薄膜 141。在本实施方案中，形成了一层厚度为 1.6 微米的丙烯酸树脂薄膜。然后通过图案制作形成到达杂质区域的接触孔。

之后，形成了一层厚度为 80~120 纳米的透明导电薄膜，通过图案制作形成了像素电极 142。透明导电薄膜可以用氧化铟和氧化锌的合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或氧化锌（ ZnO ）形成。为了提高可见光的透射率和导电性，氧化锌（ ZnO:Ga ）中还可以掺杂镓（Ga）或其他类似元素。

和杂质区域电学相连的引线 143~146 在驱动电路部分 205 内形成。这些电极是通过制作一层 50 纳米厚的 Ti 薄膜和一层 500 纳米厚

的合金薄膜（Al-Ti 合金薄膜）的叠层图案来形成的。

引线 147~150 在像素部分 206 内形成，与杂质区域相互接触。

像素电极 142 通过引线 149 电学连接至半导体层 105（图 7B）。

本实施方案中的实例中，像素电极 142 由一层透明导电薄膜形成。如果像素电极是由反射导电薄膜所形成的，就可以制造出反射显示设备。在这里，像素电极可以在电极形成的同时形成。像素电极的材料通常具有高反射率，如主要含 Al 或 Ag 的薄膜或主要含 Al 的薄膜和主要含 Ag 的薄膜叠层。

这样，用于驱动电路的 TFTs 和用于像素部分的像素 TFT 可以在同一块衬底上形成。驱动电路包括一个 n 型沟道 TFT 201 和一个 p 型沟道 TFT 202。像素部分包括一个像素 TFT 203 和电容存储单元 204。在本说明中为了方便起见，这样的衬底称为有源矩阵衬底。

图 9 所示为通过上述步骤制造的有源矩阵衬底的顶部视图。图 9 中的线 A-A' 对应于图 7B 中的线 A-A'，图中还给出了半导体层 104，栅电极 121，连线 147，栅引线 149 以及源区引线 123 的位置。图 9 中的线 B-B' 对应于图 7B 中的线 B-B'，图中还给出了半导体层 105，像素电极 142 和连线 150 的位置。

用于驱动电路的 n-型沟道 TFT 201 包括位于岛状半导体层 102 内的沟道形成区域，源极和漏极区域 131（一个作为源极区域，另一个作为漏极区域），以及低浓度杂质区域 132。低浓度杂质区域 132 与第二次栅电极图形 119 相互重叠，这一杂质区域称为 L_{ov} 。 L_{ov} 区域尺寸沿沟道长度方向为 0.5~3.0 微米，优选值为 1.0~1.5 微米。TFT 还包括栅电极 119，栅电极 119 是由导电层 (A) 119a 和导电层 (B) 119b 组成的叠层。

用于驱动电路的 p-型沟道 TFT 202 包括位于岛状半导体层 103 内的沟道形成区域，源极和漏极区域 136（一个作为源极区域，另一个作为漏极区域），以及杂质区域 137。TFT 还包括栅电极 120，栅电极 120 是由导电层 (A) 120a 和导电层 (B) 120b 组成的叠层。

像素部分的像素 TFT 203 包括位于岛状半导体层 104 内的沟道形成区域，源极和漏极区域 133（一个作为源极区域，另一个作为漏极区域），以及杂质区域 126。TFT 还包括栅电极 121，栅电极 121 是由导电层 (A) 121a 和导电层 (B) 121b 组成的叠层。

电容存储单元 204 包括电容线 122, 由和栅绝缘薄膜相同的材料所形成的绝缘薄膜, 以及掺杂了 p 型杂质元素的半导体层 105。图 7A 和图 7B 中的像素 TFT 203 具有双栅结构, 但是也可以采用单栅结构或是具有多于两个栅电极的多栅结构。

如上所述, 本发明根据不同电路的特定要求, 优化了构成像素部分和驱动电路的 TFTs 的结构。本发明使提高半导体器件的操作性能和可靠性成为可能。

实施方案 3

本实施方案介绍了利用实施方案 2 中制造的有源矩阵衬底, 制造有源矩阵液晶显示设备 (也称为液晶显示面板) 的工艺流程。该介绍参照图 8。

根据实施方案 2 得到了如图 7B 中所示的有源矩阵衬底后, 在图 7B 中的有源矩阵衬底上形成一层定向薄膜 180, 再将薄膜 180 进行打磨处理。本实施方案中, 在定向薄膜 180 形成之前, 通过图案制作一层丙烯酸树脂薄膜或其他有机树脂薄膜形成一个柱状隔离块 181 来保持衬底间的间距。若不采用柱状隔离块, 可采用在衬底的整个表面喷射球状隔离块的方法。

接下来制备对面衬底 182。颜色层 183, 184 和平面化薄膜 185 在对面衬底上形成。红色层 183 和蓝色层 184 中的一部分相互重叠形成了第二个遮光部分。尽管在图 8 中未标出, 红色层和绿色层中的一部分相互重叠形成了第一个遮光部分。

随后, 在像素部分上形成一个反向电极 186。对面衬底的整个表面上形成一层定向薄膜 187, 并对薄膜 187 进行打磨处理。

形成像素部分和驱动电路的有源矩阵衬底通过密封部分 188 与对面衬底相结合。密封部分 188 内为混合填充物, 当衬底结合时, 填充物和柱状隔离块共同保持两个衬底之间的距离一致。之后, 将液晶显示材料 189 注入到衬底之间的空隙中, 并用封端材料 (图中未标出) 完全密封。液晶材料 189 是一种已知的液晶材料。图 8 所示的有源矩阵液晶显示设备制备完毕。必要的话, 有源矩阵衬底和对面衬底可以分割成所需的形状。通过已知技术将偏振板或类似附加到显示设备上。再用已知技术将软性电路 (FPC) 附加到显示设备上。

按上述方法制造的液晶显示面板可以用作多种电气设备的显示单

元。

实施方案 4

本实施方案中，将本发明应用于底部栅型 TFT 的制造工艺流程。参考图 10A~11C 给出底部栅型 TFT 的制造流程简述。

在衬底 50 上形成一层氧化硅薄膜，氮化硅薄膜，氮氧化硅薄膜或其他绝缘薄膜（图中未给出）。形成一层用于栅电极的导电薄膜，并将其通过图案制作获得栅电极 51。导电薄膜的形成是由选自 Ta、Ti、W、Mo、Cr 和 Al 中的一种元素，或主要含有上述一种元素的薄膜（图 10A）。

接着形成栅绝缘薄膜 52。栅绝缘薄膜为单独的一层氧化硅薄膜，氮化硅薄膜或氮氧化硅薄膜，或是上述三种薄膜之一的叠层（图 10B）。

接着通过热 CVD，等离子体 CVD，减压 CVD，蒸发或溅射，形成一层厚度为 10~150 纳米的无定形硅薄膜 53，该薄膜将作为无定形半导体薄膜。栅绝缘薄膜 52 和无定形硅薄膜 53 可以通过相同的薄膜形成方法来得到，因此可以连续形成。通过连续形成薄膜 52 和 53，可以避免其暴露在空气中，防止表面污染，并降低待测的 TFTs 间的特性波动以及阈值电压的变化（图 10C）。

在无定形硅薄膜 53 中加入一种加速结晶的元素，形成含催化元素的层 54。再将薄膜进行热处理以形成结晶硅薄膜 55。

在结晶步骤后，结晶硅薄膜 55 上形成了阻挡层 56。通过去除结晶硅薄膜 55 表面自然形成的自然氧化薄膜，再将薄膜用含氢氧根离子的臭氧水处理，可以得到阻挡层 56。这里，在室温下用含氢氧根浓度为 14mg/l 的臭氧水将薄膜处理 60 秒。得到的阻挡层 56 为含 18% 或更高低氧化物的氧化硅薄膜。

接着，形成含有惰性气体元素的第二层半导体薄膜 57 作为吸收区域。在本实施方案中，通过设定 Ar 的流速率为 50sccm，薄膜形成压强为 0.2 帕，功率为 3kw，衬底温度为 150℃来形成半导体薄膜 57，薄膜 57 中惰性气体元素的浓度为 $1 \times 10^{19} \sim 1 \times 10^{22}/\text{cm}^3$ ，优选值为 $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ ，更优选值为 $5 \times 10^{20}/\text{cm}^3$ 。

通过热处理，结晶加速元素从结晶半导体薄膜 55 中转移（吸收）至吸收区域 57。热处理可以采用 RTA 或炉内退火。通过热处理，结晶半导体薄膜 55 中的催化元素浓度可以降低至 $1 \times 10^{17}/\text{cm}^3$ 或者更低（图

10D)。在吸收步骤后，通过刻蚀去除吸收区域（第二层半导体薄膜）57，再用氟化酸或类似物质去除阻挡层 56。

接着，形成一层绝缘薄膜作为掩膜层 59，用于避免在后续的杂质掺杂步骤中，在之后将作为沟道形成区域的部分掺杂进杂质元素。这层绝缘薄膜由氧化硅形成。形成的绝缘薄膜 58 的厚度为 100~400 纳米，用来保护结晶硅薄膜，并控制用于掺杂的杂质浓度。当在结晶硅薄膜中掺杂杂质元素时，绝缘薄膜可以防止结晶硅薄膜直接暴露于等离子体中，并可以实现微量浓度的控制。

利用抗蚀剂掩膜，在之后将作为 n-沟道 TFT 有源区的结晶硅薄膜中的一部分中掺杂提供 n 型导电型的杂质元素，在之后将作为 p-沟道 TFT 有源区的结晶硅薄膜中的一部分中掺杂提供 p 型导电型的杂质元素。结果形成了源区、漏区和 LDD 区（图 10E）。

下一个步骤为激发掺杂到结晶硅薄膜中的杂质元素（图 11A）。随后，去除结晶硅薄膜上的掩膜层 59 和绝缘薄膜 58，通过图案制作将结晶硅薄膜制成所需的图形，例如，如图 9 所示的的半导体层 104 的图形。接着形成一层隔层绝缘薄膜 60。隔层绝缘薄膜为一层厚度为 500~1500 纳米的氧化硅薄膜，氮化硅薄膜，氮氧化硅薄膜或其他绝缘薄膜（图 11B）。

形成到达 TFTs 源区或漏区的接触孔，用来形成引线 61~66 来将 TFTs 相互电学连接（图 11C）。

通过如上所述应用本发明，在同一块衬底上形成了一个 n-型沟道 TFT 80（包括栅 51，栅绝缘薄膜 52，沟道形成区域 69，LDD 区域 68，源区和漏区 67（一个作为源区，另一个作为漏区），以及引线 61~63），和一个 p-型沟道 TFT 81（包括栅 51，栅绝缘薄膜 71，沟道形成区域 71，源区和漏区 70（一个作为源区，另一个作为漏区），以及引线 64~66）。本发明适用于任何形式的 TFT。

实施方案 5

通过应用本发明形成的 CMOS 电路和像素部分可以用于有源矩阵型液晶显示（液晶显示设备）。因此，本发明可以满足所有需要安装液晶显示设备的电气设备的需要。

这些电气设备包括摄像机、数码照相机、投影机（背投影机或正投影机）、头戴型显示器（目镜型显示器），个人电脑、便携信息终

端（手提电脑、移动电话、电子记事簿等）等。图 12A~14C 给出了这些例子。

图 12A 所示的为个人电脑，包括主体 2001、图像输入部分 2002，显示部分 2003，键盘 2004 等。

图 12B 所示的为摄像机，包括主体 2101、显示部分 2102、语音输入部分 2103，操作开关 2104，电池 2105，图像接收部分 2106 等。

图 12C 所示的为移动电脑，包括主体 2201、照相部分 2202，图片接收部分 2203，操作开关 2204，显示部分 2205 等。

图 12D 所示的为目镜型显示器，包括主体 2301，显示部分 2302，臂部分 2303 等。

图 12E 所示的为采用已录制节目的录音媒质（下文中指录音媒质）的播放机，它包括主体 2401，显示部分 2402，扬声器 2403，录音媒质 2404，操作开关 2405 等。播放机采用 DVD（数字化视频光盘），CD 或其他作为录音媒质，可以用来听音乐，看电影，玩游戏或上网。

图 12F 所示的为数码照相机，包括主体 2501，显示部分 2502，取景部分 2503，操作开关 2504，图像接收部分（未标出）等。

图 13A 所示的为正投影机，包括投影设备 2601，屏幕 2602 等。

图 13B 所示的为背投影机，包括主体 2701，投影设备 2702，镜面 2703，屏幕 2704 等。

图 13C 所示的为图 13A 和图 13B 中的投影设备 2601 和 2702 的结构示例。投影设备 2601 或 2702 包括光源光学系统 2801，镜面 2802，2804 至 2806，分光镜 2803，棱镜 2807，液晶显示器 2808，相差板 2809 和投影光学系统 2810。投影光学系统 2810 由包括一个投影透镜的光学系统组成。尽管示例中给出了三平板型的例子，本示例并不只限于此，例如可以为单一平板型。此外，这一示例的操作者可以适当提供光学系统，如光学透镜，具有偏振作用的胶片，用来调整相差的胶片，或者沿图 13C 中箭头所指示的光路径的红外（IR）胶片。

图 13D 所示的为图 13C 中光源光学系统 2801 的结构示例图。根据这一示例，光源光学系统 2801 包括反射器 2811、光源 2812、透镜阵列 2813 和 2814、偏振变换单元 2815 和聚焦透镜 2816。此外，图 13D 中所示的光源光学系统只是一个示例，这一示例并不仅限于此。例如，这一示例的操作者可以适当提供光学系统，如光学透镜，具有偏振作

用的胶片，用来调整相差的胶片，或者在光源光学系统中的 IR 胶片等。

但是，根据图 13 所示的投影机，只给出了采用发射型电光学设备的例子，而没有给出采用反射型电光学设备的例子。

图 14A 所示的为移动电话，包括显示面板 3001，操作面板 3002。显示面板 3001 和操作面板 3002 通过连接部分 3003 相互连接。在连接部分 3003 中，由显示面板 3001 的显示部分 3004 和操作面板 3002 的操作键 3006 构成的 θ 角角度可以任意改变。此外，还包括语音输出部分 3005，操作键 3006，电源开关 3007 和声音输入部分 3008。

图 14B 所示的为便携图书（电子记事簿），包括主体 3101，显示部分 3102、3103，录音媒质 3104，操作开关 3105，天线 3106 等。

图 14C 所示的为电视机，包括主体 3201，支撑底座 3202，显示部分 3203 等。

如上所述，本发明的应用范围十分广泛，适用于所有领域的电气设备。

应用本发明使得形成满足“很好地抵挡刻蚀并能够阻止刻蚀来保护半导体薄膜被刻蚀剂刻蚀掉”，“在为吸收进行的热处理中允许杂质元素自由移动”，并“具有优秀的可重复性”的阻挡层成为可能。当阻挡层用于吸收半导体薄膜中的杂质时，可以获得只含有少量杂质元素的高质量半导体薄膜。当高质量半导体薄膜用于制造半导体器件时，制造出的半导体器件具有高可靠性和优秀的特性。

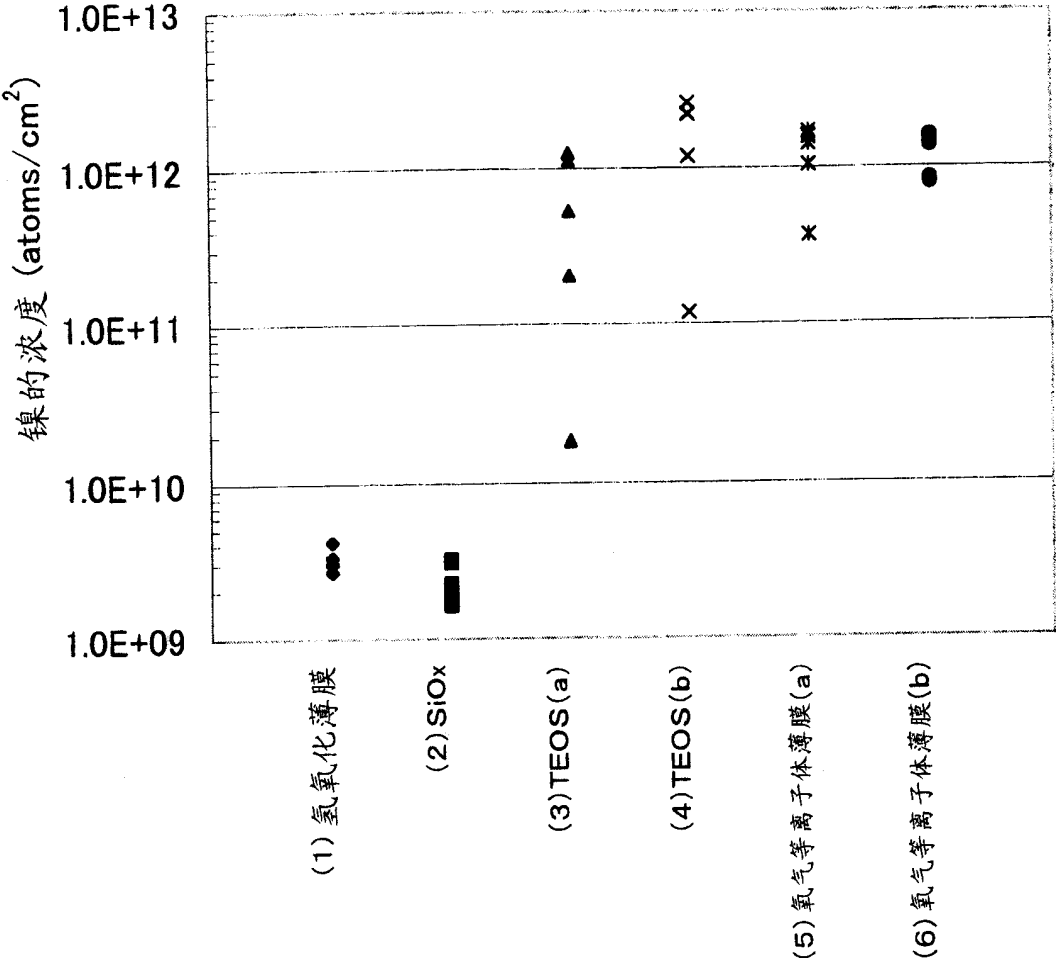


图 1

图2A

(1) 氢氧化物膜

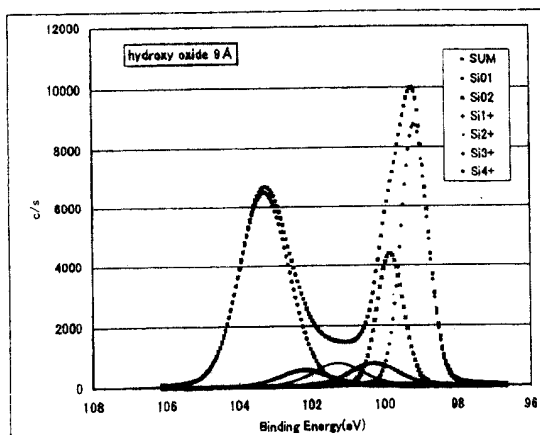


图2D

(4) TEOS(b)

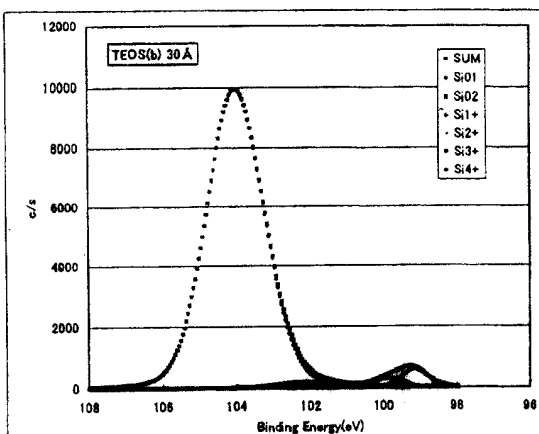


图2B

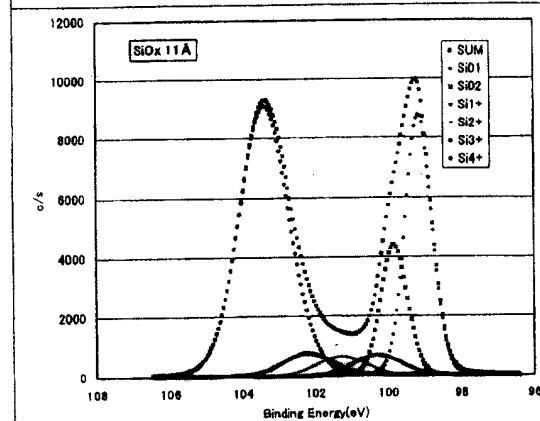
(2) SiO_x

图2E

(5) 氧气等离子体膜(a)

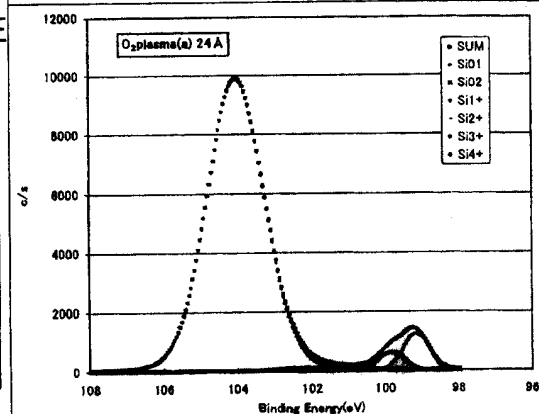


图2C

(3) TEOS(a)

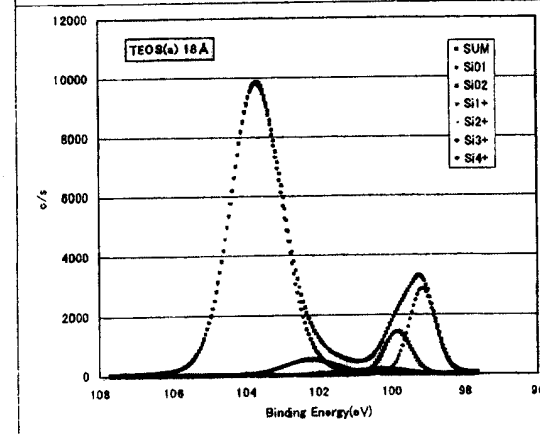
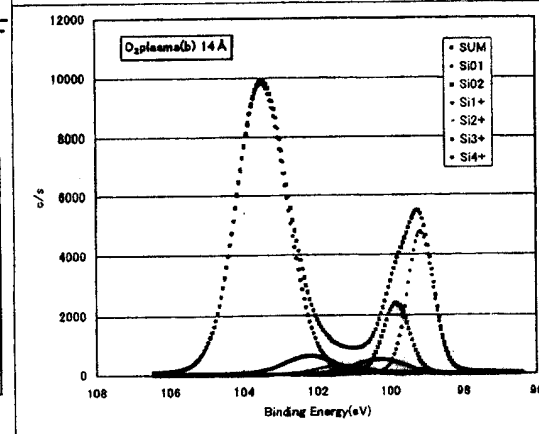


图2F

(6) 氧气等离子体膜(b)



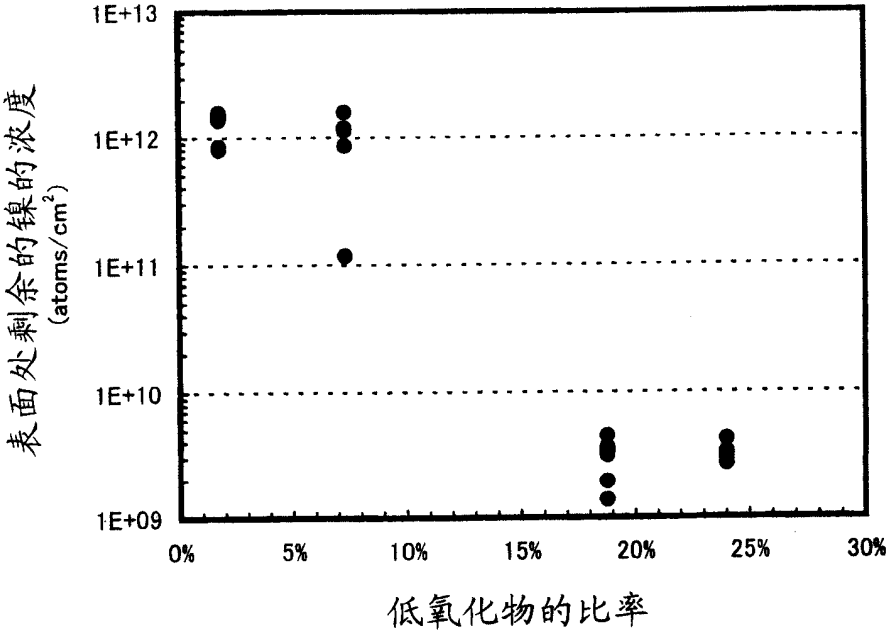


图 3

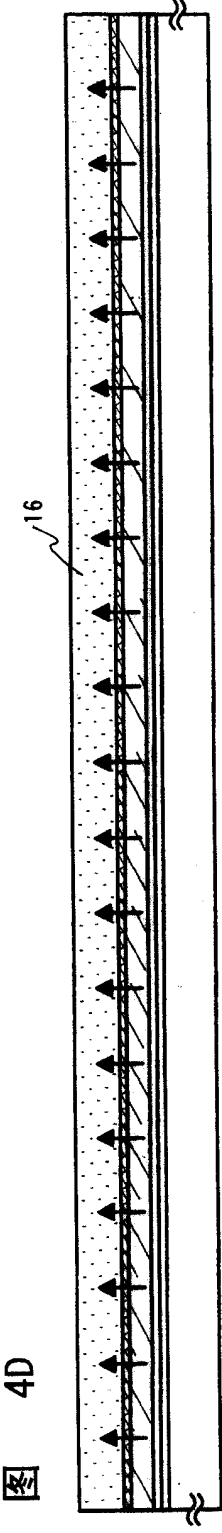
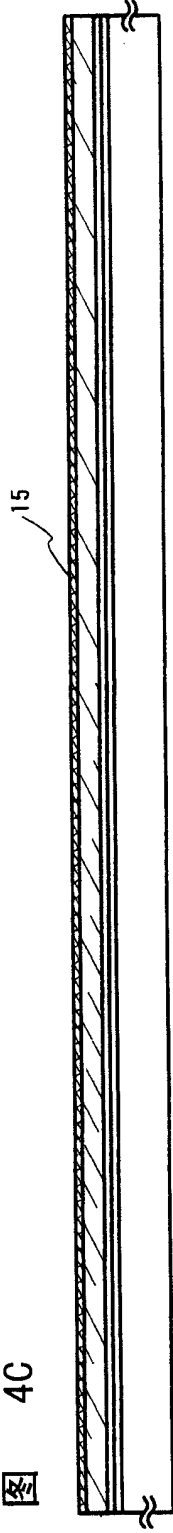
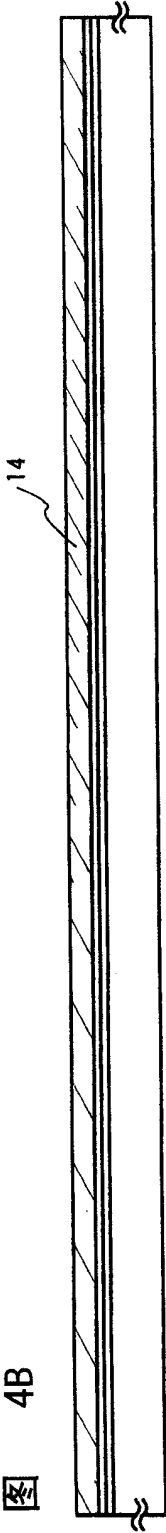
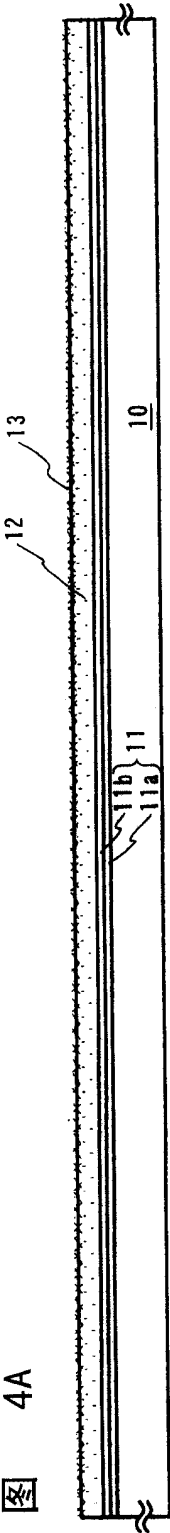


图 5A

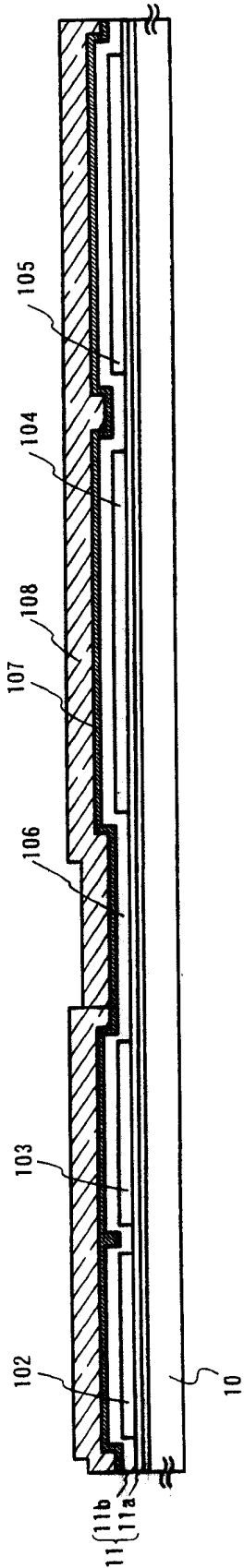


图 5B

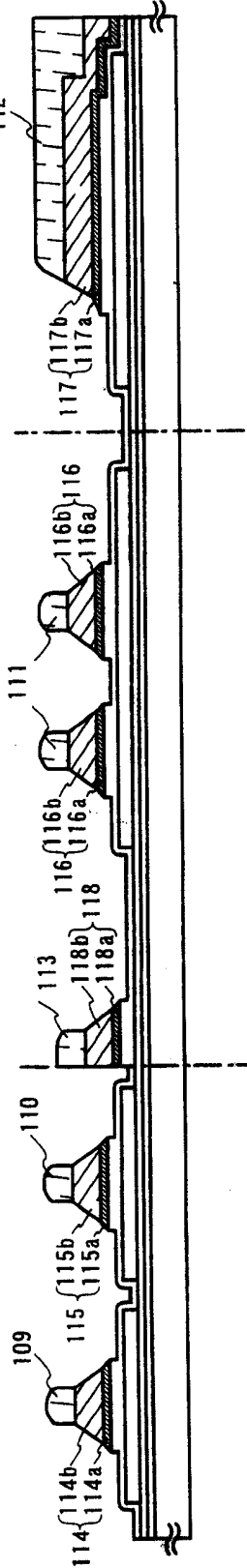
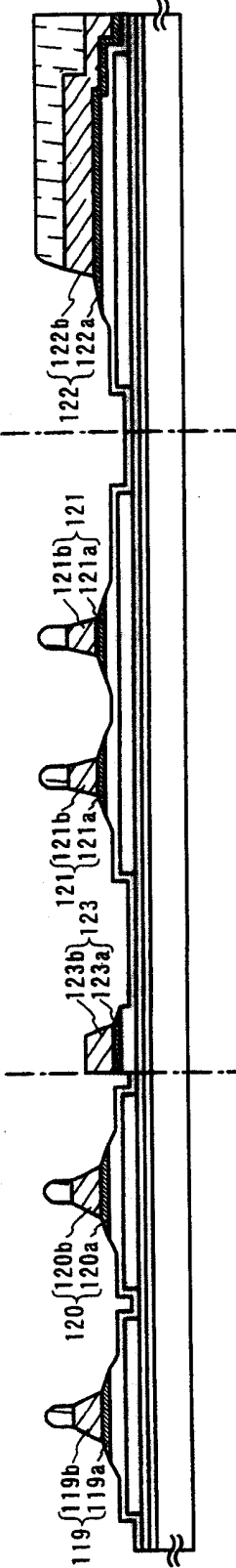


图 5C



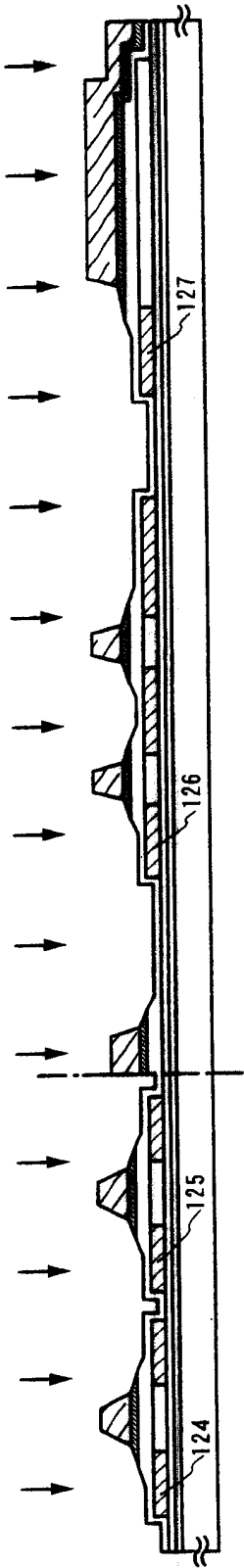


图 6A

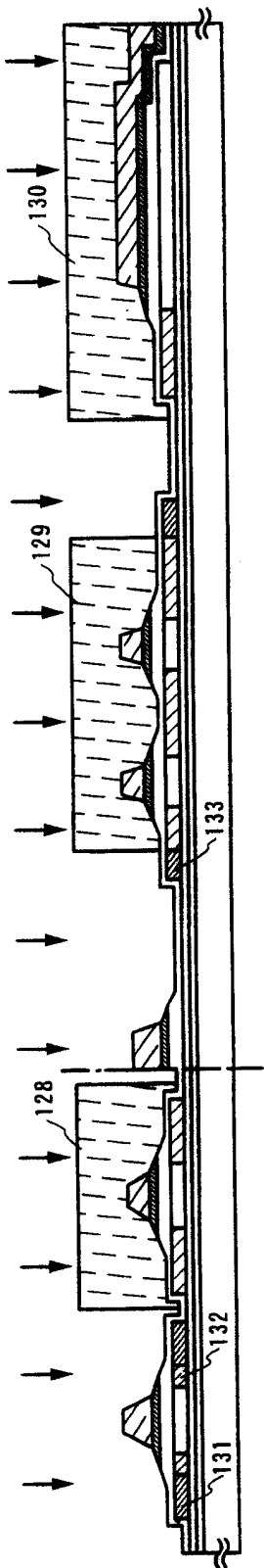


图 6B

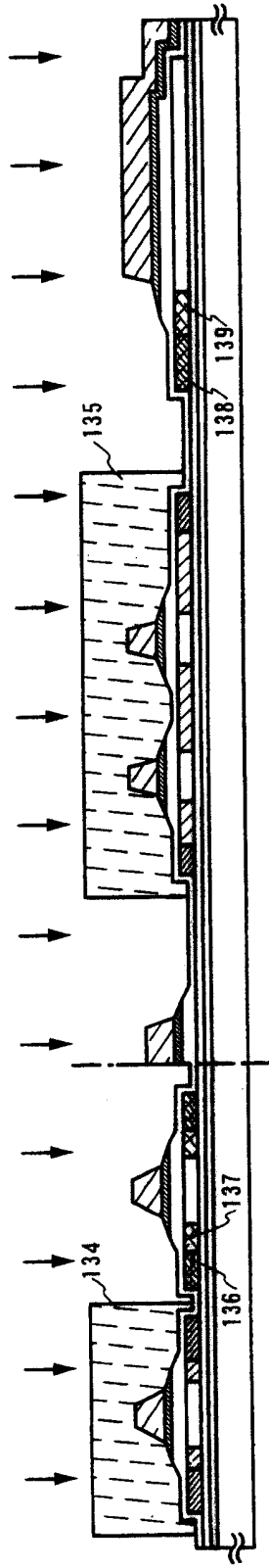
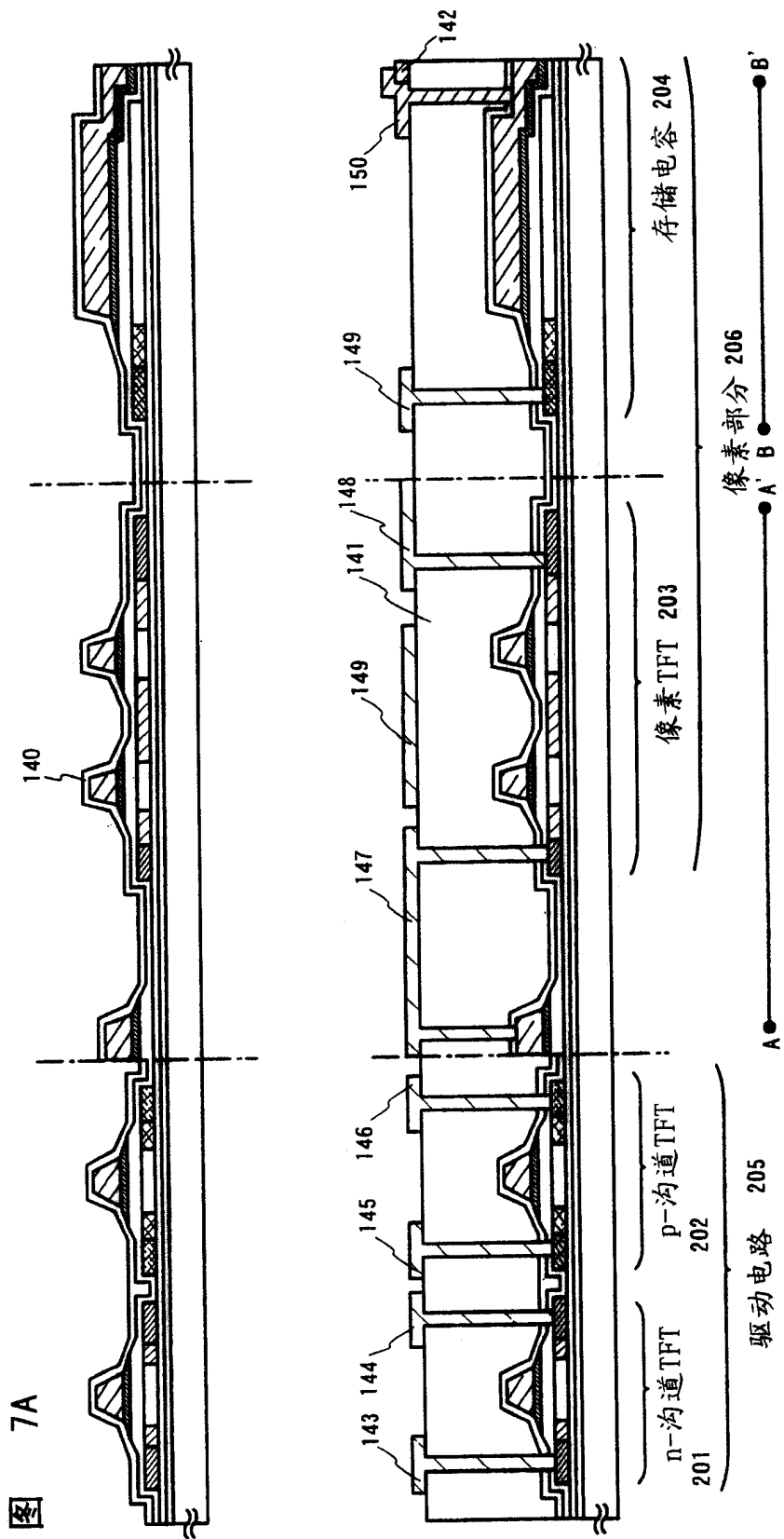


图 6C



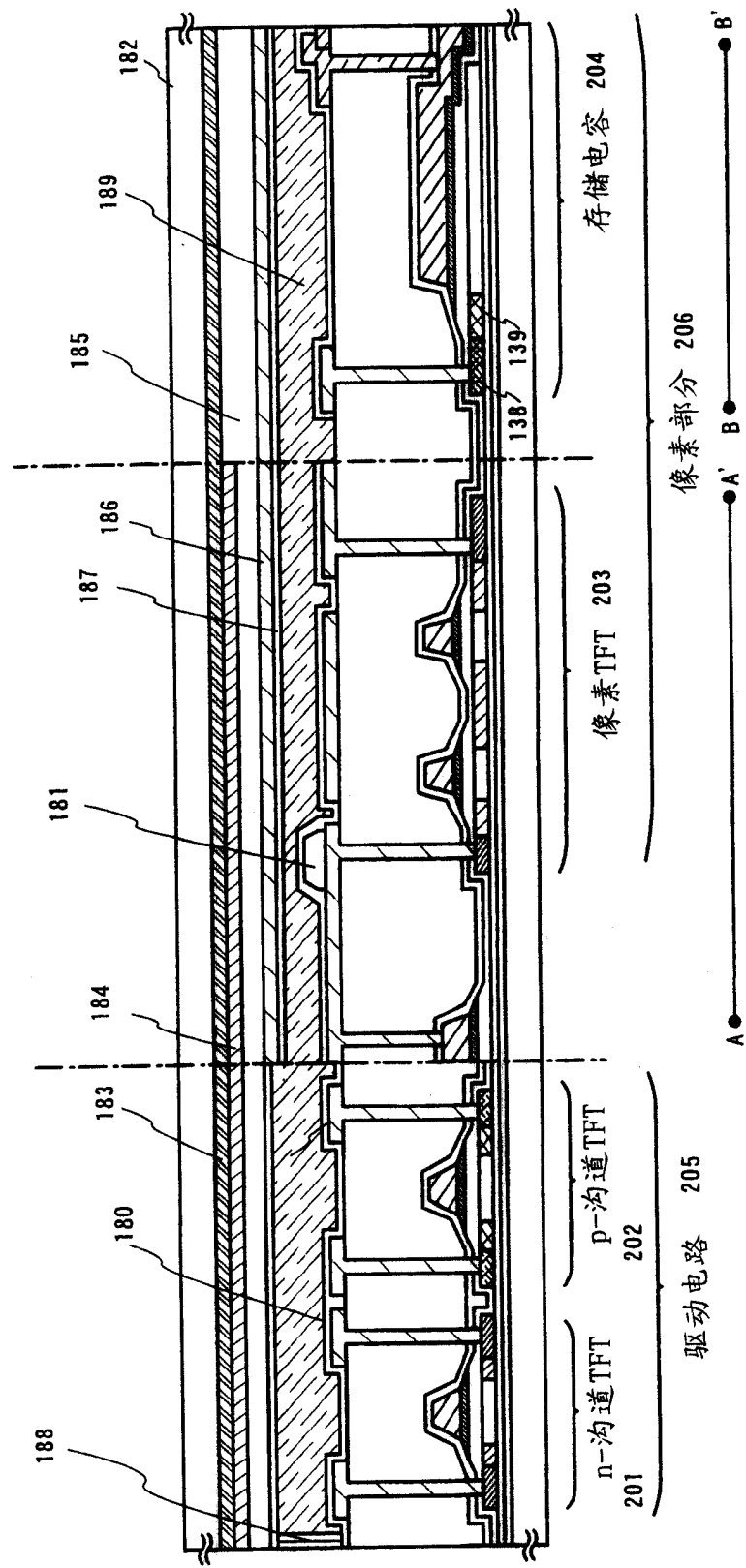


图 8

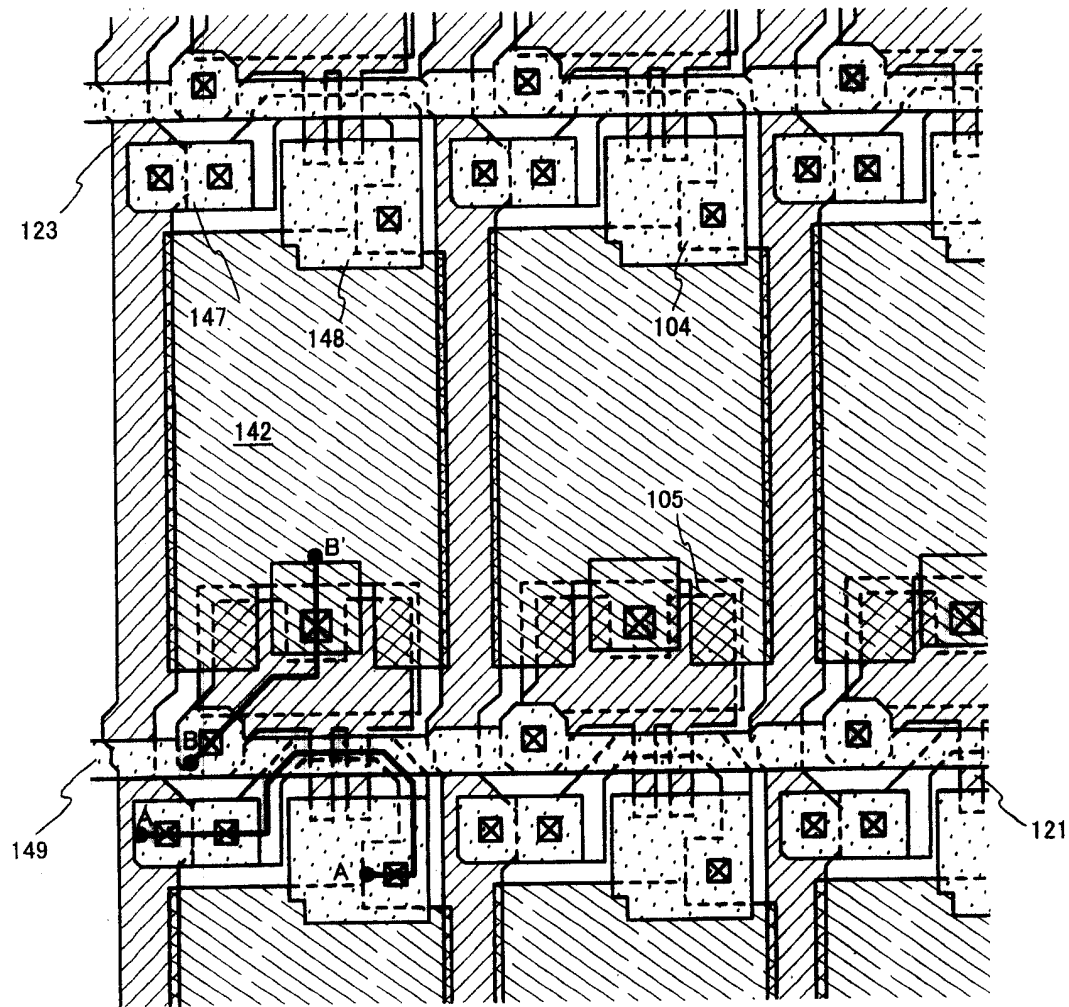
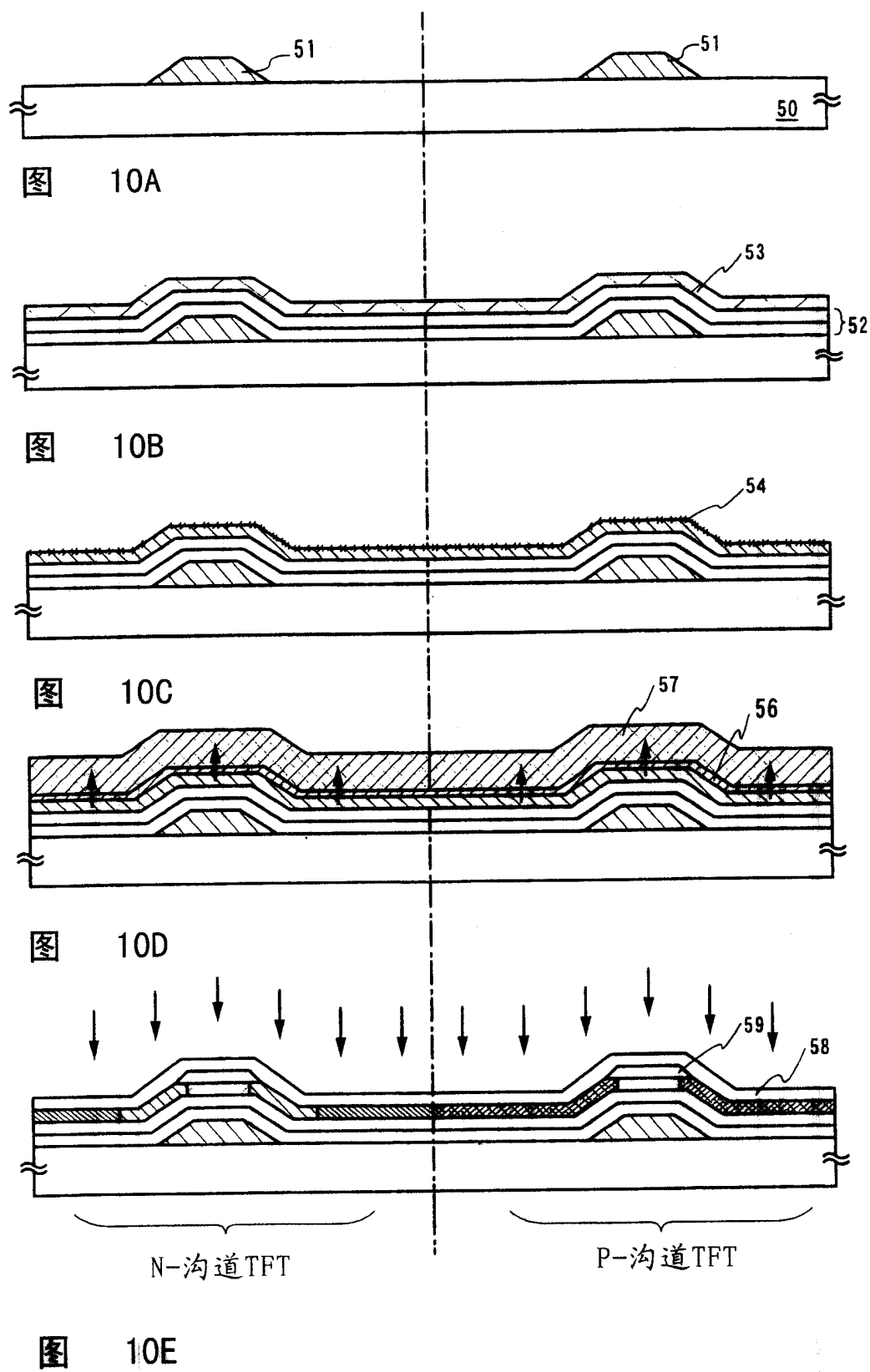


图 9



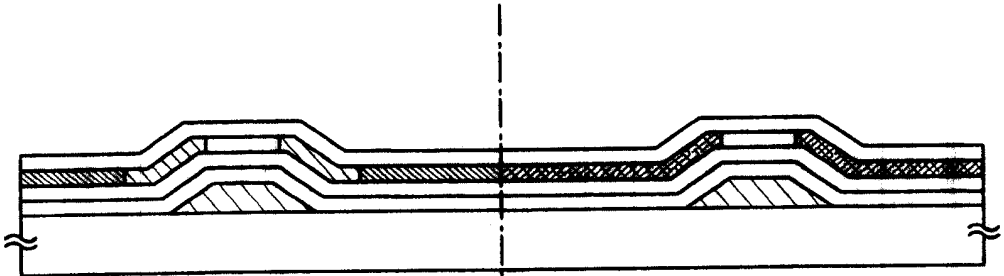


图 11A

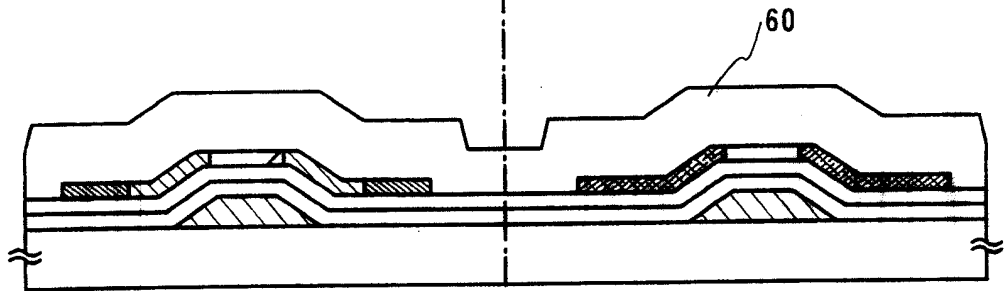


图 11B

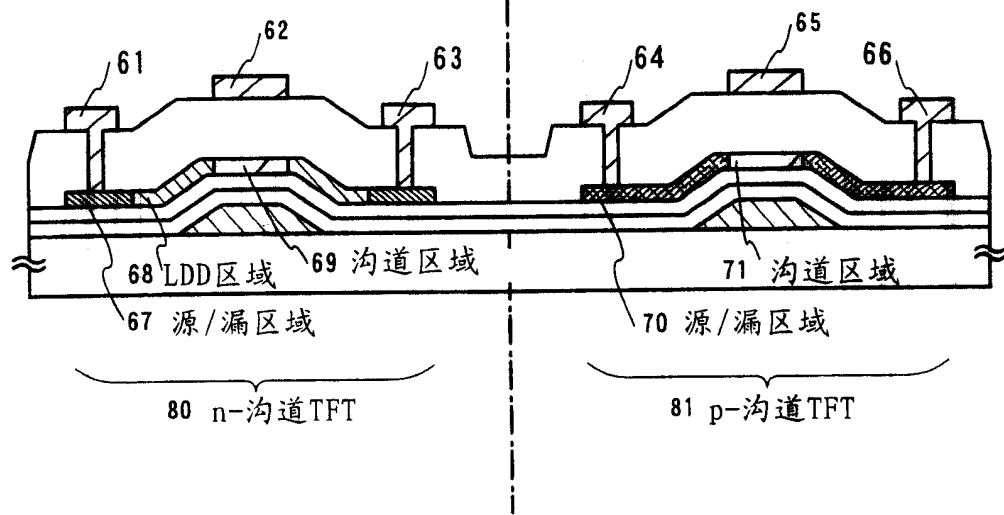


图 11C

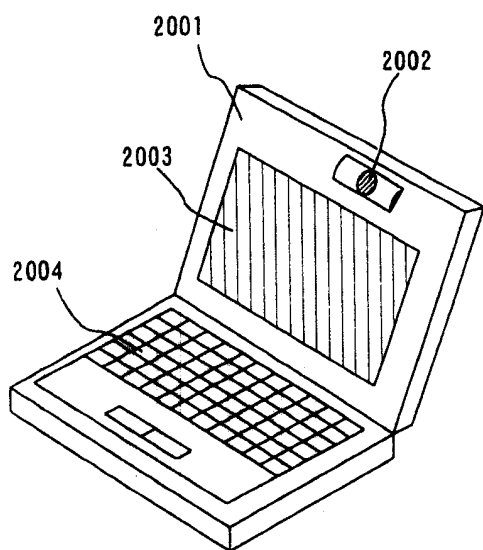


图 12A

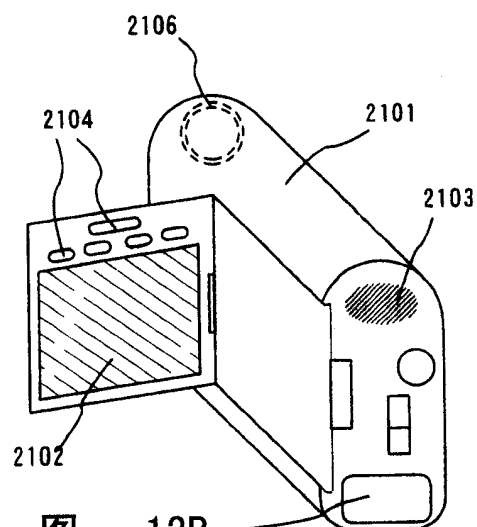


图 12B

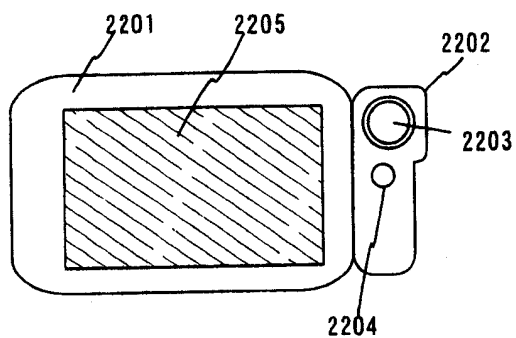


图 12C

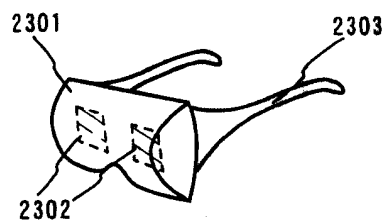


图 12D

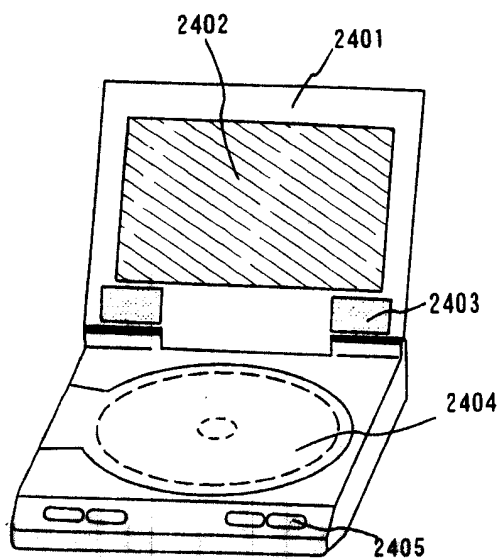


图 12E

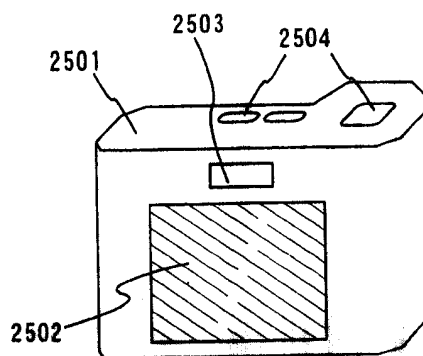


图 12F

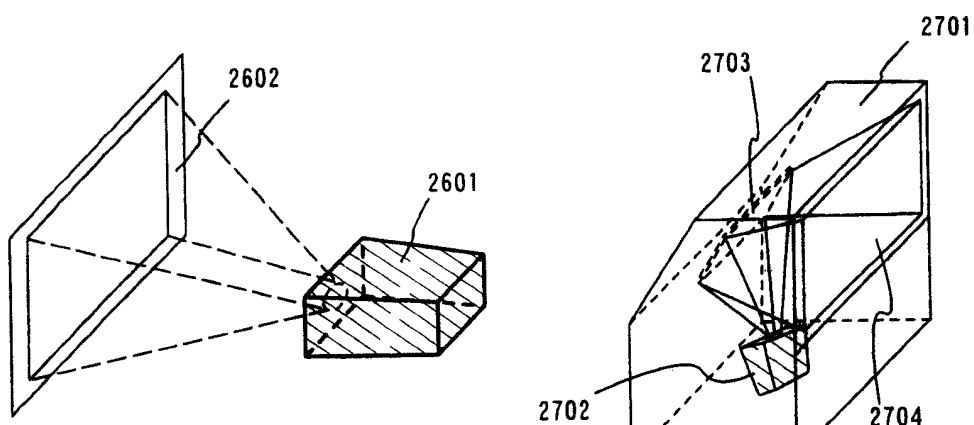


图 13A

图 13B

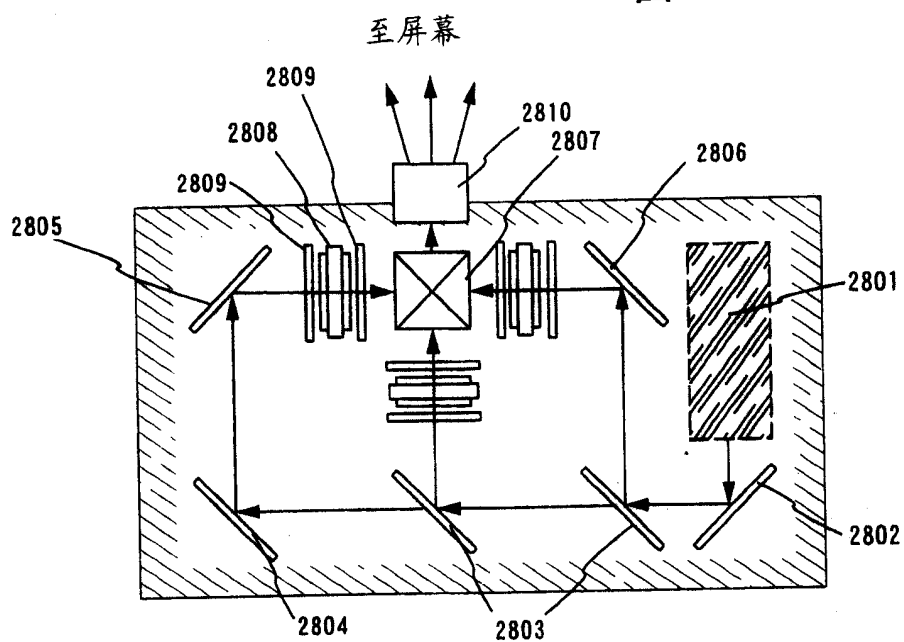


图 13C

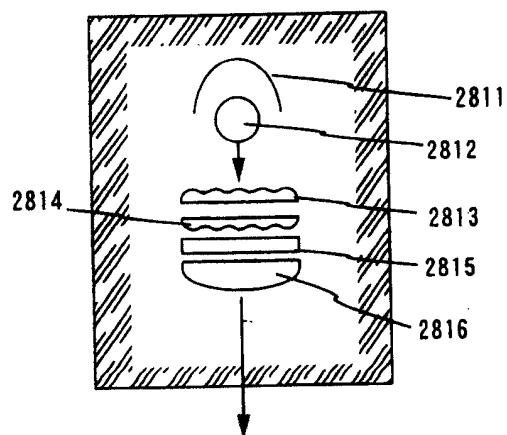


图 13D

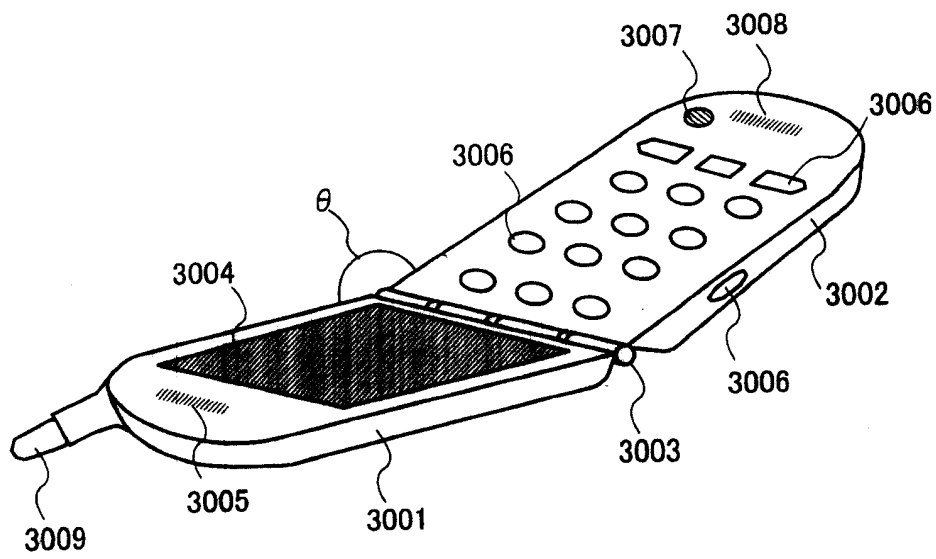


图 14A

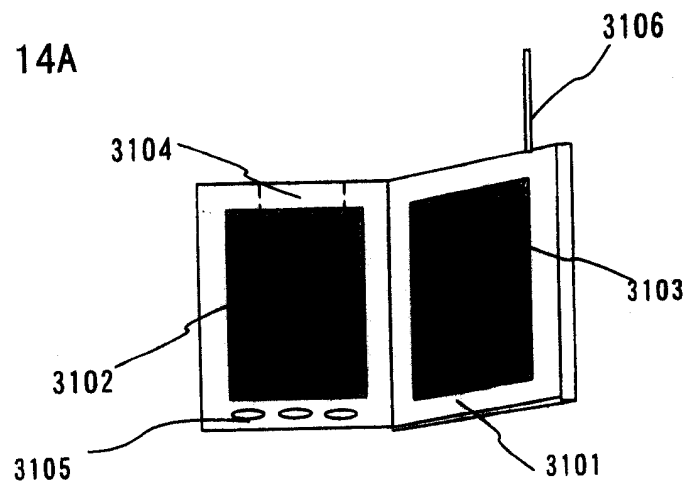


图 14B

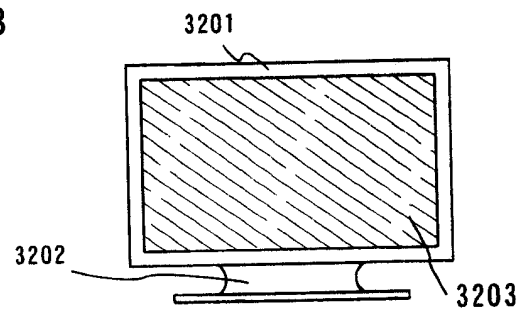
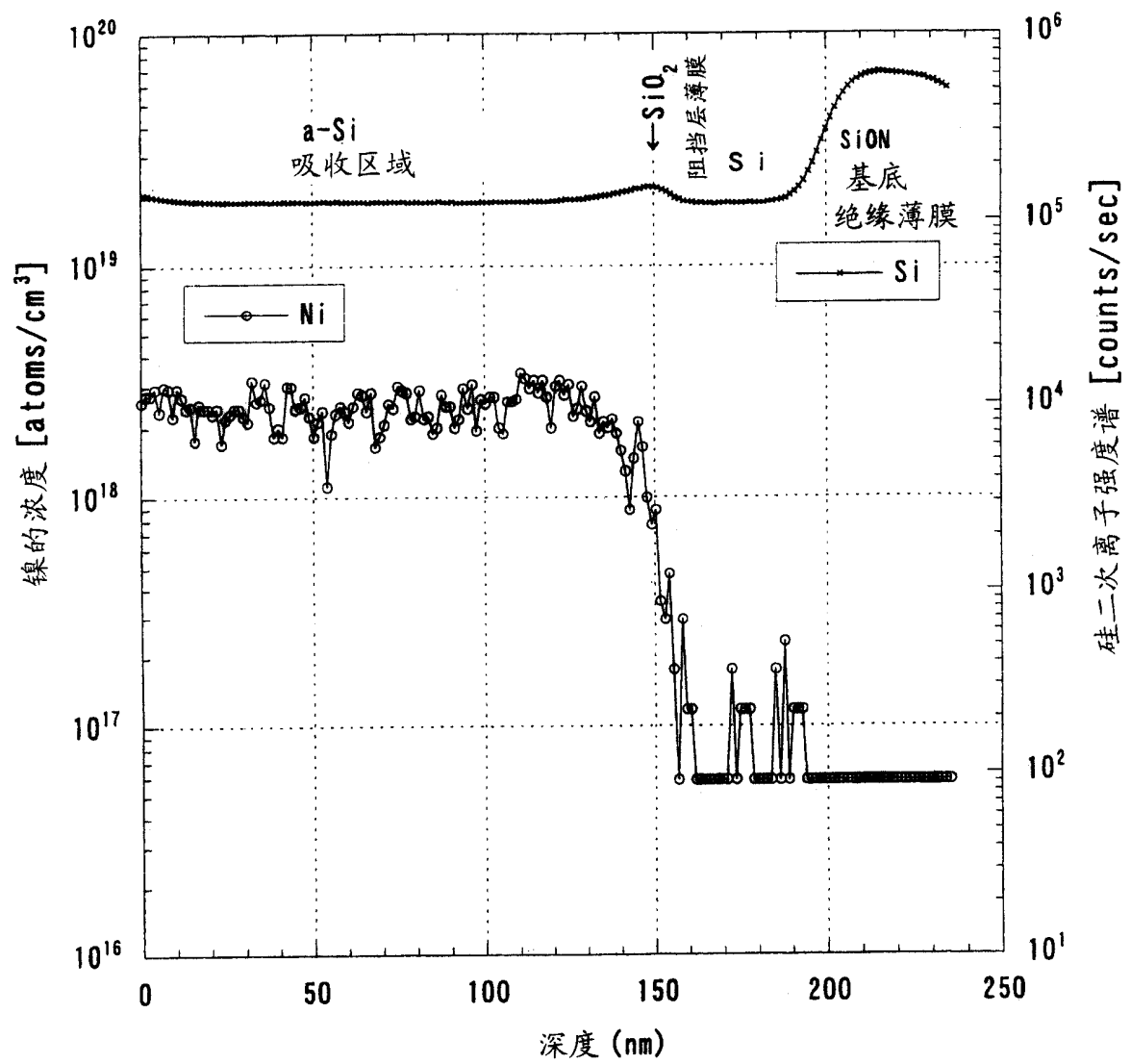


图 14C



吸收后镍的浓度分布曲线

图 15