

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2025年2月6日(06.02.2025)



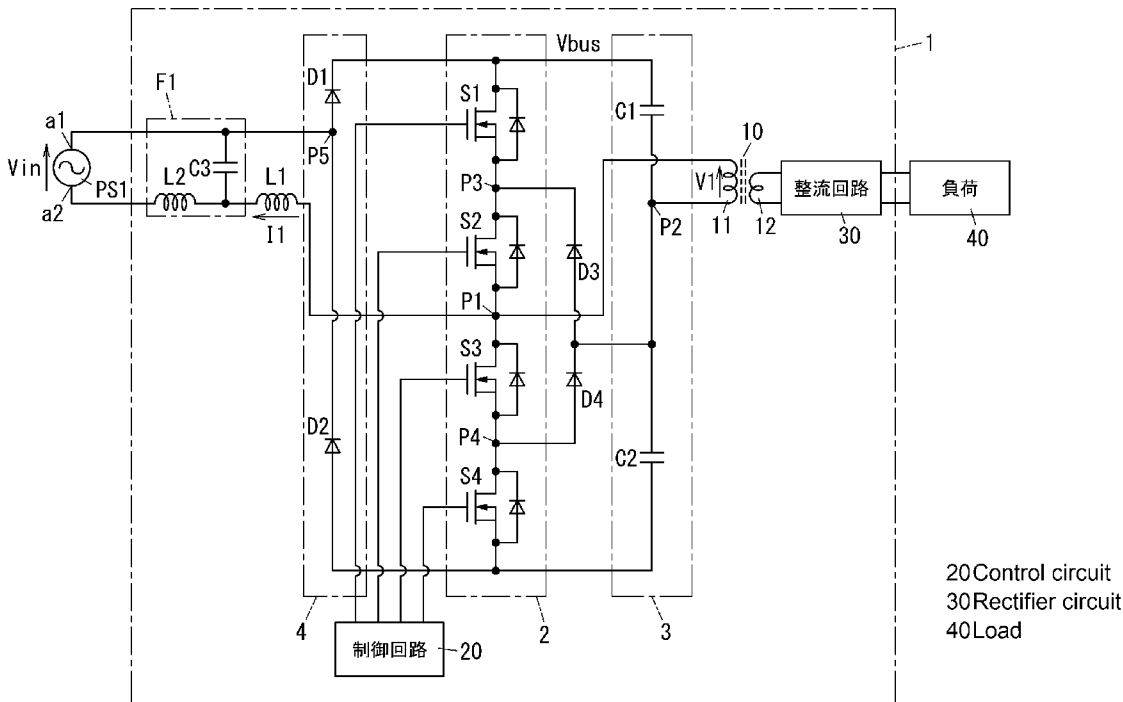
(10) 国際公開番号

WO 2025/028108 A1

- (51) 国際特許分類:  
H02M 7/12 (2006.01) H02M 3/28 (2006.01)
- (21) 国際出願番号: PCT/JP2024/023672
- (22) 国際出願日: 2024年6月28日(28.06.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2023-123801 2023年7月28日(28.07.2023) JP
- (71) 出願人: パナソニック IP マネジメント株式会社 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5710057 大阪府門真市元町 2 2 番 6 号 Osaka (JP).
- (72) 発明者: 木寺 和憲 (KIDERA, Kazunori), 泉本 尚人 (IZUMOTO, Naoto).
- (74) 代理人: 弁理士法人北斗特許事務所 (HOKUTO PATENT ATTORNEYS OFFICE); 〒5300001 大阪府大阪市北区梅田一丁目 1 2 - 1 7 J R E 梅田スクエアビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: ISOLATED AC/DC CONVERTER

(54) 発明の名称: 絶縁型 AC / DC コンバータ



(57) Abstract: The purpose of the present disclosure is to improve the power factor. This isolated AC/DC converter (1) is provided with a first series circuit (2) in which first through fourth semiconductor switches (S1 to S4) are connected in series. A second end (a2) of an alternating current power source (PS1) is connected to a first connection point (P1) of the second and third semiconductor switches (S2, S3). A second series circuit (3) of first and second capacitors (C1, C2) is connected in parallel to the first series circuit (2). A third diode (D3) is connected between a connection point (P3) of the



WO 2025/028108 A1

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,  
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,  
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

first and second semiconductor switches (S1, S2) and a second connection point (P2) of the first and second capacitors (C1, C2), and a fourth diode (D4) is connected between a connection point (P4) of the third and fourth semiconductor switches (S3, S4) and the second connection point (P2). An inductor (L1) is connected between at least one of a first rectifier circuit (4) and the first series circuit (2) and the alternating current power source (PS1). A primary winding (11) of a transformer (10) is connected between the first connection point (P1) and the second connection point (P2).

(57) 要約: 本開示の目的は、力率を改善することである。本開示の絶縁型AC/DCコンバータ(1)は、第1~第4半導体スイッチ(S1~S4)が直列に接続された第1直列回路(2)を備える。第2, 第3半導体スイッチ(S2, S3)の第1接続点(P1)に交流電源(PS1)の第2端(a2)が接続される。第1, 第2キャパシタ(C1, C2)の第2直列回路(3)は第1直列回路(2)と並列に接続される。第1, 第2半導体スイッチ(S1, S2)の接続点(P3)と、第1, 第2キャパシタ(C1, C2)の第2接続点(P2)の間に第3ダイオード(D3)が接続され、第3, 第4半導体スイッチ(S3, S4)の接続点(P4)と第2接続点(P2)の間に第4ダイオード(D4)が接続される。第1整流回路(4)及び第1直列回路(2)の少なくとも一方と交流電源(PS1)との間にインダクタ(L1)が接続される。第1接続点(P1)と第2接続点(P2)との間にトランス(10)の一次巻線(11)が接続される。

## 明 細 書

発明の名称：絶縁型AC/DCコンバータ

### 技術分野

[0001] 本開示は、絶縁型AC/DCコンバータに関する。より詳細には、本開示は、マルチレベル方式のコンバータ回路を有する絶縁型AC/DCコンバータに関する。

### 背景技術

[0002] 特許文献1は、直流電源から入力される直流電圧の電圧変換を行う3レベル電力変換装置を開示する。特許文献1に記載された3レベル電力変換装置は、直流電源に並列に接続された複数のコンデンサの直列回路を含むコンデンサ回路と、コンデンサ回路に並列に接続された第1～第4半導体スイッチング素子の直列回路を含むスイッチング回路と、を備える。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：特開2019-97300号公報

### 発明の概要

[0004] 本開示の目的は、簡単な制御で、力率を改善可能な絶縁型AC/DCコンバータを提供することにある。

[0005] 本開示の一態様の絶縁型AC/DCコンバータは、第1整流回路と、第1直列回路と、第2直列回路と、第3ダイオードと、第4ダイオードと、インダクタと、トランスと、第2整流回路と、制御回路と、を備える。前記第1整流回路は、第1ダイオード、及び、前記第1ダイオードのアノードにカソードが接続された第2ダイオードの直列回路を含み、前記第1ダイオード及び前記第2ダイオードの接続点に交流電源の第1端が接続される。前記第1直列回路は、前記第1ダイオードのカソードと前記第2ダイオードのアノードとの間に直列に接続された第1半導体スイッチ、第2半導体スイッチ、第3半導体スイッチ及び第4半導体スイッチを含み、前記第2半導体スイッチ

及び第3半導体スイッチの接続点に前記交流電源の第2端が接続される。前記第2直列回路は、第1キャパシタ及び第2キャパシタの直列回路を含み、前記第1直列回路と並列に接続される。前記第3ダイオードは、前記第1半導体スイッチ及び前記第2半導体スイッチの接続点にカソードが接続され、前記第1キャパシタ及び前記第2キャパシタの接続点にアノードが接続される。前記第4ダイオードは、前記第3半導体スイッチ及び前記第4半導体スイッチの接続点にアノードが接続され、前記第1キャパシタ及び前記第2キャパシタの接続点にカソードが接続される。前記インダクタは、前記第1整流回路及び前記第1直列回路の少なくとも一方と前記交流電源との間に接続される。前記トランスは、前記第2半導体スイッチ及び前記第3半導体スイッチの接続点と、前記第1キャパシタ及び前記第2キャパシタの接続点との間に一次巻線が接続される。前記第2整流回路は、前記トランスの二次巻線に接続され、前記二次巻線に流れる電流を整流して負荷に出力する。前記制御回路は、前記第1半導体スイッチ、前記第2半導体スイッチ、前記第3半導体スイッチ、及び前記第4半導体スイッチの各々をオン状態又はオフ状態に制御する。

### 図面の簡単な説明

[0006] [図1]図1は、本開示の一実施形態に係る絶縁型AC/DCコンバータの概略的な回路図である。

[図2]図2は、同上の絶縁型AC/DCコンバータの入力電流、及び、トランスの一次巻線に発生する電圧の波形図である。

[図3]図3は、同上の絶縁型AC/DCコンバータにおいて第1動作モードでの電流経路を説明する模式的な回路図である。

[図4]図4は、同上の絶縁型AC/DCコンバータにおいて第2動作モードでの電流経路を説明する模式的な回路図である。

[図5]図5は、同上の絶縁型AC/DCコンバータにおいて第3動作モードでの電流経路を説明する模式的な回路図である。

### 発明を実施するための形態

[0007] 以下、実施形態に係る絶縁型AC/DCコンバータについて、図面を参照して詳細に説明する。また、以下の実施形態で説明する構成は本開示の一例に過ぎない。本開示は、以下の実施形態に限定されず、本開示の効果を奏することができれば、設計等に応じて種々の変更が可能である。

[0008] (実施形態)

(1) 概要

本実施形態の絶縁型AC/DCコンバータ1は、図1に示すように、第1整流回路4と、第1直列回路2と、第2直列回路3と、第3ダイオードD3と、第4ダイオードD4と、インダクタL1と、トランス10と、第2整流回路30と、制御回路20と、を備える。

[0009] 第1整流回路4は、第1ダイオードD1、及び、第1ダイオードD1のアノードにカソードが接続された第2ダイオードD2の直列回路を含む。第1ダイオードD1及び第2ダイオードD2の接続点P5に交流電源PS1の第1端a1が接続される。

[0010] 第1直列回路2は、第1ダイオードD1のカソードと第2ダイオードD2のアノードとの間に直列に接続された第1半導体スイッチS1、第2半導体スイッチS2、第3半導体スイッチS3及び第4半導体スイッチS4を含む。第1直列回路2は、第2半導体スイッチS2及び第3半導体スイッチS3の接続点P1に交流電源PS1の第2端a2が接続される。

[0011] 第2直列回路3は、第1キャパシタC1及び第2キャパシタC2の直列回路を含み、第1直列回路2と並列に接続される。

[0012] 第3ダイオードD3は、第1半導体スイッチS1及び第2半導体スイッチS2の接続点P3にカソードが接続され、第1キャパシタC1及び第2キャパシタC2の接続点P2にアノードが接続される。

[0013] 第4ダイオードD4は、第3半導体スイッチS3及び第4半導体スイッチS4の接続点P4にアノードが接続され、第1キャパシタC1及び第2キャパシタC2の接続点P2にカソードが接続される。

[0014] インダクタL1は、第1整流回路4及び第1直列回路2の少なくとも一方

と交流電源 P S 1 との間に接続される。なお、図 1 に示す回路では、インダクタ L 1 は、第 1 直列回路 2 と交流電源 P S 1 との間に接続されている。

[0015] トランス 1 0 は、第 2 半導体スイッチ S 2 及び第 3 半導体スイッチ S 3 の接続点 P 1 と、第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 の接続点 P 2 との間に一次巻線 1 1 が接続される。

[0016] 第 2 整流回路 3 0 は、トランス 1 0 の二次巻線 1 2 に接続され、二次巻線 1 2 に流れる電流を整流して負荷 4 0 に出力する。

[0017] 制御回路 2 0 は、第 1 半導体スイッチ S 1、第 2 半導体スイッチ S 2、第 3 半導体スイッチ S 3、及び第 4 半導体スイッチ S 4 の各々をオン状態又はオフ状態に制御する。

[0018] ここにおいて、2つの回路要素が接続されるとは、2つの回路要素が電氣的に接続される状態を言い、2つの回路要素が直接接続されている状態に限定されず、2つの回路要素が他の回路要素を介して間接的に接続されている状態を含み得る。なお、以下の説明において、絶縁型 AC / DC コンバータ 1 をコンバータ 1 と略称し、第 1 ~ 第 4 半導体スイッチ S 1 ~ S 4 を、それぞれ、第 1 ~ 第 4 スイッチ S 1 ~ S 4 と略称する場合もある。また、図 1 等では第 2 整流回路 3 0 を「整流回路」と略称で表記している。また、接続点 P 1 を第 1 接続点と言ひ、接続点 P 2 を第 2 接続点と言う場合もある。

[0019] 本実施形態のコンバータ 1 では、制御回路 2 0 が、第 1 ~ 第 4 スイッチ S 1 ~ S 4 の各々をオン状態又はオフ状態に制御することによって、第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 のそれぞれの充電電圧を制御することができる。第 1 ~ 第 4 スイッチ S 1 ~ S 4 には、第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 の充電電圧よりも高い電圧が印加されることはないので、第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 の充電電圧を制御することによって、第 1 ~ 第 4 スイッチ S 1 ~ S 4 に印加される電圧を抑制でき、第 1 ~ 第 4 スイッチ S 1 ~ S 4 に耐電圧性能の低い半導体スイッチを用いることができる。

[0020] また、本実施形態のコンバータ 1 では、第 1 スイッチ S 1 及び第 2 スイ

チS 2がオン状態となり、第3スイッチS 3及び第4スイッチS 4がオフ状態となる動作モード（後述の第1動作モード）と、第3スイッチS 3及び第4スイッチS 4がオン状態となり、第1スイッチS 1及び第2スイッチS 2がオフ状態となる動作モード（後述の第3動作モード）で、トランス10の一次巻線11に電流が流れ、トランス10の二次巻線12に接続される負荷40に電力が供給される。ここで、インダクタL 1には、交流電源PS 1からの入力電圧 $V_{in}$ に凡そ比例した電流が流れるので、制御回路20が複雑な制御を行わなくても、簡単な制御で力率の改善を図ることができる。また、制御回路20が、第1～第4スイッチS 1～S 4をスイッチングするスイッチング周期の1周期内で、第1動作モード及び第3動作モードが占める割合を調整することで、負荷40に供給する電力を調整することができる。

[0021] (2) 詳細

以下、本実施形態に係る絶縁型AC/DCコンバータ（コンバータ）1について図面を参照して詳しく説明する。

[0022] (2. 1) 構成

図1は、コンバータ1の概略的な回路図である。

[0023] コンバータ1は、商用交流電源のような交流電源PS 1から入力される交流電圧を直流電圧に変換して負荷40に供給する絶縁型AC/DCコンバータである。

[0024] コンバータ1は、上述のように、第1整流回路4と、第1直列回路2と、第2直列回路3と、第3ダイオードD 3と、第4ダイオードD 4と、インダクタL 1と、トランス10と、第2整流回路30と、制御回路20と、を備える。また、コンバータ1はフィルタ回路F 1を更に備える。なお、第1整流回路4、第3ダイオードD 3、第4ダイオードD 4、トランス10については「(1) 概要」で説明した通りであるので、その説明は省略する。

[0025] 第1直列回路2は、上述のように、第1ダイオードD 1のカソードと第2ダイオードD 2のアノードとの間に直列に接続された第1～第4スイッチS 1～S 4を含む。第1～第4スイッチS 1～S 4は、第1ダイオードD 1の

カソードと第2ダイオードD2のアノードとの間に、第1スイッチS1、第2スイッチS2、第3スイッチS3、第4スイッチS4の順番で接続されている。第1～第4スイッチS1～S4は、例えば、Nチャネル型のMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) である。第1～第4スイッチS1～S4の各々は、制御回路20からゲート電極に入力される制御信号によってオン状態又はオフ状態に制御される。

[0026] 第2直列回路3は、第1キャパシタC1及び第2キャパシタC2の直列回路を有し、第1直列回路2と並列に接続されている。ここで、第1キャパシタC1の静電容量と、第2キャパシタC2の静電容量とは同じ値である。なお、2つの回路要素の回路定数（例えば静電容量）が同じであるとは、2つの回路要素の回路定数が完全に同一であることに限定されず、2つの回路要素の回路定数の差が製造誤差と見なせる程度の差である場合も含み得る。第1キャパシタC1の静電容量と、第2キャパシタC2の静電容量とが同じ値に設定されているので、第1キャパシタC1と第2キャパシタC2の接続点P2の電圧は、第2直列回路3の両端間の電圧Vbusの2分の1の電圧となる。

[0027] 制御回路20は、例えば、1以上のプロセッサ及びメモリを有するコンピュータシステムを主構成とする。コンピュータシステムのメモリに記録されたプログラムを、コンピュータシステムのプロセッサが実行することにより、制御回路20の機能が実現される。プログラムは、メモリに記録されていてもよいし、インターネット等の電気通信回線を通して提供されてもよく、メモリカード等の非一時的記録媒体に記録されて提供されてもよい。

[0028] 制御回路20には、例えば、第1キャパシタC1及び第2キャパシタC2の直列回路を含む第2直列回路3の両端間の電圧Vbusと、トランス10の一次巻線11の両端間の電圧V1と、がフィードバックされている。制御回路20は、電圧Vbus及び電圧V1のフィードバック値等に基づいて、第1～第4スイッチS1～S4の各々をオン状態又はオフ状態に制御することによって、負荷40に供給する電力を制御する。

- [0029] フィルタ回路F 1は、交流電源P S 1の第2端a 2に第1端が接続されたコイルL 2と、交流電源P S 1の第1端a 1とコイルL 2の第2端との間に接続されたキャパシタC 3と、を含むL Cフィルタである。
- [0030] インダクタL 1は、第2スイッチS 2及び第3スイッチS 3の接続点P 1と、交流電源P S 1の第2端a 2との間に接続されている。より詳細には、インダクタL 1は、第2スイッチS 2及び第3スイッチS 3の接続点P 1と、コイルL 2との間に接続されている。
- [0031] 第2整流回路3 0の一对の入力端子には、トランス1 0の二次巻線1 2の両端が接続されている。第2整流回路3 0は、例えば、複数のダイオードがブリッジ接続されたダイオードブリッジ回路を含む。ダイオードブリッジ回路の一对の入力端子は、トランス1 0の二次巻線1 2に接続されている。ここにおいて、コンバータ1は、第2整流回路3 0の後段に、第2整流回路3 0から出力される脈流電圧を平滑する平滑回路を更に備えることが好ましい。第2整流回路3 0によって整流され、平滑回路によって平滑された直流電圧が負荷4 0に供給される。
- [0032] (2. 2) 動作説明  
本実施形態のコンバータ1の動作を図2～図5に基づいて説明する。
- [0033] 制御回路2 0は、第1～第4スイッチS 1～S 4のゲート電極に制御信号を出力することによって、第1～第4スイッチS 1～S 4の各々をオン状態又はオフ状態に制御する。
- [0034] より詳細には、制御回路2 0は、第1動作モードと、第2動作モードと、第3動作モードと、第4動作モードと、を周期的に繰り返すように、第1～第4スイッチS 1～S 4の各々をオン状態又はオフ状態に制御する。第1動作モードでは、第1スイッチS 1及び第2スイッチS 2がオン状態であり、第3スイッチS 3及び第4スイッチS 4がオフ状態である。第2動作モード及び第4動作モードでは、第2スイッチS 2及び第3スイッチS 3がオン状態であり、第1スイッチS 1及び第4スイッチS 4がオフ状態である。第3動作モードでは、第3スイッチS 3及び第4スイッチS 4がオン状態であり

、第1スイッチS1及び第2スイッチS2がオフ状態である。

[0035] なお、制御回路20は、インダクタL1に流れる電流I1が不連続となる不連続モードで動作するように、第1動作モード、第2動作モード、第3動作モード及び第4動作モードの時間長を制御する。

[0036] 制御回路20は、第1動作モードの時間長と第3動作モードの時間長を同じ時間長に制御する。そして、制御回路20は、第2直列回路3の両端間の電圧Vbusが、交流電源PS1から入力される入力電圧Vinのピーク値の2倍以上となるように、第1動作モード、第2動作モード、第3動作モード及び第4動作モードの時間長を制御する。なお、2つの動作モードの時間長が同じ時間長であるとは、2つの動作モードの時間長が完全に同じであることに限定されず、2つの動作モードの時間長の差が、いずれかの時間長の±数%（例えば±10%）以内である状態を含み得る。

[0037] ここで、第1～第4動作モードでのコンバータ1の動作を図2～図5に基づいて説明する。なお、図2～図5では、交流電源PS1からの入力電圧Vinが、第2端a2に比べて第1端a1が高電位となる正の半周期である場合の電流経路について説明を行う。

[0038] 図2は、インダクタL1に流れる電流I1、及び、トランス10の一次巻線11に発生する電圧V1の波形図である。図2において、期間t1～t4はそれぞれ第1～第4動作モードで動作する期間を示している。また、周期T1は、第1～第4スイッチS1～S4のスイッチング周期の1周期の期間を示しており、第1～第4スイッチS1～S4のスイッチング周波数は例えば100kHz程度の周波数である。なお、図2は、スイッチング周期の1周期分の電流I1及び電圧V1の波形図を示している。

[0039] また、図3～図5は、それぞれ、第1動作モード、第2動作モード、及び第3動作モードにおいて電流が流れる経路を示す模式的な回路図である。図3～図5では、第1～第4スイッチS1～S4のオン/オフの状態を模式的に図示しており、制御回路20の図示を省略している。また、図3～図5に記載した点線の矢印A1～A5は電流が流れる経路を示している。

- [0040] 制御回路20は、第1動作モードの期間 $t_1$ が開始すると、図3に示すように、第1スイッチS1及び第2スイッチS2をオン状態に制御し、第3スイッチS3及び第4スイッチS4をオフ状態に制御する。第1動作モードの期間 $t_1$ では、第2スイッチS2及び第3スイッチS3の接続点P1の電圧は、電圧 $V_{bus}$ に等しくなる。そして、第1動作モードでは、交流電源PS1→第1ダイオードD1→第1スイッチS1→第2スイッチS2→インダクタL1→コイルL2→交流電源PS1の経路（矢印A1の経路）で電流が流れる。矢印A1の経路で電流が流れることによって、第1動作モードの期間 $t_1$ ではインダクタL1に流れる電流 $I_1$ が徐々に増加し（図2参照）、インダクタL1にエネルギーが蓄積される。ここで、インダクタL1のインダクタンスを $L$ とすると、電流 $I_1$ は、 $V_{in}/L$ の傾きで徐々に増加する。
- [0041] また、第1動作モードでは、トランス10の一次巻線11と並列に第1キャパシタC1が接続されるので、トランス10の一次巻線11の両端間の電圧 $V_1$ は、第1キャパシタC1の充電電圧（ $V_{bus}/2$ ）に等しくなる（図2参照）。このとき、第1キャパシタC1→第1スイッチS1→第2スイッチS2→一次巻線11→第1キャパシタC1の経路（矢印A2の経路）で電流が流れ、トランス10の二次側に電力が供給される。
- [0042] なお、トランス10の二次巻線12には第2整流回路30が接続されており、トランス10の二次巻線12に発生する電流を第2整流回路30が整流し、平滑回路が平滑することによって所定電圧値の直流電圧が生成され、負荷40に直流電力が供給される。
- [0043] 制御回路20は、第1動作モードの期間 $t_1$ が終了すると、コンバータ1の動作モードを第1動作モードから第2動作モードに切り替える。第2動作モードの期間 $t_2$ では、制御回路20は、図4に示すように、第2スイッチS2及び第3スイッチS3をオン状態に制御し、第1スイッチS1及び第4スイッチS4をオフ状態に制御する。第2動作モードでは、第2スイッチS2及び第3スイッチS3の接続点P1の電圧は（ $V_{bus}/2$ ）となる。第2動作モードでは、交流電源PS1→第1ダイオードD1→第1キャパシタ

C1 → 第3 ダイオードD3 → 第2 スイッチS2 → インダクタL1 → コイルL2 → 交流電源PS1の経路（矢印A3の経路）で電流が流れる。インダクタL1が、第1動作モードで蓄積したエネルギーを放出し、第1キャパシタC1を充電する。第2動作モードでは、インダクタL1に印加される電圧は $(V_{in} - V_{bus} / 2)$ となり、電圧 $V_{bus}$ は入力電圧 $V_{in}$ の最大値の2倍よりも大きい電圧に充電されているので、 $(V_{in} - V_{bus} / 2) < 0$ となる。したがって、インダクタL1に流れる電流 $I_1$ は、 $(V_{in} - V_{bus} / 2) / L$ の傾きで徐々に減少する。

[0044] また、第2動作モードでは、トランス10の一次巻線11の両端間が、第2スイッチS2と第3ダイオードD3との直列回路、及び、第3スイッチS3と第4ダイオードD4との直列回路を介して、双方向に短絡されるので、一次巻線11に電流が流れず、トランス10の二次側への電力供給は行われない。

[0045] 制御回路20は、第2動作モードの期間 $t_2$ が終了すると、コンバータ1の動作モードを第2動作モードから第3動作モードに切り替える。第3動作モードの期間 $t_3$ では、制御回路20は、図5に示すように、第3スイッチS3及び第4スイッチS4をオン状態に制御し、第1スイッチS1及び第2スイッチS2をオフ状態に制御する。第3動作モードでは、第2スイッチS2及び第3スイッチS3の接続点P1の電圧は0になる。第3動作モードでは、交流電源PS1 → 第1ダイオードD1 → 第1キャパシタC1 → 第2キャパシタC2 → 第4スイッチS4 → 第3スイッチS3 → インダクタL1 → コイルL2 → 交流電源PS1の経路（矢印A4の経路）で電流が流れ、インダクタL1がエネルギーを放出し、第1キャパシタC1及び第2キャパシタC2を充電する。ここで、インダクタL1に印加される電圧は $(V_{in} - V_{bus})$ となり、電圧 $V_{bus}$ は入力電圧 $V_{in}$ の最大値の2倍よりも大きい電圧に充電されているので、 $(V_{in} - V_{bus}) < 0$ となる。したがって、インダクタL1に流れる電流 $I_1$ は、 $(V_{in} - V_{bus}) / L$ の傾きで徐々に減少する（図2参照）。制御回路20は、第1動作モードの時間長（期間

t 1) と、第3動作モードの時間長(期間 t 3) とを同じ長さに制御しているので、第2動作モード又は第3動作モードにおいて、電流 I 1 は必ずゼロまで低下し、再び第1動作モードに切り替わるまで、電流 I 1 は流れない。

[0046] また、第3動作モードでは、トランス 10 の一次巻線 11 と並列に第2キャパシタ C 2 が接続され、トランス 10 の一次巻線 11 の両端間の電圧 V 1 は  $(-V_{bus}/2)$  に等しくなる(図2参照)。このとき、第2キャパシタ C 2 → 一次巻線 11 → 第3スイッチ S 3 → 第4スイッチ S 4 → 第2キャパシタ C 2 の経路(矢印 A 5 の経路)で電流が流れ、トランス 10 の二次側に電力が供給される。

[0047] 制御回路 20 は、第3動作モードの期間 t 3 が終了すると、コンバータ 1 の動作モードを第3動作モードから第4動作モードに切り替える。第4動作モードの期間 t 4 では、制御回路 20 は、第2スイッチ S 2 及び第3スイッチ S 3 をオン状態に制御し、第1スイッチ S 1 及び第4スイッチ S 4 をオフ状態に制御する。第4動作モードでの第1～第4スイッチ S 1～S 4 の状態は、第2動作モードでの第1～第4スイッチ S 1～S 4 の状態と同じである。第4動作モードにおいても、トランス 10 の一次巻線 11 の両端間が、第2スイッチ S 2 と第3ダイオード D 3 との直列回路、及び、第3スイッチ S 3 と第4ダイオード D 4 との直列回路を介して双方向に短絡されているので、一次巻線 11 に電流が流れず、トランス 10 の二次側への電力供給は行われない。また、第3動作モードにおいて、インダクタ L 1 の放電が終了し、電流 I 1 はゼロになっているので、第4動作モードにおいても電流 I 1 は流れない。

[0048] その後、第4動作モードの期間 t 4 が終了すると、制御回路 20 は、コンバータ 1 の動作モードを第4動作モードから第1動作モードに切り替える。第1動作モードの動作は上述の通りである。ここで、第3動作モードの途中から第1動作モードの開始時点まで、電流 I 1 がゼロとなっているので、電流 I 1 がゼロの状態、第1スイッチ S 1 をオフ状態からオン状態に切り替えることができる。ゼロ電流状態で第1スイッチ S 1 がオフ状態からオン状

態に切り替わるので、ゼロカレントスイッチング（ZCS）を行うことでスイッチングロスを低減できる。

[0049] 本実施形態では、第1動作モード、第2動作モード、第3動作モード、第4動作モードがこの順番で周期的に繰り返すように、制御回路20が第1～第4スイッチS1～S4を制御しており、第2直列回路3の両端間の電圧 $V_{bus}$ 、及び、トランス10の一次巻線11に印加される電圧 $V_1$ を制御することができる。なお、本実施形態のコンバータ1は、第2スイッチS2及び第3スイッチS3の接続点の電圧が $V_{bus}$ 、 $(V_{bus}/2)$ 、0の3つのレベルに変化するマルチレベル方式のコンバータ回路である。そして、制御回路20は、第1動作モードの時間長と第3動作モードの時間長とが同じ時間長になり、第2直列回路3の両端間の電圧 $V_{bus}$ が、交流電源PS1から入力される入力電圧 $V_{in}$ のピーク値の2倍以上となるように、第1動作モード、第2動作モード、第3動作モード及び第4動作モードの時間長を制御している。制御回路20がこのような制御を行うことで、第3動作モードで動作する間に電流 $I_1$ がゼロになり、電流 $I_1$ が不連続となる不連続モードでスイッチング動作を行うことができる。また、交流電源PS1からの入力電圧 $V_{in}$ に凡そ比例した電流 $I_1$ が流れるので、簡単な制御で力率が向上するという利点がある。

[0050] なお、交流電源PS1からの入力電圧 $V_{in}$ の負の半周期においても、制御回路20は、第1動作モード、第2動作モード、第3動作モード及び第4動作モードをこの順番で周期的に繰り返すように第1～第4スイッチS1～S4を制御する。交流電源PS1からの入力電圧 $V_{in}$ の負の半周期では、第3動作モードにおいてインダクタL1にエネルギーが蓄積され、第3動作モードに続く第4動作モード及び第1動作モードにおいて、インダクタL1に蓄積されたエネルギーが放出されることになる。なお、入力電圧 $V_{in}$ の負の半周期でのコンバータ1の動作については説明を省略するが、入力電圧 $V_{in}$ の負の半周期では、第3期間 $t_3$ においてインダクタL1にエネルギーが蓄積され、第3期間 $t_3$ の後の第4期間 $t_4$ 及び第1期間 $t_1$ においてインダ

クタL 1 に蓄積されたエネルギーが放出される。

[0051] また、コンバータ 1 は、第 1 動作モード及び第 3 動作モードでトランス 10 の二次側に電力を供給し、第 2 動作モード及び第 4 動作モードではトランス 10 の二次側への電力供給を停止している。ここで、制御回路 20 は、第 1 動作モードの時間長と第 3 動作モードの時間長を同じ時間長に制御し、第 1 動作モードの時間長と第 3 動作モードの時間長との合計時間長と、第 2 動作モードの時間長と第 4 動作モードの時間長との合計時間長との比率を調整することによって、負荷 40 への供給電力を制御する。スイッチング周期の 1 周期  $T_1$  において第 1 動作モードの時間長及び第 3 動作モードの時間長の割合が大きいほど、負荷 40 への供給電力が増加するので、制御回路 20 は、第 1 動作モード及び第 3 動作モードの合計時間長と第 2 動作モード及び第 4 動作モードの合計時間長との比率を調整することによって、トランス 10 の二次側に電力を供給する期間を調整することができる。よって、制御回路 20 は、第 1～第 4 スイッチ  $S_1$ ～ $S_4$  のスイッチング周波数を変化させることなく、負荷 40 への供給電力を調整することができる。

[0052] (3) 変形例

上記実施形態は、本開示の様々な実施形態の一つに過ぎない。上記実施形態は、本開示の目的を達成できれば、設計等に応じて種々の変更が可能である。

[0053] 以下、上記の実施形態の変形例を列挙する。以下に説明する変形例は、適宜組み合わせて適用可能である。以下では、上記の実施形態を基本構成と言う場合もある。

[0054] 本開示におけるコンバータ 1 は、コンピュータシステムを含んでいる。コンピュータシステムは、ハードウェアとしてのプロセッサ及びメモリを主構成とする。コンピュータシステムのメモリに記録されたプログラムをプロセッサが実行することによって、本開示におけるコンバータ 1 の制御回路 20 としての機能が実現される。プログラムは、コンピュータシステムのメモリに予め記録されてもよく、電気通信回線を通じて提供されてもよく、コンピ

ユータシステムで読み取り可能なメモリカード、光学ディスク、ハードディスクドライブ等の非一時的記録媒体に記録されて提供されてもよい。コンピュータシステムのプロセッサは、半導体集積回路（IC）又は大規模集積回路（LSI）を含む1又は複数の電子回路で構成される。ここでいうIC又はLSI等の集積回路は、集積の度合いによって呼び方が異なっており、システムLSI、VLSI（Very Large Scale Integration）、又はULSI（Ultra Large Scale Integration）と呼ばれる集積回路を含む。さらに、LSIの製造後にプログラムされる、FPGA（Field-Programmable Gate Array）、又はLSI内部の接合関係の再構成若しくはLSI内部の回路区画の再構成が可能な論理デバイスについても、プロセッサとして採用することができる。複数の電子回路は、1つのチップに集約されていてもよいし、複数のチップに分散して設けられていてもよい。複数のチップは、1つの装置に集約されていてもよいし、複数の装置に分散して設けられていてもよい。ここでいうコンピュータシステムは、1以上のプロセッサ及び1以上のメモリを有するマイクロコントローラを含む。したがって、マイクロコントローラについても、半導体集積回路又は大規模集積回路を含む1又は複数の電子回路で構成される。

[0055] 上記の実施形態では、制御回路20が、第1動作モードと、第2動作モードと、第3動作モードと、第4動作モードとを周期的に繰り返すように制御しているが、インダクタL1に流れる電流がゼロとなり、トランス10の二次側への電力供給も行われない動作モードは適宜省略が可能である。例えば、制御回路20は、交流電源PS1の第1端a1が第2端a2に比べて高電位となる正の半周期では、第4動作モードの期間をゼロにして、第1動作モード、第2動作モード、及び第3動作モードを周期的に繰り返すように制御してもよい。また、制御回路20は、交流電源PS1の第1端a1が第2端a2に比べて低電位となる負の半周期では、第2動作モードの期間をゼロにして、第1動作モード、第3動作モード及び第4動作モードを周期的に繰り返すように制御してもよい。このように、第4動作モード又は第2動作モー

ドを省略し、残りの3つの動作モードを周期的に繰り返すように制御することで、スイッチング周期を短くできるという利点がある。

[0056] 上記の実施形態では、第1～第4半導体スイッチS1～S4が、Nチャンネル型のMOSFETであったが、第1～第4半導体スイッチS1～S4は、バイポーラトランジスタ又はIGBT (Insulated Gate Bipolar Transistor) 等の半導体スイッチでもよい。

[0057] また、上記の実施形態では、インダクタL1が、第1直列回路2と交流電源PS1との間に接続されているが、インダクタL1は、第1整流回路4と交流電源PS1との間、つまり第1ダイオードD1及び第2ダイオードD2の接続点P5と交流電源PS1の第1端a1との間に接続されていてもよい。また、第1直列回路2と交流電源PS1との間、及び、第1整流回路4と交流電源PS1との間のそれぞれにインダクタL1が接続されていてもよい。

[0058] また、上記の実施形態では、コンバータ1が、LCフィルタのようなフィルタ回路F1を備えているが、フィルタ回路F1の回路構成は適宜変更可能である。また、フィルタ回路F1はコンバータ1に必須の構成ではなく、適宜省略可能である。

[0059] また、上記の実施形態では、トランス10の二次側に、ダイオードブリッジ回路を含む第2整流回路30が接続されているが、第2整流回路30の構成は適宜変更可能であり、半導体スイッチで構成されたフルブリッジ型の同期整流回路等でもよい。

[0060] (まとめ)

以上説明した実施形態等から、以下の態様が開示されている。

[0061] 第1の態様の絶縁型AC/DCコンバータ(1)は、第1整流回路(4)と、第1直列回路(2)と、第2直列回路(3)と、第3ダイオード(D3)と、第4ダイオード(D4)と、インダクタ(L1)と、トランス(10)と、第2整流回路(30)と、制御回路(20)と、を備える。第1整流回路(4)は、第1ダイオード(D1)、及び、第1ダイオード(D1)の

アノードにカソードが接続された第2ダイオード(D2)の直列回路を含み、第1ダイオード(D1)及び第2ダイオード(D2)の接続点に交流電源(PS1)の第1端(a1)が接続される。第1直列回路(2)は、第1ダイオード(D1)のカソードと第2ダイオード(D2)のアノードとの間に直列に接続された第1半導体スイッチ(S1)、第2半導体スイッチ(S2)、第3半導体スイッチ(S3)及び第4半導体スイッチ(S4)を含み、第2半導体スイッチ(S2)及び第3半導体スイッチ(S3)の接続点に交流電源(PS1)の第2端(a2)が接続される。第2直列回路(3)は、第1キャパシタ(C1)及び第2キャパシタ(C2)の直列回路を含み、第1直列回路(2)と並列に接続される。第3ダイオード(D3)は、第1半導体スイッチ(S1)及び第2半導体スイッチ(S2)の接続点にカソードが接続され、第1キャパシタ(C1)及び第2キャパシタ(C2)の接続点にアノードが接続される。第4ダイオード(D4)は、第3半導体スイッチ(S3)及び第4半導体スイッチ(S4)の接続点にアノードが接続され、第1キャパシタ(C1)及び第2キャパシタ(C2)の接続点にカソードが接続される。インダクタ(L1)は、第1整流回路(4)及び第1直列回路(2)の少なくとも一方と交流電源(PS1)との間に接続される。トランス(10)は、第2半導体スイッチ(S2)及び第3半導体スイッチ(S3)の接続点と、第1キャパシタ(C1)及び第2キャパシタ(C2)の接続点との間に一次巻線(11)が接続される。第2整流回路(30)は、トランス(10)の二次巻線(12)に接続され、二次巻線(12)に流れる電流を整流して負荷(40)に出力する。制御回路(20)は、第1半導体スイッチ(S1)、第2半導体スイッチ(S2)、第3半導体スイッチ(S3)、及び第4半導体スイッチ(S4)の各々をオン状態又はオフ状態に制御する。

[0062] この態様によれば、第1半導体スイッチ(S1)及び第2半導体スイッチ(S2)がオン状態となり、第3半導体スイッチ(S3)及び第4半導体スイッチ(S4)がオフ状態となる第1動作モードにおいて、トランス(10

)の一次巻線(11)に電流が流れ、トランス(10)の二次巻線(12)に接続される負荷(40)に電力が供給される。また、第3半導体スイッチ(S3)及び第4半導体スイッチ(S4)がオン状態となり、第1半導体スイッチ(S1)及び第2半導体スイッチ(S2)がオフ状態となる第3動作モードにおいて、トランス(10)の一次巻線(11)に電流が流れ、トランス(10)の二次巻線(12)に接続される負荷(40)に電力が供給される。したがって、制御回路(20)が、第1～第4半導体スイッチ(S1～S4)をスイッチングするスイッチング周期の1周期内で、第1動作モード及び第3動作モードが占める割合を調整することで、負荷(40)に供給する電力を調整することができる。さらに、インダクタ(L1)には、交流電源(PS1)からの入力電圧に凡そ比例した電流が流れるので、簡単な制御で、力率を改善可能な絶縁型AC/DCコンバータ(1)を実現することができる。

[0063] 第2の態様の絶縁型AC/DCコンバータ(1)では、第1の態様において、第1キャパシタ(C1)の静電容量と第2キャパシタ(C2)の静電容量が同じである。

[0064] この態様によれば、第1キャパシタ(C1)及び第2キャパシタ(C2)の接続点の電圧を、第2直列回路(3)の両端間の電圧(Vbus)の2分の1の電圧に設定することができる。

[0065] 第3の態様の絶縁型AC/DCコンバータ(1)では、第1又は第2の態様において、制御回路(20)は、第1動作モードと、第2動作モードと、第3動作モードと、第4動作モードと、を周期的に繰り返すように制御する。第1動作モードでは、第1半導体スイッチ(S1)及び第2半導体スイッチ(S2)がオン状態であり、第3半導体スイッチ(S3)及び第4半導体スイッチ(S4)がオフ状態である。第2動作モード及び第4動作モードでは、第2半導体スイッチ(S2)及び第3半導体スイッチ(S3)がオン状態であり、第1半導体スイッチ(S1)及び第4半導体スイッチ(S4)がオフ状態である。第3動作モードでは、第3半導体スイッチ(S3)及び第

4半導体スイッチ（S4）がオン状態であり、第1半導体スイッチ（S1）及び第2半導体スイッチ（S2）がオフ状態である。

[0066] この態様によれば、第1～第4動作モードを周期的に繰り返すことによって、交流電源（PS1）からの入力電圧（ $V_{in}$ ）を直流電圧に変換して負荷（40）に供給する動作を行うことができる。

[0067] 第4の態様の絶縁型AC/DCコンバータ（1）では、第3の態様において、制御回路（20）は、インダクタ（L1）に流れる電流が不連続となる不連続モードで動作するように、第1動作モード、第2動作モード、第3動作モード及び第4動作モードの時間長を制御する。

[0068] この態様によれば、ゼロカレントスイッチングを行うことでスイッチングロスを低減できる。

[0069] 第5の態様の絶縁型AC/DCコンバータ（1）では、第4の態様において、制御回路（20）は、第1動作モードの時間長と第3動作モードの時間長を同じ時間長に制御し、第2直列回路（3）の両端間の電圧（ $V_{bus}$ ）が、交流電源（PS1）から入力される入力電圧（ $V_{in}$ ）のピーク値の2倍以上となるように、第1動作モード、第2動作モード、第3動作モード及び第4動作モードの時間長を制御する。

[0070] この態様によれば、不連続モードで動作させることができる。

[0071] 第6の態様の絶縁型AC/DCコンバータ（1）では、第3～第5のいずれかの態様において、制御回路（20）は、第1動作モードの時間長と第3動作モードの時間長を同じ時間長に制御する。制御回路（20）は、第1動作モードの時間長と第3動作モードの時間長との合計時間長と、第2動作モードの時間長と第4動作モードの時間長との合計時間長との比率を調整することによって、負荷（40）への供給電力を制御する。

[0072] この態様によれば、第1動作モード及び第3動作モードでは負荷（40）に電力が供給され、第2動作モード及び第4動作モードでは負荷（40）への電力供給が停止するので、第1動作モードの時間長（又は第2動作モードの時間長）と第2動作モードの時間長（又は第4動作モードの時間長）との

比率を調整することによって、負荷（４０）への供給電力を制御することができる。

[0073] 第７の態様の絶縁型ＡＣ／ＤＣコンバータ（１）では、第３～第６のいずれかの態様において、制御回路（２０）は、交流電源（ＰＳ１）の第１端（ａ１）が第２端（ａ２）に比べて高電位となる正の半周期では、第４動作モードの期間をゼロにして、第１動作モード、第２動作モード、及び第３動作モードを周期的に繰り返すように制御する。制御回路（２０）は、交流電源（ＰＳ１）の第１端（ａ１）が第２端（ａ２）に比べて低電位となる負の半周期では、第２動作モードの期間をゼロにして、第１動作モード、第３動作モード及び第４動作モードを周期的に繰り返すように制御する。

[0074] この態様によれば、スイッチング周期を短縮できる。

[0075] 第８の態様の絶縁型ＡＣ／ＤＣコンバータ（１）では、第１～第７のいずれかの態様において、第２整流回路（３０）が、ダイオードブリッジ回路を含む。

[0076] この態様によれば、第２整流回路（３０）が、制御の不要なダイオードブリッジ回路で構成されているので、制御回路（２０）の構成を簡素化することができる。

[0077] 第２～第８の態様に係る構成については、絶縁型ＡＣ／ＤＣコンバータ（１）に必須の構成ではなく、適宜省略可能である。

## 符号の説明

- [0078]
- １ 絶縁型ＡＣ／ＤＣコンバータ
  - ２ 第１直列回路
  - ３ 第２直列回路
  - ４ 整流回路（第１整流回路）
  - １０ トランス
  - １１ 一次巻線
  - １２ 二次巻線
  - ２０ 制御回路

- 3 0 整流回路（第 2 整流回路）
- 4 0 負荷
- a 1 第 1 端
- a 2 第 2 端
- C 1 第 1 キャパシタ
- C 2 第 2 キャパシタ
- D 1 第 1 ダイオード
- D 2 第 2 ダイオード
- D 3 第 3 ダイオード
- D 4 第 4 ダイオード
- L 1 インダクタ
- P S 1 交流電源
- S 1 第 1 半導体スイッチ
- S 2 第 2 半導体スイッチ
- S 3 第 3 半導体スイッチ
- S 4 第 4 半導体スイッチ

## 請求の範囲

### [請求項1]

第1ダイオード、及び、前記第1ダイオードのアノードにカソードが接続された第2ダイオードの直列回路を含み、前記第1ダイオード及び前記第2ダイオードの接続点に交流電源の第1端が接続される第1整流回路と、

前記第1ダイオードのカソードと前記第2ダイオードのアノードとの間に直列に接続された第1半導体スイッチ、第2半導体スイッチ、第3半導体スイッチ及び第4半導体スイッチを含み、前記第2半導体スイッチ及び第3半導体スイッチの接続点に前記交流電源の第2端が接続される第1直列回路と、

第1キャパシタ及び第2キャパシタの直列回路を含み、前記第1直列回路と並列に接続される第2直列回路と、

前記第1半導体スイッチ及び前記第2半導体スイッチの接続点にカソードが接続され、前記第1キャパシタ及び前記第2キャパシタの接続点にアノードが接続される第3ダイオードと、

前記第3半導体スイッチ及び前記第4半導体スイッチの接続点にアノードが接続され、前記第1キャパシタ及び前記第2キャパシタの接続点にカソードが接続される第4ダイオードと、

前記第1整流回路及び前記第1直列回路の少なくとも一方と前記交流電源との間に接続されるインダクタと、

前記第2半導体スイッチ及び前記第3半導体スイッチの接続点と、前記第1キャパシタ及び前記第2キャパシタの接続点との間に一次巻線が接続されるトランスと、

前記トランスの二次巻線に接続され、前記二次巻線に流れる電流を整流して負荷に出力する第2整流回路と、

前記第1半導体スイッチ、前記第2半導体スイッチ、前記第3半導体スイッチ、及び前記第4半導体スイッチの各々をオン状態又はオフ状態に制御する制御回路と、を備える、

絶縁型AC/DCコンバータ。

[請求項2] 前記第1キャパシタの静電容量と前記第2キャパシタの静電容量が同じである、

請求項1に記載の絶縁型AC/DCコンバータ。

[請求項3] 前記制御回路は、第1動作モードと、第2動作モードと、第3動作モードと、第4動作モードとを周期的に繰り返すように制御し、

前記第1動作モードでは、前記第1半導体スイッチ及び前記第2半導体スイッチがオン状態、前記第3半導体スイッチ及び前記第4半導体スイッチがオフ状態であり、

前記第2動作モード及び前記第4動作モードでは、前記第2半導体スイッチ及び前記第3半導体スイッチがオン状態、前記第1半導体スイッチ及び前記第4半導体スイッチがオフ状態であり、

前記第3動作モードでは、前記第3半導体スイッチ及び前記第4半導体スイッチがオン状態、前記第1半導体スイッチ及び前記第2半導体スイッチがオフ状態である、

請求項1又は2に記載の絶縁型AC/DCコンバータ。

[請求項4] 前記制御回路は、前記インダクタに流れる電流が不連続となる不連続モードで動作するように、前記第1動作モード、前記第2動作モード、前記第3動作モード及び前記第4動作モードの時間長を制御する、

請求項3に記載の絶縁型AC/DCコンバータ。

[請求項5] 前記制御回路は、

前記第1動作モードの時間長と前記第3動作モードの時間長を同じ時間長に制御し、

前記第2直列回路の両端間の電圧が、前記交流電源から入力される入力電圧のピーク値の2倍以上となるように、前記第1動作モード、前記第2動作モード、前記第3動作モード及び前記第4動作モードの時間長を制御する、

請求項4に記載の絶縁型AC/DCコンバータ。

[請求項6]

前記制御回路は、

前記第1動作モードの時間長と前記第3動作モードの時間長を同じ時間長に制御し、

前記第1動作モードの時間長と前記第3動作モードの時間長との合計時間長と、前記第2動作モードの時間長と前記第4動作モードの時間長との合計時間長との比率を調整することによって、前記負荷への供給電力を制御する、

請求項3～5のいずれか1項に記載の絶縁型AC/DCコンバータ

。

[請求項7]

前記制御回路は、

前記交流電源の前記第1端が前記第2端に比べて高電位となる正の半周期では、前記第4動作モードの期間をゼロにして、前記第1動作モード、前記第2動作モード、及び前記第3動作モードを周期的に繰り返すように制御し、

前記交流電源の前記第1端が前記第2端に比べて低電位となる負の半周期では、前記第2動作モードの期間をゼロにして、前記第1動作モード、前記第3動作モード及び前記第4動作モードを周期的に繰り返すように制御する、

請求項3～6のいずれか1項に記載の絶縁型AC/DCコンバータ

。

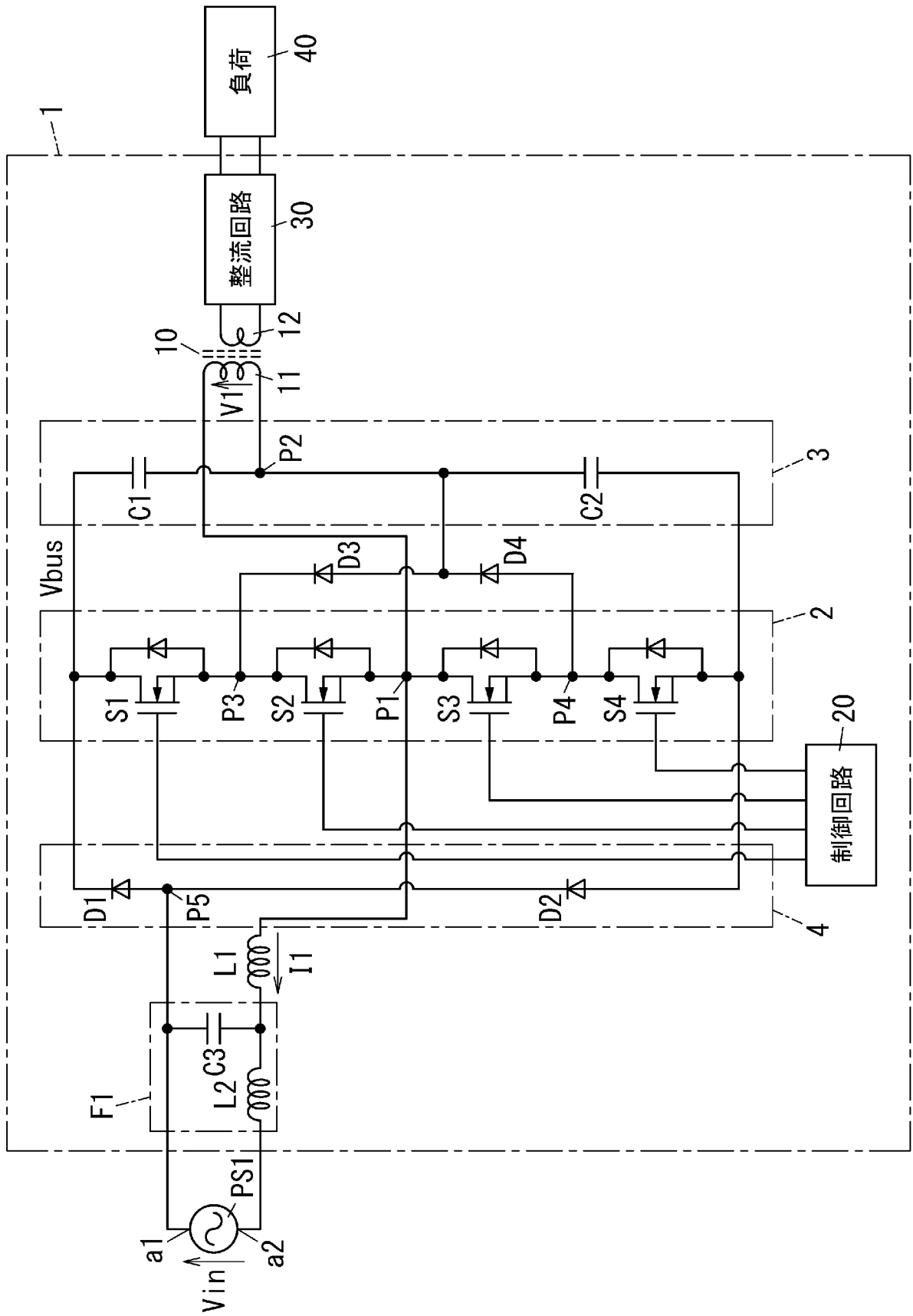
[請求項8]

前記第2整流回路が、ダイオードブリッジ回路を含む、

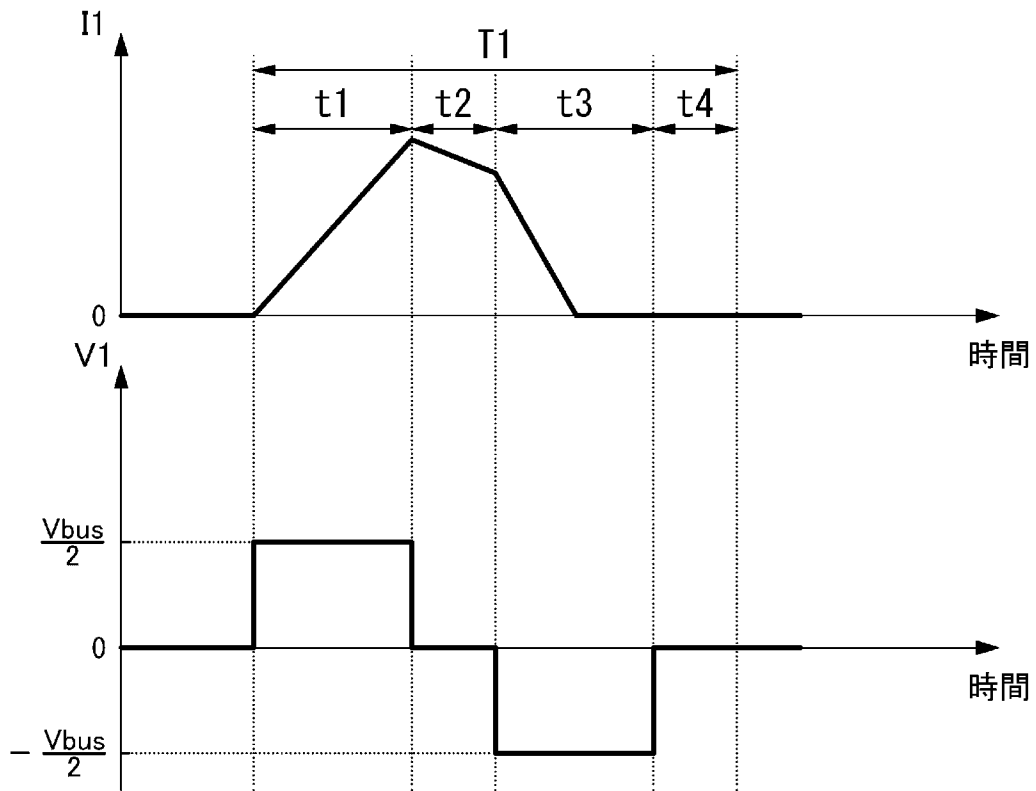
請求項1～7のいずれか1項に記載の絶縁型AC/DCコンバータ

。

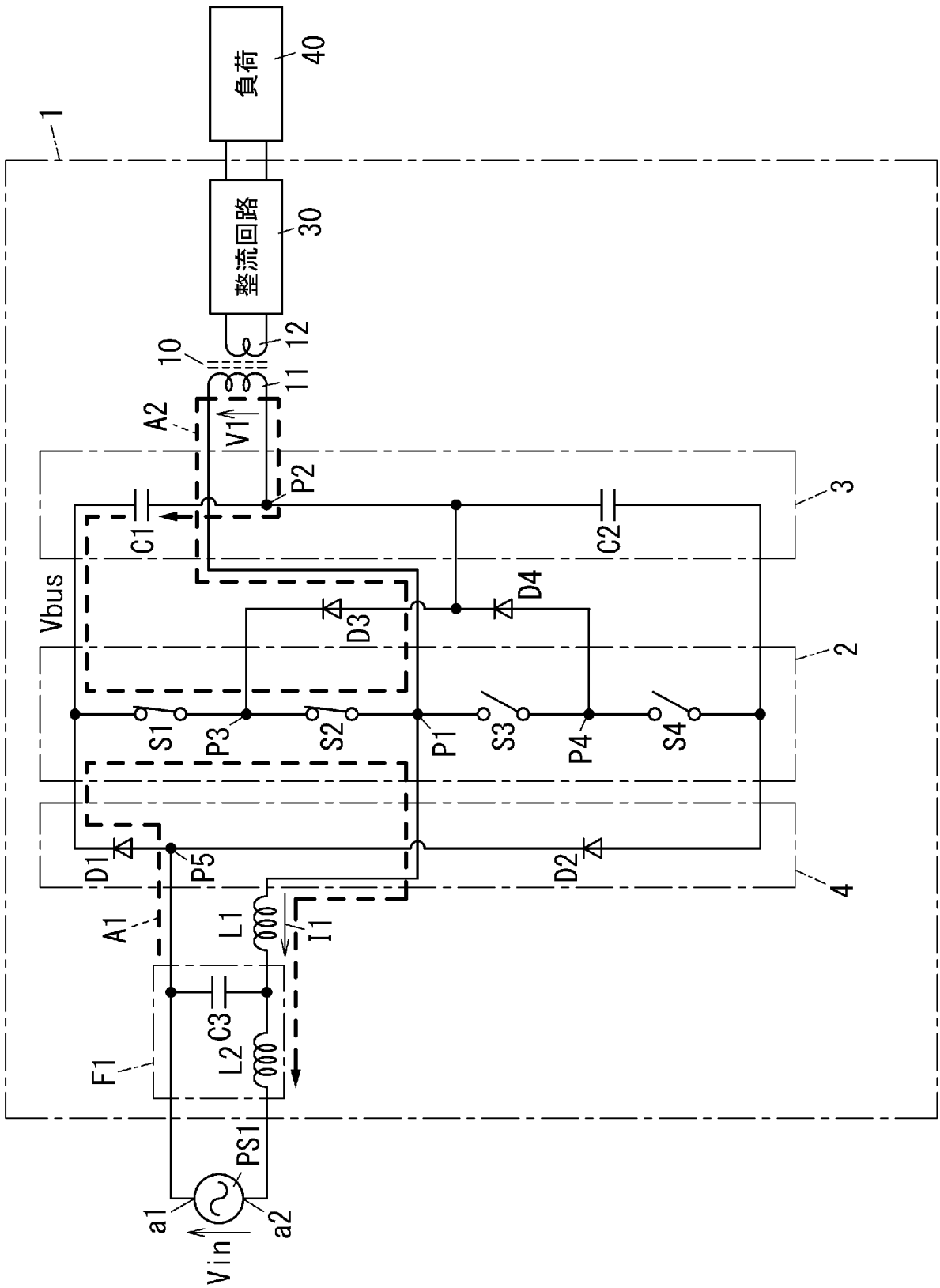
[図1]



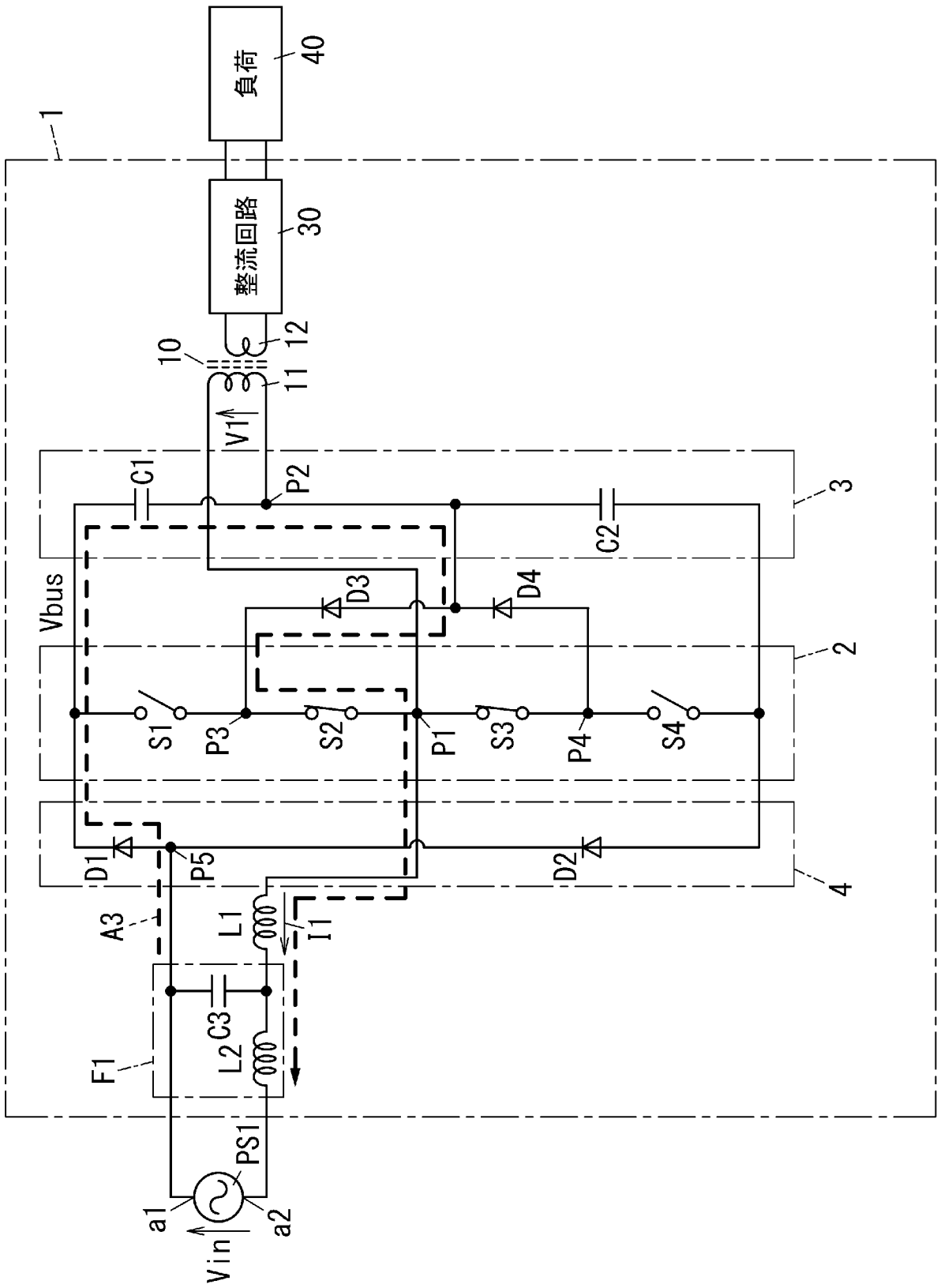
[図2]



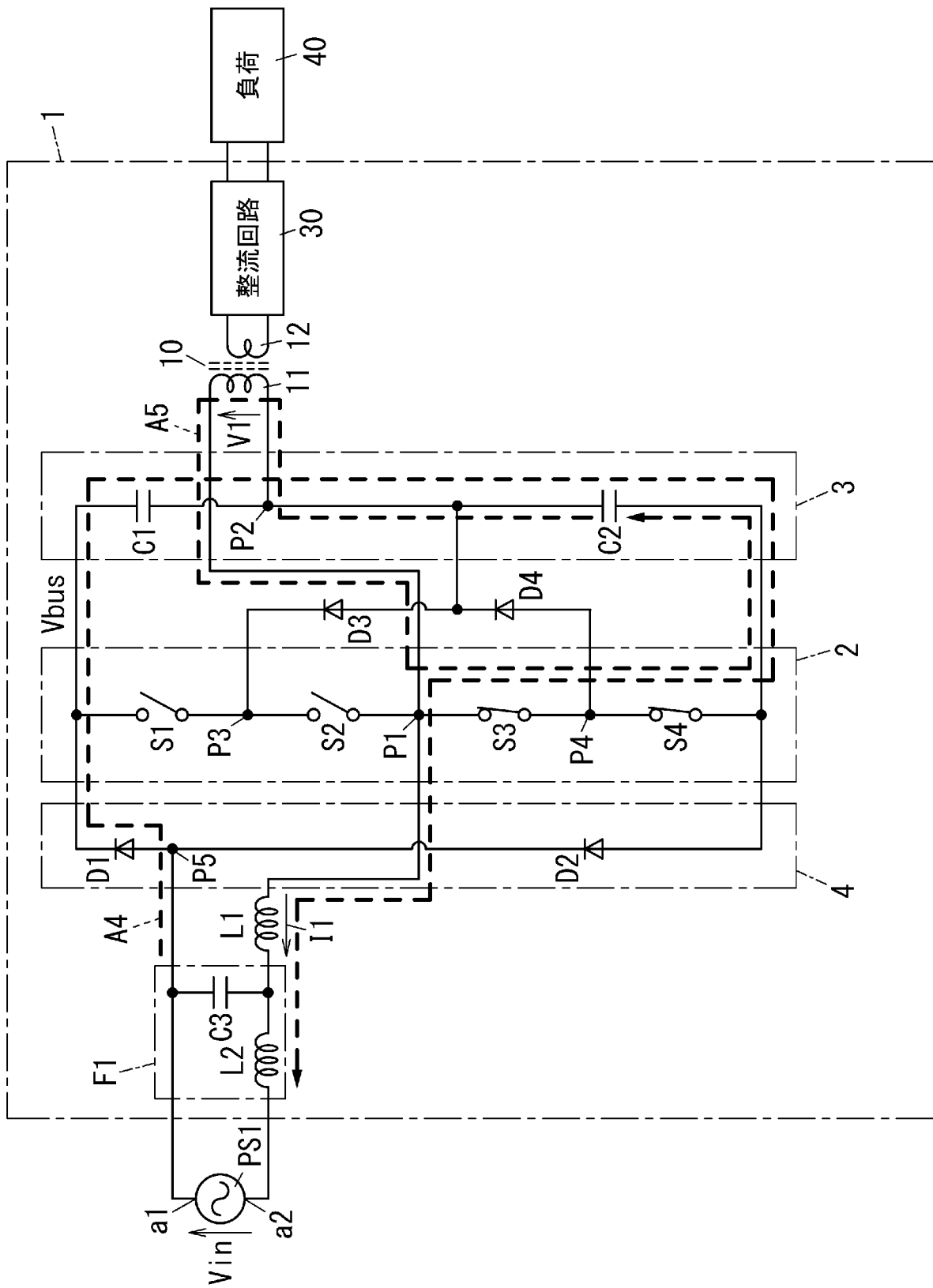
[図3]



[図4]



[図5]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/023672

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> <i>H02M 7/12</i> (2006.01)i; <i>H02M 3/28</i> (2006.01)j FI: H02M7/12 P; H02M3/28 H  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H02M7/12; H02M3/28		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2022/023527 A1 (PRODRIVE TECHNOLOGIES INNOVATION SERVICES B.V.) 03 February 2022 (2022-02-03) entire text, all drawings	1-8
A	JP 2019-097300 A (FUJI ELECTRIC CO., LTD.) 20 June 2019 (2019-06-20) entire text, all drawings	1-8
A	JP 2015-27169 A (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) 05 February 2015 (2015-02-05) entire text, all drawings	1-8
A	WO 2016/031061 A1 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) 03 March 2016 (2016-03-03) entire text, all drawings	1-8
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>05 September 2024</b>		Date of mailing of the international search report <b>17 September 2024</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2024/023672**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2022/023527	A1	03 February 2022	US 2023/0268844 A1 entire text, all drawings	
				JP 2023-535503 A	
				KR 10-2023-0043884 A	
				CN 116057825 A	
JP	2019-097300	A	20 June 2019	(Family: none)	
JP	2015-27169	A	05 February 2015	(Family: none)	
WO	2016/031061	A1	03 March 2016	US 2017/0222545 A1 entire text, all drawings	
				CN 106716812 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 7/12(2006.01)i; H02M 3/28(2006.01)i FI: H02M7/12 P; H02M3/28 H		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M7/12; H02M3/28 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2024年 日本国実用新案登録公報 1996 - 2024年 日本国登録実用新案公報 1994 - 2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2022/023527 A1 (PRODRIVE TECHNOLOGIES INNOVATION SERVICES B.V.) 03.02.2022 (2022 - 02 - 03) 全文、全図	1-8
A	JP 2019-097300 A (富士電機株式会社) 20.06.2019 (2019 - 06 - 20) 全文、全図	1-8
A	JP 2015-27169 A (新電元工業株式会社) 05.02.2015 (2015 - 02 - 05) 全文、全図	1-8
A	WO 2016/031061 A1 (新電元工業株式会社) 03.03.2016 (2016 - 03 - 03) 全文、全図	1-8
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 05.09.2024	国際調査報告の発送日 17.09.2024	
名称及びあて先 日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 尾家 英樹 3H 9335 電話番号 03-3581-1101 内線 3316	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/023672

引用文献			公表日	パテントファミリー文献			公表日
WO	2022/023527	A1	03.02.2022	US	2023/0268844	A1	
				全文、全図			
				JP	2023-535503	A	
				KR	10-2023-0043884	A	
				CN	116057825	A	
-----							
JP	2019-097300	A	20.06.2019	(ファミリーなし)			
-----							
JP	2015-27169	A	05.02.2015	(ファミリーなし)			
-----							
WO	2016/031061	A1	03.03.2016	US	2017/0222545	A1	
				全文、全図			
				CN	106716812	A	
-----							