



(12) 发明专利

(10) 授权公告号 CN 101042610 B

(45) 授权公告日 2010. 04. 21

(21) 申请号 200710085744. 8

审查员 慈丽雁

(22) 申请日 2007. 03. 08

(30) 优先权数据

2006-080796 2006. 03. 23 JP

(73) 专利权人 三洋电机株式会社

地址 日本国大阪府

(72) 发明人 清崎健一

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 李香兰

(51) Int. Cl.

G06F 1/32 (2006. 01)

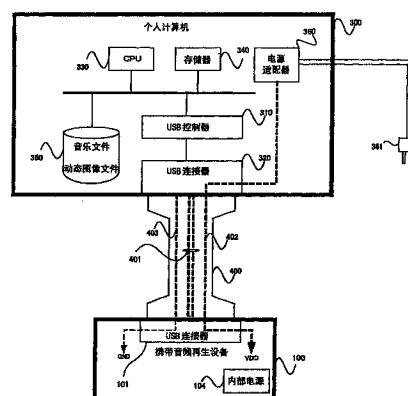
权利要求书 1 页 说明书 8 页 附图 4 页

(54) 发明名称

集成电路以及采用该集成电路的信号处理装置

(57) 摘要

在被施加用于供给第一电源电压的外部电源而进行工作的集成电路中,具备:电源电压监视部,其监视从上述外部电源供给的上述第一电源电压的电平,判定从上述外部电源是否供给上述第一电源电压;时钟选择部,其被供给第一频率的第一时钟以及具有比上述第一频率低的第二频率的第二时钟,当由上述电源电压监视部判定为供给上述第一电源电压的情况下,选择输出上述第一时钟,当由上述电源电压监视部判定为没有供给上述第一电源电压的情况下,选择输出上述第二时钟;和处理器,其接收上述时钟选择部输出的上述第一时钟或上述第二时钟中任一方的供给而进行工作,并且控制上述集成电路的工作。从而通过按照外部电源的供给状况适当地控制所供给的电源电压,能降低集成电路中的耗电。



1. 一种集成电路,具备:

电源电压监视部,其监视从外部电源供给的第一电源电压的电平,判定从上述外部电源是否供给上述第一电源电压;

时钟选择部,其被供给第一频率的第一时钟以及具有比上述第一频率低的第二频率的第二时钟,当由上述电源电压监视部判定为供给上述第一电源电压的情况下,选择输出上述第一时钟,当由上述电源电压监视部判定为没有供给上述第一电源电压的情况下,选择输出上述第二时钟;和

处理器,其接收上述时钟选择部输出的上述第一时钟或上述第二时钟中任一方的供给而进行工作,并且控制上述集成电路的工作,

该集成电路被施加上述外部电源或用于供给电平比上述第一电源电压低的第二电源电压的内部电源中的任一方面而进行工作,

上述电源电压监视部,

按照当判定为供给上述第一电源电压的情况下,应施加上述第一电源电压,当判定为没有供给上述第一电源电压的情况下,应施加上述第二电源电压的方式进行控制。

2. 根据权利要求1所述的集成电路,其特征在于,

上述外部电源由可进行数据通信、且可供给上述第一电源电压的接口来供给。

3. 根据权利要求1所述的集成电路,其特征在于,

该集成电路还具备 PLL 电路,该 PLL 电路基于上述第二时钟生成上述第一时钟。

4. 根据权利要求1所述的集成电路,其特征在于,

上述电源电压监视部,当开始供给上述第一电源电压时,在电源电压变化后切换上述时钟选择部中的选择,当结束上述第一电源电压的供给时,在电源电压的变化之前切换上述时钟选择部中的选择。

5. 根据权利要求1或3所述的集成电路,其特征在于,

该集成电路还具备对数字数据进行解码处理的数字信号处理电路,该数字信号处理电路按照上述电源电压监视部所选择控制的上述第一电源电压或上述第二电源电压中的任一方面而进行工作。

6. 一种信号处理装置,具备根据权利要求5所述的集成电路,其特征在于,

该信号处理装置还具备电源电压选择部,该电源电压选择部与上述外部电源及上述内部电源连接,根据上述电源电压监视部的判定结果,输出上述第一电源电压或上述第二电源电压中任一方,

上述集成电路按照上述电源电压选择部所输出的上述第一电源电压或上述第二电源电压中任一方而进行工作。

7. 根据权利要求6所述的信号处理装置,其特征在于,

该信号处理装置还具备保存上述数字数据的非易失性存储器,

上述数字信号处理电路,将保存在上述非易失性存储器中的上述数字数据读出并进行解码处理。

集成电路以及采用该集成电路的信号处理装置

技术领域

[0001] 本发明涉及集成电路以及采用该集成电路的信号处理装置。

背景技术

[0002] 随着近年来的电子学技术的发展,携带音频再生设备、携带电话、携带型游戏机(game)、PDA(Personal Digital Assistants)等的以移动便利的携带性为卖点,并且执行与期望的应用相关的信号处理的信号处理装置的普及非常显著。上述信号处理装置通过搭载由二次电池(镍氢充电器、锂离子充电电池等)或一次电池(碱干电池、锰干电池等)构成的内部电源而实现携带性(例如参照以下所示的专利文献1)。

[0003] 然而,如果只由内部电源的电源电压长时间执行期望的应用,则结果必然导致内部电源的耗电增大。因此,从长时间执行多种多样的应用的角度来看,信号处理装置必须有更进一步的低耗电化的对策,已有的对策不是很充分。

[0004] 专利文献1:日本特开2001-184146号公报。

发明内容

[0005] 用于解决上述课题的第1发明的集成电路,具备:电源电压监视部,其监视从外部电源供给的第一电源电压的电平,判定从上述外部电源是否供给上述第一电源电压;时钟选择部,其被供给第一频率的第一时钟以及具有比上述第一频率低的第二频率的第二时钟,当由上述电源电压监视部判定为供给上述第一电源电压的情况下,选择输出上述第一时钟,当由上述电源电压监视部判定为没有供给上述第一电源电压的情况下,选择输出上述第二时钟;和处理器,其接收上述时钟选择部输出的上述第一时钟或上述第二时钟中任一方的供给而进行工作,控制上述集成电路的工作,该集成电路被施加上述外部电源或用于供给电平比上述第一电源电压低的第二电源电压的内部电源中的任一方向进行工作,上述电源电压监视部,按照当判定为供给上述第一电源电压的情况下,应施加上述第一电源电压,当判定为没有供给上述第一电源电压的情况下,应施加上述第二电源电压的方式进行控制。

[0006] 第2发明的集成电路在第1发明的集成电路中,上述外部电源由可进行数据通信、且可供给上述第一电源电压的接口来供给。

[0007] 第3发明的集成电路在第1发明的集成电路中,还具备PLL电路,该PLL电路基于上述第二时钟生成上述第一时钟。

[0008] 第4发明的集成电路在第1发明的集成电路中,上述电源电压监视部,当开始供给上述第一电源电压时,在电源电压变化后切换上述时钟选择部中的选择,当结束上述第一电源电压的供给时,在电源电压的变化之前切换上述时钟选择部中的选择。

[0009] 第5发明的集成电路在第1或第3发明的集成电路中,还具备对数字数据进行解码处理的数字信号处理电路,该数字信号处理电路按照上述电源电压监视部所选择控制的上述第一电源电压或上述第二电源电压中的任一方向进行工作。

[0010] 第6发明的信号处理装置,具备第5发明的集成电路,该信号处理装置还具备电源电压选择部,该电源电压选择部与上述外部电源及上述内部电源连接,根据上述电源电压监视部的判定结果,输出上述第一电源电压或上述第二电源电压中任一方,上述集成电路按照上述电源电压选择部所输出的上述第一电源电压或上述第二电源电压中任一方而进行工作。

[0011] 第7发明的信号处理装置在第6发明的信号处理装置中,还具备保存上述数字数据的非易失性存储器,上述数字信号处理电路,将保存在上述非易失性存储器中的上述数字数据读出并进行解码处理。

[0012] 根据本发明,通过按照外部电源的供给状况适当地控制所供给的电源电压,能降低集成电路中的耗电。

附图说明

[0013] 图1为用于说明本发明相关的信号处理装置的外部连接的图。

[0014] 图2为表示本发明相关的信号处理装置的结构图。

[0015] 图3为用于说明本发明相关的集成电路的动作的主要信号的波形图。

[0016] 图4为用于说明本发明相关的集成电路的动作的主要信号的波形图。

[0017] 符号的说明:100-携带音频再生设备;101、320-USB接口;102、402-电源线;103-调节器电路;104-内部电源;105-电源电压选择部;106-非易失性存储器;107-晶振;200-ASIC;201-D+端子;202-D-端子;203-MI端子;204-OUT端子;205-XTAL端子;206-VBUS端子;207-DET端子;208-VDD端子;210-微计算机;220、310-USB控制器;230-存储器接口电路;240-DSP;250-RAM;260-DA转换器;270-电源电压监视部;271-二值化处理部;272-判定处理部;280-PLL电路;290-时钟选择部;300-个人计算机;330-CPU;340-存储器;350-硬盘;360-电源适配器;361-电源插销;400-USB电缆;401-数据线;403-GND线。

具体实施方式

[0018] <信号处理装置的外部连接>

[0019] 图1为用于说明本发明相关的信号处理装置的外部连接的图。以下,采用携带音频再生设备100作为本发明相关的信号处理装置的一例,来进行说明,其中携带音频再生设备100具备USB(Universal Serial Bus)接口101,对从个人计算机300介由USB电缆400的数据线401传输的压缩音频数据进行数字再生。另外,作为本发明相关的信号处理装置,也可为携带电话、携带游戏机、PDA等。

[0020] 在此,所谓USB,为可采用公共的USB接口将各种类型的信号处理装置与USB主设备连接的串行接口标准。USB当前的最新版本为“USB2.0”,具有LS(Low Speed)、FS(Full Speed)以及HS(High Speed)这三种类型的传输模式,按照用途分开使用三种传输模式。此外,USB通过利用集线器(hub)可以树状连接最多127个USB设备,此外,在接通USB主设备的电源的状态下,与可连接新的USB设备的所谓热插拔(hotplug)对应。

[0021] 首先,个人计算机300具备USB控制器310和USB接口320。此时,通过由USB电缆400连接个人计算机300的USB接口300和携带音频再生设备100的USB接口101之间,

从而个人计算机 300 和携带音频再生设备 100 间被 USB 连接。另外, USB 电缆 400 由两根数据线 401、电源线 402 和 GND 线 403 构成, USB 接口 320、101 分别设置有一对数据端子 D+ 以及 D-、电源端子 VBUS 和 GND 端子。

[0022] 个人计算机 300 具备将介由电源插销 361 供给的 AC 电源电压转换为 DC 电源电压的电源适配器 360, 并且管理整体的控制的 CPU330、保存各种程序的 ROM 等的存储器 340、保持音乐文件或动态图像文件等的硬盘 350 互相可通信地连接。在此, 保存在硬盘 350 中的音乐文件, 例如为 MPEG-1 Audio Layer3 (MP3) 形式等的压缩音频数据, 保存在硬盘 350 中的动态图像文件例如为 MPEG-2 形式、MPEG-4 形式等的压缩影像数据 (movie data)。

[0023] 在此, 说明从个人计算机 300 向携带音频再生设备 100 传输音乐文件的数据的概要。首先, 个人计算机 300 启动保存在存储器 340 中的程序, 根据轮询 (polling) 请求等识别为自身与携带音频再生设备 100 连接的 USB 设备。并且, 个人计算机 300 从硬盘 350 读出任意的音乐文件, 向 USB 控制器 310 传输。USB 控制器 310 将从硬盘 350 读出的音乐文件转换为数据包形式后, 进行基于 USB 标准的通信协议处理, 该通信协议处理用于介由 USB 接口 320 至 USB 电缆 400 向携带音频再生设备 100 差动的半双重传输。其结果, 携带音频再生设备 100 能够从个人计算机 300 取入音乐文件。

[0024] 另一方面, 在从个人计算机 300 音乐文件的数据传输结束的情况下, 一般从 USB 接口 101 拆卸 USB 电缆 400 的基础上, 携带音频再生设备 100 对该音乐文件执行再生处理。但是, 在音乐文件的数据传输结束的情况下, 即使 USB 电缆 400 仍与 USB 接口 101 连接的状态下, 携带音频再生设备 100 也能执行音乐文件的再生处理。

[0025] 然而, 个人计算机 300 可利用 USB 电缆 400 所具有的电源线 402, 向携带音频再生设备 100 供给在电源适配器 360 中生成的 DC 电源电压 (以下称作电源电压 VBUS)。换句话说, 携带音频再生设备 100 从个人计算机 300 取入音乐文件, 并且可得到电源电压 VBUS 的供给。

[0026] 因此, 携带音频再生设备 100, 应抑制内部电源 104 的耗电, 将从个人计算机 300 供给的电源电压 VBUS 作为工作电压, 进行与个人计算机 300 之间的基于 USB 标准的通信协议处理和音乐文件的再生处理。

[0027] < 携带音频再生设备 >

[0028] 图 2 为表示携带音频再生设备 100 的结构的图。如图 2 所示, 携带音频再生设备 100, 由作为本发明相关的“集成电路”的一实施方式即 ASIC (Application Specific Integrated Circuit) 200 和其周边电路构成。另外, 在本实施方式中, 通过 ASIC 200 实现“集成电路”, 但除此之外也可由 FPGA (Field Programmable Gate Array) 或 PLD (Programmable Logic Device) 来实现。

[0029] 以下, 在对携带音频再生设备 100 的结构进行说明时, 分为 ASIC 200 的周边电路的结构和 ASIC 200 的结构来分别进行说明。

[0030] === ASIC 周边电路的结构 ===

[0031] USB 接口 101 为用于介由包括电源线 402 的 USB 电缆 400 与 USB 主设备 300 可通信地连接的接口。如上所述, USB 电缆 400 由两根数据线 401、电源线 402 和 GND 线 403 构成, USB 接口 101 设置有一对数据端子 D+ 以及 D-、电源端子 VBUS 和 GND 端子。

[0032] 调节器电路 103, 生成调节器电源电压 VREG (本发明相关的“第一电源电压”), 该

调节器电源电压是将从 USB 接口 101 连线的电源线 102 的电源电压 VBUS 调整为 ASIC200 进行高速通信协议处理 (HS 模式或 FS 模式等) 的情况下所必需的电压电平 (3.3V 或 1.5V 等) 后的电压。另外, 作为 USB 总线电力即从个人计算机 300 供给的电源电压被规定为 [+4.75V ~ +5.25V] 的范围, 在本实施方式中, 电源电压 VBUS 的电平为“5V”。此外, 调节器电源电压 VREG 的电平为“1.5V”。

[0033] 内部电源 104 为由一个或多个二次电池 (镍氢充电电池 (标称电压 1.2V)、锂离子充电电池 (标称电压 3.6V ~ 3.7V) 等) 或者一个或多个一次电池 (碱干电池 (标称电压 1.5V)、锰干电池 (标称电压 1.5V) 等) 构成的电源, 生成电平比调节器电源电压 VREG 的电平低的电源电压 VDD (本发明相关的“第二电源电压”)。

[0034] 在此, 在本实施方式中, 内部电源 104 由可充电且标称电压最低的二次电池即镍氢充电电池 (标称电压 1.2V) 构成。此外, 为了 ASIC200 的低耗电化, 电源电压 VDD 优选为尽量低的电平, 但由于兼顾 ASIC200 的可正常工作的范围以及 ASIC200 的半导体工艺, 设为标称电压 (1.2V) 的 90% 左右的“1.1V”。

[0035] 电源电压选择部 105, 根据从后述的电源电压监视部 270 介由 DET 端子 207 供给的选择信号 DET1, 判定为从个人计算机 200 向携带音频再生设备 100 供给电源电压 VBUS 时, 选择调节器电源电压 VREG 一方。此外, 电源电压选择部 105, 根据上述的选择信号 DET1, 判定为从个人计算机 300 向携带音频再生设备 100 没有供给电源电压 VBUS 时, 选择电源电压 VDD 一方。

[0036] 非易失性存储器 106 为将从个人计算机 200 介由 USB 电缆 400 传输的音乐文件进行保存的外部存储器。非易失性存储器 106 采用例如闪存。另外, 除了本实施方式以外, 在保存更大容量的数据的情况下, 也可采用小型硬盘 (未图示) 来代替非易失性存储器 106。

[0037] 晶振 107, 为在 PLL 电路 280 中振荡生成作为基准的原始时钟 SCK2 的外带振荡元件。另外, 除了本实施方式以外, 也可从携带音频再生设备 100 的外部接收自励时钟的供给。

[0038] == ASIC 的结构 ==

[0039] 首先, 作为 ASIC200 的端子设置有 D+ 端子 201、D- 端子 202、MI 端子 203、OUT 端子 204、XTAL 端子 205、VBUS 端子 206、DET 端子 207 和 VDD 端子 208。

[0040] D+ 端子 201、D- 端子 202 为分别与 USB 接口 101 的数据端子 D+、D- 连接的输入输出端子。MI 端子 203 为与非易失性存储器 106 连接的输入输出端子。OUT 端子 204 为用于输出音乐文件的再生结果的输出端子。XTAL 端子 205 为与晶振 107 连接的端子。

[0041] VBUS 端子 206 为与从 USB 接口 101 的电源端子开始连线的电源线 102 连接的输入端子。DET 端子 207 为输出作为电源电压监视部 270 的判定结果的选择信号 DET1 的输出端子。VDD 端子 208 为施加在电源电压选择部 105 中所选择调节器电源电压 VREG 或电源电压 VDD 的一方的输入端子。

[0042] 此外, ASIC200 将微计算机 210、USB 控制器 220、存储器接口电路 230、DSP (Digital Signal Processor) 240、RAM 250 和 DA 转换器 260 分别介由内部总线 209 相互可通信地连接, 还具有电源电压监视部 270、PLL 电路 280、时钟选择部 290。

[0043] 微计算机 210 为管理 ASIC200 整体的控制的“处理器”。即微计算机 210 对 USB 控制器 220 中的通信协议处理和 DSP 240 中的音乐文件的再生处理等进行统管控制。另外, 微

计算机 210 根据从后述的时钟选择部 290 供给的倍频时钟 SCK1 或原始时钟 SCK2 而工作。

[0044] USB 控制器 220 进行信号处理装置侧的通信协议处理,具备 USB 收发机(transceiver)、对数据包进行解码的解码器以及数据缓存用的 FIFO 等,USB 收发机将从 USB 接口 101 差动输入到 D+ 端子 201 以及 D- 端子 202 的数据向 ASIC200 的内部总线 209 进行中继。例如 USB 控制器 220 根据来自微计算机 210 的指令,介由内部总线 209 将从个人计算机 300 传输的音乐文件传输到存储器接口电路 230。

[0045] 存储器接口电路 230 为用于控制从 ASIC200 对与 MI 端子 203 连接的非易失性存储器 106 读出 / 写入数据的电路。例如,存储器接口电路 230 进行将从 USB 控制器 220 传输来的音乐文件写入非易失性存储器 106 的处理。

[0046] DSP240 为进行与音乐文件的再生相关的数字信号处理的电路。例如在音乐文件的再生时,根据来自微计算机 210 的指令,写入非易失性存储器 106 的音乐文件通过存储器接口电路 230 被读出,存储到作为作业用存储器的 RAM250。DSP240 读出存储到 RAM250 的音乐文件而进行基于该数据形式的解码处理(例如 MP3 解码等)。之后,被解码处理的数字量通过 DA 转换器 260 转换为模拟量后,介由 OUT 端子 204 向外部输出。

[0047] 电源电压监视部 270,在 USB 电缆 400 与 USB 接口 101 相连接的情况下,通过监视从个人计算机 300 介由电源线 402 可供给的电源电压 VBUS 的电平,判定是否从个人计算机 300 供给电源电压 VBUS。

[0048] 如果详细叙述,则在介由 USB 接口 101 与电源线 402 电连接的电源线 102 上预先设置下拉(pull down)电阻 R_d 。在该基础之上,USB 电缆 400 与 USB 接口 101 连接且从个人计算机 300 不接收电源电压 VBUS 的供给的情况下,施加到 VBUS 端子 206 的电压电平为“5V”。另一方面,在从 USB 接口 101 卸下 USB 电缆 400 的情况下,由于从个人计算机 300 不接收电源电压 VBUS 的供给,因此施加在 VBUS 端子 206 的电压电平通过下拉电阻 R_d 而成为“0V”。

[0049] 在此,电源电压监视部 270 具备二值化处理部 271 和判定处理部 272,二值化处理部 271 通过将施加在 VBUS 端子 206 的电压电平与预定的参考电平 V_{th} (例如 2.5V)进行比较,从而输出高电平或低电平。

[0050] 判定处理部 272,通过对从二值化处理部 271 输出的高电平或低电平的期间进行测量,从而在高电平持续固定期间 T_h 的情况下,判定为从个人计算机 300 供给电源电压 VBUS,在低电平持续固定期间 T_h 的情况下,判定为从个人计算机 300 没有供给电源电压 VBUS。由此,通过在从二值化处理部 271 输出的高电平或低电平持续固定期间 T_h 之前没有作出判定,从而能够防止例如受到尖峰状的电源噪声的影响并且引起错误的判定结果。

[0051] 另外,判定处理部 272 中的判定结果,用作电源电压选择部 105 用于选择调节器电源电压 VREG 或电源电压 VDD 的选择信号 DET1、和时钟选择部 290 用于选择倍频时钟 SCK1 或原始时钟 SCK2 的选择信号 DET2。在此,电源电压选择部 105 为 ASIC200 的周边电路,因此选择信号 DET1 方介由 DET 端子 207 向电源电压选择部 105 输出。

[0052] PLL 电路 280 为生成与原始时钟 SCK2(本发明相关的“第二时钟”)同步的倍频时钟 SCK1(本发明相关的“第一时钟”)的电路,该原始时钟 SCK2 由晶振 107 介由 XTA1 端子 205 供给。另外,倍频时钟 SCK1 的频率 f_1 (本发明相关的“第一频率”)为与原始时钟 SCK2 的频率 f_2 (本发明相关的“第二频率”)相比,PLL 电路 280 内分频电路(未图示)的分频数

的倒数倍的频率。在本实施方式中,设倍频时钟 SCK1 的频率 f_1 为“50MHz”,原始时钟 SCK2 的频率 f_2 为“12MHz”。

[0053] 时钟选择部 290 供给从 PLL 电路 280 输出的倍频时钟 SCK1 以及向 PLL 电路 280 输入之前的原始时钟 SCK2。并且,时钟选择部 290 根据从电源电压监视部 270 供给的选择信号 DET2,判定为从个人计算机 300 供给电源电压 VBUS 时,选择倍频时钟 SCK1,向微计算机 210 供给。此外,时钟选择部 290 根据该选择信号 DET2 判定为从个人计算机 300 没有供给电源电压 VBUS 时,选择原始时钟 SCK2 一方,向微计算机 210 供给。

[0054] 即从个人计算机 300 向携带音频再生设备 100 供给电源电压 VBUS 时,按照不消耗内部电源 104 的电力的方式,选择电平比电源电压 VDD 高的调节器电源电压 VREG,并且以选择调节器电源电压 VREG 为前提,选择频率比原始时钟 SCK2 高的倍频时钟 SCK1 一方,以防止微计算机 210 的动作停止而中止。

[0055] 在此,由于 ASIC200 的耗电与工作时钟频率成比例,因此随着选择高频率的倍频时钟 SCK1,与选择原始时钟 SCK2 的情况相比 ASIC200 的耗电增加。但是,此时,由于将与从个人计算机 300 供给的电源电压 VBUS 对应的调节器电源电压 VREG 用作工作电压,从而不必在意内部电源 104 的耗电。由此,携带音频再生设备 100 并不在意内部电源 104 的耗电,例如可使用高频率的倍频时钟 SCK1,进而由个人计算机 300 可对经由 USB 电缆 400 的音乐文件的数据传输进行高速处理。

[0056] 此外,即使在来自个人计算机 300 的音乐文件的数据传输结束后,在 USB 电缆 400 仍与 USB 接口 101 连接的状态下,继续从个人计算机 300 接收电源电压 VBUS 的供给的状态,因此接下来抑制内部电源 104 的耗电,并且使用调节器电源电压 VREG 和倍频时钟 SCK1,能够执行音乐文件的再生处理。

[0057] 另一方面,USB 电缆 400 与 USB 接口 101 不连接,从个人计算机 300 向携带音频再生设备 100 不供给电源电压 VBUS 时,选择频率比倍频时钟 SCK1 低的原始时钟 SCK2,因此与选择倍频时钟 SCK1 的情况相比,ASIC200 的耗电被抑制。还有,此时,选择电平比调节器电源电压 VREG 低、且用于使 ASIC200 工作的最低限所必需的电源电压 VDD 方,因此能够进一步抑制 ASIC200 的耗电。此外,作为抑制 ASIC200 的耗电的结果,能够加长音乐文件的再生时间。

[0058] <ASIC 的动作>

[0059] ===取下 USB 电缆时的动作===

[0060] 采用图 3,对随着音乐文件的数据传输结束或突发事故等,从 USB 电缆 400 与 USB 接口 101 连接的状况,切换到取下 USB 电缆 400 的状况时的 ASIC200 的动作进行说明。另外,图 3(a) 表示施加到 VBUS 端子 206 的电压电平的波形,图 3(b) 表示由电源电压监视部 270 输出的选择信号 DET1、DET2 的波形,图 3(c) 表示向 VDD 端子 208 施加的电源电压的波形,图 3(d) 表示从时钟选择部 290 向微计算机 210 供给的时钟的波形。

[0061] 首先,为 USB 电缆 400 与 USB 接口 101 连接,从个人计算机 300 向携带音频再生设备 100 进行音乐文件的数据传输以及电源电压 VBUS 的供给的情况。

[0062] 从而,施加到 VBUS 端子 206 的电压电平为“5V”(参照图 3(a)),在电源电压监视部 270 中判定为从个人计算机 300 供给电源电压 VBUS(DET1、DET2 均为低电平)(参照图 3(b))。其结果,电源电压选择部 105 根据低电平的选择信号 DET1 选择调节器电源电压

VREG(参照图 3(c)),此外,在时钟选择部 290 根据低电平的选择信号 DET2,选择倍频时钟 SCK1。

[0063] 在时刻 T1,从 USB 接口 101 取下 USB 电缆 400。此时,从时刻 T1 到时刻 T5,向 VBUS 端子 206 施加的电压电平,根据与电源线 102 连接的下拉电阻 Rd,向“0V”逐渐衰减(参照图 3(a))。

[0064] 接下来,在时刻 T2,二值化处理部 271 的输出、即向 VBUS 端子 206 施加的电压电平小于参考电平 V_{th} (参照图 3(a))。但是,为了防止尖峰状的电源噪声所引起的误判定,从判定处理部 272 输出的选择信号 DET1、DET2 仍为低电平(参照图 3(b))。

[0065] 接下来,在从时刻 T2 经过固定期间 T_{th} 的时刻 T3,首先使选择信号 DET2 比选择信号 DET1 先从低电平切换为高电平(参照图 3(b))。其理由在于,由于二值化处理部 271 的输出继续低电平,因此判定处理部 272 发现不到因电源噪声引起的电平变化。其结果,时钟选择部 290 中基于高电平的选择信号 DET2,选择原始时钟 SCK2(参照图 3(d))。

[0066] 接下来,在 VBUS 端子 206 的电压电平完全衰减到“0V”的时刻 T5 前的时刻 T4,判定处理部 272 将选择信号 DET1 从低电平切换到高电平。其结果,电源电压选择部 105 根据高电平的选择信号 DET1,选择电源电压 VDD(参照图 3(c))。

[0067] 由此,时钟选择部 290,在电源电压监视部 270 中,从自个人计算机 300 供给电源电压 VBUS 的判定切换到自个人计算机 300 没有供给电源电压 VBUS 的判定时,在电源电压选择部 105 中从调节器电源电压 VREG 的选择切换到电源电压 VDD 的选择之前,从倍频时钟 SCK1 的选择切换到原始时钟 SCK2 的选择。

[0068] 即倍频时钟 SCK1 的使用,始终以调节器电源电压 VREG 的供给为前提条件。因此,随着将 USB 电缆 400 拆卸,在从高频的倍频时钟 SCK1 切换为低频的原始时钟 SCK2 的基础上,从高电平的调节器电源电压 VREG 切换为低电平的电源电压 VDD。

[0069] ===连接 USB 电缆时的动作===

[0070] 采用图 4,对从将 USB 电缆 400 从应进行音乐文件的数据传输的 USB 接口取下这一状况切换到将 USB 电缆 400 与 USB 接口 101 连接这一状况的情况下的 ASIC200 的工作进行说明。另外,图 4(a) 至 (d) 为表示与图 3(a) 至 (d) 分别相同的波形的图。

[0071] 首先,为将 USB 电缆 400 从 USB 接口 101 取下,携带音频再生设备 100 不接收从个人计算机 300 供给的电源电压 VBUS 的情况。

[0072] 从而,施加到 VBUS 端子 206 的电压电平为“0V”(参照图 4(a)),在电源电压监视部 270 中判定从个人计算机 300 不供给电源电压 VBUS(DET1、DET2 均为低电平)(参照图 4(b))。其结果,电源电压选择部 105 根据高电平的选择信号 DET1 选择电源电压 VDD 一方(参照图 4(c)),此外,在时钟选择部 290 根据高电平的选择信号 DET2,选择原始时钟 SCK2 一方。

[0073] 在时刻 T1,将 USB 电缆 400 与 USB 接口 101 连接。此时,从时刻 T1 到时刻 T5,向 VBUS 端子 206 施加的电压电平,从“0V”逐渐上升到“5V”(参照图 4(a))。

[0074] 接下来,在时刻 T2,二值化处理部 271 的输出即向 VBUS 端子 206 施加的电压电平大于参考电平 V_{th} (参照图 4(a))。但是,为了防止尖峰状的电源噪声所引起的误判定,从判定处理部 272 输出的选择信号 DET1、DET2 仍为高电平(参照图 4(b))。

[0075] 接下来,在从时刻 T2 经过固定期间 T_{th} 的时刻 T3,首先使选择信号 DET2 比选择信

号 DET1 先从高电平切换为低电平（参照图 4(b)）。其理由在于，由于二值化处理部 271 的输出继续高电平，因此判定处理部 272 发现不到因电源噪声引起的电平变化。另外，在从时刻 T1 到时刻 T3 的期间中，通过调节器电路 103 生成调节器电源电压 VREG。其结果，电源电压选择部 105 根据低电平的选择信号 DET1 选择调节器电源电压 VREG（参照图 4(c)）。

[0076] 接下来，在 VBUS 端子 206 的电压电平完全上升到“5V”的时刻 T5 前的时刻 T4，判定处理部 272 将选择信号 DET2 从高电平切换到低电平。其结果，时钟选择部 290 中根据低电平的选择信号 DET2 选择倍频时钟 SCK1（参照图 4(d)）。

[0077] 由此，时钟选择部 290，在电源电压监视部 270 中，从自个人计算机 300 不供给电源电压 VBUS 的判定切换到自个人计算机 300 供给电源电压 VBUS 的判定时，在电源电压选择部 105 中从电源电压 VDD 的选择切换到调节器电源电压 VREG 的选择之后，从倍频时钟 SCK2 的选择切换到原始时钟 SCK1 的选择。

[0078] 即倍频时钟 SCK1 的使用，始终以调节器电源电压 VREG 的供给为前提条件。因此，随着连接 USB 电缆 400 这一情况，从低电平的电源电压 VDD 切换为高电平的调节器电源电压 VREG 的基础上，从低频的原始时钟 SCK2 切换为高频的倍频时钟 SCK1。

[0079] 以上，对本发明的实施方式进行了说明，但上述的实施方式为了使本发明容易理解，并不解释为限定本发明。本发明在不脱离其主旨的基础上，可变更 / 改变，并且也包括其等效物。

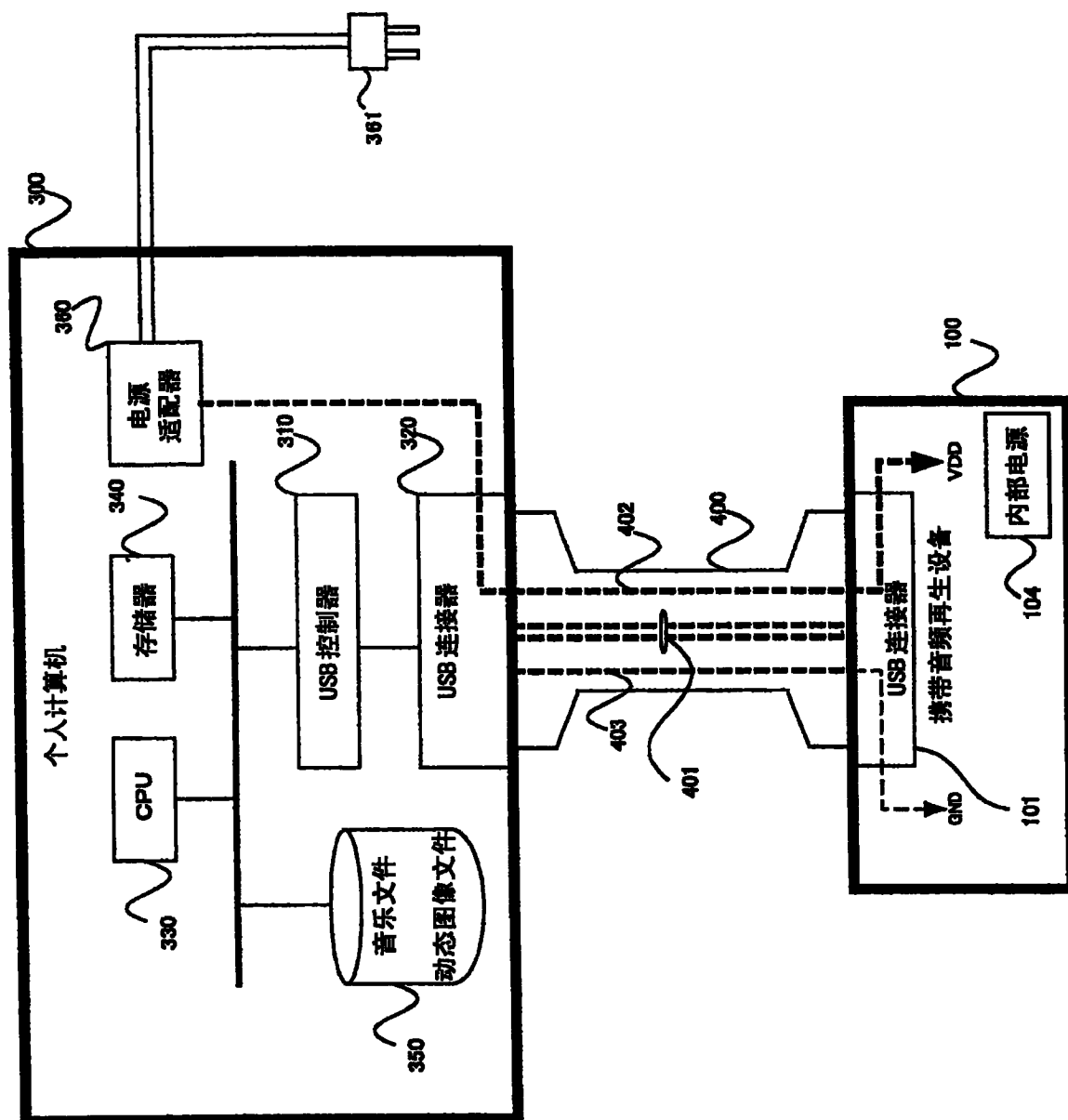


图 1

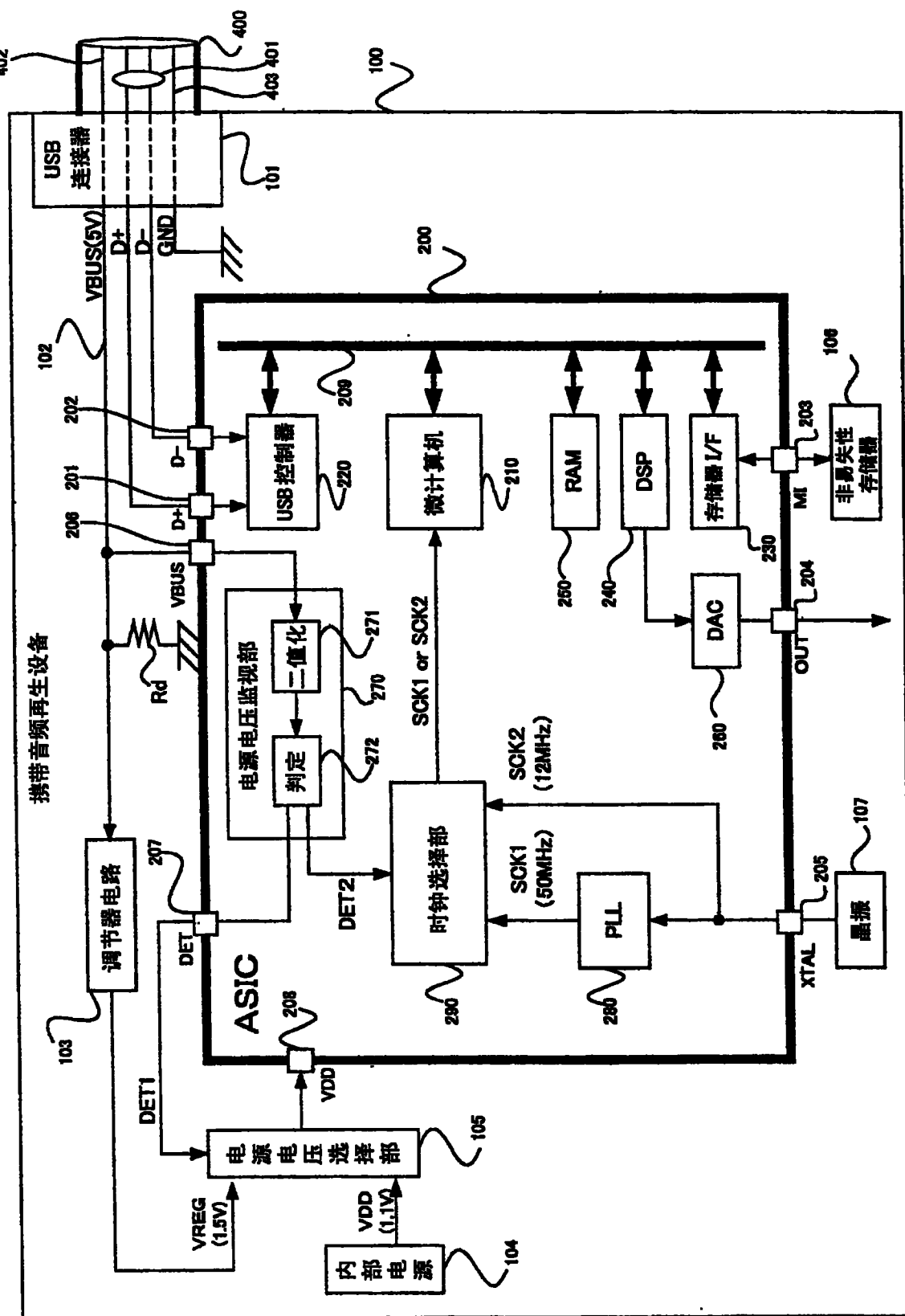


图 2

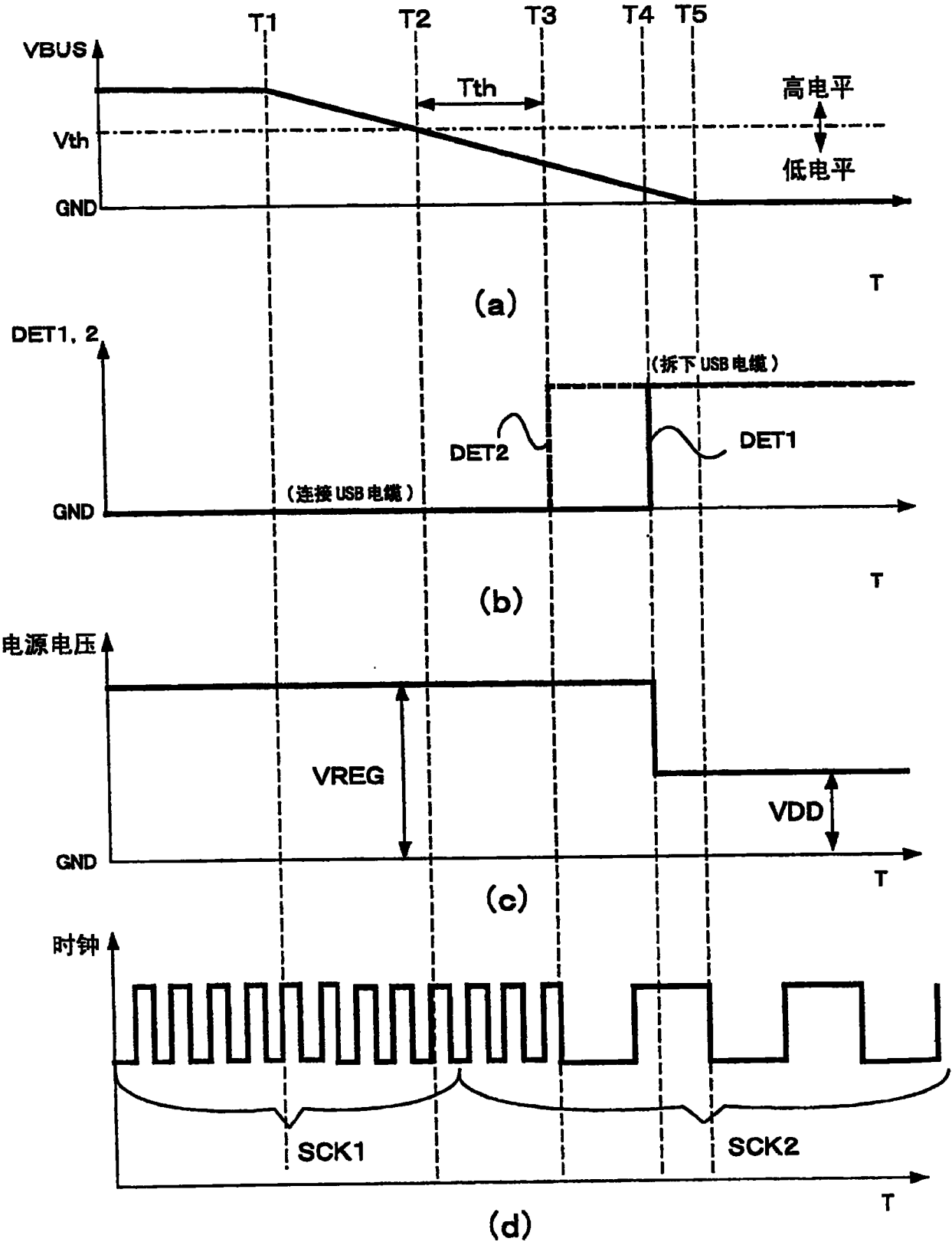


图 3

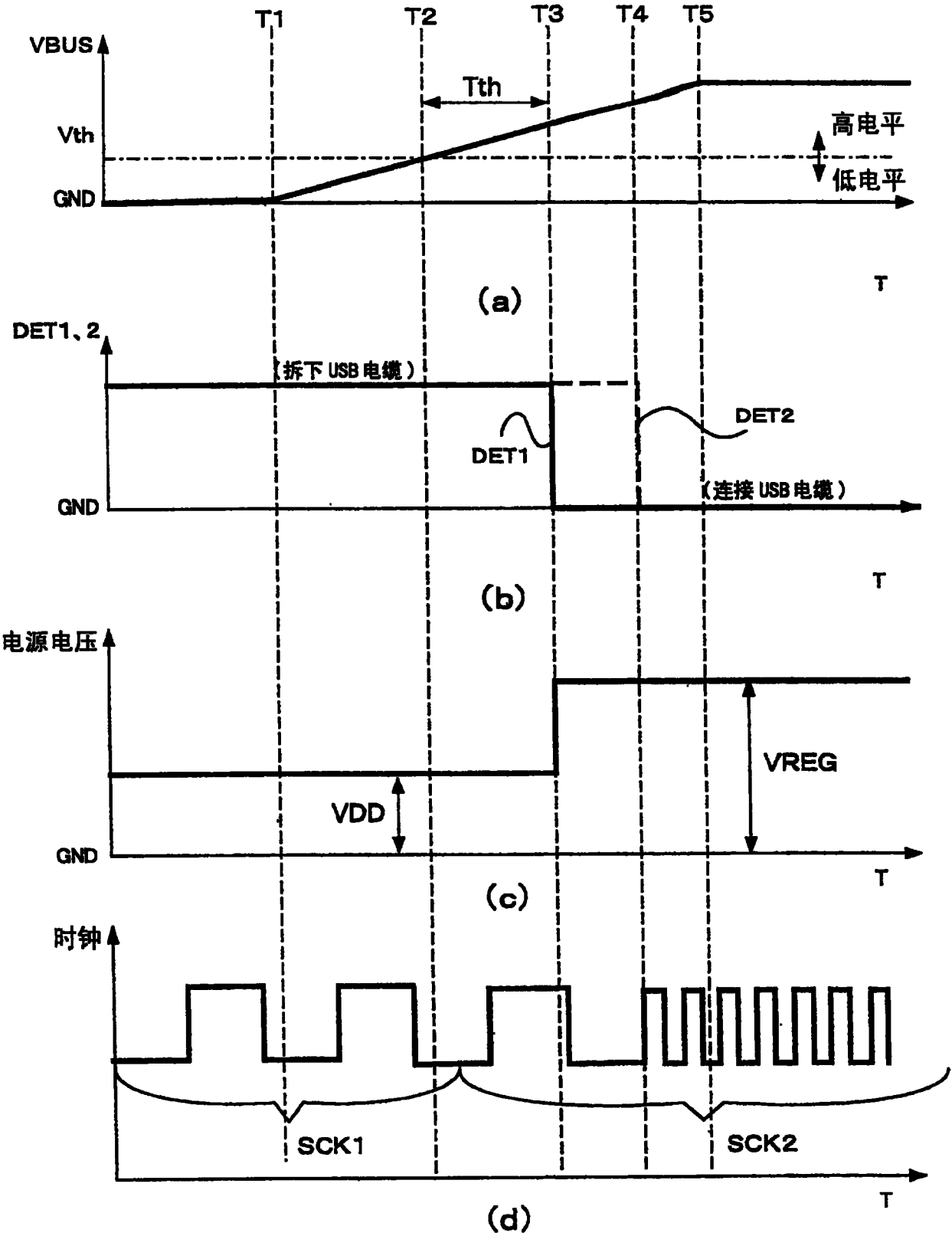


图 4