

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年3月27日(2008.3.27)

【公開番号】特開2005-294814(P2005-294814A)

【公開日】平成17年10月20日(2005.10.20)

【年通号数】公開・登録公報2005-041

【出願番号】特願2005-61959(P2005-61959)

【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

G 0 6 K 19/07 (2006.01)

G 0 6 K 19/077 (2006.01)

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 27/10 4 6 1

H 0 1 L 29/78 3 7 1

G 0 6 K 19/00 H

G 0 6 K 19/00 K

【手続補正書】

【提出日】平成20年2月12日(2008.2.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の半導体領域上及び第 2 の半導体領域上に第 1 のゲート絶縁膜を形成し、
前記第 1 のゲート絶縁膜上に第 1 の導電膜を形成し、
前記第 1 の導電膜をエッチングすることによって、前記第 1 の半導体領域と重なる位置
に第 1 のゲート電極を形成するとともに、前記第 2 の半導体領域と重なる位置の前記第 1
のゲート絶縁膜を露出させ、
前記第 1 のゲート電極上及び露出した前記第 1 のゲート絶縁膜上に第 2 のゲート絶縁膜
を形成し、
前記第 2 のゲート絶縁膜上に第 2 の導電膜を形成し、
前記第 2 の導電膜をエッチングすることによって、前記第 1 の半導体領域と重なる位置
に第 2 のゲート電極を形成するとともに、前記第 2 の半導体領域と重なる位置に第 3 のゲ
ート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

第 1 の半導体領域上及び第 2 の半導体領域上に第 1 のゲート絶縁膜を形成し、
前記第 1 のゲート絶縁膜上に第 1 の導電膜を形成し、
前記第 1 の導電膜をエッチングすることによって、前記第 1 の半導体領域と重なる位置
に前記第 1 の半導体領域よりも一回り大きい形状の第 1 のゲート電極を形成するとともに
、前記第 2 の半導体領域と重なる位置の前記第 1 のゲート絶縁膜を露出させ、
前記第 1 のゲート電極上及び露出した前記第 1 のゲート絶縁膜上に第 2 のゲート絶縁膜

を形成し、

前記第2のゲート絶縁膜上に第2の導電膜を形成し、

前記第2の導電膜をドライエッチングすることによって、前記第1の半導体領域と重なる位置に第2のゲート電極を形成するとともに、前記第2の半導体領域と重なる位置に第3のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項3】

請求項1又は請求項2において、

前記第1及び第2の半導体領域は、絶縁表面を有する基板上に形成された半導体層であることを特徴とする半導体装置の作製方法。

【請求項4】

請求項1又は請求項2において、

前記第1及び第2の半導体領域は、半導体基板において素子分離された領域であることを特徴とする半導体装置の作製方法。

【請求項5】

請求項1又は請求項2において、

前記第1及び第2の半導体領域は、SOI基板に形成された半導体層であることを特徴とする半導体装置の作製方法。

【請求項6】

第1乃至第3の半導体領域上に第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に第1の導電膜を形成し、

前記第1の導電膜をエッチングすることによって、前記第1の半導体領域と重なる位置に第1のゲート電極を形成し、前記第2の半導体領域と重なる位置の前記第1のゲート絶縁膜を露出させ、且つ前記第3の半導体領域と重なる位置に下部ゲート電極を形成し、

前記第1のゲート電極上、露出した前記第1のゲート絶縁膜上、及び前記下部ゲート電極上に第2のゲート絶縁膜を形成し、

前記下部ゲート電極上の前記第2のゲート絶縁膜をエッチングにより除去し、

前記第2のゲート絶縁膜上及び前記下部ゲート電極上に第2の導電膜を形成し、

前記第2の導電膜をエッチングすることによって、前記第1の半導体領域と重なる位置に第2のゲート電極を形成し、前記第2の半導体領域と重なる位置に第3のゲート電極を形成し、且つ前記第3の半導体領域と重なる位置に上部ゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項7】

第1乃至第3の半導体領域上に第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に第1の導電膜を形成し、

前記第1の導電膜をエッチングすることによって、前記第1の半導体領域と重なる位置に前記第1の半導体領域よりも一回り大きい形状の第1のゲート電極を形成し、前記第2の半導体領域と重なる位置の前記第1のゲート絶縁膜を露出させ、且つ前記第3の半導体領域と重なる位置に前記第3の半導体領域よりも一回り大きい形状の下部ゲート電極を形成し、

前記第1のゲート電極上、露出した前記第1のゲート絶縁膜上、及び前記下部ゲート電極上に第2のゲート絶縁膜を形成し、

前記下部ゲート電極上の前記第2のゲート絶縁膜をドライエッチングにより除去し、

前記第2のゲート絶縁膜上及び前記下部ゲート電極上に第2の導電膜を形成し、

前記第2の導電膜をドライエッチングすることによって、前記第1の半導体領域と重なる位置に第2のゲート電極を形成し、前記第2の半導体領域と重なる位置に第3のゲート電極を形成し、且つ前記第3の半導体領域と重なる位置に上部ゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項8】

請求項6又は請求項7において、

前記第1乃至第3の半導体領域は、絶縁表面を有する基板上に形成された半導体層であ

ることを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 6 又は請求項 7 において、

前記第 1 乃至第 3 の半導体領域は、半導体基板において素子分離された領域であることを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 6 又は請求項 7 において、

前記第 1 乃至第 3 の半導体領域は、S O I 基板に形成された半導体層であることを特徴とする半導体装置の作製方法。

【請求項 11】

請求項 6 乃至請求項 10 のいずれか一項において、

前記第 1 の半導体領域を用いて、メモリトランジスタを形成し、

前記第 2 の半導体領域を用いて、高耐圧トランジスタを形成し、

前記第 3 の半導体領域を用いて、高速トランジスタを形成することを特徴とする半導体装置の作製方法。

【請求項 12】

請求項 6 乃至請求項 11 のいずれか一項において、

前記第 2 の導電膜の材料は、前記第 1 の導電膜の材料よりも低抵抗な材料からなることを特徴とする半導体装置の作製方法。

【請求項 13】

第 1 の半導体領域と、前記第 1 の半導体領域上の第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上の第 1 のゲート電極と、前記第 1 のゲート電極上の第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上の第 2 のゲート電極とを有する第 1 のトランジスタと、

第 2 の半導体領域と、前記第 2 の半導体領域層上の第 3 のゲート絶縁膜と、前記第 3 のゲート絶縁膜上の第 3 のゲート電極を有する第 2 のトランジスタと、を有し、

第 2 のトランジスタの前記第 3 のゲート絶縁膜は、前記第 1 ゲート絶縁膜と同じ層から形成された下部ゲート絶縁膜上に、前記第 2 ゲート絶縁膜と同じ層から形成された上部ゲート絶縁膜が積層された構造を有することを特徴とする半導体装置。

【請求項 14】

請求項 13 において、

前記第 1 及び第 2 の半導体領域は、絶縁表面を有する基板上に形成された半導体層であることを特徴とする半導体装置。

【請求項 15】

請求項 13 において、

前記第 1 及び第 2 の半導体領域は、半導体基板において素子分離された領域であることを特徴とする半導体装置。

【請求項 16】

請求項 13 において、

前記第 1 及び第 2 の半導体領域は、S O I 基板に形成された半導体層であることを特徴とする半導体装置。

【請求項 17】

第 1 の半導体領域と、前記第 1 の半導体領域上の第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上の第 1 のゲート電極と、前記第 1 のゲート電極上の第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上の第 2 のゲート電極とを有する第 1 のトランジスタと、

第 2 の半導体領域と、前記第 2 の半導体領域層上の第 3 のゲート絶縁膜と、前記第 3 のゲート絶縁膜上の第 3 のゲート電極を有する第 2 のトランジスタと、を有し、

第 3 の半導体領域と、前記第 3 の半導体領域層上の第 4 のゲート絶縁膜と、前記第 4 のゲート絶縁膜上の第 4 のゲート電極を有する第 3 のトランジスタと、を有し、

第 2 のトランジスタの前記第 3 のゲート絶縁膜は、前記第 1 ゲート絶縁膜と同じ層から形成された下部ゲート絶縁膜上に、前記第 2 ゲート絶縁膜と同じ層から形成された上部ゲ

ート絶縁膜が積層された構造を有し、

前記第3のトランジスタの前記第4のゲート絶縁膜は、前記第1ゲート絶縁膜と同じ層から形成された絶縁膜からなる構造を有することを特徴とする半導体装置。

【請求項18】

請求項17において、

前記第2のトランジスタの前記第3のゲート電極は、前記第2のゲート電極と同じ層からなる構造を有し、

前記第3のトランジスタの前記第4のゲート電極は、前記第1ゲート電極と同じ層から形成された下部ゲート電極上に、前記第2ゲート電極と同じ層から形成された上部ゲート電極が積層された構造を有し、

前記第2のゲート電極と同じ層から形成された引き回しの配線が形成されており、

前記第2のゲート電極の材料は、前記第1のゲート電極の材料よりも低抵抗な材料からなることを特徴とする半導体装置。

【請求項19】

請求項17又は請求項18において、

前記第1乃至第3の半導体領域は、絶縁表面を有する基板上に形成された半導体層であることを特徴とする半導体装置。

【請求項20】

請求項17又は請求項18において、

前記第1乃至第3の半導体領域は、半導体基板において素子分離された領域であることを特徴とする半導体装置。

【請求項21】

請求項17又は請求項18において、

前記第1乃至第3の半導体領域は、SOI基板に形成された半導体層であることを特徴とする半導体装置。

【請求項22】

請求項17乃至請求項21のいずれか一項において、

前記第1のトランジスタは、メモリトランジスタであり、

前記第2のトランジスタは、高耐压トランジスタであり、

前記第3のトランジスタは、高速トランジスタであることを特徴とする半導体装置。