

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-164765

(P2007-164765A)

(43) 公開日 平成19年6月28日(2007.6.28)

(51) Int. Cl.

G06F 13/38 (2006.01)

F I

G06F 13/38 350

テーマコード (参考)

5B077

審査請求 未請求 請求項の数 14 O L (全 15 頁)

(21) 出願番号 特願2006-277720 (P2006-277720)  
 (22) 出願日 平成18年10月11日 (2006.10.11)  
 (31) 優先権主張番号 特願2005-330744 (P2005-330744)  
 (32) 優先日 平成17年11月15日 (2005.11.15)  
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000005821  
 松下電器産業株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 110000040  
 特許業務法人池内・佐藤アンドパートナーズ  
 (72) 発明者 林下 洋之  
 大阪府門真市大字門真1006番地 松下  
 電器産業株式会社内  
 Fターム(参考) 5B077 MM01 MM02 NN02

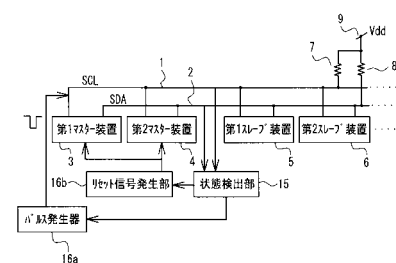
(54) 【発明の名称】 I I Cバス通信システム、スレーブ装置およびI I Cバス通信制御方法

## (57) 【要約】

【課題】スレーブ装置が間違ったビットでアクノリッジ信号を返してI I Cバス通信がフリーズした場合に、システムを復帰させることを可能とする。

【解決手段】S C Lライン1およびS D Aライン2からなる2本のバスラインに、並列に複数のマスター装置3、4および複数のスレーブ装置5、6が接続され、バスラインとI I C信号用電源9との間にプルアップ抵抗7、8が接続される。状態検出部15は、S C LおよびS D Aラインの状態に基づき、フリーズ状態を検出してフリーズ検出信号を出力し、かつフリーズの解除状態を検出してフリーズ解除検出信号を出力する。パルス発生部16aはフリーズ検出信号に応じてS C Lラインにクロック信号に相当するパルス信号を供給する。リセット信号発生部16bはフリーズ解除検出信号に応じて複数のマスター装置にリセット信号を送信する。複数のマスター装置はリセット信号の供給により通常の通信状態に復帰する。

【選択図】図1A



## 【特許請求の範囲】

## 【請求項 1】

SCL (シリアルクロック) ラインおよびSDA (シリアルデータ) ラインからなる 2 本のバスラインと、

前記バスラインに並列に接続された複数のマスター装置とを用いた IIC バス通信システムにおいて、

前記 SCL ラインおよび前記 SDA ラインの状態に基づき、IIC バス通信のフリーズ状態を検出してフリーズ検出信号を出力し、かつ前記フリーズ状態が解除された状態を検出してフリーズ解除検出信号を出力する状態検出部と、

前記状態検出部から出力される前記フリーズ検出信号に応じて前記 SCL ラインにクロック信号に相当するパルス信号を供給するパルス発生部と、 10

前記状態検出部から出力されるフリーズ解除検出信号に応じて前記複数のマスター装置にリセット信号を送信するリセット信号発生部とを備え、

前記複数のマスター装置は前記リセット信号の供給により通常の通信状態に復帰することを特徴とする IIC バス通信システム。

## 【請求項 2】

前記状態検出部は、前記 SDA および前記 SCL の所定の状態が一定時間継続することを検出することにより、前記フリーズ状態を検出する請求項 1 に記載の IIC バス通信システム。

## 【請求項 3】

SCL (シリアルクロック) ラインおよびSDA (シリアルデータ) ラインからなる 2 本のバスラインと、

前記バスラインに並列に接続された複数のマスター装置とを用いた IIC バス通信システムにおいて、

前記複数のマスター装置を相互に接続する STA 制御ラインと、

前記 STA 制御ラインと電源との間に接続されたプルアップ抵抗とを備え、

通信を開始しようとする前記マスター装置は、事前に前記 STA 制御ラインに通信開始用の認識信号 STA を一定期間送信し、

通信中の前記マスター装置は、前記 STA 制御ラインを通じて前記認識信号 STA が送信されていることを検出したときに、前記 SCL を停止することを特徴とする IIC バス通信システム。 20 30

## 【請求項 4】

SCL ラインおよびSDA ラインからなる 2 本のバスラインと、

前記バスラインに並列に接続された複数のマスター装置と、

前記バスラインに並列に接続された複数のスレーブ装置と、

前記 SCL ラインおよび前記 SDA ラインにそれぞれ一端が接続されたプルアップ抵抗と、

前記プルアップ抵抗の他端に接続された電源とを用いた IIC バス通信システムにおいて、

前記複数のマスター装置および前記複数のスレーブ装置を相互に接続する RESET 制御ラインと、 40

前記 RESET 制御ラインと前記電源との間に接続されたプルアップ抵抗とを備え、

前記複数のマスター装置は IIC 仕様に基づく IIC 信号の自己診断機能を内蔵して、ビットエラーが発生したとき、前記 RESET 制御ラインにリセット信号を送信し、

前記複数のスレーブ装置は、前記 RESET 制御ラインを通じて前記リセット信号が送信されたとき、前記ビットエラーに対応する状態をリセットすることを特徴とする IIC バス通信システム。

## 【請求項 5】

IIC バス通信システムの SCL ラインに接続するための SCL 端子と、

IIC バス通信システムの SDA ラインに接続するための SDA 端子と、 50

前記 S C L 端子を介して入力される S C L 信号を基準電圧と比較した結果を出力する S C L コンパレータと、

前記 S D A 端子を介して入力される S D A 信号を基準電圧と比較した結果を出力する S D A コンパレータと、

前記 S C L コンパレータおよび前記 S D A コンパレータの出力が供給されるデコーダとを備え、

前記 S C L コンパレータおよび前記 S D A コンパレータの少なくとも一方はヒステリシス付きコンパレータであることを特徴とする I I C バス通信システムのスレーブ装置。

【請求項 6】

前記 S C L コンパレータおよび前記 S D A コンパレータの少なくとも一方の出力側にノイズ除去用のコンデンサが接続された請求項 5 に記載のスレーブ装置。 10

【請求項 7】

前記 S C L コンパレータおよび前記 S D A コンパレータの少なくとも一方に供給される前記基準電圧は、前記デコーダに基準電圧を供給する基準電圧源とは異なる基準電圧源から供給される請求項 5 に記載のスレーブ装置。

【請求項 8】

I I C 信号用電源に接続するための電源入力端子と、

前記電源入力端子と接地間に接続された電圧分割用の抵抗とを備え、

前記 S C L コンパレータおよび前記 S D A コンパレータの少なくとも一方に供給される前記基準電圧として、前記電源の電圧が前記抵抗により分割された電圧を用いる請求項 5 に記載のスレーブ装置。 20

【請求項 9】

前記 S C L コンパレータおよび前記 S D A コンパレータの少なくとも一方の出力側に出力インピーダンスを下げるためのバッファ回路が接続された請求項 5 に記載のスレーブ装置。

【請求項 10】

S C L ラインおよび S D A ラインからなる 2 本のバスラインと、前記バスラインに並列に接続された複数のマスター装置とを用いた I I C バス通信システムを制御するための I I C バス通信制御方法において、

前記 S C L ラインおよび前記 S D A ラインの状態の監視を行い、 30

前記 S C L ラインおよび前記 S D A ラインの状態に基づき、I I C バス通信のフリーズ状態、および前記フリーズ状態が解除された状態を検出し、

前記フリーズ状態が検出されたときに前記 S C L ラインにクロック信号に相当するパルス信号を供給し、

前記フリーズ状態が解除された状態を検出したとき、前記複数のマスター装置にリセット信号を送信して通常の通信状態に復帰させることを特徴とする I I C バス通信制御方法。

【請求項 11】

前記フリーズ状態の検出を、前記 S D A および前記 S C L の所定の状態が一定時間継続することを検出することにより行う請求項 10 に記載の I I C バス通信制御方法。 40

【請求項 12】

S C L ラインおよび S D A ラインからなる 2 本のバスラインと、前記バスラインに並列に接続された複数のマスター装置とを用いた I I C バス通信システムを制御するための I I C バス通信制御方法において、

通信を開始しようとする前記マスター装置は、事前に他の全ての前記マスター装置に通信開始用の認識信号 S T A を一定期間送信し、

通信中の前記マスター装置は、前記認識信号 S T A が送信されていることを検出したとき、前記 S C L を停止するように制御することを特徴とする I I C バス通信制御方法。

【請求項 13】

S C L ラインおよび S D A ラインからなる 2 本のバスラインと、前記バスラインに並列 50

に接続された複数のマスター装置と、前記バスラインに並列に接続された複数のスレーブ装置を用いたＩＩＣバス通信システムを制御するためのＩＩＣバス通信制御方法において、

前記複数のマスター装置はＩＩＣ信号の自己診断機能を内蔵して、ビットエラーが発生したとき、他の全ての前記マスター装置および全ての前記スレーブ装置にリセット信号を送信し、

前記複数のスレーブ装置は、前記リセット信号が送信されたとき、前記ビットエラーに対応する状態をリセットするように制御することを特徴とするＩＩＣバス通信制御方法。

【請求項１４】

請求項１～４のいずれか１項に記載のＩＩＣバス通信システムにおいて、電氣的に動作し若しくは制御されるデバイスを備え、

前記デバイスがスレーブ装置として構成されたＩＩＣバス通信システム用装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ＩＩＣ通信システムにおける、フリーズ対策、およびそのためのノイズ耐性改善に関する。

【背景技術】

【０００２】

家庭用機器（テレビ、ラジオ、ＤＶＤレコーダなど）、通信機器（携帯電話、パーソナルコンピュータなど）あるいは産業機器の内部を構成するデバイス間相互のコントロールを効率よく行うために用いられる、２本のワイヤーからなる双方向バスを用いた通信方式の１つとして、ＩＩＣ（Inter-Integrated Circuit）バス通信という方式が知られている。

【０００３】

ＩＩＣバス通信を用いることで、システムの制御を、シリアルデータ（ＳＤＡ）・ラインとシリアルクロック（ＳＣＬ）・ラインの２本のバスラインのみで構成できる。また、アドレス指定およびデータ転送手段がＩＩＣ仕様で定義されているため、ソフトウェアによるシステムの定義が可能であること、およびシステム内でのＩＣの追加または除去が簡単であることなどの利点がある。バスに接続されている各デバイスはそれぞれ固有のアドレスをもち、機器の機能に応じてトランスミッタまたはレシーバとして動作でき、各デバイス間でデータ転送できるようになっている。

【０００４】

各デバイス間には、マスター装置とスレーブ装置という関係が常に成立し、マスター装置はマスター・トランスミッタまたはマスター・レシーバとして機能する。マスター装置とは、バス上でデータ転送を開始するデバイスであり、転送を可能にするクロック信号を発生する。そのときマスター装置によってアドレス指定されるデバイスは、スレーブ装置となる。ＳＤＡラインに出力される各バイトの長さは８ビットであり、１回の転送で送信できるバイト数には制限がなく、何バイトでも送ることができる。各バイトの後にはアクノリッジ・ビットが必要になる。アクノリッジ用のクロック・パルスはマスター装置によって生成される。アクノリッジ・クロック・パルスが生成されると、トランスミッタはＳＤＡラインを開放する。レシーバは、アクノリッジ・クロック・パルスが“Ｈ”状態のときに、ＳＤＡラインが“Ｌ”状態で安定するように、アクノリッジ・クロック・パルスの出力に合わせてＳＤＡラインを“Ｌ”にしなければならない。

【０００５】

ＩＩＣバスは複数のマスター装置が同時にバスをコントロールすることができるマルチ・マスター・バスで、セットの高機能化、システムの複雑化に伴い、今後、主流となることが予測される。ＩＩＣバスに複数のマスター装置を接続できるということは、同時に複数のマスター装置がデータ転送を開始しようとする可能性があることになる。そこでこのような現象が発生するのを防ぐために、ＩＩＣバスと全てのＩＩＣバス・インターフェー

10

20

30

40

50

ス間はワイヤード A N D 接続されている。複数のマスター装置がバスに情報を送信しようとした場合、他のマスター装置が ‘ 0 ’ を生成したときに最初に ‘ 1 ’ を生成したマスター装置は通信を行うことができなくなる。以下、上記 I I C バス通信時に発生するビットエラーについて説明する。

#### 【 0 0 0 6 】

図 6 A は、2つのマスター装置を含む従来の I I C バスシステムの構成例を示す。このシステムにおいては、S C L ライン 1 と S D A ライン 2 からなるバスラインに、第 1 マスター装置 3、第 2 マスター装置 4、第 1 スレーブ装置 5、および第 2 スレーブ装置 6 が、それぞれ並列に接続されている。また、S C L ライン 1 には S C L ラインプルアップ抵抗 7 の一端が、S D A ライン 2 には S D A ラインプルアップ抵抗 8 の一端が接続され、両プルアップ抵抗 7、8 の他端は、I I C 信号用電源 9 に接続されている。

10

#### 【 0 0 0 7 】

図 6 B ( a ) は、この I I C バスシステムにおける、正常通信時の S C L および S D A の波形を示す。S C L におけるクロック・パルス S 7 ~ S 0 は、1 バイトのデータの各ビットに対応し、A はアクノリッジ・クロック・パルスである。アクノリッジ・クロック・パルスが “ H ” 状態のときに、S D A ラインが “ L ” 状態になっている。

#### 【 0 0 0 8 】

図 6 B ( b ) は、アクノリッジ信号が 1 ビットずれて通信がフリーズした状態の波形を示す。例えば、第 1 マスター装置 3 が第 1 スレーブ装置 5 のリードデータを連続で取得する通信を行う際に、第 1 スレーブ装置 5 がスレーブアドレス受信中に外来ノイズなどの影響でビットエラーを起こした場合を考える。それにより、例えば、アクノリッジ・ビットの 1 ビット手前でアクノリッジ・パルスを返した場合、第 1 マスター装置 3 はスレーブアドレスの 8 ビット目を “ H ” で送信しているのに、スレーブ装置側で S D A ラインを “ L ” にしてしまっていることになる。第 1 マスター装置 3 はこの現象を、第 2 マスター装置 4 がデータ転送を開始しようとしたものと認識して、S C L ライン 1 に対するクロックの供給を停止してしまう。この結果、S C L ライン 1 にはクロックが入らないため、S D A ライン 2 は第 1 スレーブ装置 5 によって “ L ” に引き込まれた状態で、I I C バス通信がフリーズする。

20

#### 【 0 0 0 9 】

I I C バス通信システムにおける通信異常に対処する技術の例としては、特許文献 1 に記載されたものがある。特許文献 1 に記載の技術は、停電等の以上事態が発生して通信が中止された後、通信を再開したとき、スレーブ装置の誤動作や暴走を防ぐ方法に関する。しかし、上述のような、外来ノイズなどの影響により I I C バス通信がフリーズする問題に対処できる方法ではない。

30

#### 【 0 0 1 0 】

図 7 は、第 1 スレーブ装置 5 の内部ブロック図を示す。ただし、S C L 入力端子 1 0 を通じて入力される S C L 信号の処理に係る部分のみを記載し、S D A 信号の処理に係る部分については図示を省略する。

#### 【 0 0 1 1 】

S C L 信号は、第 1 スレーブ装置 5 内部のコンパレータ 1 1 a を介して、I I C デコード回路 1 2 でデコードされる。コンパレータ 1 1 a の基準電圧としては、基準電圧回路 1 3 の出力電圧がバッファ回路 1 4 を介して供給される。バッファ回路 1 4 を介した基準電圧回路 1 3 の出力電圧は、I I C デコード回路 1 2 にも供給される。

40

#### 【 0 0 1 2 】

この第 1 スレーブ装置 5 の回路においてアクノリッジ信号がずれる原因としては、以下のことが考えられる。

- ( 1 ) S C L ライン 1 に外部からノイズが重畳する
- ( 2 ) コンパレータ 1 1 a の基準電圧側にノイズが重畳する。
- ( 3 ) コンパレータ 1 1 a の出力にノイズが重畳する。

【特許文献 1】特開 2 0 0 3 - 3 0 8 2 5 7 号公報

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0013】

上述のように、外来ノイズなどの影響により、第1スレーブ装置5が間違っただビットでアクノリッジ信号を返した場合、IICバス通信がフリーズするといった不具合があった。

## 【0014】

本発明は、スレーブ装置が間違っただビットでアクノリッジ信号を返して、IICバス通信がフリーズした場合に、システムを復帰させることが可能なIICバス通信システムを提供することを目的とする。

10

## 【0015】

また、本発明は、スレーブ装置が間違っただビットでアクノリッジ信号を返しても、IICバス通信がフリーズすることを防止することが可能なIICバス通信システムを提供することを目的とする。

## 【0016】

また、本発明は、スレーブ装置の外部あるいは内部で信号にノイズが重畳されても、IICバス通信がフリーズしないように、スレーブ装置の内部回路のノイズ耐性を改善することを目的とする。

## 【課題を解決するための手段】

## 【0017】

20

本発明の第1の構成のIICバス通信システムは、SCL(シリアルクロック)ラインおよびSDA(シリアルデータ)ラインからなる2本のバスラインと、前記バスラインに並列に接続された複数のマスター装置とを用い、前記SCLラインおよび前記SDAラインの状態に基づき、IICバス通信のフリーズ状態を検出してフリーズ検出信号を出力し、かつ前記フリーズ状態が解除された状態を検出してフリーズ解除検出信号を出力する状態検出部と、前記状態検出部から出力される前記フリーズ検出信号に応じて前記SCLラインにクロック信号に相当するパルス信号を供給するパルス発生部と、前記状態検出部から出力されるフリーズ解除検出信号に応じて前記複数のマスター装置にリセット信号を送信するリセット信号発生部とを備え、前記複数のマスター装置は前記リセット信号の供給により通常の通信状態に復帰する。

30

## 【0018】

本発明の第2の構成のIICバス通信システムは、SCL(シリアルクロック)ラインおよびSDA(シリアルデータ)ラインからなる2本のバスラインと、前記バスラインに並列に接続された複数のマスター装置とを用い、前記複数のマスター装置を相互に接続するSTA制御ラインと、前記STA制御ラインと電源との間に接続されたプルアップ抵抗とを備え、通信を開始しようとする前記マスター装置は、事前に前記STA制御ラインに通信開始用の認識信号STAを一定期間送信し、通信中の前記マスター装置は、前記STA制御ラインを通じて前記認識信号STAが送信されていることを検出したときに、前記SCLを停止する。

## 【0019】

40

本発明の第3の構成のIICバス通信システムは、SCLラインおよびSDAラインからなる2本のバスラインと、前記バスラインに並列に接続された複数のマスター装置と、前記バスラインに並列に接続された複数のスレーブ装置と、前記SCLラインおよび前記SDAラインにそれぞれ一端が接続されたプルアップ抵抗と、前記プルアップ抵抗の他端に接続された電源とを用い、前記複数のマスター装置および前記複数のスレーブ装置を相互に接続するRESET制御ラインと、前記RESET制御ラインと前記電源との間に接続されたプルアップ抵抗とを備え、前記複数のマスター装置はIIC仕様に基づくIIC信号の自己診断機能を内蔵して、ビットエラーが発生したとき、前記RESET制御ラインにリセット信号を送信し、前記複数のスレーブ装置は、前記RESET制御ラインを通じて前記リセット信号が送信されたとき、前記ビットエラーに対応する状態をリセットす

50

る。

【 0 0 2 0 】

本発明の I I C バス通信システムのスレーブ装置は、I I C バス通信システムの S C L ラインに接続するための S C L 端子と、I I C バス通信システムの S D A ラインに接続するための S D A 端子と、前記 S C L 端子を介して入力される S C L 信号を基準電圧と比較した結果を出力する S C L コンパレータと、前記 S D A 端子を介して入力される S D A 信号を基準電圧と比較した結果を出力する S D A コンパレータと、前記 S C L コンパレータおよび前記 S D A コンパレータの出力が供給されるデコーダとを備え、前記 S C L コンパレータおよび前記 S D A コンパレータの少なくとも一方はヒステリシス付きコンパレータである。

10

【 0 0 2 1 】

本発明の第 1 の構成の I I C バス通信制御方法は、S C L ラインおよび S D A ラインからなる 2 本のバスラインと、前記バスラインに並列に接続された複数のマスター装置とを用いた I I C バス通信システムを制御するため、前記 S C L ラインおよび前記 S D A ラインの状態の監視を行い、前記 S C L ラインおよび前記 S D A ラインの状態に基づき、I I C バス通信のフリーズ状態、および前記フリーズ状態が解除された状態を検出し、前記フリーズ状態が検出されたときに前記 S C L ラインにクロック信号に相当するパルス信号を供給し、前記フリーズ状態が解除された状態を検出したとき、前記複数のマスター装置にリセット信号を送信して通常の通信状態に復帰させる。

【 0 0 2 2 】

本発明の第 2 の構成の I I C バス通信制御方法は、S C L ラインおよび S D A ラインからなる 2 本のバスラインと、前記バスラインに並列に接続された複数のマスター装置とを用いた I I C バス通信システムを制御するため、通信を開始しようとする前記マスター装置は、事前に他の全ての前記マスター装置に通信開始用の認識信号 S T A を一定期間送信し、通信中の前記マスター装置は、前記認識信号 S T A が送信されていることを検出したとき、前記 S C L を停止するように制御する。

20

【 0 0 2 3 】

本発明の第 3 の構成の I I C バス通信制御方法は、S C L ラインおよび S D A ラインからなる 2 本のバスラインと、前記バスラインに並列に接続された複数のマスター装置と、前記バスラインに並列に接続された複数のスレーブ装置を用いた I I C バス通信システムを制御するため、前記複数のマスター装置は I I C 信号の自己診断機能を内蔵して、ビットエラーが発生したとき、他の全ての前記マスター装置および全ての前記スレーブ装置にリセット信号を送信し、前記複数のスレーブ装置は、前記リセット信号が送信されたとき、前記ビットエラーに対応する状態をリセットするように制御する。

30

【発明の効果】

【 0 0 2 4 】

第 1 の構成の I I C バス通信システムおよび I I C バス通信制御方法によれば、I I C バス通信がフリーズしたことを検出して、S C L ラインにクロックパルスを入力することにより、フリーズ状態を解除して正常な通信状態に復帰させることができる。

【 0 0 2 5 】

第 2 の構成の I I C バス通信システムおよび I I C バス通信制御方法によれば、他のマスター装置が通信を開始するために認識信号 S T A を送出しない限り、マスター装置は通信をしようとクロックを入力し続けるため、I I C バス通信のフリーズを防止できる。

40

【 0 0 2 6 】

第 3 の構成の I I C バス通信システムおよび I I C バス通信制御方法によれば、マスター装置が内蔵している I I C の自己診断機能でビットエラーを検出した場合に、リセット信号を送出して各装置にリセットをかけることにより、I I C バス通信のフリーズを防止することができる。

【 0 0 2 7 】

本発明の I I C バス通信システムのスレーブ装置によれば、ヒステリシス付コンパレー

50

タ 1 1 c を用いることにより、外部あるいは内部で信号に重畳されるノイズの影響によるビットエラーの発生を低減することができ、スレーブ装置のノイズ耐性を改善して、I I C バス通信のフリーズ発生を抑制することができる。

【発明を実施するための最良の形態】

【0028】

本発明の第 1 の構成の I I C バス通信システムにおいて、前記状態検出部は、前記 S D A および前記 S C L の所定の状態が一定時間継続すること検出することにより、前記フリーズ状態を検出する構成とすることができる。

【0029】

本発明の I I C バス通信システムのスレーブ装置において、前記 S C L コンパレータおよび前記 S D A コンパレータの少なくとも一方の出力側にノイズ除去用のコンデンサが接続された構成とすることが好ましい。

【0030】

また、前記 S C L コンパレータおよび前記 S D A コンパレータの少なくとも一方に供給される前記基準電圧は、前記デコーダに基準電圧を供給する基準電圧源とは異なる基準電圧源から供給される構成とすることが好ましい。

【0031】

また、I I C 信号用電源に接続するための電源入力端子と、前記電源入力端子と接地間に接続された電圧分割用の抵抗とを備え、前記 S C L コンパレータおよび前記 S D A コンパレータの少なくとも一方に供給される前記基準電圧として、前記電源の電圧が前記抵抗により分割された電圧を用いる構成とすることができる。

【0032】

また、前記 S C L コンパレータおよび前記 S D A コンパレータの少なくとも一方の出力側に出力インピーダンスを下げるためのバッファ回路が接続された構成とすることが好ましい。

【0033】

本発明の第 1 の構成の I I C バス通信制御方法において、前記フリーズ状態の検出を、前記 S D A および前記 S C L の所定の状態が一定時間継続すること検出することにより行うことができる。

【0034】

以下、本発明の実施形態について、図面を参照して説明する。

【0035】

(第 1 の実施形態)

図 1 A は、本発明の第 1 の実施形態に係る I I C バス通信システムの構成を示すブロック図である。図 1 A において、図 6 A に示した従来の I I C バス通信システムの要素と同一の要素には、同一の参照符号を付して説明する。

【0036】

この I I C バス通信システムは、S C L ライン 1 と S D A ライン 2 からなるバスラインに、第 1 マスター装置 3、第 2 マスター装置 4、第 1 スレーブ装置 5、および第 2 スレーブ装置 6 を、それぞれ並列に接続して構成されている。また、S C L ライン 1 には S C L ラインプルアップ抵抗 7 の一端が、S D A ライン 2 には S D A ラインプルアップ抵抗 8 の一端が接続され、両プルアップ抵抗 7、8 の他端は、I I C 信号用電源 9 に接続されている。

【0037】

さらに、フリーズ対策の機能を与えるために、状態検出部 1 5、パルス発生部 1 6 a、およびリセット信号発生部 1 6 b の組み合わせが構成される。状態検出部 1 5 は、S C L ライン 1 および S D A ライン 2 に接続されて、S C L 信号と S D A 信号が入力され、両信号の状態に基づいて、S C L ライン 1 および S D A ライン 2 のフリーズ状態の検出およびフリーズの解除状態の検出を行う。

【0038】

10

20

30

40

50



状態検出部 15 の出力信号であるフリーズ検出信号およびフリーズ解除検出信号は、パルス発生部 16 a およびリセット信号発生部 16 b に供給される。パルス発生部 16 a は、状態検出部 15 から出力されるフリーズ検出信号に応じて SCL ライン 1 にクロック信号に相当するパルス信号を供給する。リセット信号発生部 16 b は、状態検出部 15 から出力されるフリーズ解除検出信号に応じて第 1 マスター装置 3、および第 2 マスター装置 4 にリセット信号を送信する。第 1 マスター装置 3、および第 2 マスター装置 4 は、リセット信号の供給により通常の通信状態に復帰する。

#### 【0039】

次に、図 1 B を参照して、本実施形態における IIC バス通信システムのフリーズ対策動作について説明する。図 1 B は、図 1 A のシステムにおいて、第 1 スレーブ装置 5 がアクノリッジ信号を 1 ビット早めに返した場合の SCL、SDA の波形を示している。 10

#### 【0040】

第 1 マスター装置 3 が第 1 スレーブ装置 5 (リードアドレス: B7\_\_Hex) のデータを連続受信している途中で、ノイズ等の影響で、第 1 スレーブ装置 5 が 7 ビット目で SDA を 2 回分カウントしてしまった場合、SCL の 7 ビット目の立下りで SDA を “L” に引き込んでしまう。一方、第 1 マスター装置 3 では、リードアドレスの 8 ビット目を送信しているため、第 2 マスター装置 4 が通信を開始しようとして SDA ラインを “L” に引き下げているものと認識して、SCL を停止する。その結果、バスラインはフリーズし、フリーズ状態 X (SCL: “H”、SDA: “L”) に固定される。状態検出部 15 は、そのフリーズ状態 X が一定の時間続いたことを検出するように構成されている。 20

#### 【0041】

状態検出部 15 は、フリーズ状態 X (SCL: “H”、SDA: “L”) が一定の時間続いたことを検出すると、フリーズ検出信号を発生してパルス発生部 16 a に出力する。それにより、パルス発生部 16 a から SCL ライン 1 に 1 クロック分のパルス信号が入力される。その結果、第 1 スレーブ装置 5 は SDA ライン 2 を “H” に開放し、バスラインは解除状態 Y となる。

#### 【0042】

状態検出部 15 はまた、フリーズ状態 X が解除された解除状態 Y (SCL: “H”、SDA: “H”) が一定の時間続いたことを検出するように構成されている。状態検出部 15 は、解除状態 Y が一定の時間続いたことを検出すると、フリーズ解除検出信号を出力する。それに応じてリセット信号発生部 16 b は、第 1 マスター装置 3 および第 2 マスター装置 4 にリセット信号を送信し、通常の通信状態に復帰させる。 30

#### 【0043】

SDA ライン 2 が “L” に固定されたままで、フリーズ状態 X が続いている場合には、状態検出部 15 は再度フリーズ検出信号を発生し、パルス発生部 16 a はパルスを出力する。つまり、SDA ライン 2 が “H” に開放されるまで、パルス発生部 16 a から SCL ライン 1 にクロック信号が入力され続ける。フリーズ状態 X が解除されたら、第 1 マスター装置 3、および第 2 マスター装置 4 がリセットされ、正常な通信状態に復帰することができる。 40

#### 【0044】

(第 2 の実施形態)

図 2 A は、本発明の第 2 の実施形態に係る IIC バス通信システムの構成を示すブロック図である。この IIC バス通信システムは、従来の基本構成に加えて、フリーズ対策のための要素として、STA (スタート) 制御ライン 17 と、STA 制御ラインプルアップ抵抗 18 a が設けられている。

#### 【0045】

第 1 マスター装置 3 と第 2 マスター装置 4 は、STA 制御ライン 17 で相互に接続されており、通信を開始しようとするマスター装置は事前に、所定の一定期間 “L” を STA 制御ライン 17 に出力するように設定されている。STA 制御ライン 17 は、SCL ライン 1、SDA ライン 2 と同様に、第 1 マスター装置 3 および第 2 マスター装置 4 内部では 50

オープンドレイン接続されている。S T Aプルアップ抵抗 1 7 a は、一端が S T A 制御ライン 1 7 に接続され、他端が I I C 信号用電源 9 に接続されている。マスター通信中の第 1 マスター装置 3 および第 2 マスター装置 4 は、S T A 制御ライン 1 7 が “ L ” になったことを検出して、S C L を停止するという制御システムになっている。

【 0 0 4 6 】

次に、図 2 B を参照して、本実施形態における I I C バス通信システムのフリーズ対策動作について説明する。

【 0 0 4 7 】

図 2 B ( a ) は、図 2 A のシステムで第 1 スレーブ装置 5 がアクノリッジ信号を 1 ビット早めに返し、かつマスター装置が切り替わらない場合の S C L 信号、S D A 信号、S T A 信号の波形を示す。第 1 マスター装置 3 が第 1 スレーブ装置 5 ( リードアドレス : B 7 \_ H e x ) のデータを連続受信している途中で、ノイズ等の影響で、第 1 スレーブ装置 5 が 7 ビット目で S D A を 2 回分カウントしてしまった場合、S C L の 7 ビット目の立下りで S D A を “ L ” に引き込んでしまう。しかし、第 2 マスター装置 4 は通信を開始しようとしていないので、S T A は “ H ” のままである。その結果、第 1 マスター装置 3 は、S C L を停止させることなく、通信を続けるので、バスラインはフリーズしない。

【 0 0 4 8 】

図 2 B ( b ) は、図 2 A のシステムで第 1 スレーブ装置 5 がアクノリッジ信号を 1 ビット早めに返し、かつ第 2 マスター装置 4 が第 1 マスター装置 3 の通信の途中で割り込んでマスター装置が切り替わる場合の S C L 、S D A 、S T A の波形を示している。第 1 マスター装置 3 が第 1 スレーブ装置 5 ( リードアドレス : B 7 \_ H e x ) のデータを連続受信している途中で、ノイズ等の影響で、第 1 スレーブ装置 5 が 7 ビット目で S D A を 2 回分カウントしてしまった場合、S C L の 7 ビット目の立下りで S D A を “ L ” に引き込んでしまう。そのタイミングで、第 2 マスター装置 4 が通信を開始するために S T A 制御ラインを “ L ” にしている。この結果、第 1 マスター装置 3 は S C L を停止し、第 2 マスター装置 4 が S T O P コンディションおよびスタートコンディションを入力した後、通信を開始するため、バスラインはフリーズしない。

【 0 0 4 9 】

( 第 3 の実施形態 )

図 3 A は、本発明の第 3 の実施形態に係る I I C バス通信システムの構成を示すブロック図である。この I I C バス通信システムは、従来の基本構成に加えて、フリーズ対策のための要素として、R E S E T ( リセット ) 制御ライン 1 9 と、R E S E T 制御ラインプルアップ抵抗 1 8 b が設けられている。

【 0 0 5 0 】

全マスター装置すなわち第 1 、第 2 マスター装置 3 、4 と全スレーブ装置すなわち第 1 、第 2 スレーブ装置 5 a 、6 a は、R E S E T 制御ライン 1 9 で相互接続されている。全てのマスター装置 3 、4 は I I C 信号の自己診断機能を内蔵しており、ビットエラーが発生すると、R E S E T 制御ライン 1 9 を “ L ” にするという制御システムになっている。

【 0 0 5 1 】

次に、図 3 B を参照して、本実施形態における I I C バス通信システムのフリーズ対策動作について説明する。

【 0 0 5 2 】

図 3 B は、図 3 A のシステムで第 1 スレーブ装置 5 a がアクノリッジ信号を 1 ビット早めに返した場合の S C L 、S D A 、R E S E T の波形を示す。

【 0 0 5 3 】

図 3 C は、図 3 A の I I C バス通信システムに用いられるスレーブ装置 5 a である I C 回路の構成を示すブロック図である。

【 0 0 5 4 】

第 1 スレーブ装置 5 a に設けられた S C L 入力端子 1 0 、S D A 入力端子 2 0 および R E S E T 入力端子 2 1 はそれぞれ、S C L ライン 1 、S D A ライン 2 および R E S E T 制

10

20

30

40

50

御ライン 19 に接続されている。SCL、SDA 信号は、第 1 スレーブ装置 5 a 内部のコンパレータ 11 a、11 b を介して、IIC デコード回路 12 でデコードされる。コンパレータ 11 a、11 b の基準電圧としては、基準電圧回路 13 からの基準電圧がバッファ回路 14 を介して供給される。

【0055】

SDA 入力端子 20 は、Nch-MOS トランジスタ 22 を介して接地されている。IIC デコード回路 12 のデコード出力は、AND 回路 23 の一方の入力端子に供給される。AND 回路 23 の他方の入力端子は、RESET 入力端子 21 と接続されている。

【0056】

例えば、第 1 マスター装置 3 が第 1 スレーブ装置 5 a (リードアドレス: B7\_\_Hex) のデータを連続受信している途中で、ノイズ等の影響で、第 1 スレーブ装置 5 a が 7 ビット目で SDA を 2 回分カウントしてしまった場合、SCL の 7 ビット目の立下りで SDA を “L” に引き込んでしまう。

【0057】

この場合、第 1 マスター装置 3 は B7\_\_Hex を出力しているにもかかわらず、第 1 スレーブ装置 5 a のアクノレッジビットずれのために IIC 信号は B6\_\_Hex になっている。この IIC 信号のずれを、第 1 マスター装置 3 自身が内蔵している IIC 自己診断機能により検知して、RESET 制御ライン 19 に “L” を出力し、その間に第 1 マスター装置 3 自身が STOP コンディションを生成し、スレーブ装置の RESET 端子 21 に入力する。その結果、スレーブ装置内部の IIC デコード回路 12 がリセットされ、正常に通信が開始するため、バスラインはフリーズしない。

【0058】

(第 4 の実施形態)

図 4 は、本発明の第 4 の実施形態に係る IIC バス通信システムに用いられるスレーブ装置 5 b の構成を示すブロック図である。IIC バス通信システム全体の構成は、図 6 A に示した従来例と同様でも、あるいは、上述の各実施形態に示したものと同様であってもよい。なお、このスレーブ装置 5 b は、SCL 入力端子 10 を通じて入力される SCL 信号の処理に関係する部分のみが図示され、他の信号の処理に関係する部分については図示が省略されている。

【0059】

SCL 信号は、ヒステリシス付コンパレータ 11 c を介して、IIC デコード回路 12 に供給されてデコードされる。コンパレータ 11 c の基準電圧としては、基準電圧回路 13 の出力電圧が、バッファ回路 24 を介して供給される。すなわち、コンパレータ 11 c の基準電圧は、IIC デコード回路 12 に供給される電圧とは別経路で供給されるようになっている。さらに、コンパレータ 11 c の出力側は、ノイズ除去用コンデンサ 25 を介して接地されている。

【0060】

上記構成によれば、次のように、スレーブ装置 5 b 内部のノイズ耐性を改善させる対策がなされる。

(1) ヒステリシス付コンパレータ 11 c を用いることにより、SCL ライン 1 に外部から重畳するノイズの影響によるビットエラーの発生を低減することができる。

(2) バッファ回路 24 を用いて、IIC デコード回路 12 等のロジック回路とコンパレータ 11 c の基準バイアスを分離することにより、コンパレータ 11 c の基準電圧側に重畳するノイズの影響によるビットエラーの発生を低減することができる。

(3) コンパレータ 11 c の出力側にノイズ除去用コンデンサ 25 を設けることにより、コンパレータ 11 c の出力に重畳するノイズの影響によるビットエラーの発生を低減することができる。

【0061】

なお、上記対策の全てを同時に実施する必要はなく、いずれか 1 つの対策を用いれば、相応の効果を得ることは可能である。

## 【 0 0 6 2 】

## ( 第 5 の 実 施 形 態 )

図 5 は、本発明の第 5 の実施形態に係る I I C バス通信システムに用いられるスレーブ装置 5 c の構成を示すブロック図である。I I C バス通信システム全体の構成は、図 6 A に示した従来例と同様でも、あるいは、上述の各実施形態に示したものと同様であってもよい。なお、このスレーブ装置 5 c は、S C L 入力端子 1 0 を通じて入力される S C L 信号の処理に関係する部分のみが図示され、他の信号の処理に関係する部分については図示が省略されている。

## 【 0 0 6 3 】

このスレーブ装置 5 c には I I C 信号用電源端子 2 6 が設けられ、I I C 信号用電源 9 と接続されている。電源端子 2 6 は、基準電圧設定用抵抗 2 7、2 8 の直列回路を介して接地されている。S C L 入力端子 1 0 を通じて入力される S C L 信号は、ヒステリシス付コンパレータ 1 1 c に入力される。コンパレータ 1 1 c の出力信号は、バッファ回路 2 9 を介して I I C デコード回路 1 2 に供給され、デコードされる。

## 【 0 0 6 4 】

I I C デコード回路 1 2 の基準電圧としては、基準電圧回路 1 3 の出力電圧が、バッファ回路 1 4 を介して供給される。コンパレータ 1 1 c の基準電圧としては、I I C 信号用電源 9 の電圧が基準電圧設定用抵抗 2 7、2 8 により抵抗分割された電圧が供給される。

## 【 0 0 6 5 】

上記構成によれば、次のように、スレーブ装置 5 c 内部のノイズ耐性を改善させる対策がなされる。

( 4 ) コンパレータ 1 1 c の基準電圧に I I C 信号用電源 9 から抵抗分割した電圧を用いることにより、コンパレータ 1 1 c の基準電圧側に重畳するノイズの影響によるビットエラーの発生を低減することができる。

( 5 ) ヒステリシス付コンパレータ 1 1 c の出力ライン直後にバッファ回路 2 9 を追加して出力インピーダンスを下げることで、I I C デコード回路 1 2 内部やその他の場所で発生するノイズが重畳することによる、ビットエラーの発生を低減することができる。

## 【 0 0 6 6 】

なお、以上の実施形態においては、2 個のマスタ装置、2 個のスレーブ装置がバスラインに接続されている例を示したが、マスタ装置、スレーブ装置とも、バスラインに接続される個数は 2 個に限られない。

## 【 産 業 上 の 利 用 可 能 性 】

## 【 0 0 6 7 】

本発明によれば、I I C バス通信システムにおけるノイズの影響によるフリーズの対策を効果的に行うことができ、家庭用機器、通信機器あるいは産業機器の内部を構成するデバイス間相互のコントロールに有用である。

## 【 図 面 の 簡 単 な 説 明 】

## 【 0 0 6 8 】

【 図 1 A 】 本発明の第 1 の実施形態に係る I I C バス通信システムの構成を示すブロック図

40

【 図 1 B 】 同 I I C バス通信システムにおける I I C 信号パターンを示す図

【 図 2 A 】 本発明の第 2 の実施形態に係る I I C バス通信システムの構成を示すブロック図

【 図 2 B 】 同 I I C バス通信システムにおける I I C 信号波形および S T A 信号波形を示す図

【 図 3 A 】 本発明の第 3 の実施形態に係る I I C バス通信システムの構成を示すブロック図

【 図 3 B 】 同 I I C バス通信システムにおける I I C 信号パターンおよび R E S E T 制御信号を示す図

【 図 3 C 】 同 I I C バス通信システムに用いられるスレーブ I C 回路の構成を示すブロッ

50

ク図

【図４】本発明の第４の実施形態のＩＩＣバス通信システムに用いられるスレーブＩＣ回路の構成を示すブロック図

【図５】本発明の第５の実施形態のＩＩＣバス通信システムに用いられるスレーブＩＣ回路の構成を示すブロック図

【図６Ａ】従来のＩＩＣバス通信システムの構成を示すブロック図

【図６Ｂ】従来のＩＩＣバス通信システムのＩＩＣ信号波形を示す図

【図７】従来のスレーブＩＣ回路の構成を示すブロック図

【符号の説明】

【００６９】

10

１ ＳＣＬライン

２ ＳＤＡライン

３ 第１マスター装置

４ 第２マスター装置

５ 第１スレーブ装置

６ 第２スレーブ装置

７ ＳＣＬラインプルアップ抵抗

８ ＳＤＡラインプルアップ抵抗

９ ＩＩＣ信号用電源

１０ ＳＣＬ入力端子

20

１１ａ、１１ｂ コンパレータ

１１ｃ ヒステリシス付きコンパレータ

１２ ＩＩＣデコード回路

１３ 基準電圧回路

１４、２４、２９ バッファ回路

１５ 状態検出部

１６ａ パルス発生部

１６ｂ リセット信号発生部

１７ ＳＴＡ制御ライン

１８ａ ＳＴＡ制御ラインプルアップ抵抗

30

１８ｂ ＲＥＳＥＴ制御ラインプルアップ抵抗

１９ ＲＥＳＥＴ制御ライン

２０ ＳＤＡ入力端子

２１ ＲＥＳＥＴ入力端子

２２ Ｎｃｈ－ＭＯＳトランジスタ

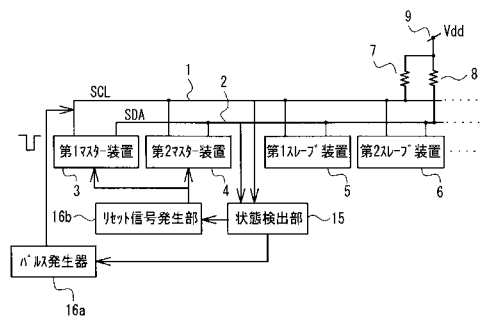
２３ ＡＮＤ回路

２５ ノイズ除去用コンデンサ

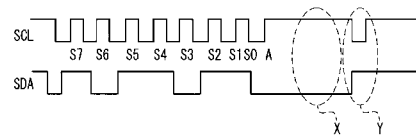
２６ ＩＩＣ信号用電源端子

２７、２８ 基準電圧設定用抵抗

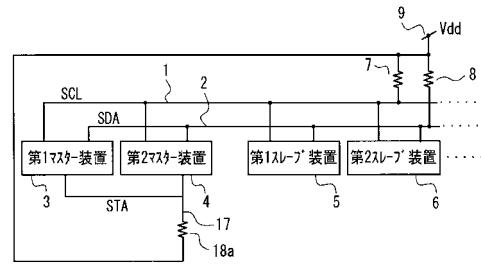
【図 1 A】



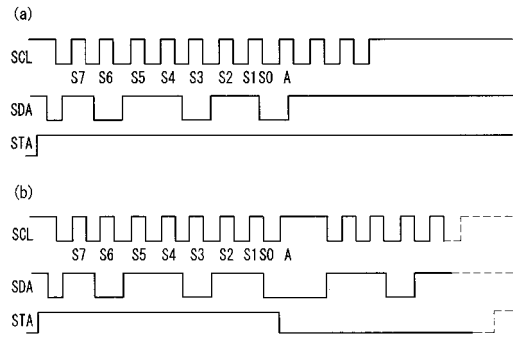
【図 1 B】



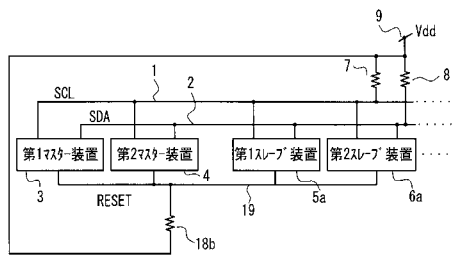
【図 2 A】



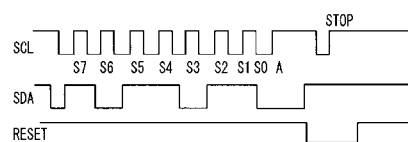
【図 2 B】



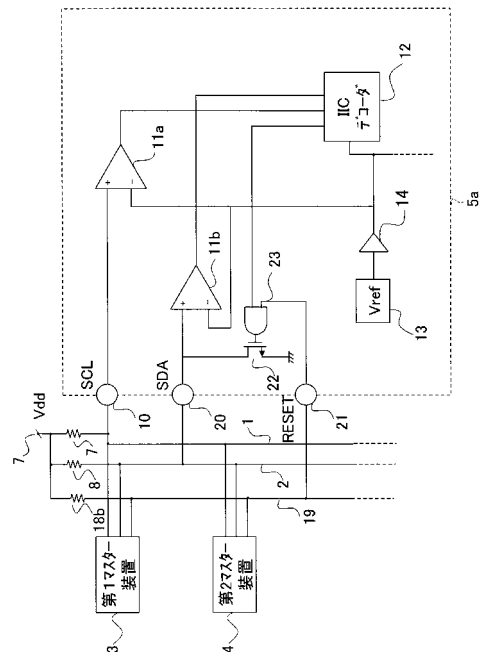
【図 3 A】



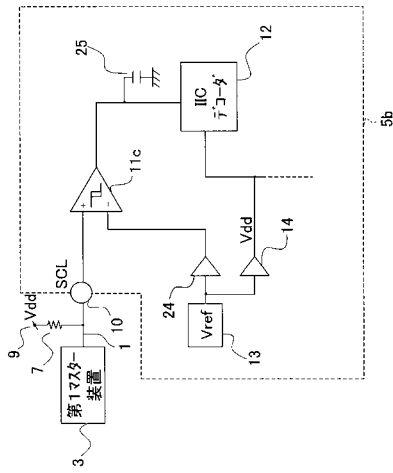
【図 3 B】



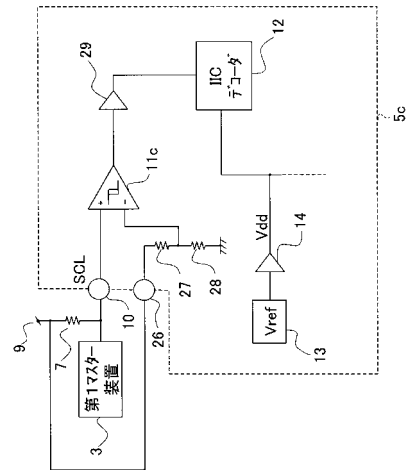
【図 3 C】



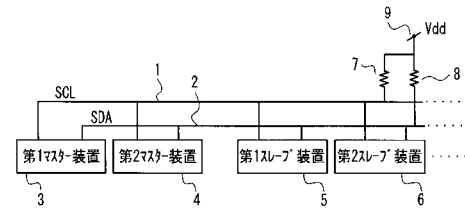
【図 4】



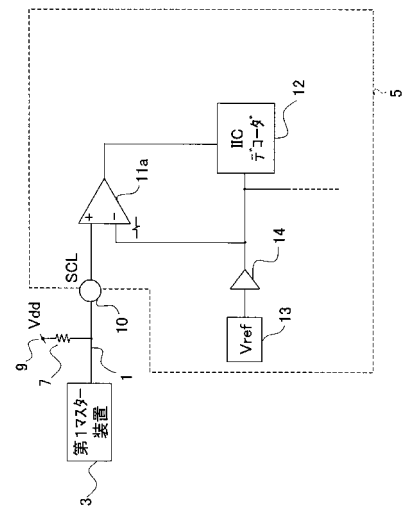
【図 5】



【図 6 A】



【図 7】



【図 6 B】

