(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03K 3/353

(45) 공고일자 1999년03월20일
(11) 등록번호 특0163485
(24) 등록일자 1998년09월07일

(21) 출원번호 특1995-000135
(22) 출원일자 1995년01월06일
(65) 공개번호 특1995-035078
(43) 공개일자 1995년12월30일
(30) 우선권주장 8/235,647 1994년04월29일 미국(US)

(73) 특허권자 모사이드 테크놀로지스 인코오포레이티드 조오지 제이. 제이. 와이너
캐나다 온타리오 카나타 피.오.박스 13579
(72) 발명자 브루스 밀러
캐나다 온타리오 스티츠빌리 펀뱅크 로드 6066
리차드 씨. 포스
스코틀랜드 커크칼디 피페 레이스 가든즈 28
토마츠 워키스키
캐나다 온타리오 카나타 누드선 드라이브 323
(74) 대리인 이상섭, 나영환

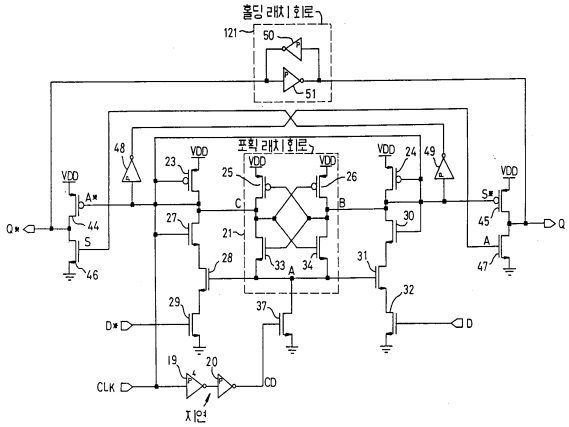
심사관 : 정순원

(54) 플립플롭 회로

요약

동기식 동적 랜덤 액세스 메모리(SDRAM)의 입력 회로를 구동하기 위한 플립플롭 회로는, 데이터 펄스를 수신하는 한 쌍의 상보형 입력단과, 클럭펄스를 수신하는 클럭 입력단과, 한쌍의 상보형 입력단과 한 쌍의 상보형 출력단을 구비하며 비트를 포획하는 포획 래치 회로와, 상보형 데이터 입력단에서 상기 포획 래치 회로의 입력단까지 데이터 펄스를 인가하는 수단과, 상기 포획 래치 회로를 클럭 펄스로 부터 트리거링하는 수단과, 양방향 홀딩 래치 회로를 통하여 상보형 출력단을 서로 접촉시키는 수단을 구비하는데, 이에 의해서 클럭 펄스의 상승 구간과 한 극성의 데이터 펄스의 출현이 일치하는 동안에는 상기 포획 래치 회로가 상기 데이터 펄스에 대응하는 비트를 저장하고 상기 한 쌍의 상보형 출력단을 구동하기 위해 인에이블되고, 상기 클럭 펄스의 상승구간과 상기 데이터 펄스의 한 극성 다음에는 상기 상보형 출력단이 상기 홀딩 래치 회로에 의해 구동된 채로 유지된다.

대표도



명세서

[발명의 명칭]

플립플롭 회로

[도면의 간단한 설명]

제1도는 종래 기술에 따른 동적 래치 회로도.

제1a도는 제1도 회로에 사용된 클럭 신호의 타이밍도.

제1b도는 제1도에 도시된 회로와 함께 사용된 기준 회로도.

제2도는 본 발명의 바람직한 실시예에 따른 동기화 회로 플립플롭의 회로도.

제3a도 및 제3b도는 본 발명에서의 각종 신호를 도시하는 타이밍도.

제4a, 4b, 4c 및 4d도는 각종 입력단을 갖는 동기화 회로 플립플롭에 대한 블록도 응용을 도시하는 도면.

제5도는 SDRAM의 전단부에 인가된 다수의 동기화 회로 플립플롭을 블록도로 표시한 도면.

* 도면의 주요부분에 대한 부호의 설명

21 : 포획 래치 회로　　121 : 양방향 홀딩 래치 회로

[발명의 상세한 설명]

본 발명은 반도체 메모리에 관한 것으로 특히, 동기식 동적 랜덤 엑세스 메모리(SDRAM)와 같은 동적 랜덤 액세스 메모리(DRAM)에 진입하는 데이터를 포획하는데 유용한 래치 회로에 관한 것이다.

데이터가 DRAM에 저장될 경우, 저장 셀 커패시터에 저장되기 전의 데이터를 수신할 비트 라인이 프리차징되는 동안 데이터는 일시적으로 저장되는 래치 회로에 통상적으로 포획된다. 현재의 DRAM에 있어서 전류 인출을 최소화하는 것이 바람직하며 전류 소비원중 하나가 래치 회로이다.

TTL과 같은 다른 논리 회로들과 호환할 수 있는 입력을 갖는 CMOS 인버터는 상당한 정지 전력을 소비하는 반면, 입력은 정지 논리 레벨로 유지한다. TTL의 경우에는 논리 1 입력은 2.4V이하일 수 있는 반면, 5V CMOS부에서 입력은 통상적으로 중간 전압 레일(mid-voltage rail)로 위치되어 전류가 낭비된다.

다수의 칩이 통상 커다란 메모리 뱅크를 필요로 하기 때문에 DRAM의 예비전류는 중요하다. 예컨대, 4Mb DRAM은 메모리 사이클의 시작시에 래칭되어야만 하는 11 어드레스 입력단 및 약간의 기타 입력단을 구비한다. 정적 래치 회로를 사용하는 대신 DRAM회로는 전류가 실질적인 래칭 시퀀스 동안에만 흐를 수 있는 동적 래치 회로를 사용한다.

이러한 회로는 종래 기술에 따른 동적 래치 회로도인 제1도에 도시된다. 이 회로는 IEEE Jounal of Solid State Circuits, 4/90의 Miyamoto 등에 의한 논문에 도시되어 있다.

플립플롭(1)은 비트를 저장하고 출력 리드선/Ai 와 Ai에 공급하기 위해 상기 비트를 출력 인버터(3,5)에 제공한다. 플립플롭(1)의 출력 전계효과 트랜지스터(FET)와 병렬로 소스-드레인 회로를 갖는 FET(6,7)는 클럭 소스RA1으로 부터 구동된다. 3개의 직렬 FET로 각각이 구성된 두 회로(8,9)는 각각이 플립플롭의 출력단과 접지사이에 접속된다. 양 직렬 회로의 한 대향 FET는 게이트에 인가된 클럭 소스/RA3를 갖고, 양 직렬 회로의 두 대향 FET는 게이트에 인가된 클럭 소스 RA1을 갖는다. 데이터 입력 단자는 데이터 펄스를 수신하여 한 직렬회로의 제3FET(11)의 게이트에 인가한다. 다른 직렬회로의 제3FET(13)의 게이트는 전압 기준에 접속된다.

클럭 신호/RA2는 플립플롭(1)의 공통 단자에 인가된다.

제1a도는 메인 클럭 신호/RAS 에서 파생된 클럭 신호 RA1, /RA2 및/ RA3의 타이밍도이다. 입력 FET(11)가 고논리 레벨 입력 데이터 신호에 의해 도통하는 경우, 이것은 최소 및 최대 TTL 입력 논리 레벨사이에서 설정되는 것이 바람직한 정합 기준 FET의 전류와 비교되며, 기준 레벨은 FET(13)의 게이트에서의 기준 전압 Vref으로 표시된다. 입력 데이터가 한 극성 방향에서 기준치를 초과한 경우 플립플롭은 한 극성의 입력 데이터 펄스를 저장하며, 상기 입력 데이터가 다른 극성 방향에서 기준치를 초과할 경우 플립플롭은 다른 극성의 입력 데이터 펄스를 저장한다.

기준 전압 발생기는 제1b도에 도시된다. 한쌍의 상보형 FET(15,16)는 전류 소스 I와 접지 사이에 직렬 접속된 소스-드레인 회로를 구비한다. 두 트랜지스터의 게이트와 트레인은 서로 접속된다.

래치 회로 자체가 실질적으로 제로 정치 전력을 소비하는 동안 기준 전압 발생기는 예비 전력을 소비한다. 또한, SRAM에서 데이터가 클럭에 앞서는지 또는 뒤지는지에 대한 확실성이 없는 동안, 래치 회로에 대한 데이터의 제공전에 데이터와 클럭의 동기가 필요하기 때문에 기준 전압 발생기는 SRAM에 사용될 수 없다.

동기식 DRAM은 상이한 CAS잠재(latency)동작 모드를 이용한다. 예컨대, 1의 CAS잠재기간 동안 자신의 데이터 버스 독출 증폭기에 의해 독출된 데이터는 클럭후에 자신의 출력 버퍼에 도달한다. 3의 CAS 잠재기간동안 데이터는 출력버퍼의 전단에서 클럭을 대기한다. 2의 잠재기간동안 데이터와 버퍼 사이에 출력 버퍼에 대한 레이스 상태(race condition)가 존재한다.

SDRAM에 대한 설명은 MICRON Design Line, volume 2, Issue 2, No 2Q93의 Synchronous DRAMs : Designing to the JEDEC Standard라는 논문에 설명되어 있다.

본 발명에 예비 전력을 아주 조금 사용하거나 거의 사용치 않는 정적 플립플롭에 관한 것으로 현재의 DRAM 특허 SDRAM의 용도에 매우 적합한 것이다.

또한, 본 발명은 고속이며 에지 트리거링되고 이것이 포획하는 데이터를 클럭의 활성 구간에서 동기화하므로 SDRAM에 매우 유용하다. 이것의 전파지연 및 전파 지연 분산은 매우 느리게 나타날 것이다. 이것은 낮은 동적 전력 소비를 갖는 반면, 여전히 Q와 Q'출력 모두에 높은 구간 구동을 제공한다. 본 발명은 광범위한 처리, 온도 및 전압 변화에 대해 확고한 기능을 나타낼 것이다.

본 발명의 일 실시예에 따라, 동기적 동적 랜덤 액세스 메모리(SDRAM)의 입력 회로를 구동하기 위한 플립플롭 회로는 데이터 펄스 또는 기준 전압을 수신하기 위한 상보형 데이터 입력단과, 클럭 펄스를 수신하기 위한 클럭 입력단과, 한 쌍의 상보형 입력단과 한 쌍의 상보형 출력단을 가지며 비트를 임시 저장하는 포획 래치 회로와, 상기 데이터 입력단에서 상기 포획 래치회로의 입력단으로 데이터 펄스를 인가하기 위

한 장치와, 클럭 펄스로 상기 포획 래치회로를 인에이블 및 디스에이블시키기 위한 장치와, 포획 래치회로를 프리차징하기 위한 장치와, 양방향 홀딩 래치를 통하여 상보형 출력단을 서로 접속하기 위한 장치를 구비하며, 이에 의해, 클럭 펄스의 상승구간의 일치 및 한 극성의 데이터 펄스의 존재 동안에는 상기 포획 래치회로가 데이터 펄스에 대응하는 비트를 저장하고 한 쌍의 상보형 출력단 강하게 구동하도록 인에이블되며, 상기 클럭의 상승 구간 및 데이터 펄스의 한 극성 다음에는 상기 포획 래치회로가 프리차징되고 디스에이블되므로 홀딩 래치에 의해 구동된 채로 유지되는 상보형 출력단에 대한 강한 구동력을 제거시킨다.

본 발명의 다른 실시예에 따라, SDRAM의 입력 회로를 구동하기 위한 플립플롭 회로는 데이터 펄스를 수신하기 위한 상보형의 한 쌍의 데이터 입력단과, 클럭 펄스를 수신하기 위한 클럭 입력단과, 한 쌍의 상보형 입력단과 한 쌍의 상보형 출력단을 가지며 비트를 포획하기 위한 포획 래치 회로와, 상기 상보형 데이터 입력단에서 상기 포획 래치 회로의 입력단으로 데이터 펄스를 인가하기 위한 장치와, 클럭 펄스로 부터 상기 포획 래치 회로를 트리거링하기 위한 장치와, 양방향 홀딩 래치 회로를 통하여 상보형 출력단을 서로 접속시키기 위한 장치를 구비하며, 이에 의해서 클럭 펄스의 상승 구간 및 한 극성의 데이터 펄스의 존재동안에는 상기 포획 래치 회로가 상기 데이터 펄스에 대응하는 비트를 저장하고 상기 한 쌍의 상보형 입력단을 구동하기 위해 인에이블되고, 클럭 펄스의 상승 구간 및 데이터 펄스의 한 극성 다음에는 상보형 출력단이 상기 홀딩 래치 회로에 의해 구동된 채로 유지된다.

제2도에서 포획 래치 회로(21)는 Miyamoto 등의 종래 기술에서와 같이 공통 리드(A)와 한 쌍의 상보형 출력 리드C를 구비한다. 또한, Miyamoto 등의 종래 기술에서와 같이 전압 소스 Vdd에 접속되는 포획 래치 회로(21)의 두 FET(25,26)와 비슷한 유형의 한 쌍의 TET(23,24)는 FET(25,26)와 병렬 접속된 소스-트레인 회로 및 서로 접속되어 클럭 신호 CLK를 수신하는 게이트를 구비한다. FET(23)에 대향 극성인 3개의 FET(27,28,29)의 소스-드레인 회로는 FET(23,25)의 접속부와 접지사이에 직렬 접속되고, FET(24)에 대향 극성인 3개의 FET(30,31,32)의 소스-드레인 회로는 FET(24,26)의 접속부와 접지사이에 직렬 접속된다. FET(23,24,27 및 30)의 게이트는 서로 접속되고, FET(28,31)의 게이트는 서로 접속하면서 포획 래치 회로(21)의 교차 접속된 FET(33,34)의 소스에도 접속된다.

FET(29,32)와 동일한 극성 유형의 FET(37)는 FET(33,34)의 소스와 접지사이에 접속된 드레인-소스회로를 구비한다.

클럭 입력 CLK은 FET(23,27,24 및 30)의 게이트에 접속되면서 직렬 접속된 한쌍의 인버터(19,20)를 통하여 FET(37)의 게이트에도 접속된다.

저장될 데이터 비트를 공급하기 위한 입력 데이터D는 FET(32)의 게이트에 접속되고, 상보형 데이터 입력 D^*는 FET(29)의 게이트에 접속된다.

포획 래치 회로(21)의 출력 C와 B는 FET(23,24)와 동일 극성인 각 출력 구동 FET(44,45)의 게이트에 접속된다. FET(44,45)의 소스-드레인 회로는 각각 대향 극성의 FET(46,47)의 드레인-소스 회로를 통하여 전압 소스 Vdd에서 접지로 접속된다. 출력 신호는 각각 상보형 출력 단자 Q^*와 Q에서 얻어진다.

포획 래치 회로 출력 B는 인버터(49)를 통하여 FET(46)의 게이트에 접속되고, 포획 래치 회로 출력 C는 인버터(48)를 통하여 FET(47)의 게이트에 접속된다. 교차 결합된 인버터(50,51)로 형성된 양방향 홀딩 래치회로(121)는 출력 단자 Q^*와 Q 사이에 접속된다.

제3 및 제3b도의 타이밍 다이어그램을 참고하여 회로 동작을 설명한다.

클럭 펄스는 클럭 입력 CLK으로 수신되며 FET(23,27,24 및 30)의 게이트에 인가되고 인버터(19,20)통과에 따른 짧은 시간 지연 후에 FET(37)의 게이트에 인가된다. 따라서, 데이터 비트를 포획하여 저장하기 위해 플립플롭이 인에이블된다.

FET(29,32)에 입력된 데이터 펄스 D^* 와 D의 셋업 다음에, 클럭 펄스의 상승 구간(55)은 FET(23,27,24 및 30)에 수신된다. Miyamto 등의 종래 기술에서와 같이, VREF 는 상술된 회로에 의해 논리 중간 레벨로 유지되는 FET(29)의 게이트에 인가될 것이다. 그러나, 본 발명의 바람직한 실시예에서 데이터 펄스 D^*는 FET(29)의 게이트에 인가된다. 데이터 펄스가 어떠한 극성이든지 보수 극성으로 FET(29,32)의 게이트에 인가되므로 FET(29 또는 32)중의 한 FET 만이 도통 상태가 되고 나머지 FET는 비도통 상태가 된다.

지연 다음에, 공통 단자 A는 고논리 레벨 클럭 펄스(도시된 FET 극성에 대해) 때문에 FET(37)를 통하여 접지되므로 이 순간에 리드 A에 야기된 부수효과는 존재하지 않는다. 그러나, FET(29 또는 32)중 한 FET만이 도통 상태가 되어 FET(28 또는 31)중 한 FET의 소스가 접지된다.

리드 A가 접지 전위가 되는 경우 FET(28,31)는 FET(29,32)를 통과하는 D와 D^*의 블로킹 효과를 차단한다. 포획 래치 노드 B와 C중 한 노드는 노드 A가 접지 전위가 되는 경우 포획 래치 회로의 균형을 깨기 위해 FET(27,30)를 통하여 순간적으로 낮은 펄스를 받게될 것이다. 포획 래치회로는 데이터를 포획하기 위해 리드 C와 B간의 작은 전압차를 증폭한다.

리드 B와 C는 각각 저논리 레벨 신호와 고논리 레벨 신호를 운송하며, 이러한 신호의 반대 논리 레벨이 각각 FET(46,47)의 게이트에 도달한다. 따라서, FET(46)는 도통 상태가 되고 FET(47)는 비도통 상태가 되며, FET(45)는 도통 상태가 되고 FET(44)는 비도통 상태가 된다. 이로써 출력 리드 Q에는 고논리 레벨 신호(FET 45를 통해 Vdd로 부터 전도된)가 인가되고, 출력 리드 Q^*에는 저논리 레벨 신호(FET 46를 통해 접지로 부터 전도된)가 인가된다.

클럭 펄스는 고논리 레벨에서 저논리 레벨로의 전이로 종료하므로 FET(27,30)는 비도통 상태가 되고, 짧은 지연후에 FET(37)는 비도통 상태가 된다. FET(27,30,37)가 비도통 상태가 되고 FET(23,24)가 도통 상태가 되므로 포획 래치회로 출력 리드 B와 C는 전압 소스 Vdd로 프리차징되어 출력 구동기 FET(44,45,46 및 47)를 비도통 상태로 만들고 공통 리드 A를 소스 팔로워처럼 동작하는 FET(33,34)를 통하여 Vdd 로

충전한다. 공통 리드 A는 Vdd-(FET(33,34)의 임계 전압)으로 변화시키므로 FET(28,31)를 도통 상태로 만든다. 이제 동기화 회로 플립플롭은 완전히 프리차징되어 다음 클럭 펄스의 상승구간에 데이터를 포획할 준비가 되었다.

인버터(50,51)로 형성된 홀딩 래치 회로 양단에 나타나는 상보형 논리레벨은 클럭이 낮고 FET(44,45,46 및 47)가 오프되는 경우에 바로 이 래치 회로에 저장된다.

따라서 상보형 논리 레벨의 존재가 출력 리드 Q와 Q^*에 대해 데이터를 강하게 구동시키며 클럭 펄스의 타이밍이 고논리 레벨로 설정됨을 알 수 있다.

이것은 리드 Q에서 고논리 레벨의 상승 구간(59)과 리드 Q^*상에 대칭 구간을 갖는 제3도에 도시된다.

최대 전류 인출이 스위칭 시간동안 발생되는 반면 플립플롭은 한 극성 방향 또는 다른 극성 방향에서 안정한 상태로 플리핑하고 있다는 것을 인지하는 것은 중요하다. 클럭 펄스가 저논리 레벨 또는 고논리 레벨에 있는 경우 매우 낮은 전류가 인출된다. FET(44,46) 또는 FET(45,47)가 동시에 도통 상태가 되는 경우는 없다. 그 결과, 출력단 Q와 Q^*에 의해 인출된 크로우바(crowbar)전류는 없다. 홀딩 래치 회로가 데이터 비트를 저장하는 안정 상태에 회로가 도달한 후 회로에 의해 인출된 전류량은 매우 낮은 저레벨로 다시 강하한다.

그 결과, 데이터의 고논리 레벨 펄스는 이 시간에 포획 래치회로 공통 리드 A가 접지 전위이고 FET(28,31)가 비도통 상태이므로 인출되는 전류없이 언제든지 저레벨로 강하할 것이다. 출력 Q에서의 고논리 레벨은 고논리 레벨로 출력 Q^*에서의 저논리 레벨은 저논리 레벨로 유지된다.

스위치오버와 새로운 비트 논리 레벨의 저장 및 출력 동안, 초기 논리 레벨의 저장을 참고로 상술한 바와 같이 회로는 일시적으로 최대 전류를 인출한다.

비트 논리 레벨 저장 구간동안만의 최대 전류를 사용하여 회로가 비트를 수신 및 저장하여 상보형 출력 리드 Q 와 Q^*에 제공하지만, 저장된 경우, FET(23,24)가 도통 상태가 되고 포획 래치 회로가 프리차징되는 클럭 신호의 고논리 레벨 부분의 하강 구간의 짧은 중간 구간을 제외하고는 최소 전류만이 인출된다는 것을 알 수 있다. 포획 래치 회로가 프리차징되는 동안 앞에서 언급된 매우 낮은 논리 레벨보다 높은 저레벨로 동작 전류가 일시적으로 증가한다.

본 회로는 이 회로가 SDRAM에 사용되어야만 한다면 필요 장치인 클럭으로 데이터를 동기시키는 장점을 갖는다.

제4a, 4b, 4c 및 4d도는 상술된 동기화 회로(60으로 도시됨)에 대한 최적의 입력 접속을 예시한다. 제4a도에서 인버터(62)는 DIN^*입력을 DIN 입력 데이터로 반전하고 이 모두는 각각 회로의 D^*와 D 입력단에 제공된다. 제4b도에서 상보형 데이터 DIN 와 DIN*는 회로의 D와 D^*입력단에 입력된다. 제4c도에서 DIN 데이터는 D입력단에 입력되고 VREF는 D^*입력단에 인가되며, 제4d도에서 VREF는 D입력단에 입력되고 DIN^*데이타는 D^*입력단에 인가된다. 여기서 VREF는 TTL 임계 전압이다.

제5도는 SDRAM의 전단부를 변형하여 동기화된 명령과 어드레스 입력을 제공하기 위해 동기화 회로(60)의 군을 사용하는 예를 도시한다. 각종 SDRAM명령 어드레스 입력이 DIN 입력단으로서의 JTL 입력 버퍼(64)를 통하여 동기화 회로에 인가된다. 제4a도를 참고로 설명한 바와 같이 인버터(62)는 DIN입력으로 부터의 DIN^*입력을 제공한다. 각 동기화 회로(60)에 대한 공통클럭 신호는 입력 버퍼(66)를 통해 얻어진다.

상술한 설명을 이해하는 당업자에 의해 본 발명의 원리를 이용한 다른 실시예 및 변형 실시예가 가능하다. 첨부된 특허 청구범위의 기술적 내용에 부합된 모든 것은 본 발명의 일부로 간주될 것이다.

(57) 청구의 범위

청구항 1

동기식 동적 랜덤 액세스 메모리(SDRAM)의 입력 회로를 구동하기 위한 플립플롭 회로에 있어서, a. 데이터 펄스를 수신하는 한 쌍의 상보형 입력단과, b.클럭 펄스를 수신하는 클럭 입력단과, c. 한 쌍의 상보형 입력단과 한 쌍의 상보형 출력단을 구비하며 비트를 포획하는 포획 래치 회로와, d. 상보형 데이터 입력단에서 상기 포획 래치 회로의 입력단까지 데이터 펄스를 인가하는 수단과, e. 상기 포획 래치 회로를 클럭 펄스로 부터 트리거링하는 수단과, f. 양방향 홀딩 래치 회로를 통하여 상보형 출력단을 서로 접속시키는 수단을 구비하는데, 클럭 펄스의 상승 구간과 한 극성의 데이터 펄스의 존재가 일치하는 동안에는 상기 포획 래치 회로가 상기 데이터 펄스에 대응하는 비트를 저장하고 상기 한 쌍의 상보형 출력단을 구동하기 위해 인에이블되고, 상기 클럭 펄스의 상승 구간과 상기 데이터 펄스의 한 극성 다음에는 상기 상보형 출력단이 상기 홀딩 래치 회로에 의해 구동된 채로 유지되는 것을 특징으로 하는 플립플롭 회로.

청구항 2

제1항에 있어서, 상기 출력단의 구동 전류는 플립플롭 출력 구동기에 의해 구동딘 경우보다 상기 홀딩 래치 회로에 의해 구동되는 경우에 더 낮은 것을 특징으로 하는 플립플롭 회로.

청구항 3

제2항에 있어서, 상기 홀딩 래치 회로는 한 쌍의 교차 결합 인버터로 구성되는 것을 특징으로 하는 플립플롭 회로.

청구항 4

제1항에 있어서, 상기 상보형 입력단중 한 입력단은 전압 기준에 접속되며, 상기 상보형 입력단의 나머지 입력단에 한 극성의 데이터 펄스를 제공하는 수단을 구비하는 것을 특징으로 하는 플립플롭 회로.

청구항 5

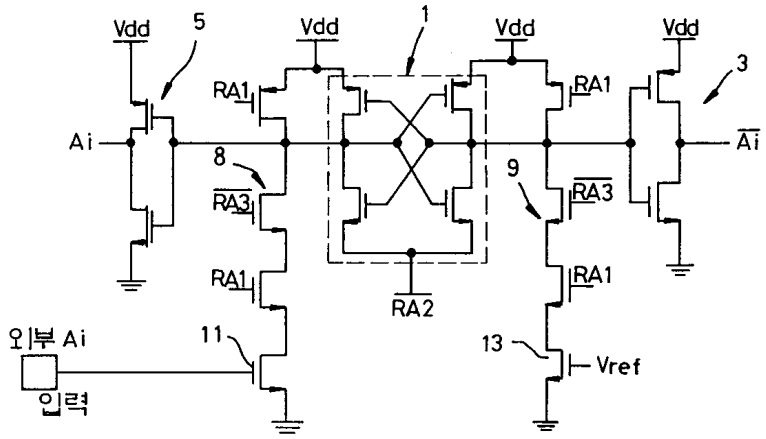
제4항에 있어서, 상기 전압 기준은 서로 접속된 게이트와 드레인이 상기 상보형 데이터 입력단에 접속된 한 쌍의 상보형 전계효과 트랜지스터로 구성되는데, 상기 트랜지스터중 하나는 소스가 전압원에 접속되고 나머지 한 트랜지스터는 소스가 접지되는 것을 특징으로 하는 플립플롭 회로.

청구항 6

제1항에 있어서, 상기 데이터 펄스의 하나는 실제로 무한히 길어 일정한 기준 전압으로 형성되는 것을 특징으로 하는 플립플롭 회로.

도면

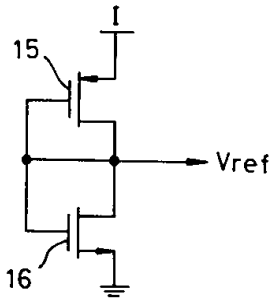
도면1



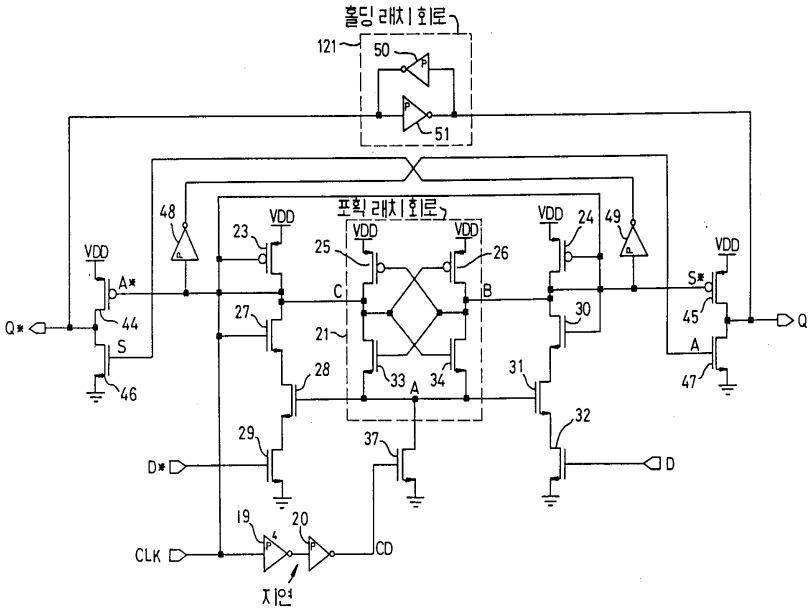
도면1a



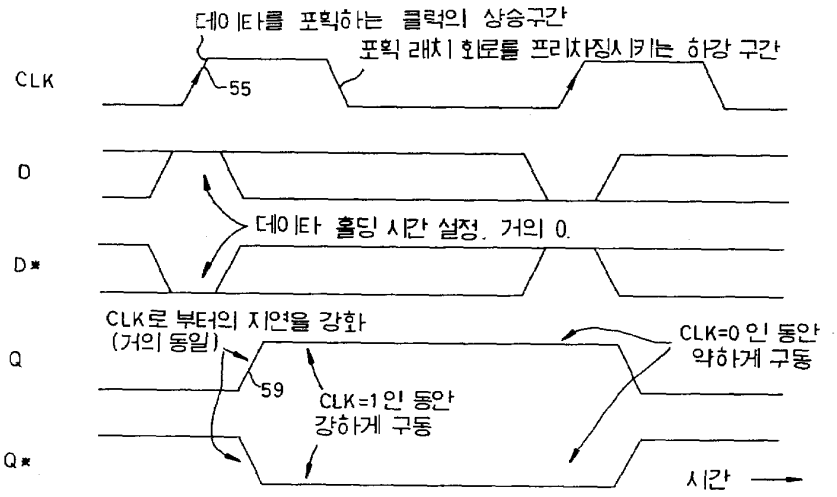
도면1b



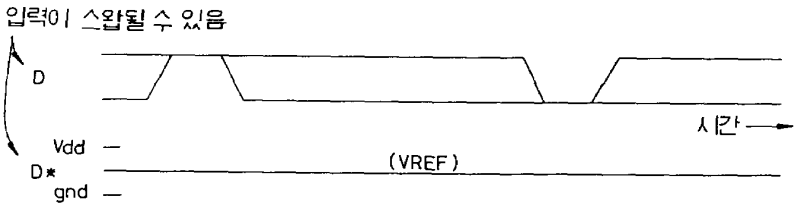
도면2



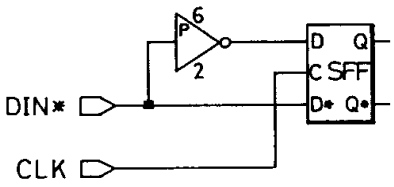
도면3a



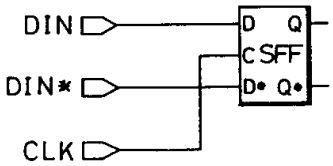
도면3b



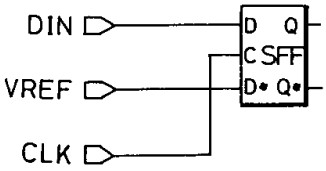
도면4a



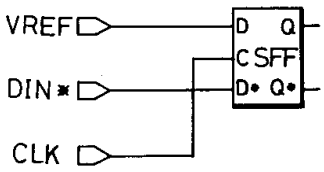
도면4b



도면4c



도면4d



도면5

