(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년05월17일
(11) 등록번호 10-2398965
(24) 등록일자 2022년05월12일

(51) 국제특허분류(Int. Cl.)
G11C 11/419 (2015.01) *G11C 11/413* (2006.01)
G11C 11/416 (2015.01) *G11C 5/14* (2021.01)
(52) CPC특허분류
G11C 11/419 (2018.05)
G11C 11/413 (2013.01)
(21) 출원번호 10-2015-0035823
(22) 출원일자 2015년03월16일
심사청구일자 2020년02월17일
(65) 공개번호 10-2015-0110343
(43) 공개일자 2015년10월02일
(30) 우선권주장
JP-P-2014-057459 2014년03월20일 일본(JP)
(56) 선행기술조사문헌
US20130188435 A1*
US20130314976 A1*
US20110063895 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
이시즈 다카히코
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
가토 기요시
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
양영준, 박충범

전체 청구항 수 : 총 15 항 심사관 : 손윤식

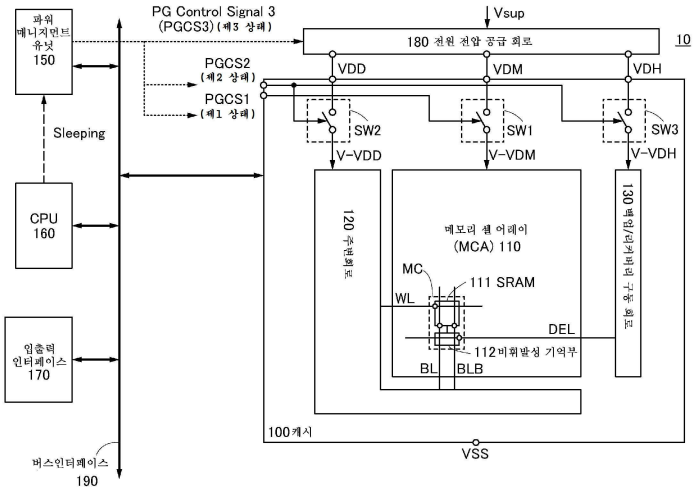
(54) 발명의 명칭 **반도체 장치, 전자 부품, 및 전자 기기**

(57) 요 약

본 발명은 저소비 전력화를 실현하는 파워 게이팅을 수행할 수 있는 신규 구성을 갖는 반도체 장치를 제공한다.

기억된 데이터를 비휘발화할 수 있는 SRAM을 바탕으로 한 메모리 셀과, 메모리 셀의 주변 회로에서, 파워 게이팅을 수행하는 상태를 다르게 할 수 있는 구성으로 한다. 매우 짧은 제 1 기간에서는 메모리 셀의 파워 게이팅을 수행하고, 제 1 기간보다 긴 제 2 기간에서는 메모리 셀 및 주변 회로의 파워 게이팅을 수행한다. 또한, 제 2 기간보다 긴 제 3 기간에서는 메모리 셀 및 주변 회로에 공급하는 전원 전압을 생성하는 회로의 파워 게이팅을 수행한다.

대 표 도 - 도1



(52) CPC특허분류
G11C 11/416 (2018.05)
G11C 5/147 (2013.01)
(72) 발명자
오누키 다츠야
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
우에스기 와타루
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

명 세 서

청구범위

청구항 1

반도체 장치에 있어서,

메모리 셀, 구동 제어 회로, 데이터 제어 회로, 및 제 1 내지 제 3 파워 스위치를 포함하는 기억 장치와;

전원 전압 제어 회로와;

전원 전압 생성 회로를 포함하고,

상기 메모리 셀은 상기 구동 제어 회로에 의하여 데이터의 기록 및 판독이 제어되는 기능을 갖고,

상기 메모리 셀은 상기 데이터 제어 회로의 제어에 의하여, 상기 데이터를 비휘발성 기억부에 퇴피(save)하고 상기 비휘발성 기억부로부터 복귀(restore)시키는 기능을 갖고,

상기 전원 전압 제어 회로는 상기 제 1 내지 제 3 파워 스위치의 온 및 오프를 제어하는 기능을 갖고,

상기 전원 전압 생성 회로는 기준 전압에 기초하여 제 1 내지 제 3 전원 전압을 생성하는 기능을 갖고,

상기 제 1 파워 스위치는 상기 전원 전압 생성 회로로부터 상기 메모리 셀에 상기 제 1 전원 전압을 공급하는 기능을 갖고,

상기 제 2 파워 스위치는 상기 전원 전압 생성 회로로부터 상기 구동 제어 회로에 상기 제 2 전원 전압을 공급하는 기능을 갖고,

상기 제 3 파워 스위치는 상기 전원 전압 생성 회로로부터 상기 데이터 제어 회로에 상기 제 3 전원 전압을 공급하는 기능을 갖고,

상기 전원 전압 제어 회로는 상기 제 1 파워 스위치를 오프 상태로 하고, 상기 제 2 파워 스위치 및 상기 제 3 파워 스위치를 온으로 하는 제 1 상태와, 상기 제 1 내지 제 3 파워 스위치를 오프 상태로 하는 제 2 상태와, 상기 제 1 내지 제 3 전원 전압의 생성을 정지하는 제 3 상태를 전환하는 기능을 갖고,

상기 기억 장치에 대한 액세스가 없는 제 1 기간을 넘으면, 상기 제 1 상태로부터 상기 제 2 상태로의 전환이 수행되고,

상기 기억 장치에 대한 액세스가 없는 제 2 기간을 넘으면, 상기 제 2 상태로부터 상기 제 3 상태로의 전환이 수행되고,

상기 제 2 기간은, 상기 제 1 기간보다 긴, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 메모리 셀은 SRAM(static random access memory)을 포함하고,

상기 비휘발성 기억부는 제 1 트랜지스터 및 용량 소자를 포함하고,

상기 제 1 트랜지스터는 반도체층에 산화물 반도체를 포함하고,

상기 제 1 트랜지스터는 상기 데이터 제어 회로에 의하여 도통 상태가 제어되는 기능을 갖는, 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 SRAM은 제 2 트랜지스터를 포함하고,

상기 제 2 트랜지스터는 반도체층에 실리콘을 포함하는, 반도체 장치.

청구항 4

제 3 항에 있어서,

상기 제 1 트랜지스터의 채널 영역과 상기 제 2 트랜지스터의 채널 영역은 서로 중첩되는, 반도체 장치.

청구항 5

전자 부품에 있어서,

제 1 항에 따른 반도체 장치와;

상기 반도체 장치에 전기적으로 접속된 리드를 포함하는, 전자 부품.

청구항 6

전자 기기에 있어서,

제 5 항에 따른 전자 부품과;

표시 장치를 포함하는, 전자 기기.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

반도체 장치에 있어서,

휘발성 메모리 및 비휘발성 기억부를 포함하는 메모리 셀을 포함하는 메모리 셀 어레이와;

상기 휘발성 메모리에 대하여 데이터를 기록 및 판독하기 위한 제 1 회로와;

상기 비휘발성 기억부에 상기 데이터를 백업하기 위한 제 2 회로와;

전원 전압을 생성하여 상기 메모리 셀 어레이, 상기 제 1 회로, 및 상기 제 2 회로에 공급하기 위한 제 3 회로를 포함하고,

상기 메모리 셀 어레이는 상기 제 2 회로 및 상기 제 3 회로에 상기 전원 전압이 공급되는 동안에 파워 게이팅이 수행되고,

상기 메모리 셀은, 상기 메모리 셀 어레이에 대한 액세스가 없는 기간에 따라, 상기 파워 게이팅이 수행되기 전에, 상기 휘발성 메모리에 기록된 상기 데이터를 상기 비휘발성 기억부에 퇴피하는, 반도체 장치.

청구항 15

제 14 항에 있어서,

상기 제 1 회로 및 상기 제 2 회로는 동시에 파워 게이팅이 수행되는, 반도체 장치.

청구항 16

제 14 항에 있어서,

상기 제 1 회로 및 상기 제 2 회로는, 상기 메모리 셀 어레이의 파워 게이팅이 수행된 후에 서로 동시에 파워 게이팅이 수행되는, 반도체 장치.

청구항 17

제 14 항에 있어서,

상기 제 3 회로는 상기 전원 전압의 생성을 정지하기 위하여 파워 게이팅이 수행되는, 반도체 장치.

청구항 18

제 14 항에 있어서,

상기 휘발성 메모리는 SRAM이고,

상기 비휘발성 기억부는 제 1 트랜지스터, 제 2 트랜지스터, 제 1 용량 소자, 및 제 2 용량 소자를 포함하고,

상기 제 1 용량 소자는 상기 제 1 트랜지스터를 통하여 상기 휘발성 메모리에 전기적으로 접속되고,

상기 제 2 용량 소자는 상기 제 2 트랜지스터를 통하여 상기 휘발성 메모리에 전기적으로 접속되는, 반도체 장치.

청구항 19

제 18 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각은 채널 영역에 산화물 반도체를 포함하는, 반도체 장치.

청구항 20

제 18 항에 있어서,

상기 SRAM은 채널 영역에 실리콘을 포함하는 트랜지스터를 포함하는, 반도체 장치.

청구항 21

전자 기기에 있어서,

제 14 항에 따른 반도체 장치를 포함하는, 전자 기기.

청구항 22

반도체 장치의 구동 방법에 있어서,

상기 방법은 제 1 상태, 제 2 상태, 및 제 3 상태를 전환하는 단계를 포함하고,

상기 반도체 장치는,

휘발성 메모리 및 비휘발성 기억부를 포함하는 메모리 셀을 포함하는 메모리 셀 어레이와;

상기 휘발성 메모리에 대하여 데이터를 기록 및 판독하기 위한 제 1 회로와;

상기 비휘발성 기억부에 상기 데이터를 백업하기 위한 제 2 회로와;

상기 메모리 셀 어레이, 상기 제 1 회로, 및 상기 제 2 회로에 전원 전압을 공급하기 위한 제 3 회로를 포함하고,

상기 제 1 상태에서, 상기 메모리 셀 어레이는, 상기 제 1 회로 및 상기 제 2 회로에 전원 전압이 공급되는 동안에, 상기 메모리 셀 어레이에 대한 액세스가 없는 기간에 따라 파워 게이팅이 수행되고,

상기 제 2 상태에서, 상기 메모리 셀, 상기 제 1 회로, 및 상기 제 2 회로는 상기 메모리 셀 어레이에 대한 액세스가 없는 기간에 따라 파워 게이팅이 수행되고,

상기 제 3 상태에서, 상기 제 3 회로는 상기 메모리 셀 어레이에 대한 액세스가 없는 기간에 따라 파워 게이팅이 수행되는, 반도체 장치의 구동 방법.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 반도체 장치, 전자 부품, 및 전자 기기에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 상기 기술 분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술 분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 프로세스(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 더 구체적으로는, 본 명세서에서 개시하는 본 발명의 일 형태의 기술 분야로서는, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 일례로서 들 수 있다.

배 경 기 술

[0003] SRAM(Static Random Access Memory)은 데이터의 기록/판독을 고속으로 수행할 수 있으므로 프로세서 등의 캐시 메모리에 사용되고 있다.

[0004] SRAM은 휘발성 메모리이기 때문에, 전원 공급이 정지되면 데이터는 소멸된다. 그래서, 채널이 형성되는 반도체층에 산화물 반도체가 사용되는 트랜지스터(OS 트랜지스터)와 용량 소자를 SRAM의 구성에 추가하여, 데이터 소멸을 방지하는 구성이 제안되어 있다(예를 들어 특허문헌 1 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개 2013-9285호 공보

발명의 내용

해결하려는 과제

[0006] 데이터 소멸을 방지하는 구성에서, 가일층의 저소비 전력화가 요구되고 있다.

[0007] 본 발명의 일 형태는 신규 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다.

[0008] 또는, 본 발명의 일 형태는, 저소비 전력화를 실현하는 신규 구성을 갖는 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는, 파인 그레인드(fine-grained) 파워 게이팅을 실현할 수 있는 신규 구성을 갖는 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다.

[0009] 또한, 본 발명의 일 형태의 과제는 상술한 것에 한정되지 않는다. 상술한 과제는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 다른 과제는 이 항목에서 언급되지 않고 이하에서 기재하는 과제이다. 이 항목에서 언급되지 않은 과제는 당업자라면 명세서 또는 도면 등에서의 기재로부터 도출될 수 있으며, 이들 기재로부터 적절히 추출될 수 있다. 또한, 본 발명의 일 형태는 상술한 과제 및/또는 다른 과제 중 적어도 하나의 과제를 해결하는 것이다.

과제의 해결 수단

[0010] 본 발명의 일 형태는, 메모리 셀 어레이, 구동 제어 회로와, 데이터 제어 회로와, 제 1~제 3 파워 스위치와, 전원 전압 제어 회로, 및 전원 전압 생성 회로를 갖는 반도체 장치이고, 메모리 셀 어레이는 복수의 메모리 셀을 갖고, 메모리 셀은, 구동 제어 회로의 제어에 의하여 데이터의 기록 및 판독이 제어되는 기능을 갖고, 또한 데이터 제어 회로에 의하여, 기록된 데이터를 비휘발성 기억부에 퇴피(백업이라고도 함)하고 비휘발성 기억부로부터 복귀(리커버리라고도 함)시키는 기능을 갖고, 전원 전압 제어 회로는 제 1~제 3 파워 스위치의 온 상태 및 오프 상태를 제어할 수 있는 기능을 갖고, 전원 전압 생성 회로는 기준 전압에 기초하여 제 1~제 3 전원 전압을 생성할 수 있는 기능을 갖고, 제 1 파워 스위치는 메모리 셀에 제 1 전원 전압을 공급할 수 있는 기능을 갖고, 제 2 파워 스위치는 구동 제어 회로에 제 2 전원 전압을 공급할 수 있는 기능을 갖고, 제 3 파워 스위치는 데이터 제어 회로에 제 3 전원 전압을 공급할 수 있는 기능을 갖고, 전원 전압 제어 회로는, 제 1 파워 스위치를 오프 상태로 하는 제 1 상태와, 제 1~제 3 파워 스위치를 오프 상태로 하는 제 2 상태와, 제 1~제 3 전원 전압의 생성을 정지하는 제 3 상태를 전환할 수 있는 기능을 갖는 반도체 장치이다.

[0011] 또한, 본 발명의 다른 일 형태에 대해서는 이하의 실시형태에서의 설명 및 도면에 기재되어 있다.

발명의 효과

[0012] 본 발명의 일 형태는 신규 구성을 갖는 반도체 장치 등을 제공할 수 있다.

[0013] 또는, 본 발명의 일 형태는 저소비 전력화를 실현하는 신규 구성을 갖는 반도체 장치 등을 제공할 수 있다. 또는, 본 발명의 일 형태는, 파인 그레인드 파워 게이팅을 실현할 수 있는 신규 구성을 갖는 반도체 장치 등을 제공할 수 있다.

[0014] 또한, 본 발명의 일 형태의 효과는 상술한 것에 한정되지 않는다. 상술한 효과는 다른 효과의 존재를 방해하는 것은 아니다. 또한, 다른 효과는 이 항목에서 언급되지 않고 이하에서 기재하는 효과이다. 이 항목에서 언급되지 않은 효과는 당업자라면 명세서 또는 도면 등에서의 기재로부터 도출될 수 있으며, 이들 기재로부터 적절히 추출될 수 있다. 또한, 본 발명의 일 형태는, 상술한 효과 및/또는 다른 효과 중 적어도 하나의 효과를 갖는 것이다. 따라서, 본 발명의 일 형태는 경우에 따라서는 상술한 효과를 갖지 않는 경우도 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 일 형태를 설명하기 위한 블록도.

도 2는 본 발명의 일 형태를 설명하기 위한 상태 천이도.

도 3은 본 발명의 일 형태를 설명하기 위한 블록도 및 타이밍 차트.

도 4는 본 발명의 일 형태를 설명하기 위한 블록도 및 타이밍 차트.

도 5는 본 발명의 일 형태를 설명하기 위한 블록도 및 타이밍 차트.

도 6은 본 발명의 일 형태를 설명하기 위한 블록도.

도 7은 본 발명의 일 형태를 설명하기 위한 회로도 및 타이밍 차트.

도 8은 본 발명의 일 형태를 설명하기 위한 모식도 및 레이아웃 도면.

도 9는 본 발명의 일 형태를 설명하기 위한 단면도.

도 10은 본 발명의 일 형태를 설명하기 위한 단면도.

도 11은 산화물 반도체의 단면의 고분해능 TEM상 및 국소적인 푸리에(Fourier) 변환상.

도 12는 산화물 반도체막의 나노빔 전자 회절 패턴을 도시한 도면, 및 투과 전자 회절 측정 장치의 일례를 도시한 도면.

도 13은 전자 조사에 의한 결정부의 변화를 나타낸 도면.

도 14는 투과 전자 회절 측정에 의한 구조 해석의 일례를 나타낸 도면, 및 평면의 고분해능 TEM상.

도 15는 전자 부품의 제작 공정을 나타낸 흐름도, 및 전자 부품의 사시 모식도.

도 16은 전자 부품을 사용한 전자 기기를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0016] 이하에서 실시형태에 대하여 도면을 참조하면서 설명한다. 다만, 실시형태는 많은 다른 형태로 실시될 수 있으며 그 취지 및 범위에서 벗어남이 없이 그 형태나 자세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 기재된 실시형태의 내용에 한정하여 해석되는 것은 아니다.

[0017] 또한, 도면에서 크기, 층 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 그러므로, 반드시 도면에서의 스케일에 한정되지 않는다. 또한, 도면은 이상적인 예를 모식적으로 도시한 것이므로 도면에서의 형상 또는 값 등에 한정되지 않는다. 예를 들어, 노이즈에 기인한 신호, 전압, 또는 전류의 편차, 또는 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등이 본 실시형태에 포함될 수 있다.

[0018] 또한, 본 명세서 등에서 트랜지스터란, 게이트와 드레인과 소스의 적어도 3개의 단자를 포함하는 소자를 말한다. 그리고, 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 영역을 포함하고, 드레인과 채널 영역과 소스를 통하여 전류가 흐를 수 있는 것을 말한다.

[0019] 여기서, 소스와 드레인은 트랜지스터의 구조 또는 동작 조건 등에 따라 서로 바뀔 수 있기 때문에, 어느 쪽이 소스 또는 드레인인지를 한정하는 것은 곤란하다. 그래서, 소스로서 기능하는 부분과 드레인으로서 기능하는 부분을, 소스 또는 드레인이라고 부르지 않고, 소스 및 드레인 중 한쪽을 제 1 전극이라고 표기하고 소스 및 드레인 중 다른 쪽을 제 2 전극이라고 표기하는 경우가 있다.

[0020] 또한, 본 명세서에서 사용하는 '제 1', '제 2', '제 3' 등의 서수사는, 구성 요소의 혼동을 피하기 위하여 붙인 것에 불과하고 수적으로 한정하는 것이 아님을 부기한다.

[0021] 또한, 본 명세서에서 A와 B가 접속된다는 것은, A와 B가 직접 접속된 상태뿐만 아니라, 전기적으로 접속된 상태를 포함하는 것으로 한다. 여기서, A와 B가 전기적으로 접속된다는 것은, A와 B 사이에, 어떠한 전기적 작용을 가진 대상물이 존재하며 A와 B 사이에서의 전기 신호의 주고 받음이 가능한 상태를 말한다.

[0022] 또한, 예를 들어 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 통하여(또는 통하지 않고) X와, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y와 각각 전기적으로 접속되어 있는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부와, Z1의 다른 일부가 X와, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부와, Z2의 다른 일부가 Y와 각각 직접 접속되어 있는 경우에는 이하와 같이 표현할 수 있다.

[0023] 예를 들어, 'X와 Y와 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되어 있으며, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서로 전기적으로 접속되어 있다'라고 표현할 수 있다. 또는, '트랜지스터의 소스(또는 제 1 단자 등)는 X와, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 각각 전기적으로 접속되어 있으며, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서로 전기적으로 접속되어 있다'라고 표현할 수 있다. 또는, 'X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 접속 순서로 제공된다'라고 표현할 수 있다. 이와 같은 표현 방법을 사용하여 회로 구성에서의 접속 순서를 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다. 다만, 상술한 표현 방법은 일례이며, 이들에 한정되지 않는다. 여기서, X, Y, Z1, Z2는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)을 가리킨다.

[0024] 또한 본 명세서에서 '위에', '아래에' 등 배치를 나타내는 어구는 도면을 참조하여 구성 요소들의 위치 관계를 설명하기 위하여 편의상 사용된다. 또한, 구성 요소들의 위치 관계는, 각 구성 요소를 묘사하는 방향에 따라서 적절히 바뀐다. 따라서, 명세서에서 사용하는 어구에 한정되지 않고, 상황에 따라서 적절히 바꿔 말할 수 있다.

[0025] 또한, 블록도에서의 각 회로 블록의 배치는 설명을 위하여 위치 관계를 특정한 것에 불과하고, 상이한 회로 블록이 서로 다른 기능을 갖도록 도시되더라도, 실제의 회로 블록에서는 같은 회로 블록이 서로 다른 기능을 갖도록 제공될 수도 있다. 또한, 설명을 위하여 블록도에서의 각 회로 블록의 기능을 특정하였지만, 하나의 회로 블록이 도시되더라도 실제의 회로 블록에서는 그 하나의 회로 블록에 의한 처리가, 복수의 회로 블록에 의하여 수행되는 경우도 있다.

[0026] 또한, 본 명세서에서 '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다.

따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한 '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.

[0027] 또한, 본 명세서에서 삼방정 또는 능면체정(rhombohedral crystal)은 육방정계에 포함된다.

[0028] (실시형태 1)

[0029] 본 실시형태에서는 반도체 장치의 블록도, 및 파워 게이팅(Power Gating: 이하에서는 PG라고 약기함) 시의 각 회로의 동작에 대하여 설명한다.

[0030] 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 것 전반을 말한다. 따라서, 트랜지스터 등의 반도체 소자로 구성되는 캐시 등의 메모리, 메모리를 제어하는 주변 회로, 메모리 및 주변 회로에/로부터 신호를 입출력하는 CPU, 전원 전압 공급 회로, 파워 매니지먼트 유닛, 또는 상기 회로를 포함하는 시스템 전체를 반도체 장치라고 한다.

[0031] <반도체 장치의 블록도에 대하여>

[0032] 도 1은 반도체 장치의 구성의 일례를 도시한 블록도이다.

[0033] 반도체 장치(10)는 캐시(100), 파워 매니지먼트 유닛(또는 전원 전압 제어 회로)(150), CPU(160), 입출력 인터페이스(170), 전원 전압 공급 회로(또는 전원 전압 생성 회로)(180), 및 버스 인터페이스(190)를 갖는다.

[0034] 파워 매니지먼트 유닛(150)은 파워 게이팅을 수행하는 3개의 상태, 즉 제 1~제 3 상태를 전환하는 기능을 갖는다.

[0035] 제 1 상태는 50ns 이상 500μs 미만의 기간에 파워 게이팅을 수행하는 상태이다. 또한, 제 2 상태는 500μs 이상 1s 미만의 기간에 파워 게이팅을 수행하는 상태이다. 또한, 제 3 상태는 1s 이상의 기간에 파워 게이팅을 수행하는 상태이다.

[0036] 파워 매니지먼트 유닛(150)은 캐시(100) 또는 전원 전압 공급 회로(180)에 제 1~제 3 파워 게이팅 제어 신호(PG Control Signal: PGCS1~PGCS3)를 공급하여, 제 1~제 3 상태를 전환할 수 있다.

[0037] 파워 매니지먼트 유닛(150)은 CPU(160)로부터의 정지 신호, 입출력 인터페이스(170)를 통한 외부 하드웨어로부터의 신호, 또는 버스 인터페이스(190)의 상태에 따라, 제 1~제 3 상태를 전환할 수 있다.

[0038] 또한, 파워 매니지먼트 유닛(150)은 단순히 회로라고 하는 경우가 있다.

[0039] 파워 매니지먼트 유닛(150)은 제 1~제 3 파워 게이팅 제어 신호에 따라 제 1~제 3 상태를 전환하여 파워 게이팅을 수행할 수 있다. 따라서, 캐시(100)를 구성하는 회로를 세분화하고, 상황에 따라 회로마다 파워 게이팅을 제어할 수 있다. 그 결과, 파인 그레인드 파워 게이팅을 수행할 수 있어, 반도체 장치의 저소비 전력화를 실현할 수 있다.

[0040] 캐시(100)는 메모리 셀 어레이(110), 주변 회로(또는 구동 제어 회로)(120), 백업/리커버리 구동 회로(또는 데이터 제어 회로)(130), 파워 스위치(SW1~SW3)를 갖는다.

[0041] 또한, 캐시(100)는 CPU(160)에서 사용되는 명령 또는 연산 결과 등의 데이터를 일시적으로 기억하는 기능을 갖는 장치이며, 기억 장치라고도 한다.

[0042] 캐시(100)가 갖는 각 구성에 대하여 설명한다.

[0043] 메모리 셀 어레이(110)는 복수의 메모리 셀(MC)을 갖는다. 메모리 셀(MC)은 SRAM을 바탕으로 한 회로이며, SRAM(111)과 비휘발성 기억부(112)를 갖는다.

[0044] SRAM(111)은 워드선(WL), 비트선(BL), 반전 비트선(BLB)에 의하여 데이터의 기록/판독이 제어된다. SRAM(111)은 일반적인 SRAM과 동등하게 데이터의 기록/판독을 고속으로 수행할 수 있다. SRAM(111)의 데이터는 전원 전압 공급이 없으면 소멸된다.

[0045] 비휘발성 기억부(112)는 데이터 제어선(DEL)에 의하여 백업 또는 리커버리가 제어된다. 비휘발성 기억부(112)는 SRAM(111)에 기억된 데이터를 백업하는 기능을 갖는 회로이다. 또한, 비휘발성 기억부(112)는 백업한 데이터를 리커버리하는 기능을 갖는 회로이다. 비휘발성 기억부(112)는 비휘발성 기억 회로 또는 비휘발성 기억 소자를 갖는다.

[0046] 본 발명의 일 형태에 따른, SRAM(111) 및 비휘발성 기억부(112)를 갖는 메모리 셀(MC)은, SRAM(111)에 기억된 데이터를 비휘발성 기억부(112)에 백업하는 동작만으로 전원 전압 공급 없이 데이터를 기억할 수 있다. 비휘발성 기억부(112)에 기억된 데이터는 SRAM(111)에 리커버리를 하기만 하면 원래 상태로 되돌릴 수 있다.

[0047] 메모리 셀(MC)을 갖는 메모리 셀 어레이(110)는, SRAM(111)으로부터 비휘발성 기억부(112)로 데이터를 백업하고, 그 후에 리커버리를 하기만 하면 원래 상태로 되돌아갈 수 있다. 이 경우, 파워 게이팅이 가능한 상태로의 이행, 파워 게이팅을 수행한 상태로부터 원래 상태로의 이행을 짧은 기간에 할 수 있다. 따라서, 메모리 셀 어레이(110)에서는 일정 기간(예를 들어 수십ns 기간) 캐시(100)에 대한 액세스가 없는 경우에 파워 게이팅을 수행할 수 있다.

[0048] 주변 회로(120)는 워드선(WL), 비트선(BL), 및 반전 비트선(BLB)에 접속된다. 주변 회로(120)는 SRAM(111)에 데이터를 기록하기 위한 신호나 SRAM(111)으로부터 데이터를 판독하기 위한 신호를 공급하는 기능을 갖는다. 주변 회로(120)의 일례로서는 디코더, 프리차지 회로 등을 갖는 회로를 들 수 있다.

[0049] 백업/리커버리 구동 회로(130)는 데이터 제어선(DEL)에 접속된다. 백업/리커버리 구동 회로(130)는 SRAM(111)과 비휘발성 기억부(112) 사이에서 데이터의 백업, 리커버리를 수행하기 위한 신호를 공급하는 기능을 갖는다. 백업/리커버리 구동 회로(130)의 일례로서 버퍼, 레벨 시프터 등을 갖는 회로를 들 수 있다.

[0050] 본 발명의 일 형태에 따른 주변 회로(120) 및 백업/리커버리 구동 회로(130)의 파워 게이팅은 메모리 셀 어레이(110)의 파워 게이팅보다 많은 시간이 필요하다. 주변 회로(120) 및 백업/리커버리 구동 회로(130)의 파워 게이팅은 많은 빈도로 수행하지 않고, 메모리 셀 어레이(110)의 파워 게이팅보다 적은 빈도로 수행한다. 본 실시형태에서는 주변 회로(120) 및 백업/리커버리 구동 회로(130)의 파워 게이팅은, 메모리 셀 어레이(110)의 파워 게이팅을 수행한 후에 수행된다.

[0051] 주변 회로(120) 및 백업/리커버리 구동 회로(130)의 파워 게이팅은 빈번하게 수행하면 오히려 통상의 동작에 문제가 생겨 소비 전력의 증가로 이어진다. 따라서, 주변 회로(120) 및 백업/리커버리 구동 회로(130)의 파워 게이팅은, 메모리 셀 어레이(110)의 파워 게이팅을 수행한 후, 일정 기간(예를 들어 수ms 기간) 캐시(100)에 대한 액세스가 없는 경우에 수행하는 것이 바람직하다.

[0052] 캐시(100)는 외부로부터 전원 전압이 공급된다. 공급되는 전원 전압의 일례로서는 VDD/VSS, VDM/VSS, VDH/VSS의 3계통을 들 수 있다.

[0053] VDD/VSS는 주변 회로(120)에 공급되는 전원 전압이다. 주변 회로(120)에 대한 VDD/VSS의 공급은 파워 스위치(SW2)에 의하여 제어된다. 파워 스위치(SW2)는 주변 회로(120)에 접속되는 전원 전위선(V-VDD)에 VDD를 공급할지 여부를 전환할 수 있다.

[0054] VDM/VSS는 메모리 셀 어레이(110)에 공급되는 전원 전압이다. 메모리 셀 어레이(110)에 대한 VDM/VSS의 공급은 파워 스위치(SW1)에 의하여 제어된다. 파워 스위치(SW1)는 메모리 셀 어레이(110)에 접속되는 전원 전위선(V-VDM)에 VDM을 공급할지 여부를 전환할 수 있다.

[0055] VDH/VSS는 백업/리커버리 구동 회로(130)에 공급되는 전원 전압이다. 백업/리커버리 구동 회로(130)에 대한 VDH/VSS의 공급은 파워 스위치(SW3)에 의하여 제어된다. 파워 스위치(SW3)는 백업/리커버리 구동 회로(130)에 접속되는 전원 전위선(V-VDH)에 VDH를 공급할지 여부를 전환할 수 있다.

[0056] 파워 스위치(SW1)는 제 1 파워 게이팅 제어 신호에 의하여 온 상태 또는 오프 상태가 제어된다. 또한, 파워 스위치(SW2) 및 파워 스위치(SW3)는 제 2 파워 게이팅 제어 신호에 의하여 온 상태 또는 오프 상태가 제어된다. 파워 스위치(SW1)~(SW3)에 공급되는 제 1 및 제 2 파워 게이팅 제어 신호는 파워 매니지먼트 유닛(150)에 의하여 공급된다.

[0057] 또한, 파워 스위치(SW1)~(SW3)는 예를 들어 p채널형 트랜지스터로 구성할 수 있다.

[0058] 여기까지가 캐시(100)의 각 구성에 대한 설명이다.

[0059] 본 발명의 일 형태에 따른 반도체 장치에서는, 캐시(100)에 대한 액세스가 없는 기간의 장단(長短)에 따라 파워 게이팅의 상태를 다르게 한다. 구체적으로는, 제 1 및 제 2 파워 게이팅 제어 신호를 사용하여 캐시(100) 내 회로에 대한 전원 전압 공급을 단계적으로 정지하도록 제어한다.

[0060] 우선, 수ns 기간 캐시(100)에 대한 액세스가 없는 경우, 파워 매니지먼트 유닛(150)은 제 1 상태라고 판단하고 제 1 파워 게이팅 제어 신호를 출력하고, 메모리 셀 어레이(110)에 대한 전원 전압 공급을 정지하여 파워 게이

팅을 수행함으로써 소비 전력을 저감할 수 있다.

[0061] 메모리 셀 어레이(110)가 갖는 SRAM(111)은 아이들링(idling) 시의 소비 전력이 크다. 따라서, 메모리 셀 어레이(110)의 파워 게이팅은 손익 분기 시간(BET: break-even time)이 짧다. 그러므로, 수ns 기간의 파워 게이팅을 수행함으로써, 소비 전력을 저감할 수 있다.

[0062] 그리고, 수ms 기간 캐시(100)에 대한 액세스가 없는 경우, 파워 매니지먼트 유닛(150)은 제 2 상태라고 판단하고 제 2 파워 게이팅 제어 신호를 출력하고, 주변 회로(120) 및 백업/리커버리 구동 회로(130)에 대한 전원 전압 공급을 정지하여 파워 게이팅을 수행한다.

[0063] 메모리 셀 어레이(110)에 더하여, 주변 회로(120) 및 백업/리커버리 구동 회로(130)의 파워 게이팅을 수행할 때의 BET는 메모리 셀 어레이(110)만 파워 게이팅을 수행할 때의 BET에 비하여 길게 된다. 반도체 장치는 BET가 짧은 제 1 상태에서의 파워 게이팅, 및 BET가 긴 제 2 상태에서의 파워 게이팅을, 액세스가 없는 기간의 장단에 따라 전환하여 수행할 수 있다.

[0064] 따라서, 본 발명의 일 형태는 저소비 전력화를 실현할 수 있다. 또한, 본 발명의 일 형태는 파인 그레인드 파워 게이팅을 실현할 수 있다.

[0065] 또한, 제 2 상태에서 메모리 셀 어레이(110), 주변 회로(120), 및 백업/리커버리 구동 회로(130)의 파워 게이팅을 수행한 후에는, 캐시(100)에 전원 전압을 공급하는 전원 전압 공급 회로(180)를 구동시킬 필요가 없어진다. 따라서, 전원 전압 공급 회로(180)의 파워 게이팅을 수행할 수 있다.

[0066] 전원 전압 공급 회로(180)의 파워 게이팅은, 수s 기간 캐시(100)에 대한 액세스가 없는 경우, 파워 매니지먼트 유닛(150)은 제 3 상태라고 판단하고 제 3 파워 게이팅 제어 신호를 출력하여 수행된다.

[0067] 또한, 전원 전압 공급 회로(180)의 파워 게이팅은, 전원 전압 공급 회로(180)에 공급되는 기준 전압(Vsup)을 정지하여, VDD, VDM, 및 VDH의 각 전원 전압의 생성을 정지하면 좋다.

[0068] 메모리 셀 어레이(110), 주변 회로(120), 및 백업/리커버리 구동 회로(130)에 더하여, 전원 전압 공급 회로(180)의 파워 게이팅을 수행할 때의 BET는 메모리 셀 어레이(110), 주변 회로(120), 및 백업/리커버리 구동 회로(130)의 파워 게이팅을 수행하였을 때의 BET보다 더 길게 된다. 반도체 장치(10)는 BET가 짧은 제 1 상태에서의 파워 게이팅, BET가 긴 제 2 상태에서의 파워 게이팅, 및 BET가 더 긴 제 3 상태에서의 파워 게이팅을, 액세스가 없는 기간의 장단에 따라 전환하여 수행할 수 있다.

[0069] 따라서, 본 발명의 일 형태는 가일층의 저소비 전력화를 실현할 수 있다. 또한, 본 발명의 일 형태는 가일층의 파인 그레인드 파워 게이팅을 실현할 수 있다.

[0070] 상술한 본 발명의 일 형태에 따른 반도체 장치에서는, 캐시(100)에 대한 액세스가 없는 기간의 장단에 따라 파워 게이팅의 상태를 다르게 한다. 구체적으로는, 제 1~제 3 파워 게이팅 제어 신호를 사용하여 캐시(100) 내 회로에 대한 전원 전압 공급, 및 전원 전압 공급 회로(180)에서의 전원 전압 생성을 단계적으로 정지하도록 제어한다.

[0071] 따라서, 본 발명의 일 형태는 저소비 전력화를 실현할 수 있다. 또한, 본 발명의 일 형태는 파인 그레인드 파워 게이팅을 실현할 수 있다.

[0072] <파워 게이팅 시의 상태 천이에 대하여>

[0073] 다음에, 제 1~제 3 파워 게이팅 제어 신호에 의한 제 1~제 3 상태의 천이에 대하여 도 2를 사용하여 설명한다. 또한, 도 3~도 5에서는, 제 1~제 3 상태에서의 캐시(100)의 상태, 및 백업 및 리커버리 시에 제 1~제 3 파워 게이팅 제어 신호의 시퀀스에 대하여 설명한다.

[0074] 도 2에서는, 캐시(100)가 될 수 있는 상태로서, 통상 동작(Execute) 상태를 C1, 스탠바이(Standby) 상태를 C2, 메모리 셀 어레이만의 파워 게이팅의 제 1 상태를 C3, 메모리 셀 어레이 및 주변 회로를 포함하는 캐시의 파워 게이팅의 제 2 상태를 C4, 전원 전압 공급 회로(180)의 파워 게이팅의 제 3 상태를 C5로 하여 도시하였다.

[0075] 통상 동작(C1)은 캐시(100)에서의 데이터의 기록/판독을 수행하는 상태이다.

[0076] 스탠바이 상태(C2)는 캐시(100)에서의 데이터의 기록/판독을 수행하지 않는 상태이다.

[0077] CPU(160)로부터 캐시(100)에 대한 액세스가 정기적으로 있는 경우, 통상 동작(C1)과 스탠바이 상태(C2)를 반복

한다.

[0078] 스탠바이 상태(C2)가 계속되어 캐시(100)에 대한 액세스가 없는 상태가 예를 들어 100ns를 넘으면, 제 1 상태(C3)로의 천이를 수행한다. 스탠바이 상태(C2)로부터 제 1 상태(C3)로의 천이에서, 메모리 셀(MC)이 갖는 SRAM(111)으로부터 비휘발성 기억부(112)로의 데이터 백업은 수ns라는 짧은 기간에 수행하는 것이 바람직하다. 데이터 백업을 수ns라는 짧은 기간에 수행하는 경우, 데이터 유지 기간이 짧게 될 수도 있지만, 다시 액세스될 때까지의 간격도 짧기 때문에 문제는 없다. 상기 구성으로 함으로써, 효율적인 파워 게이팅을 수행할 수 있다.

[0079] 또한, 제 1 상태(C3)에서 캐시(100)에 대한 액세스가 있는 경우에는, 스탠바이 상태(C2)로의 천이를 수행한다. 제 1 상태(C3)로부터 스탠바이 상태(C2)로의 천이에서는, 메모리 셀(MC)이 갖는 비휘발성 기억부(112)로부터 SRAM(111)으로의 데이터 리커버리가 수행된다.

[0080] 또한, 제 1 상태(C3)에서는 도 3의 (A)에 도시된 바와 같이 전원 전압 공급 회로(180)에서 각 전원 전압의 생성을 수행하고, 파워 스위치(SW1)를 오프 상태, 파워 스위치(SW2) 및 파워 스위치(SW3)를 온 상태로 하여 메모리 셀 어레이(110)의 파워 게이팅을 수행한다. 또한, 도 3의 (A)에서 해칭으로 나타낸 부분은 파워 게이팅이 수행된 구성을 나타낸다.

[0081] 또한, 스탠바이 상태(C2)로부터 제 1 상태(C3)로의 데이터 백업은 제 1~제 3 파워 게이팅 제어 신호 및 데이터 제어선(DEL)의 전위를 도 3의 (B)에 도시된 타이밍 차트와 같이 제어하면 좋다. 또한, 데이터 제어선(DEL)의 전위는 H레벨에서 백업, L레벨에서 유지가 수행된다. 제 1~제 3 파워 게이팅 제어 신호는 H레벨에서 파워 스위치를 온 상태, L레벨에서 파워 스위치를 오프 상태로 하도록 제어한다.

[0082] 도 3의 (B)에 도시된 타이밍 차트에서는, 먼저 데이터 제어선(DEL)의 전위를 H레벨로 하여, SRAM(111)으로부터 비휘발성 기억부(112)로의 데이터 백업을 수행한다. 그리고, 제 1 파워 게이팅 제어 신호를 H레벨로부터 L레벨로 하여, 메모리 셀 어레이(110)의 파워 게이팅을 수행한다.

[0083] 또한, 제 1 상태(C3)로부터 스탠바이 상태(C2)로의 데이터 리커버리는 제 1~제 3 파워 게이팅 제어 신호 및 데이터 제어선(DEL)의 전위를 도 3의 (C)에 도시된 타이밍 차트와 같이 제어하면 좋다.

[0084] 도 3의 (C)에 도시된 타이밍 차트에서는, 먼저 데이터 제어선(DEL)의 전위를 H레벨로 하여, SRAM(111)으로부터 비휘발성 기억부(112)로의 데이터 리커버리를 수행한다. 그리고, 데이터 제어선(DEL)의 전위를 H레벨로 한 상태에서 제 1 파워 게이팅 제어 신호를 L레벨로부터 H레벨로 하여, 메모리 셀 어레이(110)를 파워 게이팅 상태로부터 전원 전압이 공급되는 상태로 복귀시킨다.

[0085] 제 1 상태(C3)가 계속되어 캐시(100)에 대한 액세스가 없는 상태가 예를 들어 1ms를 넘으면, 제 2 상태(C4)로의 천이를 수행한다.

[0086] 또한, 제 1 상태(C3)로부터 제 2 상태(C4)로의 천이에서, 메모리 셀(MC)이 갖는 SRAM(111)으로부터 비휘발성 기억부(112)로의 데이터 백업은 제 1 상태(C3)에서 백업된 데이터를 그대로 유지하는 구성으로 하여도 좋다. 또는, 제 1 상태(C3)의 데이터 백업 상태로부터 한 번 리커버리하고, 다시 백업을 수행하여도 좋다. 상기 구성으로 함으로써, 확실한 데이터 유지를 실현할 수 있다.

[0087] 또한, 제 2 상태(C4)에서 캐시(100)에 대한 액세스가 있는 경우에는, 스탠바이 상태(C2)로의 천이를 수행한다. 제 2 상태(C4)로부터 스탠바이 상태(C2)로의 천이에서는, 메모리 셀(MC)이 갖는 비휘발성 기억부(112)로부터 SRAM(111)으로의 데이터 리커버리가 수행된다.

[0088] 또한, 제 2 상태(C4)에서는 도 4의 (A)에 도시된 바와 같이 전원 전압 공급 회로(180)에서 각 전원 전압의 생성을 수행하고, 파워 스위치(SW1)~(SW3)를 오프 상태로 하여 메모리 셀 어레이(110), 주변 회로(120), 및 백업/리커버리 구동 회로(130)의 파워 게이팅을 수행한다. 또한, 도 4의 (A)에서 해칭으로 나타낸 부분은 파워 게이팅이 수행된 구성을 나타낸다.

[0089] 또한, 제 1 상태(C3)로부터 제 2 상태(C4)로의 데이터 백업은, 데이터 백업을 다시 수행하는 경우, 제 1~제 3 파워 게이팅 제어 신호 및 데이터 제어선(DEL)의 전위를 도 4의 (B)에 도시된 타이밍 차트와 같이 제어하면 좋다.

[0090] 도 4의 (B)에 도시된 타이밍 차트에서는, 먼저 데이터 제어선(DEL)의 전위를 H레벨로 하여, SRAM(111)으로부터 비휘발성 기억부(112)로의 데이터 백업을 수행한다. 그리고, 제 1 및 제 2 파워 게이팅 제어 신호를 H레벨로부터 L레벨로 하여, 메모리 셀 어레이(110), 주변 회로(120), 및 백업/리커버리 구동 회로(130)의 파워 게이팅을

수행한다.

[0091] 또한, 제 2 상태(C4)로부터 스탠바이 상태(C2)로의 데이터 리커버리는 제 1~제 3 파워 게이팅 제어 신호 및 데이터 제어선(DEL)의 전위를 도 4의 (C)에 도시된 타이밍 차트와 같이 제어하면 좋다.

[0092] 도 4의 (C)에 도시된 타이밍 차트에서는, 먼저 제 2 파워 게이팅 제어 신호를 L레벨로부터 H레벨로 하여, 주변 회로(120) 및 백업/리커버리 구동 회로(130)를 파워 게이팅 상태로부터 전원 전압이 공급되는 상태로 복귀시킨다. 다음에, 데이터 제어선(DEL)의 전위를 H레벨로 하여, SRAM(111)으로부터 비휘발성 기억부(112)로의 데이터 리커버리를 수행한다. 그리고, 데이터 제어선(DEL)의 전위를 H레벨로 한 상태에서 제 1 파워 게이팅 제어 신호를 L레벨로부터 H레벨로 하여, 메모리 셀 어레이(110)를 파워 게이팅 상태로부터 전원 전압이 공급되는 상태로 복귀시킨다.

[0093] 제 2 상태(C4)가 계속되어 캐시(100)에 대한 액세스가 없는 상태가 예를 들어 10s를 넘으면, 제 3 상태(C5)로의 천이를 수행한다.

[0094] 또한, 제 2 상태(C4)로부터 제 3 상태(C5)로의 천이에서, 메모리 셀(MC)이 갖는 SRAM(111)으로부터 비휘발성 기억부(112)로의 데이터 백업은, 제 1 상태(C2) 또는 제 2 상태(C4)에서 백업한 데이터를 그대로 유지하는 구성으로 하여도 좋다. 또는, 제 1 상태(C3) 또는 제 2 상태(C4)의 데이터 백업 상태로부터 한번 리커버리하고 다시 백업을 수행하여도 좋다. 상기 구성으로 함으로써, 확실한 데이터 유지를 실현할 수 있다.

[0095] 또한, 제 3 상태(C5)에서 캐시(100)에 대한 액세스가 있는 경우에는, 스탠바이 상태(C2)로의 천이를 수행한다. 제 3 상태(C5)로부터 스탠바이 상태(C2)로의 천이에서는, 메모리 셀(MC)이 갖는 비휘발성 기억부(112)로부터 SRAM(111)으로의 데이터 리커버리가 수행된다.

[0096] 또한, 제 3 상태(C5)에서는 도 5의 (A)에 도시된 바와 같이, 파워 스위치(SW1)~(SW3)를 오프 상태로 하여, 메모리 셀 어레이(110), 주변 회로(120), 및 백업/리커버리 구동 회로(130)의 파워 게이팅과, 전원 전압 공급 회로(180)에서 각 전원 전압의 생성을 정지하는 파워 게이팅을 수행한다. 또한, 도 5의 (A)에서 해칭으로 나타낸 부분은 파워 게이팅이 수행된 구성을 나타낸다.

[0097] 또한, 제 1 상태(C3), 또는 제 2 상태(C4)로부터 제 3 상태(C5)로의 데이터 백업은, 데이터 백업을 다시 수행하는 경우, 제 1~제 3 파워 게이팅 제어 신호 및 데이터 제어선(DEL)의 전위를 도 5의 (B)에 도시된 타이밍 차트와 같이 제어하면 좋다.

[0098] 도 5의 (B)에 도시된 타이밍 차트에서는, 먼저 데이터 제어선(DEL)의 전위를 H레벨로 하여, SRAM(111)으로부터 비휘발성 기억부(112)로의 데이터 백업을 수행한다. 그리고, 제 1~제 3 파워 게이팅 제어 신호를 H레벨로부터 L레벨로 하여, 전원 전압 공급 회로(180), 메모리 셀 어레이(110), 주변 회로(120), 및 백업/리커버리 구동 회로(130)의 파워 게이팅을 수행한다.

[0099] 또한, 제 3 상태(C5)로부터 스탠바이 상태(C2)로의 데이터 리커버리는 제 1~제 3 파워 게이팅 제어 신호 및 데이터 제어선(DEL)의 전위를 도 5의 (C)에 도시된 타이밍 차트와 같이 제어하면 좋다.

[0100] 도 5의 (C)에 도시된 타이밍 차트에서는, 먼저 제 3 파워 게이팅 제어 신호를 L레벨로부터 H레벨로 하여, 전원 전압 공급 회로(180)를 파워 게이팅 상태로부터 전원 전압을 생성하는 상태로 복귀시킨다. 다음에, 제 2 파워 게이팅 제어 신호를 L레벨로부터 H레벨로 하여, 주변 회로(120) 및 백업/리커버리 구동 회로(130)를 파워 게이팅 상태로부터 전원 전압이 공급되는 상태로 복귀시킨다. 다음에, 데이터 제어선(DEL)의 전위를 H레벨로 하여, SRAM(111)으로부터 비휘발성 기억부(112)로의 데이터 리커버리를 수행한다. 그리고, 데이터 제어선(DEL)의 전위를 H레벨로 한 상태에서 제 1 파워 게이팅 제어 신호를 L레벨로부터 H레벨로 하여, 메모리 셀 어레이(110)를 파워 게이팅 상태로부터 전원 전압이 공급되는 상태로 복귀시킨다.

[0101] 상술한 본 발명의 일 형태에 따른 반도체 장치에서는, 캐시(100)에 대한 액세스가 없는 기간의 장단에 따라 파워 게이팅의 상태를 다르게 한다. 구체적으로는, 제 1~제 3 파워 게이팅 제어 신호를 사용하여 캐시(100) 내 회로에 대한 전원 전압 공급, 및 전원 전압 공급 회로(180)에서의 전원 전압 생성을 단계적으로 정지하도록 제어한다.

[0102] 따라서, 본 발명의 일 형태는 저소비 전력화를 실현할 수 있다. 또한, 본 발명의 일 형태는 파인 그레인드 파워 게이팅을 실현할 수 있다.

[0103] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0104] (실시형태 2)

[0105] 본 실시형태에서는, 도 1에 도시된 블록도의 더 구체적인 구성에 대하여 설명한다. 또한, 본 실시형태에서는 메모리 셀의 구체적인 예, 및 OS 트랜지스터에 대하여 설명한다.

[0106] <반도체 장치의 블록도의 구체적인 예>

[0107] 도 6은 도 1에 도시된 반도체 장치(10)의 더 구체적인 구성예를 도시한 블록도이다. 또한, 본 실시형태에서는, 실시형태 1에서의 설명과 중복되는 부분의 설명은 생략하고, 상술한 설명을 원용하기로 한다.

[0108] 반도체 장치(10A)는 캐시(200), 파워 매니지먼트 유닛(150), CPU(160), 입출력 인터페이스(170), 전원 전압 공급 회로(180), 및 버스 인터페이스(190)를 갖는다.

[0109] 캐시(200)는 메모리 셀 어레이(110), 주변 회로(120), 백업/리커버리 구동 회로(130), 파워 스위치(SW1)~(SW3)를 갖는다.

[0110] 주변 회로(120)는 행 디코더(121), 행 드라이버(122), 열 디코더(123), 열 드라이버(124), 드라이버 제어 논리 회로(125), 및 출력 드라이버(126)를 갖는다.

[0111] 행 디코더(121) 및 행 드라이버(122)에는 어드레스 신호(ADDR) 및 드라이버 제어 논리 회로(125)로부터의 제어 신호가 공급된다. 그리고, 행 디코더(121) 및 행 드라이버(122)는 워드선(WL)에 공급되는 신호(예를 들어 워드 신호)를 생성하는 기능을 갖는 회로이다. 행 디코더(121) 및 행 드라이버(122)는 파워 스위치(SW2)의 제어에 의하여 파워 게이팅되어 기능의 재개와 정지가 제어된다. 또한, 기능 정지 시에 행 드라이버(122)는 워드선(WL)을 저저원 전위로 유지한 상태에서 유지되는 것이 바람직하다.

[0112] 열 디코더(123) 및 열 드라이버(124)에는 어드레스 신호(ADDR) 및 드라이버 제어 논리 회로(125)로부터의 제어 신호가 공급된다. 그리고, 열 디코더(123) 및 열 드라이버(124)는, 비트선(BL) 및 반전 비트선(BLB)에 공급되는 신호(예를 들어 프리차지 신호)를 생성하는 기능, 및 입력되는 기록 데이터(Wdata)를 비트선(BL) 및 반전 비트선(BLB)에 공급하는 기능을 갖는 회로이다. 또한, 열 디코더(123) 및 열 드라이버(124)는 감지 증폭기를 갖고, 메모리 셀 어레이(110)로부터 판독한 신호를 출력 드라이버(126)에 출력하는 기능을 갖는 회로이다. 열 디코더(123) 및 열 드라이버(124)는 파워 스위치(SW2)의 제어에 의하여 파워 게이팅되어 기능의 재개와 정지가 제어된다. 또한, 기능 정지 시에, 열 드라이버(124)는 비트선(BL) 및 반전 비트선(BLB)을 저전원 전위 또는 전기적으로 부유 상태로 유지한 상태에서 유지되는 것이 바람직하다.

[0113] 드라이버 제어 논리 회로(125)는 입력되는 글로벌 기록 신호(GW), 바이트 기록 신호(BW), 칩 인에이블 신호(CE), 클럭 신호(CLK)에 기초하여 행 디코더(121), 행 드라이버(122), 열 디코더(123), 및 열 드라이버(124)를 제어하는 신호를 생성하는 기능을 갖는 회로이다. 드라이버 제어 논리 회로(125)는 파워 스위치(SW2)의 제어에 의하여 파워 게이팅되어 기능의 재개와 정지가 제어된다.

[0114] 출력 드라이버(126)는 열 디코더(123)와 열 드라이버(124)에 의하여 얻어지는 데이터에 기초하여 판독 데이터(Rdata)를 생성하고 외부로 출력하는 기능을 갖는 회로이다.

[0115] 메모리 셀 어레이(110)의 파워 게이팅 후, 주변 회로(120)가 갖는 각 회로는 동작을 정지한 후에 기능을 정지한다. 기능의 정지는 제 2 파워 게이팅 제어 신호를 제어하여 파워 스위치(SW2)를 오프 상태로 함으로써 수행된다. 기능의 재개는, 파워 스위치(SW2)를 온 상태로 하여 수행하지만, 파워 스위치(SW1)를 온 상태로 하는 타이밍보다 먼저 수행한다.

[0116] <메모리 셀의 구체적인 예>

[0117] 다음에, 도 1에 도시된 메모리 셀의 구체적인 예에 대하여 설명한다.

[0118] 도 7의 (A)에 도시된 메모리 셀(MC)은 SRAM(111) 및 비휘발성 기억부(112)를 갖는다. SRAM(111)은 트랜지스터(M1)~(M6)를 갖는다. 비휘발성 기억부(112)는 트랜지스터(OM1), 트랜지스터(OM2), 용량 소자(Cp1), 및 용량 소자(Cp2)를 갖는다.

[0119] 또한, 도 7의 (A)에서는, 트랜지스터(M1)와 트랜지스터(OM1) 사이의 노드를 노드(Q)로 하고, 트랜지스터(M6)와 트랜지스터(OM2) 사이의 노드를 노드(QB)로 하고, 트랜지스터(OM1)와 용량 소자(Cp1) 사이의 노드를 노드(SN1)로 하고, 트랜지스터(OM2)와 용량 소자(Cp2) 사이의 노드를 노드(SN2)로 하였다.

[0120] 또한, 도 7의 (A)에는, 워드선(WL), 비트선(BL), 반전 비트선(BLB), 데이터 제어선(DEL), 전원 전위선(V-VDM),

전원 전위선(V-VSS)을 도시하였다.

[0121] SRAM(111)이 갖는 트랜지스터(M1)~(M6)는 채널 영역에 실리콘 등의 반도체를 포함하는 트랜지스터(Si 트랜지스터)로 구성된다. 또한, 비휘발성 기억부(112)가 갖는 트랜지스터(OM1) 및 트랜지스터(OM2)는 Si 트랜지스터보다 오프 전류가 낮은 트랜지스터로 구성된다.

[0122] 또한, Si 트랜지스터보다 오프 전류가 낮은 트랜지스터로서는, 반도체층에 산화물 반도체를 포함하는 트랜지스터(OS 트랜지스터)를 들 수 있다. OS 트랜지스터는 산화물 반도체 중의 불순물 농도를 저감하고 산화물 반도체를 진성 또는 실질적으로 진성으로 함으로써, 오프 전류를 매우 낮게 할 수 있다.

[0123] 도 7의 (A)에 도시된 메모리 셀(MC)의 구성에서는, 트랜지스터(OM1)를 온 상태로 함으로써 노드(Q)의 전위를 노드(SN1)에 공급할 수 있고, 트랜지스터(OM2)를 온 상태로 함으로써, 노드(QB)의 전위를 노드(SN2)에 공급할 수 있다. 그리고, 트랜지스터(OM1), 트랜지스터(OM2)를 오프 상태로 함으로써, 각각 전기적으로 부유 상태가 되는 노드(SN1), 노드(SN2)에 전위에 대응하는 전하를 계속해서 유지할 수 있다. 이 전하 유지는 전원 전압 공급이 정지되더라도 계속해서 수행될 수 있기 때문에, 메모리 셀(MC)이 갖는 비휘발성 기억부(112)를 비휘발성으로 할 수 있다.

[0124] 또한, 전위를 유지하는 기간에서, 트랜지스터(OM1) 및 트랜지스터(OM2)에는 소정의 전압이 계속해서 공급되는 경우가 있다. 예를 들어, 트랜지스터(OM1) 및 트랜지스터(OM2)에는, 트랜지스터가 완전히 오프 상태가 되는 전압이 계속해서 공급되는 경우가 있다. 또한, 트랜지스터(OM1) 및 트랜지스터(OM2)의 백 게이트에는, 트랜지스터의 문턱 전압이 변동되어 트랜지스터가 노멀리 오프 상태가 되는 전위가 계속해서 공급되는 경우가 있다. 이와 같은 경우에는, 정보를 유지하는 기간에서 메모리 셀(MC)에 전압이 공급되어 있더라도 전류가 거의 흐르지 않기 때문에 전력이 거의 소비되지 않는다. 따라서, 만약 소정의 전압이 메모리 셀(MC)에 공급되어 있어도, 메모리 셀(MC)은 실질적으로 비휘발성이라고 표현할 수 있다.

[0125] OS 트랜지스터는, 특별히 한정이 없는 한 n채널형 트랜지스터로 하여 설명한다. 따라서, 트랜지스터(OM1) 및 트랜지스터(OM2)에서는, 게이트에 공급되는 신호가 H레벨일 때 소스와 드레인 사이가 도통 상태가 되고, L레벨일 때 비도통 상태가 된다.

[0126] 다음에, 도 7의 (A)에 도시된 회로도의 동작에 대하여 도 7의 (B)에 도시된 타이밍 차트를 사용하여 설명한다. 도 7의 (B)에서는 백업(Backup) 전원 전압 공급의 정지(Power-off), 및 리커버리(Recovery)를 수행하는 PG 시퀀스(Power-Gating sequence)에 대하여 설명한다.

[0127] 도 7의 (B)에 도시된 타이밍 차트를 보면, 먼저 통상 동작 시(Normal operation)에 노드(Q)에 데이터(Data)가 유지되고 노드(QB)에 데이터(DataB)가 유지된다. 또한, 도 7의 (B)에서는, 일례로서 백업 직전에서는 데이터(Data)가 H레벨 전위, 데이터(DataB)가 L레벨 전위인 것으로 하여 설명한다.

[0128] 백업 시에는 먼저 데이터 제어선(DEL)을 H레벨로 하여 트랜지스터(OM1) 및 트랜지스터(OM2)를 온 상태로 한다. 이로써, 노드(Q)와 노드(SN1), 노드(QB)와 노드(SN2)가 같은 전위가 되어, 노드(Q)의 전위는 노드(SN1)에, 노드(QB)의 전위는 노드(SN2)에 백업된다. 또한, 도 7의 (B)에서는 노드(SN1)에 H레벨 전위, 노드(SN2)에 L레벨 전위가 유지된다.

[0129] 또한, 백업 동작에서는, 데이터 제어선(DEL)을 H레벨로 하는 기간을 3ns~10ns로 함으로써, 수μs 동안 데이터 유지를 수행할 수 있다. 또한, 데이터 제어선(DEL)을 H레벨로 하는 기간을 10μs 이상으로 함으로써, 24h(1day) 이상 동안 데이터 유지를 수행할 수 있다.

[0130] 백업이 종료되면 전원 전압 공급을 정지한다. 즉, 전원 전위선(V-VDM)의 전위를 전원 전위선(V-VSS)과 같은 전위(즉 L레벨)로 한다. 전원 전위선(V-VDM)의 전위 저하에 따라, 노드(Q)의 전위도 저하된다. 한편, 데이터 제어선(DEL)을 L레벨로 함으로써, 노드(SN1) 및 노드(SN2)의 전위는 유지된다.

[0131] 그리고, 리커버리 시에는 먼저 데이터 제어선(DEL)을 H레벨로 하여 트랜지스터(OM1) 및 트랜지스터(OM2)를 온 상태로 한다. 이로써, 노드(Q)와 노드(SN1), 노드(QB)와 노드(SN2)가 같은 전위가 된다. 따라서, 노드(Q)와 노드(QB) 사이에 전위차가 생긴다. 이 전위차가 생긴 상태에서 전원 전위선(V-VDM)의 전위를 H레벨로 한다. 이로써, 노드(Q) 및 노드(QB)는 백업 기간 직전의 전위로 되돌아간다.

[0132] 상술한 바와 같은 PG 시퀀스를 거쳐 통상 동작을 재개할 수 있다.

[0133] <OS 트랜지스터에 대하여>

[0134] 메모리 셀(MC)의 구성에 사용되는 OS 트랜지스터는 Si 트랜지스터보다 낮은 오프 전류를 얻을 수 있는 트랜지스터이다.

[0135] OS 트랜지스터는 산화물 반도체 중의 불순물 농도를 저감하고, 산화물 반도체를 진성 또는 실질적으로 진성으로 함으로써 오프 전류를 낮게 할 수 있다. 여기서, 실질적으로 진성이란, 산화물 반도체 중의 캐리어 밀도가 $1\times10^{17}/cm^3$ 미만, 바람직하게는 $1\times10^{15}/cm^3$ 미만, 더 바람직하게는 $1\times10^{13}/cm^3$ 미만인 것을 가리킨다. 산화물 반도체에서 수소, 질소, 탄소, 실리콘, 및 주성분 외의 금속 원소는 불순물이다. 예를 들어, 수소 및 질소는 도너 준위의 형성에 기여하며 캐리어 밀도를 증대시킨다.

[0136] 진성 또는 실질적으로 진성으로 한 산화물 반도체를 사용한 트랜지스터는, 캐리어 밀도가 낮기 때문에 문턱 전압이 음이 되는 일이 적다. 또한, 상기 산화물 반도체를 사용한 트랜지스터는, 산화물 반도체의 캐리어 트랩이 적기 때문에, 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 된다. 또한, 상기 산화물 반도체를 사용한 트랜지스터는, 오프 전류를 매우 낮게 할 수 있다.

[0137] 또한, 오프 전류가 낮은 OS 트랜지스터에서는, 실온(25℃)에서 채널 폭 1μm당 정규화된 오프 전류를 $1\times10^{-18}A$ 이하, $1\times10^{-21}A$ 이하, 또는 $1\times10^{-24}A$ 이하, 또는 85℃에서 $1\times10^{-15}A$ 이하, $1\times10^{-18}A$ 이하, 또는 $1\times10^{-21}A$ 이하로 할 수 있다.

[0138] 또한, 오프 전류란, n채널형 트랜지스터의 경우, 트랜지스터가 오프 상태일 때 소스와 드레인 사이에 흐르는 전류를 말한다. n채널형 트랜지스터의 문턱 전압이 예를 들어 0V~2V 정도이면, 게이트와 소스 사이에 인가되는 전압이 음의 전압인 경우에 소스와 드레인 사이를 흐르는 전류를 오프 전류라고 할 수 있다.

[0139] 결과적으로, OS 트랜지스터를 갖는 메모리 셀(MC)은 OS 트랜지스터를 오프 상태로 하여 전원 전압 공급이 정지되어도 노드(SN1) 및 노드(SN2)에 전하가 유지될 수 있다. 그리고, 유지된 전하에 따라 전원 전압 공급을 재개시킴으로써, 전원 전압 공급이 정지되기 전의 상태로 할 수 있다.

[0140] 또한, 메모리 셀(MC)의 구성에 사용되는 OS 트랜지스터는 오프 전류가 낮은 것에 더하여, 양호한 스위칭 특성을 얻을 수 있는 트랜지스터로 할 수 있다.

[0141] 또한, 메모리 셀(MC)의 구성에 사용되는 OS 트랜지스터는, 절연 표면 위에 형성되는 트랜지스터이다. 따라서, Si 트랜지스터와 같이 반도체 기판을 그대로 채널 형성 영역으로 사용하는 경우와 달리, 게이트 전극과 반도체 기판 사이에 기생 용량이 형성되지 않는다. 그러므로, OS 트랜지스터를 사용하면 게이트 전계에 의한 캐리어 제어가 용이해지고 양호한 스위칭 특성을 얻을 수 있다.

[0142] 또한, 본 실시형태에 기재된 구성 및 방법 등은 다른 실시형태에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0143] (실시형태 3)

[0144] 본 실시형태에서는 상술한 실시형태에서 설명한 오프 전류가 낮은 트랜지스터의 반도체층에 사용할 수 있는 산화물 반도체층에 대하여 설명한다.

[0145] 트랜지스터의 반도체층의 채널 형성 영역에 사용하는 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 In 및 Zn을 포함하는 것이 바람직하다. 또한, In 및 Zn에 더하여, 산소를 강하게 결합시키는 스테빌라이저를 갖는 것이 바람직하다. 스테빌라이저로서는 갈륨(Ga), 주석(Sn), 지르코늄(Zr), 하프늄(Hf), 및 알루미늄(Al) 중 적어도 어느 하나를 가지면 좋다.

[0146] 또한 다른 스테빌라이저로서, 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 하나 또는 복수를 가져도 좋다.

[0147] 트랜지스터의 반도체층에 사용되는 산화물 반도체로서는, 예를 들어, 산화 인듐, 산화 주석, 산화 아연, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-Zr-Zn계 산화물, In-Ti-Zn계 산화물, In-Sc-Zn계 산화물, In-Y-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물,

In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물 등이 있다.

[0148] 예를 들어, 원자수비가 In:Ga:Zn=1:1:1, In:Ga:Zn=3:1:2, 또는 In:Ga:Zn=2:1:3인 In-Ga-Zn계 산화물이나 그 근방의 조성을 갖는 산화물을 사용하면 좋다.

[0149] 반도체층을 구성하는 산화물 반도체막에 수소가 다량으로 포함되면, 산화물 반도체와 결합함으로써 수소의 일부가 도너가 되어, 캐리어인 전자가 생긴다. 이로 인하여 트랜지스터의 문턱 전압이 음 방향으로 변동된다. 그러므로, 산화물 반도체막을 형성한 후에 탈수화 처리(탈수소화 처리)를 수행하여 산화물 반도체막으로부터 수소 또는 수분을 제거함으로써 불순물이 가능한 한 포함되지 않도록 고순도화하는 것이 바람직하다.

[0150] 또한, 산화물 반도체막에 대한 탈수화 처리(탈수소화 처리)로 인하여 산화물 반도체막에서 산소가 감소되는 경우가 있다. 따라서, 탈수화 처리(탈수소화 처리)로 인하여 증가된 산소 결손을 보전하기 위하여 산소를 산화물 반도체막에 첨가하는 처리를 수행하는 것이 바람직하다. 본 명세서 등에서 산화물 반도체막에 산소를 공급하는 처리를 가(加)산소화 처리라고 기재하는 경우가 있고, 또는 산화물 반도체막에 포함되는 산소를 화학량론적 조성보다 많게 하는 처리를 과(過)산소화 처리라고 기재하는 경우가 있다.

[0151] 이와 같이, 산화물 반도체막은 탈수화 처리(탈수소화 처리)에 의하여 수소 또는 수분이 제거되고, 가산소화 처리에 의하여 산소 결손을 보전함으로써, i형(진성)화 또는 i형에 한없이 가까운(실질적으로 i형(진성)인) 산화물 반도체막으로 할 수 있다. 또한, 실질적으로 i형이라는 것은 산화물 반도체막 내에 도너에서 유래하는 캐리어가 매우 적고(제로에 가까움) 캐리어 밀도가 $1\times10^{17}/cm^3$ 이하, $1\times10^{16}/cm^3$ 이하, $1\times10^{15}/cm^3$ 이하, $1\times10^{14}/cm^3$ 이하, $1\times10^{13}/cm^3$ 이하임을 말한다.

[0152] 또한, 이와 같이 i형 또는 실질적으로 i형인 산화물 반도체막을 갖는 트랜지스터는 매우 우수한 오프 전류 특성을 실현할 수 있다. 예를 들어, 산화물 반도체막을 사용한 트랜지스터가 오프 상태일 때의 드레인 전류를, 실온(25℃ 정도)에서 채널 폭당 $1\times10^{-18}A/\mu m$ 이하, $1\times10^{-21}A/\mu m$ 이하, 또는 $1\times10^{-24}A/\mu m$ 이하, 또는 85℃에서 $1\times10^{-15}A/\mu m$ 이하, $1\times10^{-18}A/\mu m$ 이하, 또는 $1\times10^{-21}A/\mu m$ 이하로 할 수 있다. 또한, 트랜지스터가 오프 상태란, n채널형 트랜지스터의 경우, 게이트 전압이 문턱 전압보다 충분히 작은 상태를 말한다. 구체적으로는, 게이트 전압이 문턱 전압보다 1V 이상, 2V 이상, 또는 3V 이상 작으면, 트랜지스터는 오프 상태로 된다.

[0153] 이하에서는, 산화물 반도체막의 구조에 대하여 설명한다.

[0154] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다.

[0155] 우선, CAAC-OS막에 대하여 설명한다.

[0156] CAAC-OS막은 c축 배향된 복수의 결정부를 갖는 산화물 반도체막의 하나이다.

[0157] 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 CAAC-OS막의 명시야상(bright-field image) 및 회절 패턴의 복합 해석상(고분해능 TEM상이라고도 함)을 관찰하면, 복수의 결정부가 확인된다. 한편, 고분해능 TEM상에서도 결정부끼리의 명확한 경계, 즉 결정 입계(그레인 바운더리라고도 함)가 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0158] 시료면에 실질적으로 평행한 방향으로부터 CAAC-OS막의 단면의 고분해능 TEM상을 관찰하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것이 확인된다. 금속 원자의 각층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며 CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다.

[0159] 한편, 시료면에 실질적으로 수직인 방향으로부터 CAAC-OS막의 평면의 고분해능 TEM상을 관찰하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것이 확인된다. 그러나, 상이한 결정부들 간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.

[0160] 도 11의 (A)는 CAAC-OS막의 단면의 고분해능 TEM상이다. 또한, 도 11의 (B)는 도 11의 (A)를 더 확대한 단면의 고분해능 TEM상이고, 이해를 쉽게 하기 위하여 원자 배열을 강조하여 표시하였다.

[0161] 도 11의 (C)는, 도 11의 (A)의 A-O-A' 간에서, 동그라미로 둘러싼 영역(직경 약 4nm)의 국소적인 푸리에 변환상이다. 도 11의 (C)로부터, 각 영역에서 c축 배향성을 확인할 수 있다. 또한, A-O 간과 O-A' 간에서는, c축의 방향이 다르기 때문에, 다른 그레인인 것이 시사된다. 또한, A-O 간에서는, c축의 각도가 14.3°, 16.6°, 26.4°와 같이 조금씩 연속적으로 변화하고 있음을 알 수 있다. 마찬가지로, O-A' 간에서는, c축의 각도가 -18.3°, -17.6°, -15.9°로 조금씩 연속적으로 변화하고 있음을 알 수 있다.

[0162] 또한, CAAC-OS막에 대하여 전자 회절을 수행하면, 배향성을 나타내는 스폿(휘점)이 관측된다. 예를 들어, CAAC-OS막의 상면에 대하여, 예를 들어 1nm 이상 30nm 이하의 전자빔을 사용하는 전자 회절(나노빔 전자 회절이라고도 함)을 수행하면 스폿이 관측된다(도 12의 (A) 참조).

[0163] 단면의 고분해능 TEM상 및 평면의 고분해능 TEM상으로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.

[0164] 또한, CAAC-OS막에 포함되는 결정부의 대부분은 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 하나의 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기인 경우도 포함된다. 다만 CAAC-OS막에 포함되는 복수의 결정부가 연결됨으로써 하나의 큰 결정 영역이 형성되는 경우가 있다. 예를 들어 평면의 고분해능 TEM상으로부터 2500nm^2 이상, 5μm^2 이상 또는 1000μm^2 이상이 되는 결정 영역이 관찰되는 경우가 있다.

[0165] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 수행하면, 예를 들어 $InGaZnO_4$의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는, $InGaZnO_4$의 결정의 (009)면에서 유래하기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향되는 것을 확인할 수 있다.

[0166] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ가 56° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 $InGaZnO_4$의 결정의 (110)면서 유래한다. $InGaZnO_4$의 단결정 산화물 반도체막의 경우에는, 2θ를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(φ축)으로 하여 시료를 회전시키면서 분석(φ 스캔)을 수행하면, (110)면과 등가인 결정면에서 유래하는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2θ를 56° 근방에 고정하고 φ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.

[0167] 상술한 것으로부터, CAAC-OS막에서는, 상이한 결정부들 간에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고 또한 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향하는 것을 알 수 있다. 따라서, 상술한 단면의 고분해능 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각층은, 결정의 a-b면에 평행한 면이다.

[0168] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향되지 않는 경우도 있다.

[0169] 또한, CAAC-OS막 내에서 c축 배향된 결정부의 분포는 균일하지 않아도 된다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 c축 배향된 결정부의 비율이 높게 되는 경우가 있다. 또한, 불순물이 첨가된 CAAC-OS막은, 불순물이 첨가된 영역이 변질되고, 부분적으로 c축 배향된 결정부의 비율이 다른 영역이 형성되는 경우도 있다.

[0170] 또한, $InGaZnO_4$의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ가 31° 근방일 때 나타나는 피크에 더하여, 2θ가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2θ가 36° 근방일 때 나타나는 피크는 CAAC-OS막 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막은 2θ가 31° 근방일 때 피크가 나타나고, 2θ가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.

[0171] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 산화물 반도체막의 주성분 이외의 원소(수소, 탄소, 실리콘, 전이 금속 원소 등)이다. 특히 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소(실리콘 등)는 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자

반경(또는 분자 반경)이 크기 때문에 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.

[0172] 또한 CAAC-OS막은 결함 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어 산화물 반도체막 내의 산소 결손은 캐리어 트랩이 되거나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.

[0173] 불순물 농도가 낮고 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적어 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 문턱 전압이 음이 되는 전기 특성(노멀리 온이라고도 함)을 갖게 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는 방출될 때까지 걸리는 시간이 길어 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로 불순물 농도가 높고 결함 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.

[0174] 또한 CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다.

[0175] 다음에, 다결정 산화물 반도체막에 대하여 설명한다.

[0176] 다결정 산화물 반도체막의 고분해능 TEM상에서는 결정립이 확인된다. 다결정 산화물 반도체막에 포함되는 결정립은 예를 들어 고분해능 TEM상에서, 2nm 이상 300nm 이하, 3nm 이상 100nm 이하, 또는 5nm 이상 50nm 이하의 입경인 경우가 많다. 또한, 다결정 산화물 반도체막의 고분해능 TEM상에서는 결정 입계가 확인되는 경우가 있다.

[0177] 다결정 산화물 반도체막은 복수의 결정립을 갖고, 상기 복수의 결정립 간에서 결정의 방위가 다른 경우가 있다. 또한, 다결정 산화물 반도체막에 대하여, XRD 장치를 사용하여 구조 해석을 수행하면, 예를 들어 $InGaZnO_4$의 결정을 갖는 다결정 산화물 반도체막의 out-of-plane법에 의한 해석에서는, 2θ가 31° 근방일 때 나타나는 피크, 2θ가 36° 근방일 때 나타나는 피크, 또는 그 이외의 피크가 나타나는 경우가 있다.

[0178] 다결정 산화물 반도체막은 높은 결정성을 갖기 때문에, 높은 전자 이동도를 가질 수 있다. 따라서, 다결정 산화물 반도체막을 사용한 트랜지스터는, 높은 전계 효과 이동도를 갖는다. 다만, 다결정 산화물 반도체막은 결정 입계에 불순물이 편석(偏析)하는 경우가 있다. 또한, 다결정 산화물 반도체막의 결정 입계는 결함 준위가 된다. 다결정 산화물 반도체막은, 결정 입계가 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있기 때문에, 다결정 산화물 반도체막을 사용한 트랜지스터는, CAAC-OS막을 사용한 트랜지스터와 비교하여, 전기 특성의 변동이 크고, 신뢰성이 낮은 트랜지스터가 되기 쉽다.

[0179] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.

[0180] 미결정 산화물 반도체막은 고분해능 TEM상에서 결정부가 확인되는 영역과 결정부가 명확히 확인되지 않는 영역을 갖는다. 미결정 산화물 반도체막에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, nc-OS막은 예를 들어 고분해능 TEM상에서 결정 입계를 명확히 확인할 수 없는 경우가 있다.

[0181] nc-OS막은 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부들 간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성이 보이지 않는다. 따라서, nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 사용하여 nc-OS막의 구조를 해석하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, 결정부보다 프로브 직경(예를 들어 50nm 이상)이 큰 전자빔을 사용하여 nc-OS막에 대하여 전자 회절(제한 시야 전자 회절이라고도 함)을 수행하면, 헤일로 패턴(halo pattern)과 같은 회절 패턴이 관측된다. 한편, 결정부의 크기와 가깝거나 결정부보다 프로브 직경이 작은 전자빔을 사용하여 nc-OS막에 대하여 나노빔 전자 회절을 수행하면, 스폿이 관측된다. 또한, nc-OS막에 대하여 나노빔 전자 회절을 수행하면, 원주상으로 분포된 스폿이 관측되는 경우가 있다. 또한, nc-OS막에 대하여 나노빔 전자 회절을 수행하면, 원주상으로 분포된 스폿 내에 복수의 스폿이 관측되는 경우가 있다(도 12의 (B) 참조).

[0182] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮다. 다만, nc-OS막은 상이한 결정부들 간에서 결정 방위에 규칙성이 보이지 않는다. 따라서, nc-OS막은 CAAC-OS막보다 결함 준위 밀도가 높다.

[0183] 따라서, nc-OS막은 CAAC-OS막과 비교하여, 캐리어 밀도가 높게 되는 경우가 있다. 캐리어 밀도가 높은 산화물 반도체막은 전자 이동도가 높게 되는 경우가 있다. 따라서, nc-OS막을 사용한 트랜지스터는 높은 전계 효과 이동도를 갖는 경우가 있다. 또한, nc-OS막은 CAAC-OS막과 비교하여, 결함 준위 밀도가 높기 때문에, 캐리어 트랩이 많아지는 경우가 있다. 따라서, nc-OS막을 사용한 트랜지스터는 CAAC-OS막을 사용한 트랜지스터와 비교하여, 전기 특성의 변동이 크고, 신뢰성이 낮은 트랜지스터가 된다. 다만, nc-OS막은 비교적 불순물이 많이 포함되어 있어도 형성할 수 있기 때문에, CAAC-OS막보다 형성이 용이하고 용도에 따라서는 적합하게 사용할 수 있다. 따라서, nc-OS막을 사용한 트랜지스터를 갖는 기억 장치는 높은 생산성으로 제작할 수 있다.

[0184] 다음에, 비정질 산화물 반도체막에 대하여 설명한다.

[0185] 비정질 산화물 반도체막은, 막 중에서의 원자 배열이 불규칙하고, 결정부를 갖지 않는 산화물 반도체막이다. 석영과 같은 무정형 상태를 갖는 산화물 반도체막이 일례이다.

[0186] 비정질 산화물 반도체막의 고분해능 TEM상에서는 결정부가 확인되지 않는다.

[0187] 비정질 산화물 반도체막에 대하여, XRD 장치를 사용한 구조 해석을 수행하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, 비정질 산화물 반도체막에 대하여 전자 회절을 수행하면, 헤일로 패턴이 관측된다. 또한, 비정질 산화물 반도체막에 대하여 나노빔 전자 회절을 수행하면, 스폿이 관측되지 않고, 헤일로 패턴이 관측된다.

[0188] 비정질 산화물 반도체막은 수소 등 불순물을 높은 농도로 포함하는 산화물 반도체막이다. 또한, 비정질 산화물 반도체막은 결함 준위 밀도가 높은 산화물 반도체막이다.

[0189] 불순물 농도가 높고, 결함 준위 밀도가 높은 산화물 반도체막은, 캐리어 트랩이나 캐리어 발생원이 많은 산화물 반도체막이다.

[0190] 따라서, 비정질 산화물 반도체막은, nc-OS막과 비교하여, 캐리어 밀도가 더 높게 되는 경우가 있다. 따라서, 비정질 산화물 반도체막을 사용한 트랜지스터는, 노멀리 온의 전기 특성이 되기 쉽다. 따라서, 노멀리 온의 전기 특성이 요구되는 트랜지스터에 적합하게 사용할 수 있는 경우가 있다. 상술한 바와 같이, 비정질 산화물 반도체막은 결함 준위 밀도가 높기 때문에, 캐리어 트랩이 많다. 따라서, 비정질 산화물 반도체막을 사용한 트랜지스터는, CAAC-OS막이나 nc-OS막을 사용한 트랜지스터와 비교하여, 전기 특성의 변동이 크고, 신뢰성이 낮은 트랜지스터가 된다.

[0191] 다음에, 단결정 산화물 반도체막에 대하여 설명한다.

[0192] 단결정 산화물 반도체막은 불순물 농도가 낮고, 결함 준위 밀도가 낮은(산소 결손이 적은) 산화물 반도체막이다. 그래서, 캐리어 밀도를 낮게 할 수 있다. 따라서, 단결정 산화물 반도체막을 사용한 트랜지스터는, 노멀리 온의 전기 특성이 되는 일이 적다. 또한, 단결정 산화물 반도체막은 불순물 농도가 낮고, 결함 준위 밀도가 낮기 때문에, 캐리어 트랩이 적다. 따라서, 단결정 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 된다.

[0193] 또한, 산화물 반도체막은 결함이 적으면 밀도가 높게 된다. 또한, 산화물 반도체막은 결정성이 높으면 밀도가 높게 된다. 또한, 산화물 반도체막은 수소 등 불순물 농도가 낮으면 밀도가 높게 된다. 단결정 산화물 반도체막은 CAAC-OS막보다 밀도가 높다. 또한, CAAC-OS막은 미결정 산화물 반도체막보다 밀도가 높다. 또한, 다결정 산화물 반도체막은 미결정 산화물 반도체막보다 밀도가 높다. 또한, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 밀도가 높다.

[0194] 또한, 산화물 반도체막은 nc-OS막과 비정질 산화물 반도체막 사이의 물성을 나타내는 구조를 갖는 경우가 있다. 이러한 구조를 갖는 산화물 반도체막을 특히 amorphous-like OS(amorphous-like Oxide Semiconductor)막이라고 부른다.

[0195] amorphous-like OS막의 고분해능 TEM상에서는 공동(보이드(void)라고도 함)이 관찰되는 경우가 있다. 또한, 고분해능 TEM상에서 결정부가 명확히 확인되는 영역과 결정부가 확인되지 않는 영역을 갖는다. amorphous-like OS막은 TEM 관찰과 같은 미량의 전자 조사에 의해서도 결정화되어 결정부의 성장이 관찰되는 경우가 있다. 한

편, 양질의 nc-OS막이라면, TEM 관찰과 같은 미량의 전자 조사에 의한 결정화는 거의 관찰되지 않는다.

[0196] 또한, amorphous-like OS막 및 nc-OS막의 결정부의 크기는 고분해능 TEM상에서 계측할 수 있다. 예를 들어, $InGaZnO_4$의 결정은 층상 구조를 가지며, In-O층 사이에 Ga-Zn-O층을 2층 갖는다. $InGaZnO_4$의 결정의 단위 격자는 In-O층 3층과 Ga-Zn-O층 6층의 총 9층이 c축 방향으로 층상으로 중첩된 구조를 갖는다. 따라서, 이들 근접하는 층끼리의 간격은 (009)면의 격자면 간격(d값이라고도 함)과 같은 정도이며, 결정 구조 해석에 의하여 그 값이 0.29nm로 산출된다. 그러므로, 고분해능 TEM상에서 관찰되는 격자 줄무늬에 착안하여, 격자 줄무늬의 간격이 0.28nm 이상 0.30nm 이하인 개소에서는 각 격자 줄무늬가 $InGaZnO_4$의 결정의 a-b면에 대응하는 것으로 간주한다. 그 격자 줄무늬가 관찰되는 영역의 최대 길이를 amorphous-like OS막 및 nc-OS막의 결정부의 크기로 한다. 또한, 결정부의 크기가 0.8nm 이상인 것을 선택적으로 평가한다.

[0197] 도 13은 고분해능 TEM상으로부터 amorphous-like OS막 및 nc-OS막의 결정부(20개소~40개소)의 평균 크기의 변화를 조사한 예이다. 도 13을 보면, amorphous-like OS막은 전자의 누적 조사량에 따라 결정부가 커지는 것을 알 수 있다. 구체적으로는, TEM 관찰 초기에 크기가 1.2nm 정도이었던 결정부는, 누적 조사량이 $4.2\times10^8 e^-/nm^2$이 되면 크기가 2.6nm 정도까지 성장한 것을 알 수 있다. 한편, 양질의 nc-OS막은 전자 조사 시작 시점으로부터 전자의 누적 조사량이 $4.2\times10^8 e^-/nm^2$이 될 때까지의 범위에서 전자의 누적 조사량에 관계없이 결정부의 크기가 변화되지 않은 것을 알 수 있다.

[0198] 또한, 도 13에 도시된 amorphous-like OS막 및 nc-OS막의 결정부의 크기의 변화를 선형 근사하여, 전자의 누적 조사량 $0e^-/nm^2$까지 외삽(extrapolation)하면, 결정부의 평균 크기가 양의 값을 취하는 것을 알 수 있다. 그러므로, amorphous-like OS막 및 nc-OS막의 결정부가 TEM 관찰 전부터 존재하는 것을 알 수 있다.

[0199] 또한, 산화물 반도체막은 예를 들어 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 적층막이어도 좋다.

[0200] 산화물 반도체막이 복수의 구조를 갖는 경우, 구조 해석의 하나의 기법이 나노빔 전자 회절이다.

[0201] 도 12의 (C)는 전자총실(electron gun chamber)(210), 전자총실(210) 아래의 광학계(212), 광학계(212) 아래의 시료실(214), 시료실(214) 아래의 광학계(216), 광학계(216) 아래의 관찰실(220), 관찰실(220)에 설치된 카메라(218), 및 관찰실(220) 아래의 필름실(222)을 구비하는 투과 전자 회절 측정 장치를 도시한 것이다. 카메라(218)는 관찰실(220) 내부를 향하여 설치된다. 또한, 필름실(222)을 구비하지 않아도 된다.

[0202] 또한, 도 12의 (D)는 도 12의 (C)에 도시된 투과 전자 회절 측정 장치 내부의 구조를 도시한 것이다. 투과 전자 회절 측정 장치 내부에서는, 전자총실(210)에 설치된 전자총으로부터 방출된 전자가, 광학계(212)를 통하여 시료실(214)에 배치된 물질(228)에 조사된다. 물질(228)을 통과한 전자는, 광학계(216)를 통하여 관찰실(220) 내부에 설치된 형광판(229)에 입사한다. 형광판(229)에서는, 입사한 전자의 강도에 따른 패턴이 나타남으로써 투과 전자 회절 패턴을 측정할 수 있다.

[0203] 카메라(218)는 형광판(229)을 향하여 설치되어 있고, 형광판(229)에 나타난 패턴을 촬영하는 것이 가능하다. 카메라(218)의 렌즈 중앙, 및 형광판(229)의 중앙을 통과하는 직선과 형광판(229)의 상면이 이루는 각도는, 예를 들어, 15° 이상 80° 이하, 30° 이상 75° 이하, 또는 45° 이상 70° 이하로 한다. 상기 각도가 작을수록, 카메라(218)로 촬영되는 투과 전자 회절 패턴의 왜곡이 커진다. 다만, 미리 상기 각도를 알고 있으면, 얻어진 투과 전자 회절 패턴의 왜곡을 보정할 수도 있다. 또한, 카메라(218)를 필름실(222)에 설치하여도 좋은 경우가 있다. 예를 들어, 카메라(218)를 필름실(222)에, 전자(224)의 입사 방향과 대향하도록 설치하여도 좋다. 이 경우, 형광판(229)의 이면으로부터 왜곡이 적은 투과 전자 회절 패턴을 촬영할 수 있다.

[0204] 시료실(214)에는 시료인 물질(228)을 고정하기 위한 홀더가 설치된다. 홀더는 물질(228)을 통과하는 전자를 투과하는 구조를 갖는다. 홀더는, 예를 들어, 물질(228)을 X축, Y축, Z축 등으로 이동시키는 기능을 가져도 좋다. 홀더의 이동 기능은 예를 들어, 1nm 이상 10nm 이하, 5nm 이상 50nm 이하, 10nm 이상 100nm 이하, 50nm 이상 500nm 이하, 100nm 이상 1μm 이하 등의 범위에서 이동시키는 정밀도를 가지면 좋다. 이들 범위는 물질(228)의 구조에 따라 최적의 범위로 설정하면 좋다.

[0205] 다음에, 상술한 투과 전자 회절 측정 장치를 사용하여, 물질의 투과 전자 회절 패턴을 측정하는 방법에 대하여 설명한다.

[0206] 예를 들어, 도 12의 (D)에 도시된 바와 같이 나노빔인 전자(224)가 물질에 조사되는 위치를 변화시킴(스캔함)으

로써, 물질의 구조가 변화되는 모습을 확인할 수 있다. 이 때, 물질(228)이 CAAC-OS막이면, 도 12의 (A)와 같은 회절 패턴이 관측된다. 또는, 물질(228)이 nc-OS막이면, 도 12의 (B)에 도시한 바와 같은 회절 패턴이 관측된다.

[0207] 그런데, 물질(228)이 CAAC-OS막인 경우에도, nc-OS막 등과 같은 회절 패턴이 부분적으로 관측되는 경우가 있다. 따라서, CAAC-OS막의 질이 좋은지 나쁜지는, 일정 범위에서의 CAAC-OS막의 회절 패턴이 관측되는 영역의 비율(CAAC화율이라고도 함)로 나타낼 수 있는 경우가 있다. 예를 들어, 양질의 CAAC-OS막이면, CAAC화율은 50% 이상, 80% 이상, 90% 이상, 또는 95% 이상이 된다. 또한, CAAC-OS막과 상이한 회절 패턴이 관측되는 영역의 비율을 비CAAC화율이라고 표기한다.

[0208] 일례로서, 성막 직후(as-sputtered로 표기함), 또는 산소를 포함하는 분위기에서의 450℃ 가열 처리 후의 CAAC-OS막을 갖는 각 시료의 상면에 대하여, 스캔하면서 투과 전자 회절을 수행하여 회절 패턴을 취득하였다. 여기서는, 5nm/sec의 속도로 60초간 스캔하면서 회절 패턴을 관측하고, 관측된 회절 패턴을 0.5초마다 정지 화상으로 변환함으로써 CAAC화율을 도출하였다. 또한, 전자빔으로서는, 프로브 직경이 1nm인 나노빔을 사용하였다. 또한, 동일한 측정을 6개의 시료에 대하여 수행하였다. 그리고 CAAC화율의 산출에는 6개의 시료에서의 평균값을 이용하였다.

[0209] 각 시료에서의 CAAC화율을 도 14의 (A)에 나타내었다. 성막 직후의 CAAC-OS막의 CAAC화율은 75.7%(비CAAC화율은 24.3%)이었다. 또한, 450℃ 가열 처리 후의 CAAC-OS막의 CAAC화율은 85.3%(비CAAC화율은 14.7%)이었다. 성막 직후와 비교하여 450℃ 가열 처리 후의 CAAC화율이 높은 것을 알 수 있다. 즉, 높은 온도(예를 들어 400℃ 이상)의 가열 처리에 의하여, 비CAAC화율이 낮아지는(CAAC화율이 높아지는) 것을 알 수 있다. 또한, 500℃ 미만의 가열 처리에 의해서도 높은 CAAC화율을 갖는 CAAC-OS막이 얻어지는 것을 알 수 있다.

[0210] 여기서, CAAC-OS막과 상이한 회절 패턴의 대부분은 nc-OS막과 같은 회절 패턴이었다. 또한, 측정 영역에서 비정질 산화물 반도체막은 확인할 수 없었다. 따라서, 가열 처리에 의하여, nc-OS막과 같은 구조를 갖는 영역이, 인접하는 영역의 구조의 영향을 받아서 재배열하여 CAAC화되는 것이 시사된다.

[0211] 도 14의 (B) 및 (C)는, 성막 직후 및 450℃ 가열 처리 후의 CAAC-OS막의 평면의 고분해능 TEM상이다. 도 14의 (B) 및 (C)를 비교함으로써, 450℃ 가열 처리 후의 CAAC-OS막은 막질이 더 균질한 것을 알 수 있다. 즉, 높은 온도에서의 가열 처리에 의하여, CAAC-OS막의 막질이 향상되는 것을 알 수 있다.

[0212] 이러한 측정 방법을 사용하면, 복수의 구조를 갖는 산화물 반도체막의 구조 해석이 가능해지는 경우가 있다.

[0213] 또한, 본 실시형태에 기재된 구성 및 방법 등은 다른 실시형태에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0214] (실시형태 4)

[0215] 본 실시형태에서는, 개시되는 발명의 일 형태에 따른 반도체 장치가 갖는 기억 장치에 사용되는 트랜지스터의 단면 구조의 일례에 대하여 도 8~도 10을 참조하여 설명한다. 본 실시형태의 트랜지스터의 단면 구조에서는, 실시형태 2에서 설명한 메모리 셀의 회로가 갖는 트랜지스터(M1)~(M6), 트랜지스터(OM1), 트랜지스터(OM2), 용량 소자(Cp1), 용량 소자(Cp2), 및 각 배선을 도시하였다.

[0216] 도 8의 (A)는 각 소자의 층 구조를 모식적으로 도시한 것이다. 도 8의 (A)에 도시된 제 1 층(311)은 Si 트랜지스터가 제공된 층(SiFET Layer라고 표기함)이다. 제 2 층(312)은 배선층이 제공된 층(Wiring Layer라고 표기함)이다. 제 3 층(313)은 OS 트랜지스터가 제공된 층(OSFET Layer라고 표기함)이다. 제 4 층(314)은 용량 소자가 제공된 층(Cp Layer라고 표기함)이다.

[0217] 도 8의 (B-1)~(B-4)는 도 8의 (A)의 제 1 층(311)~제 4 층(314)에 대응하는 레이아웃 도면이다.

[0218] 도 8의 (B-1)에 도시된 제 4 층(314)의 레이아웃 도면은 데이터 제어선(DEL), 용량 소자(Cp1), 용량 소자(Cp2)에 대응한다.

[0219] 도 8의 (B-2)에 도시된 제 3 층(313)의 레이아웃 도면은 트랜지스터(OM1) 및 트랜지스터(OM2)에 대응한다.

[0220] 도 8의 (B-3)에 도시된 제 2 층(312)의 레이아웃 도면은 전원 전위선(V-VSS), 전원 전위선(V-VDM), 비트선(BL), 및 반전 비트선(BLB)에 대응한다.

[0221] 도 8의 (B-4)에 도시된 제 1 층(311)의 레이아웃 도면은 트랜지스터(M1)~(M6)에 대응한다.

[0222] 도 8의 (A)~(B-4)의 구성으로 함으로써, 반도체 장치가 갖는 기억 장치는 6개의 트랜지스터로 구성되는 표준적인 SRAM에 트랜지스터를 추가하여도 면적을 증가시키지 않고, 데이터의 백업/리커버리를 수행할 수 있는 메모리 셀을 실현할 수 있다.

[0223] 도 9는 도 8의 (B-1)~(B-4)의 일점 쇄선 F-F'에서의 단면도이고, 도 10은 도 8의 (B-1)~(B-4)의 일점 쇄선 G-G'에서의 단면도이다.

[0224] 도 9에는 반도체 기판(400), 소자 분리용 절연막(402), 게이트 절연층(410), 게이트 전극(412), 게이트 전극(414), 층간 절연층(416), 배선층(418), 배선층(420), 도전층(422), 층간 절연층(424), 배선층(423), 배선층(425), 도전층(426), 층간 절연층(428), 배선층(430), 배선층(432), 배선층(434), 배선층(436), 배선층(438), 배선층(440), 도전층(444), 배선층(446), 층간 절연층(448), 반도체층(452), 게이트 절연층(450), 배선층(454), 게이트 전극(456), 층간 절연층(458), 도전층(460), 도전층(462), 절연층(464), 도전층(466), 층간 절연층(472), 배선층(474), 배선층(476), 층간 절연층(478), 및 층간 절연층(480)을 도시하였다.

[0225] 도 10에는, 반도체 기판(400), 소자 분리용 절연막(402), 게이트 전극(413), 게이트 전극(415), 층간 절연층(416), 층간 절연층(424), 배선층(427), 배선층(429), 배선층(431), 도전층(433), 층간 절연층(428), 배선층(436), 층간 절연층(442), 층간 절연층(448), 반도체층(452), 반도체층(453), 게이트 절연층(450), 게이트 전극(456), 층간 절연층(458), 절연층(464), 도전층(466), 층간 절연층(472), 층간 절연층(478), 도전층(467), 배선층(477), 및 층간 절연층(480)을 도시하였다.

[0226] 반도체 기판(400)은, 예를 들어 n형 또는 p형 도전형을 갖는 실리콘 기판, 저마늄 기판, 실리콘 저마늄 기판, 화합물 반도체 기판(GaAs 기판, InP 기판, GaN 기판, SiC 기판, GaP 기판, GaInAsP 기판, ZnSe 기판 등) 등을 사용할 수 있다.

[0227] 제 1 층(311)의 트랜지스터는, 소자 분리용 절연막(402)에 의하여, 다른 트랜지스터와 전기적으로 분리되어 있다. 소자 분리용 절연막(402)의 형성에는, 선택 산화법(LOCOS(Local Oxidation of Silicon)법) 또는 트렌치 분리법 등을 사용할 수 있다.

[0228] 게이트 절연층(410)은 가열 처리를 수행하고, 반도체 기판(400)의 표면에 산화된 산화 실리콘막을 형성한 후, 선택적으로 에칭하여 형성한다. 또는, 산화 실리콘, 산화질화 실리콘, 고유전율 물질(high-k 재료라고도 함)인 산화 하프늄 등의 금속 산화물 등을 CVD법, 스퍼터링법 등을 사용하여 형성한 후, 선택적으로 에칭하여 형성한다.

[0229] 게이트 전극(412), 게이트 전극(413), 게이트 전극(414), 게이트 전극(415), 배선층(418), 배선층(420), 도전층(422), 배선층(423), 도전층(426), 배선층(430), 배선층(427), 배선층(429), 배선층(431), 도전층(433), 배선층(432), 배선층(434), 배선층(436), 배선층(438), 배선층(440), 도전층(444), 배선층(446), 배선층(454), 게이트 전극(456), 도전층(460), 도전층(462), 도전층(466), 배선층(474), 배선층(476), 도전층(467) 및 배선층(477)은 알루미늄, 구리, 타이타늄, 탄탈럼, 텅스텐 등의 금속 재료를 사용하는 것이 바람직하다. 또한 인 등의 불순물을 첨가한 다결정 실리콘을 사용할 수 있다. 형성 방법으로서는 증착법, PE-CVD법, 스퍼터링법, 스핀 코팅법 등의 각종 성막 방법을 사용할 수 있다.

[0230] 층간 절연층(416), 층간 절연층(424), 층간 절연층(428), 층간 절연층(442), 층간 절연층(448), 층간 절연층(458), 절연층(464), 층간 절연층(472), 층간 절연층(478) 및 층간 절연층(480)은 무기 절연층 또는 유기 절연층을 단층 또는 다층으로 하여 형성하는 것이 바람직하다. 무기 절연층은 질화 실리콘막, 산화질화 실리콘막, 또는 질화산화 실리콘막 등을 단층 또는 다층으로 하여 형성하는 것이 바람직하다. 유기 절연층은 폴리이미드 또는 아크릴 수지 등을 단층 또는 다층으로 하여 형성하는 것이 바람직하다. 또한, 각 절연층의 제작 방법에 특별히 한정은 없지만, 예를 들어 스퍼터링법, MBE법, PE-CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 사용할 수 있다.

[0231] 반도체층(452) 및 반도체층(453)은 산화물 반도체를 단층 또는 적층으로 하여 제공하면 좋다. 산화물 반도체는 적어도 인듐 또는 아연을 포함하는 산화물이며, In-Ga-Zn계 산화물(IGZO라고도 표기함)을 사용하여 형성될 수 있다. 또한, In-Ga-Zn계 산화물은 In과 Ga와 Zn을 포함하는 산화물을 가리키며, In과 Ga과 Zn 이외의 금속 원소가 들어 있어도 된다. 예를 들어, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물을 사용할 수 있다. 산화물 반도체의 형성 방법으로서는 스퍼터링법, ALD법, 증착법, 도포법 등을 이용할 수 있다.

[0232] 게이트 절연층(450)은 무기 절연층을 단층 또는 다층으로 하여 형성하는 것이 바람직하다. 또한, 게이트 절연층(450)은 반도체층(452) 및 반도체층(453)에 산소를 공급하는 효과가 있으면 더 바람직하다.

[0233] 도 9 및 도 10에 도시된 구성으로 함으로써, 반도체 장치가 갖는 기억 장치는 전원 전위선(V-VDM)과, 트랜지스터(OM1) 및 트랜지스터(OM2)의 채널 형성 영역을 적층하여 제공할 수 있다. 전원 전위선(V-VDM)의 전원 전위는, 기억 장치에 전원 전압을 공급할 때는 고전원 전위가 된다. 이 경우, 전원 전위선(V-VDM)을 트랜지스터(OM1) 및 트랜지스터(OM2)의 백 게이트로서 사용함으로써, 트랜지스터(OM1) 및 트랜지스터(OM2)의 온 전류를 크게 할 수 있다. 한편, 전원 전위선(V-VDM)의 전원 전위는, 기억 장치에 전원 전압을 공급하지 않을 때는 저전원 전위가 된다. 이 경우, 트랜지스터(OM1), 트랜지스터(OM2)를 백 게이트로서 사용하면, 트랜지스터(OM1) 및 트랜지스터(OM2)의 오프 전류가 낮다는 특성을 저해하지 않는다. 따라서, 트랜지스터(OM1) 및 트랜지스터(OM2)의 온 전류를 크게 하고 오프 전류를 낮게 유지할 수 있다.

[0234] 또한, 본 실시형태에 기재된 구성 및 방법 등은 다른 실시형태에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0235] (실시형태 5)

[0236] 상술한 실시형태에서 도전층이나 반도체층은 스퍼터링법을 사용하여 형성할 수 있다고 개시되었지만, 다른 방법(예를 들어 열 CVD법)에 의하여 형성하여도 좋다. 열 CVD법의 예로서는 MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD법을 사용하여도 좋다.

[0237] 열 CVD법은 플라즈마를 사용하지 않는 성막 방법이기 때문에 플라즈마 대미지로 인하여 결함이 생성되지 않는다는 장점을 갖는다.

[0238] 열 CVD법에 의한 성막은, 체임버 내를 대기압 또는 감압 하로 하고, 원료 가스와 산화제를 체임버 내에 동시에 공급하고, 기판 근방 또는 기판 위에서 반응시켜 기판 위에 퇴적시킴으로써 수행하여도 좋다.

[0239] 또한, ALD법에서는 체임버 내를 대기압 또는 감압 하로 하고, 반응시키기 위한 원료 가스와 산화제를 순차적으로 체임버 내에 도입하고, 이를 반복함으로써 성막하여도 좋다. 불활성 가스를 캐리어 가스로 하여 원료 가스와 동시에 도입하여도 좋다. 또한, 2종류 이상의 원료 가스를 사용하여도 좋다. 예를 들어, 스위칭 밸브(고속 밸브라고도 부름)를 사용하여 2종류 이상의 원료 가스를 순차적으로 체임버에 공급한다. 이 때, 복수 종류의 원료 가스가 혼합되지 않도록 제 1 원료 가스 도입 후에 불활성 가스(아르곤 또는 질소 등) 등을 도입하고 나서 제 2 원료 가스를 도입한다. 또는, 불활성 가스의 도입 대신에 진공 배기에 의하여 제 1 원료 가스를 배출한 후, 제 2 원료 가스를 도입하여도 좋다. 제 1 원료 가스가 기판 표면에 흡착·반응됨으로써 제 1 단원자층이 성막되고, 나중에 도입되는 제 2 원료 가스가 흡착·반응됨으로써 제 1 단원자층 위에 제 2 단원자층이 적층되어 박막이 형성된다. 상기 가스 도입 절차를 제어하면서 원하는 두께가 될 때까지 여러 번 반복함으로써 우수한 스텝 커버리지를 갖는 박막을 형성할 수 있다. 박막의 두께는 가스 도입의 반복 횟수에 따라 조절할 수 있기 때문에 막 두께를 정밀하게 조절할 수 있어 ALD법은 미세한 FET를 제작하는 경우에 적합하다.

[0240] MOCVD법이나 ALD법 등의 열 CVD법에 의하여, 지금까지 기재한 실시형태에 개시된 도전층이나 반도체층을 형성할 수 있고, 예를 들어, $InGaZnO_X(X>0)$막을 형성하는 경우에는, 트라이메틸인듐($(CH_3)_3In$), 트라이메틸갈륨($(CH_3)_3Ga$), 및 다이메틸아연($(CH_3)_2Zn$)을 사용한다. 또한, 이들 조합에 한정되지 않고 트라이메틸갈륨 대신에 트라이에틸갈륨($(C_2H_5)_3Ga$)을 사용할 수도 있고, 다이메틸아연 대신에 다이에틸아연($(C_2H_5)_2Zn$)을 사용할 수도 있다.

[0241] 예를 들어, ALD법을 이용하는 성막 장치에 의하여 텅스텐막을 형성하는 경우에는 WF_6가스와 B_2H_6가스를 순차적으로 도입함으로써 초기 텅스텐막을 형성한 후에, WF_6가스와 H_2가스를 순차적으로 도입함으로써 텅스텐막을 형성한다. 또한, B_2H_6가스 대신에 SiH_4가스를 사용하여도 좋다.

[0242] 예를 들어, ALD법을 이용하는 성막 장치에 의하여 산화물 반도체막(예를 들어 $InGaZnO_x(X>0)$막)을 형성하는 경우에는 $In(CH_3)_3$가스와 O_3가스를 순차적으로 반복하여 도입함으로써 InO_2층을 형성한 후, $Ga(CH_3)_3$가스와 O_3가스를 순차적으로 도입함으로써 GaO층을 형성하고 나서, $Zn(CH_3)_2$가스와 O_3가스를 순차적으로 도입함으로써 ZnO층을 형성한다. 또한, 이들 층의 순서는 상술한 예에 한정되지 않는다. 또한, 이들 가스를 혼합시킴으로써 $InGaO_2$

층, $InZnO_2$층, GaInO층, ZnInO층, GaZnO층 등의 혼합 화합물층을 형성하여도 좋다. 또한, O_3가스 대신에 Ar 등의 불활성 가스로 물을 버블링하여 얻어진 H_2O가스를 사용하여도 좋지만 H를 포함하지 않는 O_3가스를 사용하는 것이 바람직하다.

[0243] 본 실시형태에 기재된 구성은 다른 실시형태에 기재되는 구성과 적절히 조합하여 사용할 수 있다.

[0244] (실시형태 6)

[0245] 본 실시형태에서는 상술한 실시형태에서 설명한 기억 장치를 전자 부품에 적용하는 예, 및 이 전자 부품을 구비하는 전자 기기에 적용하는 예에 대하여 도 15 및 도 16을 사용하여 설명한다.

[0246] 도 15의 (A)에서는 상술한 실시형태에서 설명한 기억 장치를 전자 부품에 적용하는 예에 대하여 설명한다. 또한, 전자 부품은 반도체 패키지 또는 IC용 패키지라고도 한다. 이 전자 부품은 단자 추출 방향이나 단자 형상에 따라 복수의 규격이나 명칭이 존재한다. 그래서 본 실시형태에서는 그 일례에 대하여 설명하기로 한다.

[0247] 실시형태 4의 도 9, 도 10에 도시된 바와 같은 트랜지스터로 구성되는 기억 장치는 조립 공정(후(後)공정)을 거쳐, 프린트 기판에 착탈 가능한 복수의 부품이 조합됨으로써 완성된다.

[0248] 후공정에 대해서는 도 15의 (A)에 도시된 각 공정을 거쳐 완성시킬 수 있다. 구체적으로는 전(前)공정에서 얻어지는 소자 기판이 완성(단계 S1)된 후, 기판 이면을 연삭(硏削)한다(단계 S2). 이렇게 하는 이유는, 이 단계에서 기판을 박막화함으로써 전공정에서 기판의 휨 등을 저감하고 부품으로서의 소형화를 도모할 수 있기 때문이다.

[0249] 기판 이면을 연삭한 후, 기판을 복수의 칩으로 분리하는 다이싱 공정을 수행한다. 그리고 분리된 칩을 각각 별도로 꺼내 리드 프레임 위에 탑재하여 접합하는 다이 본딩 공정을 수행한다(단계 S3). 이 다이 본딩 공정에서의 칩과 리드 프레임의 접착은 수지에 의한 접착이나 테이프에 의한 접착 등, 제품에 따라 적합한 방법을 적절히 선택한다. 또한, 다이 본딩 공정은, 칩을 인터포저 위에 탑재하여 접합하여도 좋다.

[0250] 이어서, 리드 프레임의 리드와, 칩 위의 전극을 금속 세선(와이어)으로 전기적으로 접속시키는 와이어 본딩을 수행한다(단계 S4). 금속 세선으로서는 은선이나 금선을 사용할 수 있다. 또한 와이어 본딩으로서는 볼 본딩이나 웨지 본딩(wedge bonding)을 사용할 수 있다.

[0251] 와이어 본딩된 칩에, 에폭시 수지 등으로 밀봉하는 몰딩 공정을 수행한다(단계 S5). 몰딩 공정을 수행함으로써 전자 부품의 내부가 수지로 충전되어, 기계적인 외력으로 인한, 내장되는 회로부나 와이어에 대한 대미지를 저감할 수 있고, 또한 수분이나 먼지로 인한 특성 열화를 저감할 수 있다.

[0252] 다음에, 리드 프레임의 리드를 도금 처리한다. 그리고 리드를 절단 및 성형 가공한다(단계 S6). 이 도금 처리에 의하여 리드의 녹을 방지하고, 나중에 프린트 기판에 실장할 때의 납땜을 더 확실하게 수행할 수 있다.

[0253] 이어서, 패키지 표면에 인자 처리(마킹)를 수행한다(단계 S7). 그리고 최종적인 검사 공정(단계 S8)을 거쳐 전자 부품이 완성된다(단계 S9).

[0254] 상기 전자 부품은, 상술한 실시형태에서 설명한 기억 장치를 포함하는 구성으로 할 수 있다. 따라서, 저소비 전력화가 도모된 전자 부품을 실현할 수 있다.

[0255] 또한, 완성된 전자 부품의 사시 모식도를 도 15의 (B)에 도시하였다. 도 15의 (B)에는 전자 부품의 일례로서 QFP(Quad Flat Package)의 사시 모식도를 도시하였다. 도 15의 (B)에 도시된 전자 부품(700)은 리드(701) 및 회로부(703)를 갖는다. 도 15의 (B)에 도시된 전자 부품(700)은 예를 들어 프린트 기판(702)에 실장된다. 이와 같은 전자 부품(700)이 복수 조합되고, 각각이 프린트 기판(702) 위에서 전기적으로 접속됨으로써, 전자 기기 내부에 탑재할 수 있다. 완성된 반도체 장치(704)는 전자 기기 등의 내부에 제공된다.

[0256] 이어서, 컴퓨터, 휴대 정보 단말(휴대 전화, 휴대형 게임기, 음향 재생 장치 등도 포함함), 전자 서적, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 디지털 비디오 카메라 등의 전자 기기에 상술한 전자 부품을 적용하는 경우에 대하여 설명한다.

[0257] 도 16의 (A)에 도시된 휴대형 정보 단말은 하우징(901), 하우징(902), 제 1 표시부(903a), 제 2 표시부(903b) 등을 포함한다. 하우징(901)과 하우징(902)의 적어도 일부에는 상술한 실시형태에 따른 반도체 장치가 제공된다. 따라서, 저소비 전력화가 도모된 휴대형 정보 단말이 실현된다.

[0258] 또한, 제 1 표시부(903a)는 터치 입력 기능을 갖는 패널이며, 예를 들어 도 16의 (A) 중 왼쪽 도면과 같이, 제

1 표시부(903a)에 표시되는 선택 버튼(904)으로 '터치 입력'을 수행할지 '키보드 입력'을 수행할지를 선택할 수 있다. 선택 버튼은 다양한 크기로 표시할 수 있기 때문에, 폭넓은 세대가 유용성을 실감할 수 있다. 여기서, 예를 들어 '키보드 입력'을 선택한 경우, 도 16의 (A) 중 오른쪽 도면과 같이 제 1 표시부(903a)에는 키보드(905)가 표시된다. 이로써, 종래의 정보 단말과 같이 키 입력에 의한 빠른 문자 입력 등이 가능해진다.

[0259] 또한, 도 16의 (A)에 도시된 휴대형 정보 단말은 도 16의 (A) 중 오른쪽 도면과 같이, 제 1 표시부(903a) 및 제 2 표시부(903b) 중 한쪽을 떼어낼 수 있다. 제 2 표시부(903b)도 터치 입력 기능을 갖는 패널로 하고, 운반 시에 더 경량화할 수 있고, 한쪽 손으로 하우징(902)을 가지고, 다른 한쪽 손으로 조작할 수 있기 때문에 편리하다.

[0260] 도 16의 (A)에 도시된 휴대형 정보 단말은 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시된 정보를 조작 또는 편집하는 기능, 여러 가지 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다. 또한, 외부 접속 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등이 하우징의 이면 또는 측면에 제공되어도 좋다.

[0261] 또한, 도 16의 (A)에 도시된 휴대형 정보 단말은, 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선 통신을 통하여 전자 서적 서버로부터 원하는 서적 데이터 등을 구매하고 다운로드할 수 있는 구성으로 할 수도 있다.

[0262] 또한, 도 16의 (A)에 도시된 하우징(902)에 안테나나 마이크 기능이나 무선 기능을 갖게 하여 휴대 전화로서 사용하여도 좋다.

[0263] 도 16의 (B)에 도시된 전자 종이를 구비한 전자 서적(910)은, 2개의 하우징(하우징(911)과 하우징(912))을 포함한다. 하우징(911) 및 하우징(912)에는 각각 표시부(913) 및 표시부(914)가 제공된다. 하우징(911)과 하우징(912)은 축부(915)에 의하여 접속되고, 상기 축부(915)를 축으로 하여 개폐 동작이 수행될 수 있다. 또한, 하우징(911)은 전원(916), 조작 키(917), 스피커(918) 등을 구비한다. 하우징(911) 및 하우징(912) 중 적어도 하나에는, 상술한 실시형태에 따른 반도체 장치가 제공된다. 따라서 저소비 전력화가 도모된 전자 서적이 실현된다.

[0264] 도 16의 (C)에 도시된 텔레비전 장치는 하우징(921), 표시부(922), 스탠드(923) 등을 포함한다. 텔레비전 장치(920)는, 하우징(921)이 구비하는 스위치나, 리모트 컨트롤러(924)에 의하여 조작할 수 있다. 하우징(921) 및 리모트 컨트롤러(924)에는 상술한 실시형태에 따른 반도체 장치가 제공된다. 따라서, 저소비 전력화가 도모된 텔레비전 장치가 실현된다.

[0265] 도 16의 (D)에 도시된 스마트폰은 본체(930)에 표시부(931), 스피커(932), 마이크로폰(933), 조작 버튼(934) 등을 포함한다. 본체(930) 내에는 상술한 실시형태에 따른 반도체 장치가 제공된다. 따라서, 저소비 전력화가 도모된 스마트폰이 실현된다.

[0266] 도 16의 (E)에 도시된 디지털 카메라는 본체(941), 표시부(942), 조작 스위치(943) 등을 포함한다. 본체(941) 내에는 상술한 실시형태에 따른 반도체 장치가 제공된다. 따라서, 저소비 전력화가 도모된 디지털 카메라가 실현된다.

[0267] 상술한 바와 같이, 본 실시형태에 기재된 전자 기기에는 상술한 실시형태에 따른 반도체 장치가 제공된다. 따라서, 저소비 전력화가 도모된 전자 기기가 실현된다.

부호의 설명

[0268] C1: 통상 동작

C2: 상태

C3: 상태

C4: 상태

C5: 상태

Cp1: 용량 소자

Cp2: 용량 소자

M1: 트랜지스터

M6: 트랜지스터

OM1: 트랜지스터

OM2: 트랜지스터

Q1: 노드

SN1: 노드

SN2: 노드

SW1: 파워 스위치

SW2: 파워 스위치

SW3: 파워 스위치

Tr1: 트랜지스터

Tr2: 트랜지스터

10: 반도체 장치

10A: 반도체 장치

100: 캐시

110: 메모리 셀 어레이

111: SRAM

112: 비휘발성 기억부

120: 주변 회로

121: 행 디코더

122: 행 드라이버

123: 열 디코더

124: 열 드라이버

125: 드라이버 제어 논리 회로

126: 출력 드라이버

130: 백업/리커버리 구동 회로

150: 파워 매니지먼트 유닛

160: CPU

170: 입출력 인터페이스

180: 전원 전압 공급 회로

190: 버스 인터페이스

210: 전자총실

212: 광학계

214: 시료실

216: 광학계

218: 카메라

220: 관찰실

222: 필름실

224: 전자

228: 물질

229: 형광판

311: 층

312: 층

313: 층

314: 층

400: 반도체 기판

402: 소자 분리용 절연막

410: 게이트 절연층

412: 게이트 전극

413: 게이트 전극

414: 게이트 전극

415: 게이트 전극

416: 층간 절연층

418: 배선층

420: 배선층

422: 도전층

423: 배선층

424: 층간 절연층

426: 도전층

427: 배선층

428: 층간 절연층

429: 배선층

430: 배선층

431: 배선층

432: 배선층

433: 도전층

434: 배선층

436: 배선층

438: 배선층

440: 배선층

442: 층간 절연층

444: 도전층

446: 배선층

448: 층간 절연층

450: 게이트 절연층

452: 반도체층

453: 반도체층

454: 배선층

456: 게이트 전극

458: 층간 절연층

460: 도전층

462: 도전층

464: 절연층

466: 도전층

467: 도전층

468: 도전층

472: 층간 절연층

474: 배선층

476: 배선층

477: 배선층

478: 층간 절연층

480: 층간 절연층

700: 전자 부품

701: 리드

702: 프린트 기판

703: 회로부

704: 반도체 장치

821: 배선층

901: 하우징

902: 하우징

903a: 표시부

903b: 표시부

904: 선택 버튼

905: 키보드

910: 전자 서적

911: 하우징

912: 하우징

913: 표시부

914: 표시부

915: 축부

916: 전원

917: 조작 키

918: 스피커

920: 텔레비전 장치

921: 하우징

922: 표시부

923: 스탠드

924: 리모트 컨트롤러

930: 본체

931: 표시부

932: 스피커

933: 마이크로폰

934: 조작 버튼

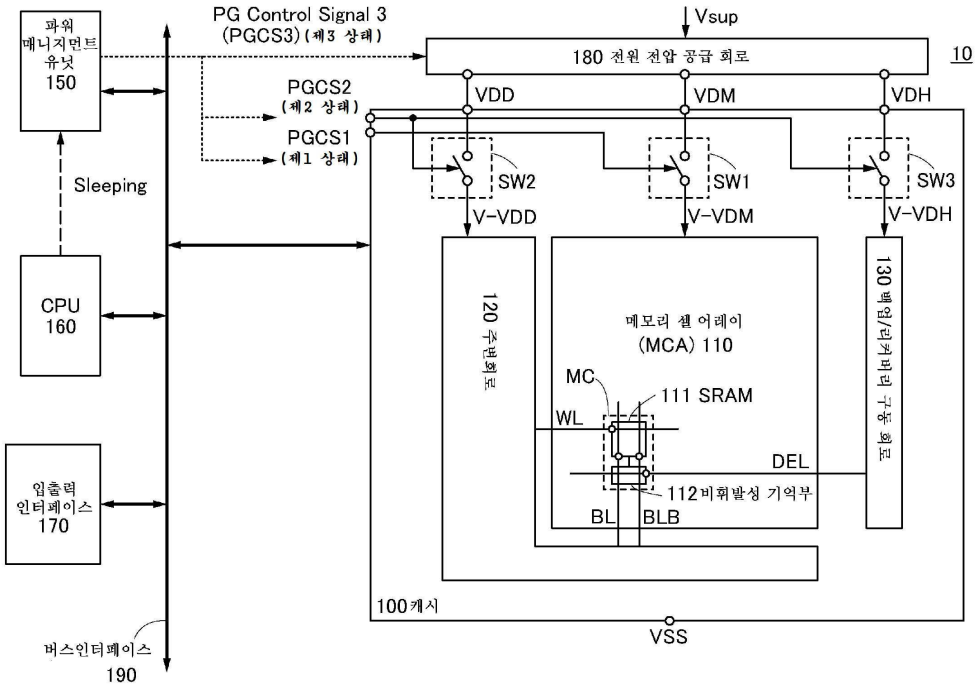
941: 본체

942: 표시부

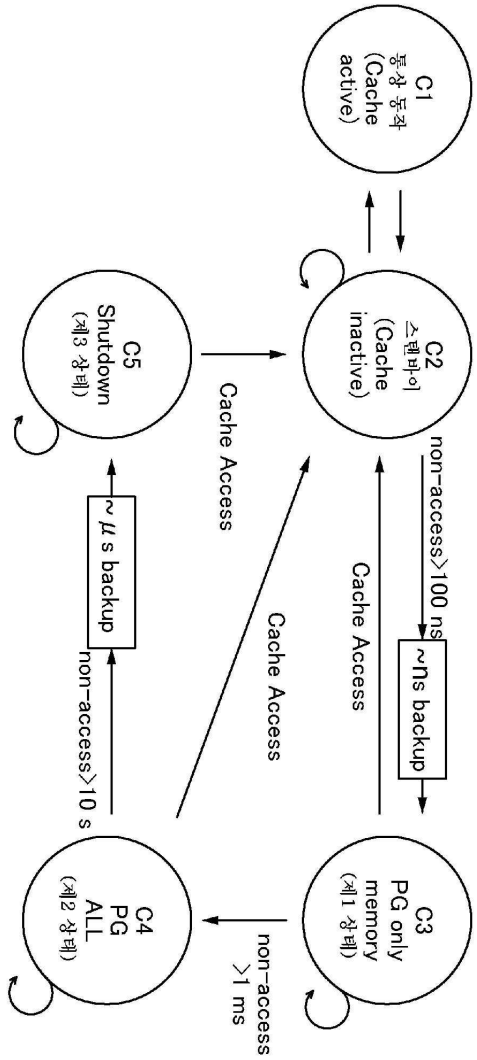
943: 조작 스위치

도면

도면1



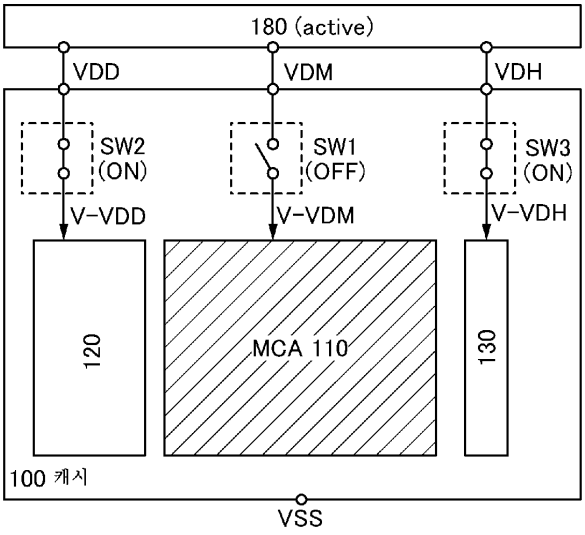
도면2


C1
통상 동작
(Cache
active)
C2
스탠바이
(Cache
inactive)
C3
PG only
memory
(제1 상태)
C4
PG
ALL
(제2 상태)
C5
Shutdown
(제3 상태)
non-access>100 ns
~ns backup
Cache Access
Cache Access
Cache Access
non-access
>1 ms
~μs backup
non-access>10 s

도면3

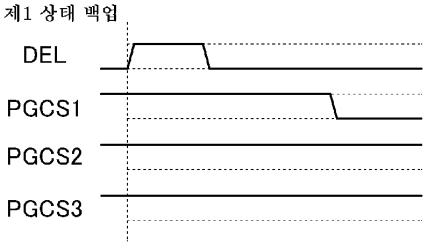
(A)

제1 상태 C3



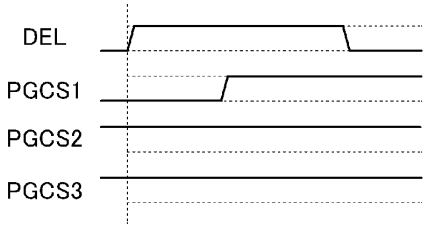
(B)

제1 상태 백업



(C)

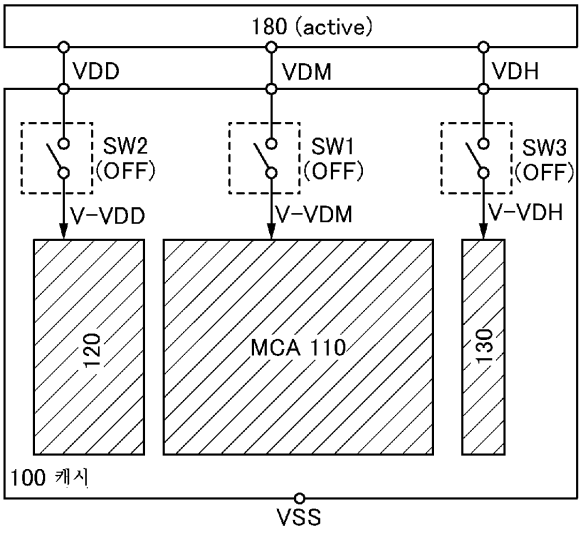
제1 상태 리커버리



도면4

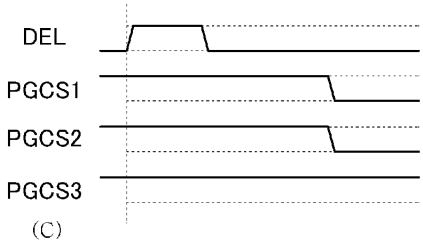
(A)

제2 상태 C4



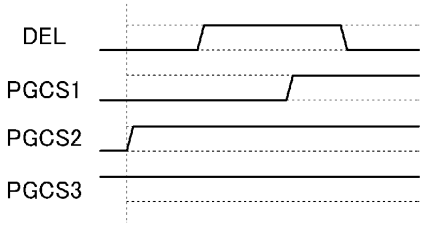
(B)

제2 상태 백업



(C)

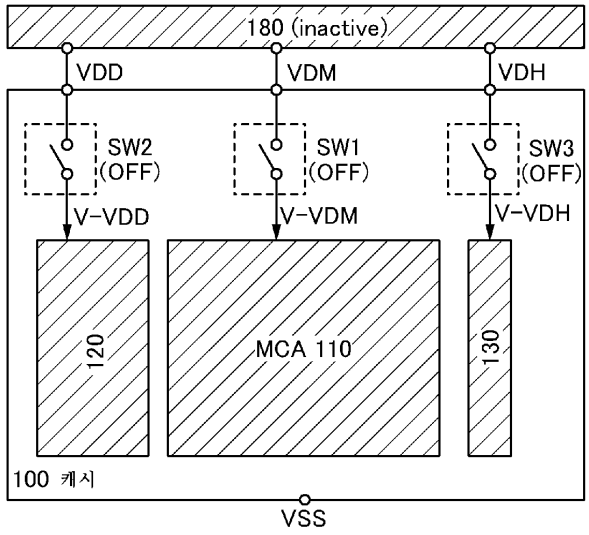
제2 상태 리커버리



도면5

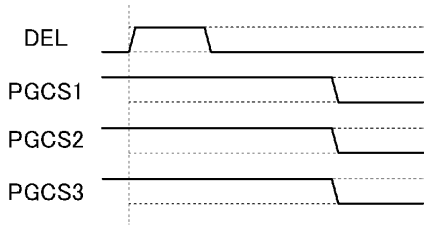
(A)

제3 상태 C5



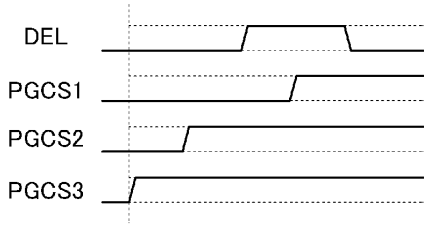
(B)

제3 상태 백업

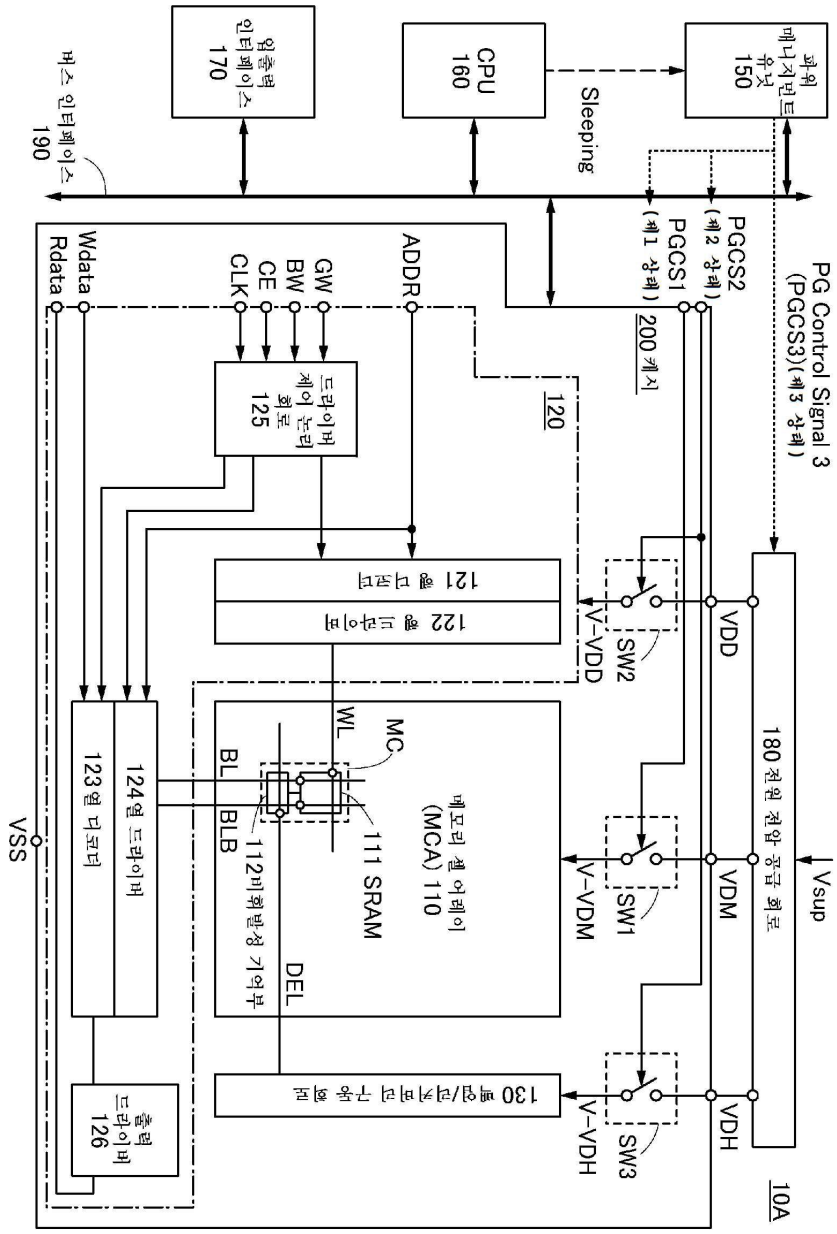


(C)

제3 상태 리커버리

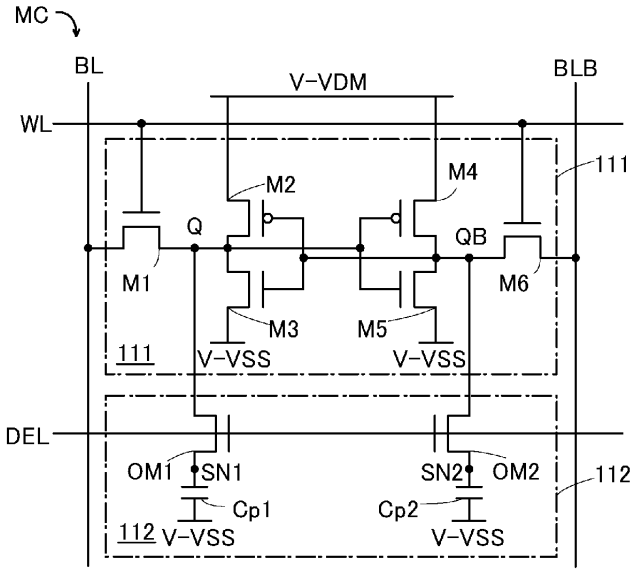


도면6

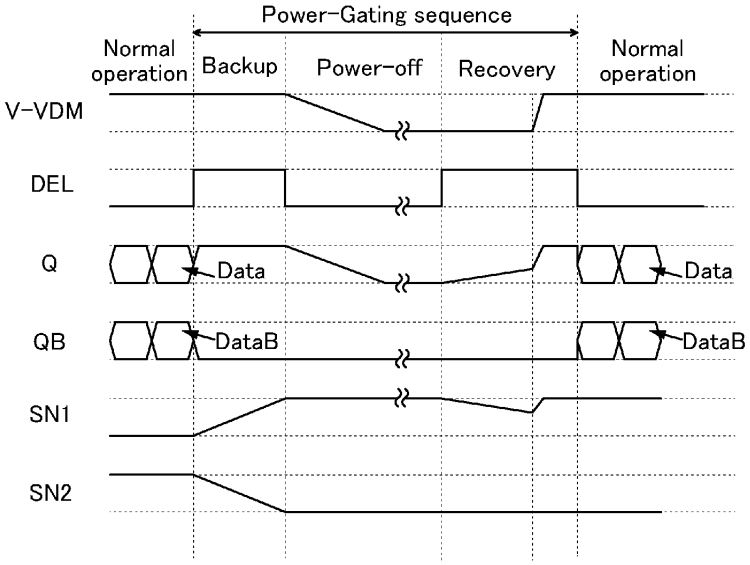

버스 인터페이스 190
입출력 인터페이스 170
CPU 160
Sleeping
파워 매니지먼트 유닛 150
PG Control Signal 3 (PGCS3)(제3 상태)
PGCS2 (제2 상태)
PGCS1 (제1 상태)
200 케이스
Wdata
Rdata
GW
BW
CE
CLK
ADDR
120
드라이버 제어 논리 회로 125
121 행 디코더
122 행 드라이버
V-VDD
SW2
VDD
180 전원 전압 공급 회로
Vsup
VSS
123 열 디코더
124 열 드라이버
WL
MC
BL
BLB
111 SRAM
112 비휘발성 기억부
DEL
메모리 셀 어레이 (MCA) 110
V-VDM
SW1
VDM
130 열 입/리커버리 구동 회로
V-VDH
SW3
VDH
출력 드라이버 126
10A

도면7

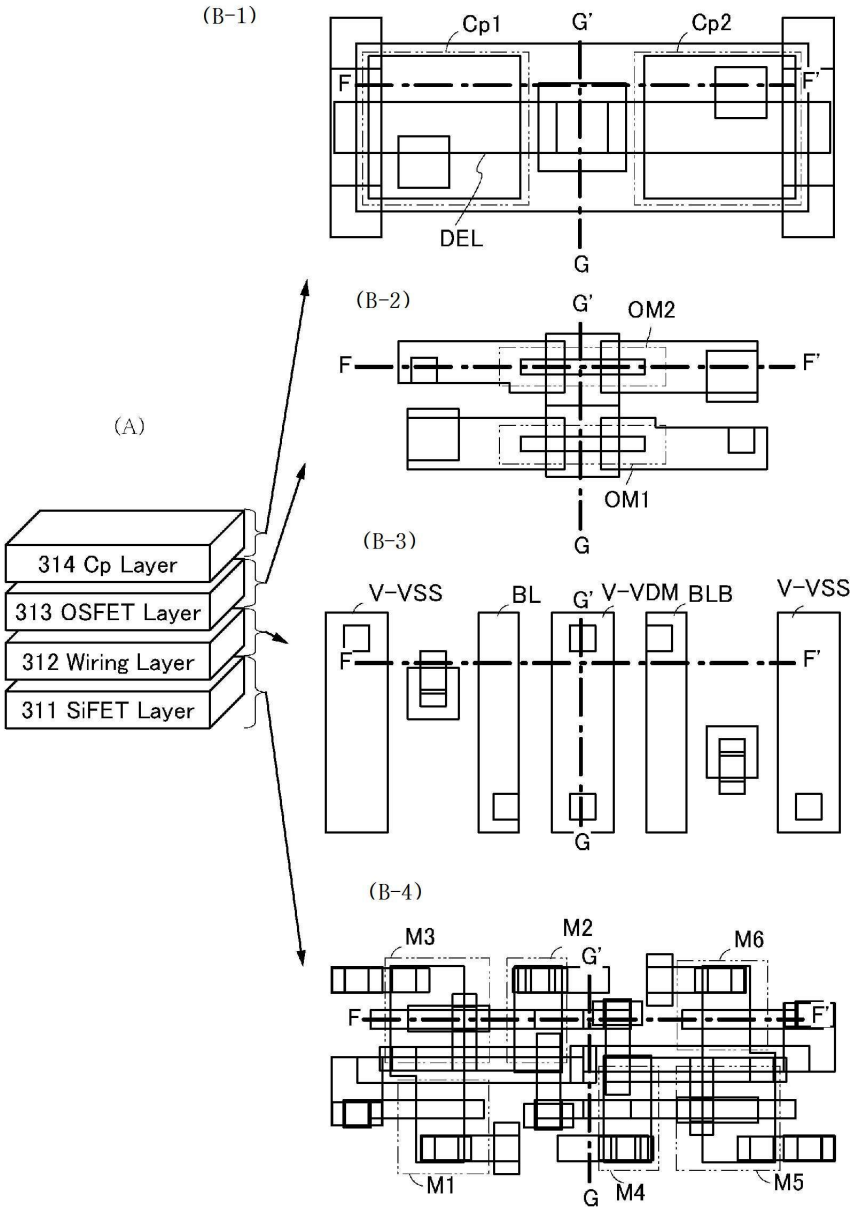
(A)


MC
BL
V-VDM
BLB
WL
111
M2
M4
Q
QB
M1
M6
M3
M5
111
V-VSS
V-VSS
DEL
OM1
SN1
SN2
OM2
112
Cp1
Cp2
112
V-VSS
V-VSS

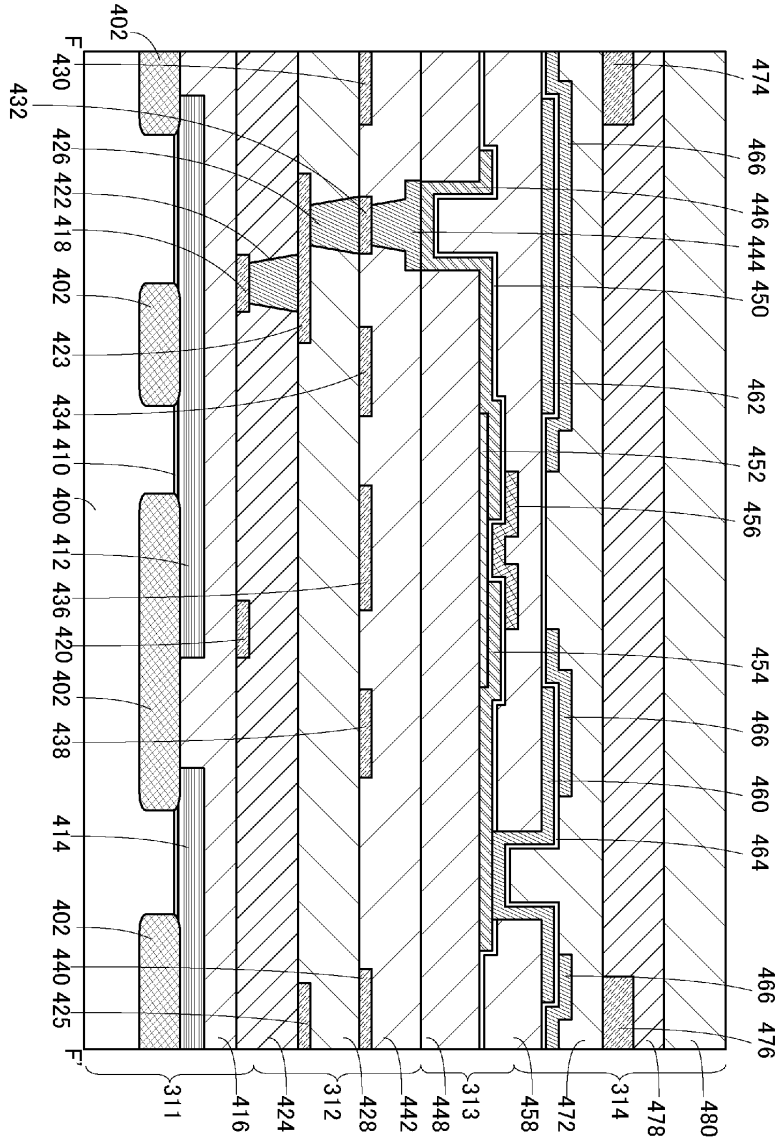
(B)


Power-Gating sequence
Normal operation
Backup
Power-off
Recovery
Normal operation
V-VDM
DEL
Q
Data
Data
QB
DataB
DataB
SN1
SN2

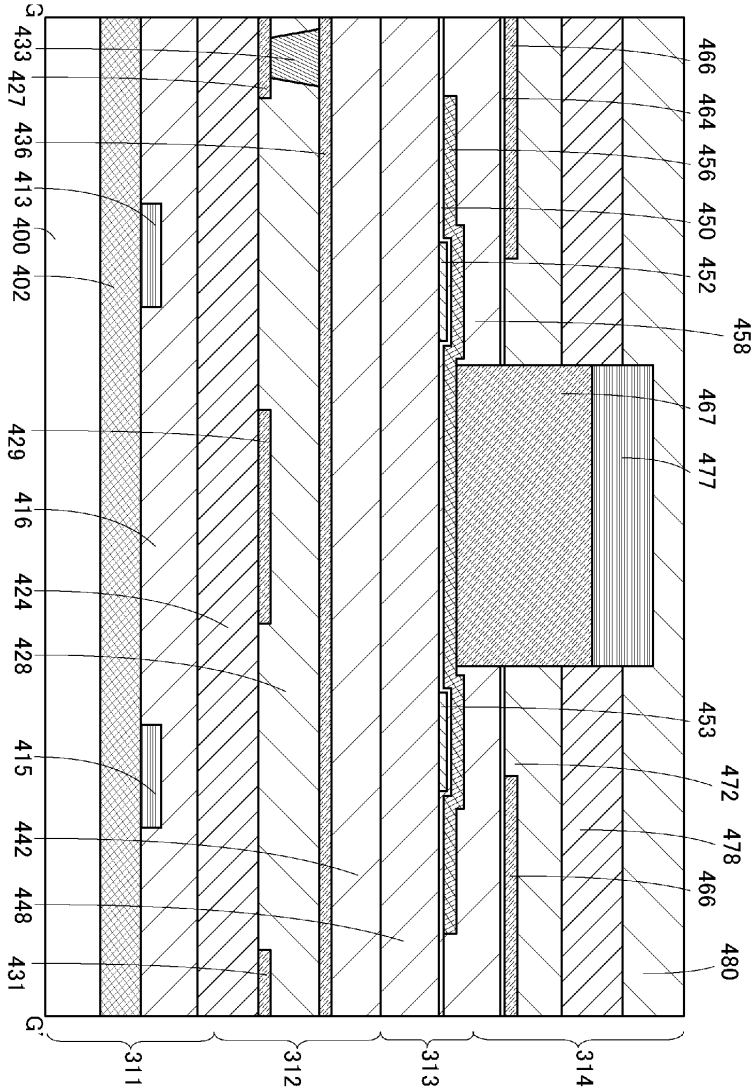
도면8


(B-1)
Cp1
G'
Cp2
F
F'
DEL
G
(B-2)
G'
OM2
F
F'
OM1
G
(A)
314 Cp Layer
313 OSFET Layer
312 Wiring Layer
311 SiFET Layer
(B-3)
V-VSS
BL
G'
V-VDM
BLB
V-VSS
F
F'
G
(B-4)
M3
M2
G'
M6
F
F'
M1
G
M4
M5

도면9

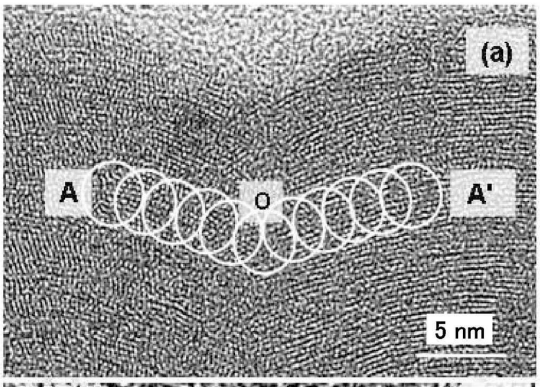

F
F'
402
430
432
426
422
418
402
423
434
410
400
412
436
420
402
438
414
402
440
425
474
466
446
444
450
462
452
456
454
466
460
464
466
476
311
416
424
312
428
442
448
313
458
472
314
478
480

도면10

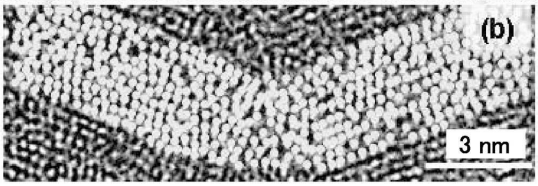

G
433
427
436
413
400
402
429
416
424
428
415
442
448
431
G'
311
312
313
314
466
464
456
450
452
458
467
477
453
472
478
466
480

도면11

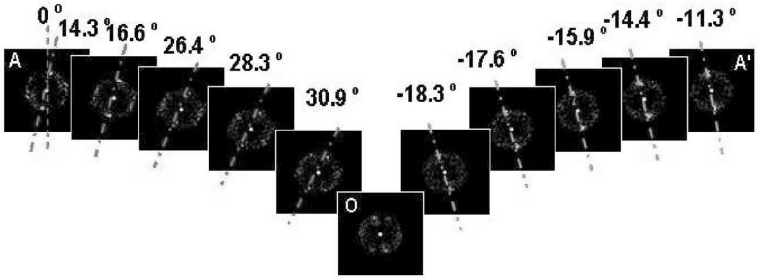
(A)



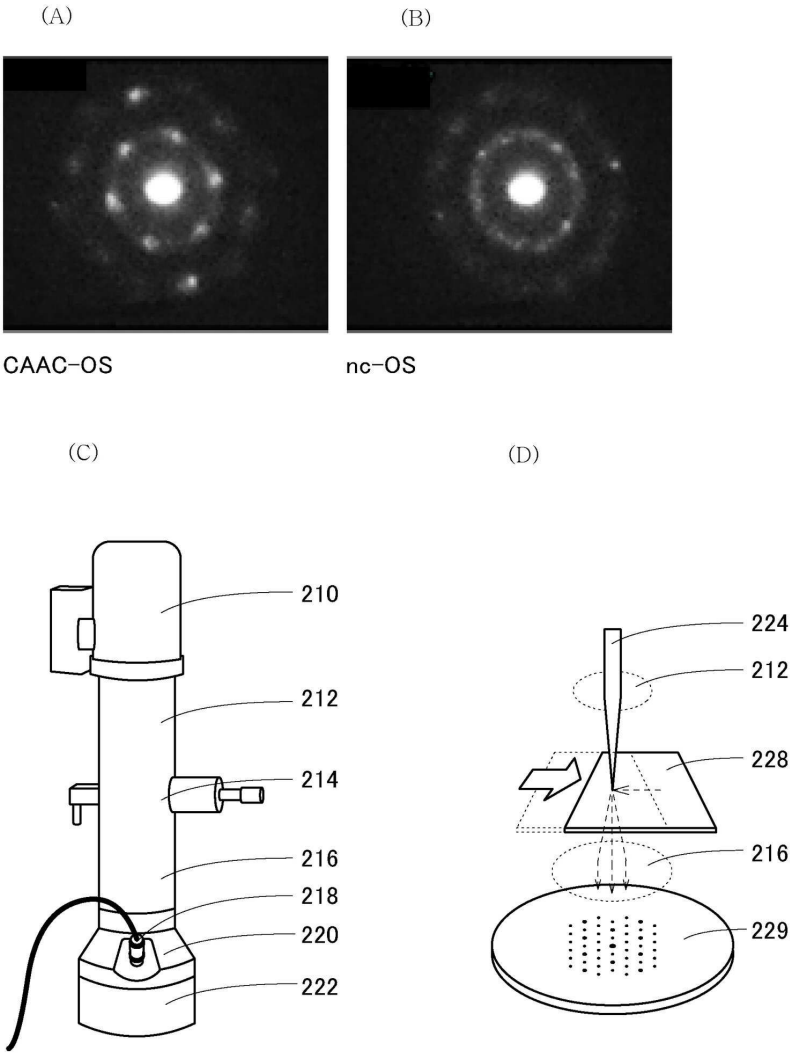
(B)



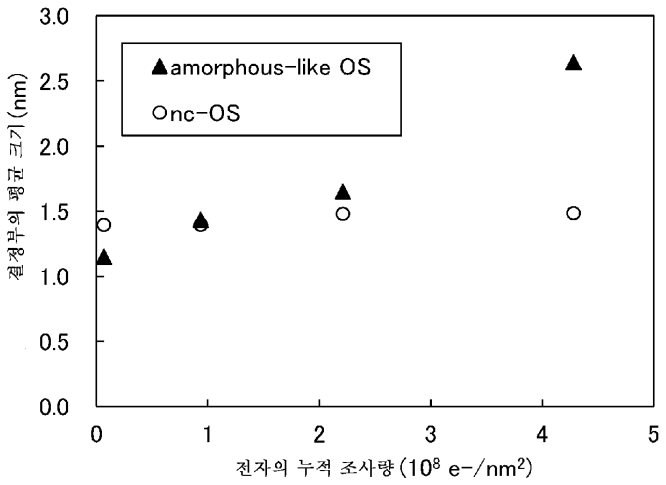
(C)



도면12

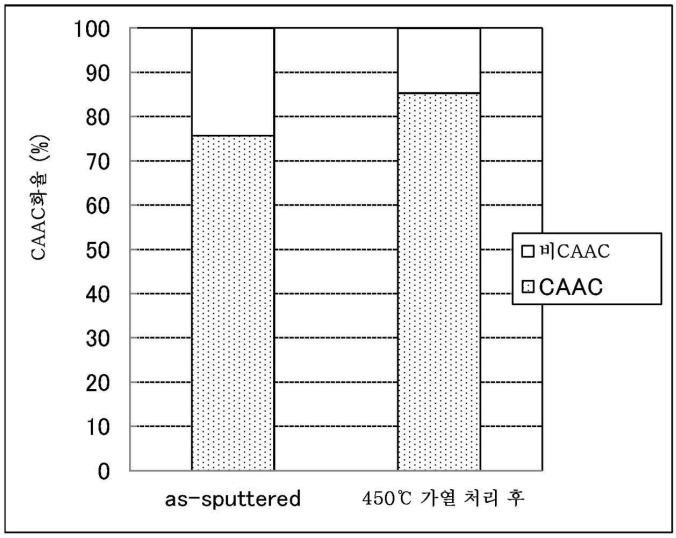

(A)
(B)
CAAC-OS
nc-OS
(C)
(D)
210
212
214
216
218
220
222
224
212
228
216
229

도면13

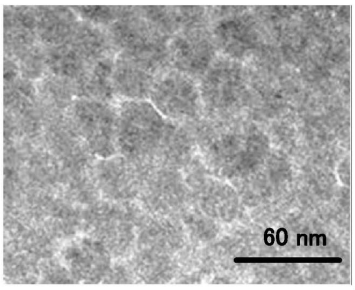

3.0
2.5
2.0
1.5
1.0
0.5
0.0
0
1
2
3
4
5
▲amorphous-like OS
○nc-OS
결정부의 평균 크기 (nm)
전자의 누적 조사량 (10^8 e-/nm^2)

도면14

(A)

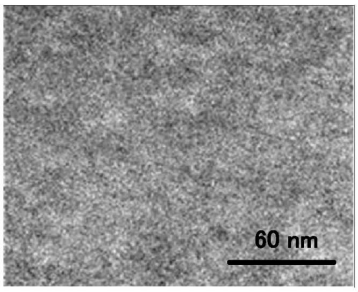


(B)



as-sputtered

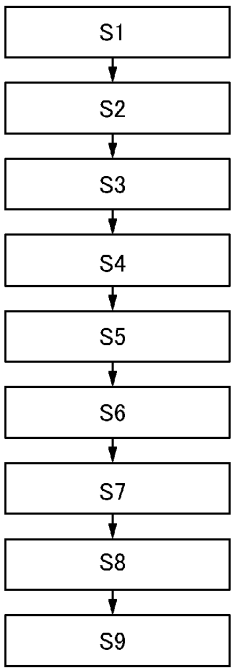
(C)



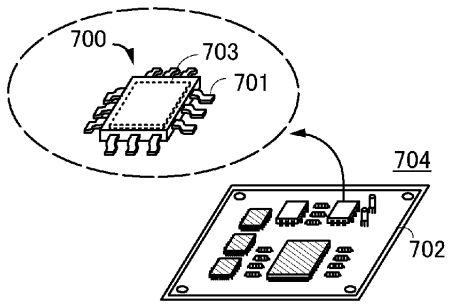
450℃ 가열 처리 후

도면15

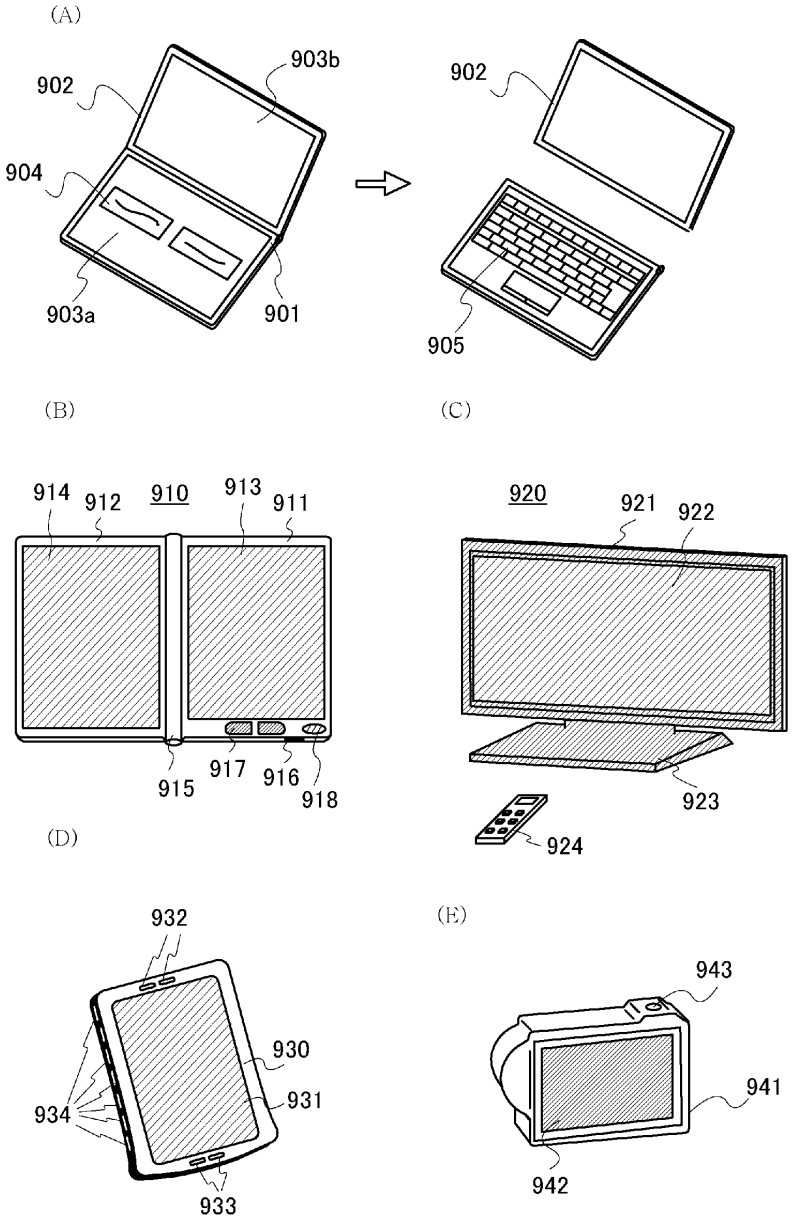
(A)



(B)



도면16


(A)
902
903b
904
903a
901
902
905
(B)
(C)
914
912
910
913
911
915
917
916
918
920
921
922
923
924
(D)
(E)
932
930
931
934
933
943
941
942