

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4933048号
(P4933048)

(45) 発行日 平成24年5月16日 (2012.5.16)

(24) 登録日 平成24年2月24日 (2012.2.24)

(51) Int. Cl.

F I

HO 1 L 21/8247 (2006.01)
 HO 1 L 29/788 (2006.01)
 HO 1 L 29/792 (2006.01)
 HO 1 L 27/115 (2006.01)
 G 1 1 C 16/02 (2006.01)

HO 1 L 29/78 3 7 1
 HO 1 L 27/10 4 3 4
 G 1 1 C 17/00 6 1 1 A
 G 1 1 C 17/00 6 2 2 E
 G 1 1 C 17/00 6 4 1

請求項の数 28 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2004-548375 (P2004-548375)
 (86) (22) 出願日 平成15年10月9日 (2003.10.9)
 (65) 公表番号 特表2006-504280 (P2006-504280A)
 (43) 公表日 平成18年2月2日 (2006.2.2)
 (86) 国際出願番号 PCT/US2003/032383
 (87) 国際公開番号 W02004/040583
 (87) 国際公開日 平成16年5月13日 (2004.5.13)
 審査請求日 平成18年9月22日 (2006.9.22)
 (31) 優先権主張番号 10/282,747
 (32) 優先日 平成14年10月28日 (2002.10.28)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 592012513
 サンディスク コーポレーション
 SanDisk Corporation
 アメリカ合衆国 95035 カリフォル
 ニア州、ミルピタス、マッカーシー ブー
 ルバード 601
 (74) 代理人 100075144
 弁理士 井ノ口 壽
 (72) 発明者 ハラリ、エリヤホウ
 アメリカ合衆国、95030、カリフォル
 ニア州、ロス ガトス、オーゼレイズ コ
 ート 104

審査官 井原 純

最終頁に続く

(54) 【発明の名称】 メモリセル電荷記憶素子あたりに二重のコントロールゲートを有するフラッシュメモリセルアレ
 イ

(57) 【特許請求の範囲】

【請求項 1】

基板上でソースとドレイン領域との間に位置するフローティングゲートのアレイを含む
 NANDタイプの不揮発性メモリで、前記フローティングゲートのうちの指定されたフロ
 ーティングゲートの電荷状態を変更するか或いは判定する方法であって、

指定されたフローティングゲートと両方とも容量的に結合された第1および第2のコン
 トロールゲートに第1の電圧レベルを印加して結合させて、指定されたフローティングゲ
 ートの電荷状態を変更するか或いは判定するステップと、

同時に、前記第1または第2のコントロールゲートのうちの1つと結合する指定されて
 いないフローティングゲートの第1のグループと容量的に結合する第3のコントロールゲ
 ートの第2の電圧レベルを印加して結合させて、指定されていないフローティングゲート
 の第1のグループの電荷状態を変更も判定も行わせないようにするステップと、

同時に、他の指定されていないフローティングゲートが容量的に結合する追加のコン
 トロールゲートに第3の電圧レベルを印加してそのうちの少なくとも2つを結合させて、他
 の指定されていないフローティングゲートの電荷状態を変更も判定も行わせないようにす
 るステップと、

を含む方法。

【請求項 2】

請求項 1 記載の方法において、

前記第1および第2のコントロールゲートに印加された第1の電圧レベルは同じであり

、第2および第3の電圧レベルは第1の電圧レベルとは異なる方法。

【請求項3】

請求項1記載の方法において、

前記指定されたフローティングゲートの電荷状態を変更するか或いは判定するステップは、第1の電圧レベルをある値の範囲内でインクリメントすることを含む方法。

【請求項4】

請求項1記載の方法において、

前記指定されたフローティングゲートの電荷状態を変更するか或いは判定するステップは、第1の電圧レベルのパルスを印加することを含む方法。

【請求項5】

基板表面中に位置するフローティングゲートのアレイを含むNANDタイプの不揮発性メモリで、前記フローティングゲートのうちの指定されたフローティングゲートに記憶されたデータを表す電荷記憶状態を同時にプログラムまたは読み出すために指定されたフローティングゲートに電圧を加える方法であって、フローティングゲートを挟む複数のコントロールゲートのうちの対と容量的に結合するフローティングゲート間で前記アレイを横断して伸びる長さを有する複数のコントロールゲートに電圧のセットを印加するステップを含み、前記印加するステップは、前記複数のコントロールゲートのうちの指定されたフローティングゲートに隣接するコントロールゲートに第1の電圧レベルを加え、かつ前記複数のコントロールゲートのうちの指定されたフローティングゲートに隣接していないコントロールゲートに第2の電圧レベルを加えることを含み、前記第1および第2の電圧は異なる方法。

【請求項6】

請求項5記載の方法において、

前記複数のコントロールゲートのうちの指定されたフローティングゲートに隣接するコントロールゲートに加えられる第1の電圧レベルは同じである方法。

【請求項7】

請求項5記載の方法において、

前記第1の電圧レベルを加えることは、指定されたフローティングゲートの電荷記憶状態を読み出すために、ある範囲内で第1の電圧レベルをインクリメントすることを含む方法。

【請求項8】

請求項5記載の方法において、

前記第1の電圧レベルを加えることは、指定されたフローティングゲートを所望の記憶状態にプログラムするために、指定されたフローティングゲートの両側にあるコントロールゲートに第1の電圧レベルのパルスを加えることを含む方法。

【請求項9】

データをプログラムし、かつ読み出すためのNANDタイプの不揮発性メモリであって、

半導体基板中に位置するフローティングゲートのアレイと、
個々のフローティングゲートの対向する側壁がコントロールゲートラインのうちの2つと容量的に結合するように前記アレイを横断して伸びる複数のコントロールゲートラインと、

前記コントロールゲートラインに接続されて、前記コントロールゲートラインと容量的に結合された前記フローティングゲートにデータをプログラムし、前記フローティングゲートからデータを読み出す間に、制御された電圧を前記フローティングゲートに加えるデコーダおよび電圧供給部と、

を備えるメモリ。

【請求項10】

請求項9記載のメモリにおいて、

前記コントロールゲートラインは、フローティングゲート間の領域で前記基板とさらに

10

20

30

40

50

容量的に結合されるメモリ。

【請求項 1 1】

請求項 1 0 記載のメモリにおいて、

前記コントロールゲートラインの経路において前記フローティングゲート間で前記基板に形成されたトレンチをさらに備え、前記コントロールゲートラインは前記コントロールラインと前記基板との間に誘電体層を伴って前記トレンチ内に伸び込むメモリ。

【請求項 1 2】

請求項 9 記載のメモリにおいて、

メモリセルは複数の直列接続されたメモリセルのストリングの向きに方向付けられ、前記コントロールゲートラインは前記フローティングゲート間でメモリセルの複数のストリングを横切って伸びるメモリ。

10

【請求項 1 3】

請求項 1 2 記載のメモリにおいて、

前記メモリセルの複数のストリング間で前記基板に誘電体で埋められた絶縁トレンチをさらに備えるメモリ。

【請求項 1 4】

請求項 1 2 記載のメモリにおいて、

コントロールゲートは、前記コントロールゲートの高さの下部分としてのドーピングされたポリシリコンと、前記ポリシリコンと接触する前記コントロールゲートの高さの上部分としての金属またはシリサイド材料との組み合わせを含むメモリ。

20

【請求項 1 5】

半導体基板を横断して第 1 の方向に伸びる直列接続されたメモリセルの複数のストリングを含む NAND タイプの不揮発性メモリセルアレイであって、前記メモリセルはフローティングゲートを含み、前記アレイは前記メモリセルのストリングを横断して第 2 の方向に伸びると共にフローティングゲートに隣接するコントロールゲートに接続されたコントロールラインを含み、前記第 1 および第 2 の方向は互いに直交し、前記コントロールゲートが、前記コントロールゲートの両側で前記メモリセルのストリングの隣接するフローティングゲートの側壁と容量的に結合するように前記メモリセルのストリングの隣接するフローティングゲート間に位置し、前記コントロールラインが、前記コントロールラインに加えられた電圧に応じて基板領域の導電率を高めるようにフローティングゲート間の前記基板領域とさらに容量的に結合されるメモリセルアレイ。

30

【請求項 1 6】

請求項 1 5 記載のメモリセルアレイにおいて、

前記コントロールラインは、前記基板領域に形成されたトレンチの中に伸び込み、前記コントロールライン間に誘電体層があるメモリセルアレイ。

【請求項 1 7】

請求項 1 6 記載のメモリセルアレイにおいて、

前記フローティングゲートは、その幅より長い距離だけ前記基板の上に伸びる高さを個々に有する伝導性フローティングゲートであり、前記コントロールラインは、前記コントロールゲートが容量的に結合されたフローティングゲートの高さと同様で前記基板の上に伸びるメモリセルアレイ。

40

【請求項 1 8】

請求項 1 7 記載のメモリセルアレイにおいて、

前記コントロールラインの下部分はドーピングされたポリシリコン材料を含み、前記コントロールラインの上部分は前記ドーピングされたポリシリコン材料と接触する金属またはシリサイド材料を含むメモリセルアレイ。

【請求項 1 9】

請求項 1 8 記載のメモリセルアレイにおいて、

前記コントロールラインは、それぞれ互いに電氣的に絶縁されるように前記フローティングゲートのうちの隣接するフローティングゲート間のスペース内に位置されるメモリセ

50

ルアレイ。

【請求項 2 0】

NANDタイプの不揮発性メモリシステムであって、
メモリセルアレイであって、

半導体基板を横断して第 1 の方向に伸び、かつ第 2 の方向に間隔を置く直列接続された、個々にフローティングゲートを含むメモリセルの複数のストリングであって、前記第 1 および第 2 の方向は垂直である複数のストリングと、

メモリセルの複数のストリングを横断して第 2 の方向に伸び、かつ第 1 の方向において隣接するフローティングゲート間に位置するコントロールゲートラインであって、個々のフローティングゲートの両側壁は個々のフローティングゲートの両側にあるコントロールゲートと容量的に結合されるコントロールゲートラインと、

前記コントロールゲートラインに接続された電圧供給回路であって、(a) 少なくともフローティングゲートの第 1 の行の電圧レベルを少なくともフローティングゲートの第 1 の行の電荷状態を変更するか或いは判定するのに十分なレベルまで高めるために、複数のストリングを横断して少なくともフローティングゲートの第 1 の行の両側の一对のコントロールゲートラインに第 1 の電圧を供給すると同時に、(b) 少なくともフローティングゲートの第 1 の行の両側のフローティングゲートの第 2 および第 3 の行の電圧レベルをフローティングゲートの第 2 および第 3 の行の電荷状態を変更するか或いは判定するには不十分なレベルに保つために、第 1 の方向において少なくともフローティングゲートの第 1 の行の両側の一对のコントロールゲートラインに隣接する 2 つのコントロールゲートラインの各々に第 1 の電圧とは異なる第 2 の電圧を供給する電圧供給回路と、を含むメモリセルアレイと、

を備える不揮発性メモリシステム。

【請求項 2 1】

請求項 2 0 記載のメモリシステムにおいて、

前記電荷状態数が 2 より多いので、各メモリセルに 2 ビット以上のデータを記憶させることができるメモリシステム。

【請求項 2 2】

請求項 2 0 記載のメモリシステムにおいて、

前記メモリセルアレイは、NANDアレイであるメモリシステム。

【請求項 2 3】

半導体基板上にNANDタイプのメモリセルアレイを作る方法であって、

フローティングゲート間に誘電体の第 1 の層を伴って前記基板の表面領域に列および行からなる長方形のフローティングゲートのアレイを形成するステップと、

前記基板上のフローティングゲートの列間に絶縁層を設けるステップと、

前記フローティングゲートの両側壁が誘電体の第 2 の層を通してフローティングゲートの両側にあるコントロールゲートの壁と容量的に結合し、かつ前記コントロールゲートの底面が誘電体の第 3 の層を通してウェル上の前記基板の表面と容量的に結合するように、前記フローティングゲートの行間で前記列に垂直に前記基板の表面領域を横断して伸びるコントロールゲートを形成するステップと、

を含む方法。

【請求項 2 4】

請求項 2 3 記載の方法において、

前記フローティングゲートのアレイを形成するステップは、

前記基板の表面領域で誘電体の第 1 の層上に伝導性フローティングゲート材料層を堆積することと、

前記フローティングゲート材料層上に第 1 のタイプの誘電体材料を堆積することと、
列方向に伸び、最小加工寸法に応じて行方向に幅とストリップ間にスペースとを有するストリップを残すように前記第 1 のタイプの誘電体材料の一部を除去することと、

列方向においてストリップ間に加工寸法より小さなスペースを残すように、前記第 1

10

20

30

40

50

のタイプの誘電体材料のストリップの側壁に沿って第2のタイプの誘電体のスペーサを形成することと、

前記第1のタイプの誘電体材料の一部と前記スペーサ間のフローティングゲート材料層の一部とを除去することにより、列方向に長さで最小加工寸法より小さいフローティングゲート間のスペースとを有するフローティングゲートを画定することと、

を含む方法。

【請求項25】

請求項24記載の方法において、

前記第1のタイプの誘電体材料の一部を除去するステップは、ストリップの幅であり、かつ最小加工寸法に応じたストリップ間のスペースを有するマスクを前記第1のタイプの誘電体材料の一部分上に形成し、その後、前記マスクを通して、前記ストリップ下の前記第1のタイプの誘電体材料を部分的に除去するように前記第1のタイプの誘電体を等方的に横方向にエッチングすることにより、最小加工寸法より短い幅を有する前記第1のタイプの誘電体材料のストリップを形成することを含む方法。

【請求項26】

請求項23または24のいずれか記載の方法において、

前記コントロールゲートを形成するステップの前に、列方向において前記フローティングゲート間で前記基板の表面領域にトレンチを形成するステップをさらに含み、前記コントロールゲートを形成するステップは前記トレンチ間に電気絶縁層を伴って前記トレンチ内に伸び込むように前記コントロールゲートを形成することを含む方法。

【請求項27】

請求項23または24のいずれか記載の方法において、

前記コントロールゲートを形成するステップは、前記コントロールゲートの下部分をドーピングされたポリシリコン材料から形成し、その後、前記コントロールゲートの上部分を前記ドーピングされたポリシリコン材料と接触する金属またはシリサイド材料から形成することを含む方法。

【請求項28】

請求項27記載の方法において、

前記コントロールゲートの上部分を形成することは、前記アレイ上に金属またはシリサイドの連続的な層を形成し、その後、前記コントロールゲートの上部分を前記トレンチ内に互いに絶縁された状態で残すだけの連続的な層のある量を除去するように化学機械研磨操作を実行することを含む方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的にはフラッシュEEPROM（電氣的に消去可能でプログラム可能な読み出し専用メモリ）タイプの不揮発性半導体メモリに関し、特にNANDタイプのメモリセルアレイの構造およびこれを実行する方法に関する。

【背景技術】

【0002】

今日、特に小形ファクタカードの形をとってフラッシュEEPROMセルのアレイを使用する商業的に成功した不揮発性メモリ製品が多数使われている。

【0003】

1つの普及しているフラッシュEEPROMのアーキテクチャはNANDアレイを利用し、このアレイでは、個々のビットラインと基準電位との間に1つ以上の選択トランジスタを通してメモリセルの多数のストリングが接続されている。このようなアレイの一部が図2Aの平面図に示されている。BL0～BL4はグローバルな垂直金属ビットライン（図示せず）への拡散ビットライン結線を表す。各ストリング内に4つのフローティングゲートのメモリセルが示されているが、個々のストリングは1列中に通常16個、32個或いはもっと多数のフローティングゲートなどのメモリセル電荷記憶素子を含む。WL0～

10

20

30

40

50

WL 3というラベルが付されたコントロールゲート（ワード）ラインとストリング選択ラインDSLおよびSSLとは、複数のストリングを横断して、多くの場合ポリシリコンのフローティングゲートの行の上に伸びる（図2Aの断面A-Aに沿っての横断面図である図2BにおいてP2というラベルが付されている）。コントロールゲートラインは、通常フローティングゲート上に自己整列スタックとして形成され、図2Bに示されているように、中間の誘電体層19を通して互いに容量的に結合される。ストリングの頂部および底部は、通例、周辺から電氣的に駆動されるそのアクティブなゲートとしてフローティングゲート材料（P1）を使用するトランジスタを通して、ビットラインおよび共通ソースラインに各々接続される。フローティングゲートとコントロールゲートとの間のこの容量性結合は、フローティングゲートの電圧がそれに結合されているコントロールゲート上の電圧を高めることによって高められることを可能にしている。1列の中の個々のセルは、各ストリングを流れる電流が選択されたワードラインの下のアドレス指定されたセルに蓄積されている電荷のレベルだけに主として依存するように、比較的の高い電圧をそれらの各々のワードラインに加え、かつ比較的に低い電圧を1つの選択されたワードラインに加えることによって当該ストリング中の残りのセルをしっかりとオンに転換させることによって、プログラミング中に読み出されて検証される。その電流は、通常多数のストリングについて並列に感知され、これにより1行のフローティングゲートに沿って電荷レベル状態を並列に読み出す。NANDメモリセルアレイのアーキテクチャと、メモリシステムの一部としてのそれらの動作との例が、米国特許第5,570,315号（特許文献1）、第5,774,397号（特許文献2）および第6,046,935号（特許文献3）において見出される。

【0004】

現在のフラッシュEEPROMアレイの電荷記憶素子は最も一般的には導電性のフローティングゲートであり、それらは通常ドーピングされたポリシリコン材料から形成されている。フラッシュEEPROMシステムにおいて有益な他のタイプのメモリセルは、伝導性フローティングゲートに代わって不揮発的に電荷を蓄積する不伝導性誘電体材料を利用する。このようなセルはチャンらによる「真の単一トランジスタ酸化物-窒化物-酸化物EEPROMデバイス」、IEEE電子デバイスレターズ、第EDL-8巻、第3号、1987年3月、第93～95ページ（Chan et al., "A True Single-Transistor Oxide-Nitride-Oxide EEPROM Device," IEEE Electron Device Letters, Vol. EDL-8, No.3, March 1987, pp. 93-95）（非特許文献1）に記載されている。酸化シリコン、窒化シリコンおよび酸化シリコン（“ONO”）から形成された3重層誘電体は、伝導性コントロールゲートと、メモリセルチャネルの上の半伝導性基板の表面との間に挟まれる。当該セルはセルチャネルから窒化物へ電子を注入することによりプログラムされ、ここでそれらの電子は限定された領域に捕獲され蓄積される。この蓄積された電荷はセルのチャネルの一部のしきい値電圧を検出可能に変化させる。セルは、窒化物へホットホールを注入することによって消去される。ノザキらによる「半導体ディスクの応用のためのMONOSメモリセルを有する1MbのEEPROM」、IEEE固体回路ジャーナル、第26巻、第4号、1991年4月、第497～501ページ（Nozaki et al., "A 1-Mb EEPROM with MONOS Memory Cell for Semiconductor Disk Application," IEEE Journal of Solid-State Circuits, Vol.26, No.4, April 1991, pp.497-501）（非特許文献2）も参照されたい。ここで、ドーピングされたポリシリコンゲートがメモリセルチャネルの一部に広がって別の選択トランジスタを形成するようになっている分割ゲート構成の同様のセルについて説明している。

【0005】

典型的な不揮発性フラッシュアレイのメモリセルは、一緒に消去されるセルの別々のブロックに分割される。すなわち、当該ブロックは、消去単位として同時に別々に消去可能な最少数のセルを含んでいるが、2以上のブロックを単一の消去動作で消去することができる。各ブロックは通常1ページ以上のデータを記憶し、ページはプログラミングおよび読み出しの基本単位として同時にデータプログラミングおよび読み出し操作を受ける最少

数のセルとして定義されるが、1 ページより多くのページが単一の操作でプログラムまたは読み出されてもよい。各ページは、通常1セクタ以上のデータを記憶し、セクタのサイズはホストシステムによって定められている。一例は、磁気ディスクドライブに関して確立された基準に従う512バイトのユーザデータと、ユーザデータおよび／またはそれが格納されるブロックに関するオーバーヘッド情報の或る数のバイトのセクタである。

【0006】

殆ど全ての集積回路の用途の場合のように、ある集積回路機能を実現するために必要とされるシリコン基板面積を縮小させようとする圧力はフラッシュEEPROMアレイに関しても存在する。与えられたサイズのメモリカードおよびその他のタイプのパッケージの記憶容量を増やし、或いは容量を増やしかつ同時にサイズを小さくするために、シリコン
10
基板の与えられた領域に格納できるデジタルデータの量を増やすことが頻繁に要望されている。データ記憶密度を高める他の1つの方法は、1メモリセル電荷記憶素子あたりに2ビット以上のデータを記憶させることである。これは記憶素子電荷レベル電圧範囲のウィンドウを3つ以上の状態に分割することにより達成される。このような状態を4つ使用すれば、各セルは2ビットのデータを記憶することができ、8状態はセルあたりに3ビットのデータを記憶する等々である。多状態フラッシュEEPROM構造および動作が、米国特許第5,043,940号(特許文献4)および第5,172,338号(特許文献5)に記載されている。

【0007】

前に特定された特許および論文は、その全体が本願明細書において参照によりこの背景
20
技術の欄で明確に援用されている。

【特許文献1】米国特許第5,570,315号

【特許文献2】米国特許第5,774,397号

【特許文献3】米国特許第6,046,935号

【特許文献4】米国特許第5,043,940号

【特許文献5】米国特許第5,172,338号

【特許文献6】米国特許第5,887,145号

【非特許文献1】チャンらによる「真の単一ランジスタ酸化物-窒化物-酸化物EEPROMデバイス」、IEEE電子デバイスレターズ、第EDL-8巻、第3号、1987年3月、第93~95ページ
30

【非特許文献2】ノザキらによる「半導体ディスクの応用のためのMONOSメモリセルを有する1MbのEEPROM」、IEEE固体回路ジャーナル、第26巻、第4号、1991年4月、第497~501ページ

【発明の開示】

【0008】

現在の非揮発性メモリセルアレイのサイズを絶えず縮小させることに関する1つの顕著な制約はフローティングゲート誘電体である。これは、漏洩と長時間のデータ保持に関する難点とを招来することなく、現在用いられている約70オングストローム(7nm)の最小の厚さより薄くすることは実際上できない。このことは、フローティングゲートにその下のメモリセルチャネルにおける伝導を制御するために加えられねばならない電圧は、
40
種々のゲートのサイズとそれらの間の距離とが減少されるときに低下され得ないということを意味する。使用される電圧レベルの補償低下をなし得ないのであれば、種々のゲートの間の電圧の望ましくない結合が、それらの間の距離が小さくなるにつれて増大する。メモリアレイのスケーリングを将来行わなければならないのであれば、このような低下を行うことが重要である。

【0009】

フローティングゲートの結合比を大きくできるのであれば、コントロールゲート電圧のレベルの低下が可能となる。結合比は、フローティングゲートおよびコントロールゲートの間の静電容量を、フローティングゲートと全ての隣接する電極(最も具体的には、良く知られているように基板)との間の静電容量で割って得られるものに等しい。これら静電
50

容量の値は、結合される向かい合った表面領域のサイズと、それらの間の誘電体層の厚さおよび誘電率とに依存する。NANDアレイの場合、それらの積み重ねられた制御およびフローティングゲート構造の故に、結合比の減少を達成するのは困難である。フローティングゲートの基板との結合領域が縮小の一部として小さくされるとき、それは分母として結合比の増大をもたらす可能性があり、フローティングゲートとコントロールゲートとの間の結合領域も同様に減少され、これは分子を減少させる。

【0010】

スケーリングの他の望ましくない効果は、伝導性アレイエレメント間の、特に隣接するフローティングゲート間の、寄生容量の増大である。フローティングゲートの状態をプログラミングするとき或いは読み出すときのエラーは、例えば、隣接するセルのフローティングゲートに蓄積されている電荷が非常に近接していることが原因となって発生し得る。この結合は、各状態のためのフローティングゲートトランジスタのしきい値電圧の許容される範囲が非常に小さい多状態動作にかなりの数のエラーを生じさせる可能性を有する。

10

【0011】

本発明の1つの主要な態様によれば、メモリセルアレイのフローティングゲートは少なくとも2つのコントロールゲートと個々に結合され、これによりフローティングゲートと基板との間の結合領域を増大させること無くフローティングゲートとコントロールゲートとの間の総結合領域を増やし、よって結合比を大きくする。NANDアレイでは、フローティングゲートの行の上に普通積み重ねられるコントロールゲートは、メモリセルのストリングに沿ってフローティングゲート間に位置するコントロールゲートに取って代わられる。個々のフローティングゲートは、向かい合う側壁を通して、各側に1つずつ、合計2つのコントロールゲートに容量的に結合される。これらのコントロールゲートとの結合領域を広げるようにフローティングゲートの高さが大きくされる。個々のフローティングゲートのコントロールゲートとの総結合領域は、フローティングゲートと基板との間の結合領域とは無関係に大幅に増やされる。これは、コントロールゲート電圧を大幅に低くすることを可能にするけれども、フローティングゲートに結合された電圧を、与えられた厚さを有するゲート誘電体を通してメモリセルチャネルを制御するために今日使用される値まで高めるという結果を依然としてもたらす。

20

【0012】

動作時に、フローティングゲートの1つの行の電圧は、それらがプログラミングされたり、或いは読み出される時にその行の両側のコントロールゲートの電圧を上げることによって高められる。隣接する行におけるフローティングゲートの同様の電圧上昇は、たとえそれらがその電圧が高められているコントロールゲートのうちの1つとも結合していても、フローティングゲートのこれらの隣接する行の反対側と結合しているコントロールゲートの電圧を低く保つことによって、低減される。

30

【0013】

電氣的に駆動されるコントロールゲートはフローティングゲート間の電場を遮蔽する傾向を有するので、NANDメモリセルのストリングに沿うフローティングゲート間でのコントロールゲートの位置決めも、隣接するセルのフローティングゲート間の望ましくない結合を減少させる。さらに、個々のセルのプログラミングを抑止するなどの一定の操作のための基板の電圧を上昇させるために、コントロールゲートを基板のフローティングゲート間の領域に容量的に結合させることができる。

40

【0014】

本発明の他の1つの主要な態様によれば、与えられた数のフローティングゲート記憶素子を有するNANDストリング内の個々のトランジスタのチャネルの長さは、プロセスに使用されているリソグラフィの最小分解能素子サイズよりかなり小さい寸法を有するスペーサを用いてフローティングゲートを形成することによって、現存する長さの殆ど半分まで大幅に短縮される。このようなスペーサは、ドーピングされたポリシリコンまたは他の伝導性材料、例えば第1の誘電体材料の伝導性材料の層の上に第2の誘電体材料のストリップの側に沿って形成される。当該第2の誘電体材料が除去されると、当該第1の誘電

50

体材料のスペーサはマスクを形成し、そのマスクを通して、下にある伝導性フローティングゲート材料がエッチングされる。フローティングゲートと、それらの間のスペーサとのサイズは低減される。コントロールゲートは、好ましくは比較的小さなフローティングゲートの間に設けられ、前述したのと同様に操作される。小さいNANDメモリのストリングは、与えられた領域内により多くの当該セルのストリングが形成され、与えられたサイズのメモリセルアレイにおけるデータ記憶密度が高まるという結果をもたらす。

【0015】

本発明の付加的な態様、利点および特徴は、添付図面と関連して解釈されるべきである。その代表的な例についての以下の説明に含まれる。

【発明を実施するための最良の形態】

【0016】

メモリシステム

本発明の種々の態様を実現し得るメモリシステムの例が、図1のブロック図により例示されている。マトリックスをなすように配列された複数のメモリセルMを含むメモリセルアレイ1は、列制御回路2、行制御回路3、c-ソース制御回路4およびc-p-ウェル制御回路5によって制御される。この例では、メモリセルアレイ1は、前に背景技術の欄で説明され、かつ本願明細書において参照により援用されている参考文献において説明されるNANDタイプのメモリセルアレイである。制御回路2は、メモリセル(M)に記憶されているデータを読み出し、プログラミング動作中にメモリセル(M)の状態を判定し、プログラミングを促進し或いはプログラミングを抑止するようにビットライン(BL)の電位レベルを制御するために、メモリセルアレイ1のビットライン(BL)に接続される。行制御回路3は、ワードライン(WL)のうちの1つを選択し、読み出し電圧を印加し、列制御回路2により制御されるビットライン電位レベルと結合されるプログラム電圧を印加し、メモリセル(M)が形成されるp形領域の電圧と結合される消去電圧を印加するためにワードライン(WL)に接続される。c-ソース制御回路4は、メモリセル(M)に接続されている共通ソースライン(図1で“c-ソース”とラベルが付されている)を制御する。c-p-ウェル制御回路5はc-p-ウェル電圧を制御する。

【0017】

メモリセル(M)に記憶されているデータは、列制御回路2により読み出されて、I/Oラインおよびデータ入出力バッファ6を介して外部I/Oラインへ出力される。当該メモリセルに格納されるべきプログラムデータは、外部I/Oラインを介してデータ入出力バッファ6に入力され、列制御回路2へ転送される。外部I/Oラインは、コントローラ9に接続される。コントローラ9は、種々のタイプのレジスタと、揮発性ランダムアクセスメモリ(RAM)10を含む他のメモリを含む。

【0018】

フラッシュメモリデバイスを制御するためのコマンドデータは、コントローラ9と接続されている外部コントロールラインに接続されたコマンド回路7に入力される。コマンドデータは、どんな動作が要求されているかをフラッシュメモリに知らせる。入力されたコマンドは、列制御回路2、行制御回路3、c-ソース制御回路4、c-p-ウェル制御回路5およびデータ入出力バッファ6を制御する状態マシン8へ転送される。状態マシン8は、READY/BUSY或いはPASS/FAILなどのフラッシュメモリについての状況データを出力することができる。

【0019】

コントローラ9は、パーソナルコンピュータ、デジタルカメラ或いはパーソナルデジタルアシスタントなどのホストシステムと接続されるか、或いは接続可能である。メモリアレイ1にデータを格納したり、当該アレイからデータを読み出したりするなどのコマンドを開始し、このようなデータを提供したり、受け取ったりするのはホストである。当該コントローラは、このようなコマンドを、コマンド回路7により解釈され、かつ実行され得るコマンド信号に変換する。当該コントローラは、通常メモリアレイに読み書きされるユーザデータのためのバッファメモリも含む。代表的なメモリシステムは、コントローラ9

を含む1つの集積回路チップ11と、メモリアレイおよび関連する制御回路、入出力回路および状態マシン回路を各々含む1つ以上の集積回路チップ12とを含む。もちろん、システムのメモリアレイおよびコントローラ回路を1つ以上の集積回路チップに集積するのが趨勢である。

【0020】

図1のメモリシステムは、ホストシステムの一部として埋め込まれてもよく、或いはホストシステムの差込ソケットに取り外し可能に挿入できるメモ리카ードに含まれてもよい。このようなカードはメモリシステム全体を包含することができ、或いはコントローラとメモリアレイとが、関連する周辺回路を伴って別々のカードに設けられてもよい。複数のカードの実装例が、例えば米国特許第5,887,145号(特許文献6)に記載され、その全体が本願明細書において参照により明確に援用されている。

10

【0021】

第1のNANDアレイの実施形態

NANDアレイの数個のメモリセルの主要なコンポーネントが図3に平面図で示され、その等価回路が図14に示され、ここで対応する構成要素には図3と同じ参照番号がプライム記号(′)付きで付されている。直列接続されたメモリセルの5つのストリング21~25が含まれ、各ストリングに3つのフローティングゲート電荷記憶素子が示されている。ストリング21はフローティングゲート27,28,29を含み、ストリング22はフローティングゲート30,31,32を有し、ストリング23はフローティングゲート33,34,35を含み、ストリング24はフローティングゲート36,37,38を含み、ストリング25はフローティングゲート39,40,41を含む。説明を容易にするために、15個のメモリセルの小さな長方形アレイのみが示されている。このような1つのアレイの実際の実装例は数千個のNANDストリング中に数百万個のこのようなメモリセルを含み、各ストリングは普通16個、32個またはそれ以上のメモリセルを有する。メモリアレイの局所基板電位を共通基板電位とは無関係に電気的に制御できるように、メモリアレイは、通常共通基板内に含まれる1つ以上のウェル領域の上に配置されていることが分かる。この説明の全体にわたってトランジスタのメモリアレイに関しての“基板”という言葉の使用は、特別に言及されていない限り、このようなウェル領域への言及を含む。

20

【0022】

NANDストリング21~25の各々は、当該ストリングをグローバルビットラインBL0~BL4(図14)のうちの異なる1つと基準電位 V_s との間に制御可能に接続するためにストリングの各端に1つずつ、合計で2個の選択トランジスタを含む。 V_s は、普通読み出し中は接地にあるけれども、プログラミング中はソース選択トランジスタを横断するリークを最小にするのを助けるために小さな正の値をとることができる。電圧 V_{SSL} は、選択トランジスタ $T_{0S} \sim T_{4S}$ の各々のゲート43~47に印加されて、その各々のメモリセルのストリング21~25の一端の V_s への接続を制御する。ストリング21~25の他端は、選択トランジスタのゲート49~53に印加される電圧 V_{DSL} によって各々の選択トランジスタ $T_{0D} \sim T_{4D}$ (図14)を通して各々のビットラインBL0~BL4に接続される。列制御回路2(図1)は、書き込まれるべき具体的なデータを表す電圧を各ビットラインに印加するか、或いは読み出し動作中に電圧または電流を感知する。選択トランジスタ $T_{0S} \sim T_{4S}$ および $T_{0D} \sim T_{4D}$ (図14)は、半導体基板77の表面79(図4、5Aおよび5B)に各々のソース領域およびドレイン領域55~64および65~74(図3)を包含する。

30

40

【0023】

典型的な従来技術のNANDアレイは、適切な絶縁誘電体層を間に有するフローティングゲートの行の上で複数のストリングを横断して伸びるコントロールゲート(ワード)ラインを含む。結合されたフローティングゲートを、それらの状態をプログラミングし、かつ読み出すために必要な電圧レベルまで高めるために必要とされるコントロールゲート電圧をなるべく低くするために、前述したようにコントロールゲートとフローティングゲー

50

トとの間の密結合が望ましい。フローティングゲートの各行のために1つのコントロールゲート（ワード）ラインが使用される。フローティングゲートおよびコントロールゲートがy方向に（NANDストリングの縦に沿って）自己整列したアレイを作るために、コントロールゲートは通常フローティングゲートを形成するためのマスクとして使用され、それらはy方向にコントロールゲートと同じ寸法を有する。このアーキテクチャでは、将来のスケールされた技術に適する低いコントロールゲート電圧での動作を可能にするために前述した結合比を高めるために、コントロールゲートとフローティングゲートとの間の結合の領域を増大させる機会は限られている。

【0024】

従って、図3～5に示されているNANDアレイでは、コントロールゲート（ワード）ライン81～84は、フローティングゲートの上ではなくてフローティングゲートの間に配置される。各々のコントロールゲートラインは、メモリセルの複数のストリングを横断して伸び、多層酸化物-窒化物-酸化物（ONO）などの適切な絶縁誘電体を通して両側のフローティングゲートに容量的に結合される。フローティングゲートの両側の側壁領域を用いることによって付加的な結合領域が得られる。この結合領域を大きくするためにフローティングゲートを普通よりも厚く（高く）することができ、その場合、それらの間のコントロールゲートは、追加された結合領域を利用するために少なくともフローティングゲートと同じ厚さにされる。1つの利点は、この結合領域をフローティングゲートおよび基板の結合領域とは大幅に別に制御することができ、結果としてフローティングゲートの基板との結合領域が将来の縮小の際に減じられたとしても望ましい高さの結合比がもたらされることである。

【0025】

これらのコントロールゲートラインのうちの2つが通常の従来技術のNANDアレイの単一のワードラインに取って代わる。例えば、従来のアレイにおけるフローティングゲート27, 30, 33, 36および39の行を横断して延びるワードラインは、2つのコントロールゲートライン81および82（WL0およびWL1）により取って代わられる。同様に、普通はフローティングゲート28, 31, 34, 37および40の行を横断して伸びる1つのワードラインは、2つのコントロールゲートライン82および83（WL1およびWL2）により取って代わられる。コントロールライン81～84は、アレイをx方向に横断して伸ばされ、y方向には間に入っているフローティングゲートの長さとその間の誘電体層の厚さにより分離されている。メモリのフローティングゲートのサイズは通常フォトリソグラフィがxおよびyの両方向に許容する小ささにされるけれども、選択トランジスタ43～47および49～53のチャンネル長さ（y寸法）は、最高電圧がその両端間に印加されたときに漏洩を含む全ての伝導を効果的に抑止し得ることを保証する最小特徴サイズより通常は少し大きい。

【0026】

図3のアレイと、当該アレイの付加的特徴とを形成する方法は、主として図4（メモリセルの1つのストリングを通る図3のy方向の断面A-A）、図5A（複数のストリングを横断して伸びるメモリセルの行に沿う図3のx方向の断面B-B）および図5B（ワードラインに沿う図3のx方向の断面C-C）の直交横断面図を参照して説明され得る。通常は1つ以上のウェルの形成を含む基板77のドーピング後に、トンネル酸化ケイ素（SiO₂）の層91が基板77の表面79上に約8nmの厚さまで成長させられる。その後、通常は低圧化学蒸着（LPCVD）によって少なくとも当該アレイの領域の上にドーピングされたポリシリコンの第1の層が50から200nmまでの厚さに形成され、後にこれからフローティングゲートが形成される。これは、従来技術のNANDデバイスの普通の第1のポリシリコン層より厚くて、後に形成されるフローティングゲートが従来より厚いという結果をもたらす。次いで、二酸化ケイ素の薄いパッド93が当該ポリシリコン層上に形成され、続いて窒化ケイ素（Si₃N₄）の層95が通常100および300nmの間の厚さまで堆積される。次いで、露出している窒化物、酸化物パッド、ポリシリコンおよびトンネル酸化物をエッチングして、基板全体にわたってy方向に伸びると共にx方

10

20

30

40

50

向にマスク形成プロセスにより分解可能な最小間隔寸法だけ分離された積み重ねストリップを残すために、窒化物層の上にマスクが形成される。これらのストリップの幅は、好ましくはそれらの間隔に等しくされる。当該エッチングは異方性であり、これらのストリップの間の基板 77 の表面 79 を露出させる。

【0027】

次の一連のステップは、得られたフローティングゲートの列同士の間にはシャロウトレンチアイソレーション (Shallow Trench Isolation (STI)) による電氣的絶縁を提供する。その後、y 方向に伸びていて x 方向においてポリシリコン／誘電体が積み重ねられているストリップ同士の間には位置するトレンチ 97～100 (図 5A) を形成するように、露出された基板表面が異方的にエッチングされる。これらのトレンチは、好ましくは 100～300 nm の深さまでエッチングされる。露出されたシリコン表面領域に、必要な場合にフィールド酸化物しきい値電圧を局所的に高めるために軽いホウ素ドーズを添加することができる。その後、これらのトレンチと、ポリシリコン／誘電体が積み重ねられているストリップ間のスペースとを完全に埋めるようにアレイ領域全体の上に厚い酸化物層が堆積される。当該積み重ねられているストリップの上の余分な酸化物は、化学機械研磨 (Chemical Mechanical Polishing (CMP)) によって、ストップとして使われる窒化物層 95 まで、除去される。すると、窒化物ストリップ 95 および厚い酸化物 (図 5A の領域 97～100) の上全体に割合に平らな表面が存在することになる。当該技術分野で周知のように、シリコン絶縁トレンチ内の機械的ストレスを軽減し、かつこれらのトレンチ内の厚い酸化物の密度を高めるために高温アニーリングを用いることができる。例えばシリコンにエッチングされたトレンチの中にはなくてシリコン表面の上に厚い絶縁誘電体を形成することによって、シャロウトレンチアイソレーションを使用せずにアレイを形成することも可能である。

【0028】

次のステップで、形成されたばかりのポリシリコン／誘電体ストリップに対して垂直に x 方向に伸びるストリップでマスクが形成され、その間のポリシリコン／誘電体ストリップは異方性エッチングによってトンネル誘電体層 91 まで除去される。当該マスクのストリップとそれらの間のスペースとの幅の合計、当該プロセスのピッチ、はできる限り小さくされる。実際のマスクは、窒化物または酸化物の他の堆積された層の上のフォトレジストであってよく、それは x 方向にマスキングストリップを形成するようにマスクされてエッチングされ、続いてこのようにして露出された下の第 1 のポリシリコン層と露出されたフィールド酸化物領域の一部とをエッチングする。これにより、第 1 のポリシリコン層の残りのストリップが分離されて個々のフローティングゲートとなる。エッチングプロセスは始めに露出されたフィールド酸化物を約 100～200 nm 除去し、その後、下にあるトンネル酸化物で停止しながら、露出された第 1 のポリシリコン層全体を選択的に除去するように化学作用が変更される。フローティングゲートを形成することに加えて、図に示されているように選択トランジスタゲート 45 および 51 を形成するためにも第 1 のポリシリコン層を使うことができる。

【0029】

このエッチングの後、x 方向の長さを持って第 1 のポリシリコンのストリップと並んでトレンチが形成される。アクティブ領域の上ではこれらのトレンチはフローティングゲートの全ての高さに加えて、マスキング層 93 および 95 の厚さにわたって伸び、フィールド領域の上ではそれらは前述した第 1 のポリシリコンを分離するステップ中に形成されたときと同じく 100～200 nm にわたって伸びる。これらのトレンチ内に、コントロールゲートライン 81～84、選択ゲートライン 80 および 85、並びにソースライン接点およびビットライン接点が形成される。しかし、これらのコントロールゲートラインを形成する前に、図 3 の平面図の軽く点が付されている領域に記されている領域においてトレンチにイオンが注入される。図 4 の横断面図は、このようなメモリトランジスタおよび選択ゲート注入ソース並びにドレイン領域 67, 72, 105, 106, 62 および 57 を示す。N+イオンは、通常 5×10^{13} ～ 1×10^{15} の範囲内の量で注入されてよい。次いで、

誘電体層 103 が、新たに形成されたトレンチの側壁および底面に従うことを含んで、当該構造の露出した表面の上に形成される。層 103 は、好ましくは ONO であるが、より高い誘電率を有する材料であってもよい。

【0030】

その後、トレンチを完全に埋めると共に誘電体層 103 を接触させることを含んで、ドーピングされたポリシリコンの第 2 の層がアレイ領域上に堆積される。その後、このポリシリコンは、ストップとして使われる窒化物層 95 まで（或いは、その代わりに、ONO 層 103 の層 95 と直接接触している部分まで）CMP によって当該構造の頂部から除去され、続いて当該ポリシリコンが当該トレンチの中へ小さな距離だけ制御エッチングされる。このポリシリコンも、周囲およびアレイのソースおよびドレイン領域への接点が望まれる領域からもマスキングステップを用いて除去される。コントロールゲートライン 81～84、SSL ライン 80 および DSL ライン 85 はその結果である。これらのラインは、少なくともそれらが誘電体層 103 を通して容量的に結合されるフローティングゲートと同じ高さまで伸ばされる。

【0031】

これらの細いゲートラインは通常一端から駆動され、メモリアレイの相当の部分に渡って伸びるので、これらの直列抵抗は重要である。従って、この重要事項に対処するために、ドーピングされたポリシリコンを種々の材料と交換したり、或いは種々の材料で補うことができる。コントロールゲートラインの頂部をシリサイドすることができ、またそれらが化学エッチングではなくて CMP によって画定されるので、普通よりも厚い層をこの用途に用いることができる。或いは、ドーピングされた第 2 のポリシリコンの代わりに、タングステンやモリブデンなどの他の伝導性材料を用いてもよい。さらに他の実施形態では、コントロールゲートは、低抵抗率金属相互配線が頂部にかぶせられたポリシリコンのハイブリッドとして形成され得る。これは、例えば、第 2 のポリシリコンコントロールゲートライン 81～84 の露出された頂部表面が部分的に下へエッチングされ、次いで障壁金属の薄いスパッタリングされた層で被覆され、続いてタングステンやモリブデンなどの金属層の堆積が行われるときに、達成され得る。この複合層は、その後、窒化物マスキング層をエッチストップとして用いる CMP を採用してエッチバックされる。得られた相互接続構造は、x 方向に伸び、トレンチ内の下にある第 2 のポリシリコンと電氣的に接触し、フローティングゲートの上にあるマスキング誘電体層 95 によって隣接する類似のワードラインから絶縁されている細い低抵抗率金属ワードラインのストリップを提供する。図 5 B は、プロセスのこの段階での図 3 の断面 C-C の横断面図を示す。

【0032】

次いで、全ての周辺回路とトランジスタとが形成され、NAND ストリングのアレイは誘電体絶縁層（図示せず）で覆われ、標準的なバイア／金属化（アルミニウムまたは銅の相互配線）の 1 つ以上の層が続いて全てのビットライン、ソースライン、ワードラインおよびアクセストランジスタを提供する。これらの金属化層は、きわめて細くなり、従って大きなメモリアレイの全体にわたって非常に抵抗的となる可能性のある長いワードラインの抵抗率を下げるために局所的な或いはグローバルな相互配線として使用され得る。

【0033】

選択ゲートを相互接続し、ソース接点およびドレイン接点を実現する方法が幾つかある。1 つのこのような方法が図 3～5 に例示され、ここで SSL ライン 80 および DSL ライン 85 は P2（ワードラインと同じ材料）から形成される。選択ゲートトランジスタは P1 をそれらのゲート材料として使用するが、それは直接に接触させられるべきであり、浮動状態のままにされるべきではない。これを達成する 1 つの方法は、水平 P2 ラインと各 P1 ゲートとの間の直接接触である。第 1 の P2 の厚さが堆積された後、SSL 選択ゲートの共通ソースライン接点に最も近い側と DSL 選択ゲートのビットライン接点に最も近い側とにおいてのみ選択的に ONO 層 103 を除去するためにマスクが使用される。その後、前述した CMP 研磨およびエッチバックの後の P2 の複合された厚さが図 4 に示されているようになるように第 2 の P2 層が堆積される。この第 2 の P2 の堆積は、第 1 の

P 2 の堆積および P 1 ゲート材料の両方とのオーム接触を生じさせ、また P 2 S S L および D S L ラインが各々の選択トランジスタの P 1 ゲートに直接接触することを可能にする。多数の N A N D ストリングに共通のソース選択トランジスタのソース領域への接点を水平金属ライン（図 3 の M 0 7 9）を用いて生じさせることができ、またドレイン選択トランジスタのドレイン領域への接点を N A N D ストリングの各列について 1 つずつの垂直金属ライン（図示せず）へ生じさせることができる。これらの結線は、通常周辺領域の相互接続と同時に作られる。選択ゲートへの接点を作る代わりの方法（図示せず）は、通常この場合にも周辺回路および相互接続の形成の際に、各ゲートの頂部に接点領域を開き、これらの領域を選択トランジスタゲートの直ぐ上に位置する水平のポリまたは金属ラインと相互接続することである。

10

【0034】

コントロールゲートがフローティングゲートと並んで形成されるので、図 3～5 の構造は普通の N A N D アレイより平らな微細構成を有する。この構造の主な利点は、フローティングゲートとコントロールゲートとの間の結合領域が増大していることであり、これは容量結合比の改善につながり、それは当該メモリセルアレイの動作のときにより低いコントロールゲート電圧を使用することを可能にする。さらに、ストリングにおいてフローティングゲート間にコントロールゲートラインが位置しているので、当該フローティングゲートが互いに遮蔽されることになり、これにより隣り合うフローティングゲート同士の列方向の望ましくない結合が大幅に低減されるか、或いは無くなる。また、図 4 に最もよく示されているように、コントロールゲートライン 8 1～8 4 は、誘電体層 9 1 および 1 0 3 を通して基板 7 7 のイオン注入されたソースおよびドレイン領域と容量的に結合され得るので、これらの領域における基板表面 7 9 の電圧を高める（上昇させる）ために使用され得る。イオン注入のレベルは、コントロールゲートラインがそれらの下の注入された領域を通る伝導のレベルを制御するために使用されるならば、普通より低くすることができ、これをこの構造は可能にする。

20

【0035】

さらに、おそらく最も重要なことに、フローティングゲート酸化物層の厚さが小さくされないとしても、フローティングゲートおよびその他のエレメントのサイズ、並びにそれらの間のスペースを小さくするために将来のプロセスのピッチの減少を利用することができる。フローティングゲート酸化物の厚さが小さくされなければ、フローティングゲートの電圧を下げることはできない。しかし、フローティングゲートとコントロールゲートとの結合比または結合領域を大きくできるならば、プロセス縮小の要件と矛盾無くコントロールゲート電圧を下げることはできる。個々のフローティングゲートの相対する側壁に結合された二重のコントロールゲートを使用すると共にフローティングゲートの厚さを大きくすれば、この結合領域の拡大が提供される。

30

【0036】

第 2 の N A N D アレイの実施形態

図 3～5 のメモリセルアレイの変化形が図 6～1 0 に示され、これらは連続する処理ステップが実行された後の y 方向に N A N D ストリングに沿う横断面図である。第 1 および第 2 の実施形態の相当する形成段階の図 4 および 1 0 は、N A N D ストリングの同じ長さに含まれるメモリセルのフローティングゲートの数が図 1 0 では図 4 より遥かに多くて、殆ど 2 倍であることを示す。これらの構造は x 方向には同じであるように見える。この第 2 の実施形態の構造は、第 1 の実施形態について前述したのと同じ特徴および利点を有し、また y 方向にかなり小さなメモリセルサイズを有する。これは、使用されるプロセスの最小のリソグラフィ的に分解可能な素子サイズより小さなエレメントを形成するためのアンダーカットティングとスペーサの使用との新規な組み合わせによって達成される。

40

【0037】

図 6 は、第 2 の実施形態による S T I フィールド酸化物により分離されたポリシリコン P 1 の垂直ストリップ（後にフローティングゲートになる）を形成する第 1 の系列の処理ステップの後の図 3 のアレイの x 方向に沿う横断面 B-B を示す。図 6 の中間構造を形成

50

する初期ステップは、プロセスの相当する段階で図5Aに示されている第1の実施形態について前述したものと同一である。基板111は1つ以上のウェルを含むように適切にドーピングされ、トンネル酸化物の層115が当該基板の表面113上に成長させられる。その後、当該酸化物の上にドーピングされたポリシリコンの層が堆積され、酸化物パッドがその上に形成され、その上に窒化物層が形成され、次いで当該ポリシリコン／誘電体の層はエッチングされてy方向に伸びるストリップになる。STIトレンチはその後、それらのポリシリコンのストリップ間に形成されて酸化物で埋められる。余分な酸化物は、ストップとして使われる窒化物層までCMPによって除去される。第1の実施形態との1つの差異は、図5Aの95に対応する窒化物層が、例えばウェットエッチを用いて酸化物パッド119から除去されていることである。

10

【0038】

次いで、高密度化された二酸化ケイ素などの割合に厚い(50~200nm)誘電体層121が図7に示されているように酸化物パッド119の上に堆積される。次いで、x方向に伸び、リソグラフィ的に分解可能な最小素子サイズにより決まるy方向の幅および間隔を有するストリップを伴ってフォトレジストマスク123がこの誘電体層の上に形成される。次いで、このマスクを通して誘電体層121および119がエッチングされる。得られたストリップの幅は、横方向のアンダーカッティングまたはオーバーエッチングによってマスクストリップの幅より小さくされ得る。得られた割合に厚い誘電体ストリップ121はポリシリコンのストリップとそれらの間の絶縁酸化物とを横断してx方向に伸び、マスクストリップ123を通して形成された当該ストリップ121は、当該マスクストリ

20

【0039】

次の系列のステップを図8に示す。マスク123が除去された後、ポリシリコンのストリップの表面上に薄い(約5nmの厚さの)酸化物パッド125が再形成される。これに続いて、通常はLPCVDプロセスを用いてアレイ上に窒化ケイ素を堆積し、次いで酸化物ストリップ121の両側で壁に沿ってスペーサ127を残すように当該窒化物を異方的にエッチングする。堆積された窒化物の厚さはスペーサの長さLを主として決定し、これは(後述するように)フローティングゲートの長さを決定し、それは当該構造を形成する

30

【0040】

この除去と他のステップとを図8および9により例示する。窒化物スペーサ127(図8)の間のギャップは始めに酸化物で埋められるので、酸化物ストリップ121をエッチング除去しても、NANDストリング間に露出されたフィールド絶縁酸化物を過度にエッチングする結果にはならない。CMPは、CMPストップとして使われる窒化物スペーサ127の頂部まで、余分な酸化物を除去する。スペーサ127間のこの酸化物と酸化物ストリップ121とは、その後ポリシリコン層117の上の表面まで逆戻りに一緒に異方的にエッチングされ、それがこの酸化物エッチングを終わらせる終点検出として使用され得る。代わりに、メモリセルのストリング間の露出した絶縁酸化物を保護するために、酸化物ストリップ121が除去されるときにエッチングされない材料でこの絶縁酸化物をマスクすることができ、このマスキング材料は、酸化物ストリップ121が除去された後に除去される。

40

50

【0041】

次のステップは、残っている窒化物スペーサ127をマスクとして用いて、ストリップ117などのポリシリコンストリップを分離し、絶縁されたフローティングゲートのアイランドにすることである。ポリシリコンを異方的にエッチングすることにより、フローティングゲート131～138が残される。その後、当該フローティングゲートと、被覆窒化物スペーサとをマスクとして用いて、ソースおよびドレインのイオン注入が行われる。N+イオン注入量は5E13から1E15までの範囲内であってよい。フローティングゲート間の注入された領域141～147はその結果である。フローティングゲート構造131～138が極めて細長く高いけれども、隣接する絶縁酸化物の壁からの支えのおかげで機械的に安定していることに留意すべきである。

10

【0042】

図10を参照すると、次のステップは、図9に示されている段階で存在するメモリアレイの外面に従う誘電体層151の形成である。誘電体151は、好ましくはONOで100および200nmの間の厚さに作られる。次いで、誘電体層151に接触するフローティングゲート間のギャップを完全に埋めるように、ドーピングされたポリシリコンの第2の層がLPCVDによりアレイ上に堆積される。その後、逆戻りしてONO層151の窒化物層材料まで、或いはONOが使われていなければ当該構造の一部として残っている窒化物スペーサ127の頂部まで、余分なポリシリコン材料がCMPによって除去される。窒化物スペーサ127を横断して残存しているストリングを除去するために、付加的なポリシリコンエッチングステップが望ましい。その結果は別々のコントロールゲートライン153～159である。これらの導電率を高めるために、第1の実施形態に関して説明した変形例のいずれかを用いてこれらを形成して処理することができる。当該構造の露出した表面はその後パッシベーション誘電体層により覆われ、続いて金属伝導ラインと、当該ラインをメモリセルのストリングの端のソースおよびドレイン領域と結合させるバイアと、その長さに沿うコントロールゲートラインとを形成する。

20

【0043】

第2の実施形態が第1の実施形態について前述した全ての利点を有することに加えて、NANDストリングに沿ってフローティングゲートのより高い密度を有することが図10から分かる。この追加された利点は、フローティングゲートの長さLとそれらの間のスペースWとを限定可能な最小リソグラフィの特徴サイズより小さくすることで結果として得られる。

30

【0044】

他の特徴

図11を参照すると、第1の実施形態および第2の実施形態のいずれかによるアレイの動作における付加的な利点が示されている。典型的なNANDストリングでは、さらに縮小されるとき、161および163のところに示されているようにフローティングゲートの側端の酸化物における電子のエッジトラッピングがさらに厳しい問題になり始める。長期にわたる循環（プログラミングおよび消去）の後に、或る程度のトンネリングした電子が、チャネル領域の上でトンネル酸化物に直に隣接する酸化物の比較的厚い部分に捉えられたままとなる。この捉えられた電荷はメモリセルトランジスタの伝導状態に寄与し、捉えられた電子が多いほど、読み出し中のしきい値電圧が高くなる。しかし、プログラミング後に当該デバイスを割合に高い温度（例えば、125℃）で貯蔵しておけば、この酸化物捕獲されていた電荷を基板へ逆戻りに追い出すことができる。これは、“リラクゼーション”と称され、プログラミング直後のしきい値電圧より0.3V～0.7V低いしきい値電圧をもたらす可能性がある。このリラクゼーションは、特にフローティングゲートあたりに2より多い記憶状態（“多状態”または“MLC”）動作で動作するときに重大な問題となり得る。それは、前に大量にプログラムされていた全てのセルでデータが失われるという結果をもたらす得る。

40

【0045】

このリラクゼーション効果は、前述した実施形態のいずれにおいても、コントロールゲ

50

ートライン（CG1およびCG2）がフローティングゲート（FG）の端のトンネル誘電体の端の直ぐ近くに存在していることと、プログラミング中にこれらのコントロールゲートに高電圧が印加されるということによって、部分的に或いは完全に除去される。その結果として、チャンネル領域の外側で、酸化物絶縁体内の遥かに深くまで存在し、従って高温での貯蔵後のリラクゼーションの影響を遥かに受けにくいトラップングサイトに電子が捕獲されることになる。

【0046】

図12は、前述した実施形態のいずれにも行える改変を、NANDメモリセルのストリングに沿って描かれた横断面図で示す。プロセスの流れは、NAND直列ストリングにおいて隣接するフローティングゲートトランジスタの間のアクティブなシリコンに浅い空洞またはトレンチを導入するように改変され得る。このような2つのトレンチ165および167が図12に示されている。これらトレンチは、基板に対して20nmから50nmの深さまでエッチングを行うことにより形成され、フローティングゲートが形成されてそれらの間の露出されたトンネル誘電体が除去された後に実行される。それからコントロールゲートラインが形成される第2のポリシリコン層の堆積の前に、ソースおよびドレイン領域169および171を形成するために、これらの浅いトレンチのシリコンに燐または砒素が、通常5E13および1E15の間の量まで低エネルギーで注入される。

【0047】

代わりに、通常は処理の初期段階で行われる基板のメモリセルチャンネル領域のp形ドーピングは、上に存するコントロールゲートが僅かに正の電圧（ $V_{CG} > 0.5V$ ）に保たれるときに、これらのトレンチのシリコン表面が反転されるように十分に低く行われてよい。NANDストリングの隣接するトランジスタ間のソースおよびドレイン領域におけるフィールド誘起反転のこの代替の実施形態では、当該トレンチの表面に沿って反転層を誘起し、従ってNANDストリングに沿って隣接するフローティングゲートトランジスタ間の伝導性を許容するように、コントロールゲート電圧は十分に正の電圧にセットされる。この代替実施形態では、NANDストリングに沿うシリコンのソースおよびドレイン領域への N^+ 注入は、おそらく1E13と5E13との間の非常に低い用量で行われるか、或いは全く省略される。たとえ低用量の N^+ 注入であっても（これは、現在は必要であるが、これによって避けられる）フローティングゲートの端のトンネル誘電体を損傷させる可能性があり、従って優先的に避けられるので、フローティングゲートトランジスタの外側の直列NANDストリング全体にわたっての電子伝導を容易にするフィールド誘起された反転層の使用はプログラミングおよび消去サイクルの耐久性をさらに改善することができる。いずれの場合にも、このトレンチ内のシリコンが N^+ に注入されてもされなくても、コントロールゲートラインと基板との間のブースティング静電容量（boosting capacitance）は、隣接するフローティングゲート間の横方向間隔Wが非常に小さくても、この非常に浅いトレンチのおかげで大幅に増やされる。

【0048】

NANDアレイの実施形態の動作

前述した両方の実施形態の新しいNANDセル構造の基本的要素は、従来のようにフローティングゲートの上にコントロールゲートを積み重ねるのではなくて、各フローティングゲートのために1つではなくて2つのコントロールゲートを形成することである。このことの概略的表示が、ゲート間の結合を示すように図13に示されている。フローティングゲートFGの両側壁と当該フローティングゲートの両側の各々隣接するコントロールゲートCG1およびCG2との間に静電容量結合 C_{CF1} および C_{CF2} が存在する。この結合は、これらのゲートの間に位置するONOまたは他のインターポリ誘電体（図示せず）を通しての結合である。また、フローティングゲートFGと基板との間の静電容量結合 C_{FS} は、トンネル誘電体（図示せず）を通しての結合である。どのコントロールゲートも、従来の構造で普通行われているようにはフローティングゲートにそれらの頂部表面から必ずしも結合していない。各トランジスタの2つのコントロールゲートとフローティングゲートとの結合の殆どは、それらが共有する垂直壁に沿っている。

【0049】

新しい構成におけるフローティングゲートトランジスタの静電容量結合比は、フローティングゲートと、対向するコントロールゲートとの大きくされた物理的高さから大幅に改善され得る。図13を参照すると、結合比はおおよそ以下のとおりである。

$$\gamma = (C_{CF1} + C_{CF2}) / (C_{CF1} + C_{CF2} + C_{FS}) \quad (1)$$

【0050】

通常、コンデンサ C_{FS} のトンネル誘電体は7および9ナノメートルの間の厚さの SiO_2 フィルムを含み、コンデンサ C_{CF1} および C_{CF2} の誘電体は、通常14および18ナノメートルの間の酸化物等価の電氣的厚さを有するサンドイッチONO誘電体である。従って、フローティングゲートの2つの垂直壁の各々に沿う容量結合の領域がチャンネル結合の領域の2倍であるならば、結合比は約0.66に等しく、これは適切なデバイス動作のために全く充分である。最大プログラム電圧および最大消去電圧をさらに下げることができるにより高い値が望まれるならば、全てのフローティングゲートをより大きな厚みに形成することによって容易に達成され得る。これは、フローティングゲートと基板との結合領域を増やすことなく、隣接するコントロールゲートとの結合領域を増大させる。新しい構造は、結合比 γ を減少させず、また高くスケールングされたNANDデバイスにおいて非常に高いプログラム電圧および消去電圧を保つことを必要とすることなく、最小フローティングゲートトランジスタの特徴サイズを縮小する方法を提供する。

【0051】

二重のコントロールゲートは基板に物理的に近接しているので、コントロールゲート $CG1$ および $CG2$ の各々と、下にあるソースおよびドレイン $N+$ 拡散との間の容量結合 C_{CS1} および C_{CS2} は、フローティングゲートの頂部にコントロールゲートを有する標準的なNANDに比べて顕著に大きくされる。實際上、これら二重のコントロールゲートは、フローティングゲートおよびコントロールゲートに加えて包含されるように他の人たちににより提案されたブースタプレートの機能のためにも役立つ。本願明細書に記載されているNAND構造のコントロールゲートは、プログラム抑止モードのときにチャンネルのブースティングに関して同じ有益な効果を有し、しかも付随する問題を有する独立のブースタプレートを必要とせず、このような有益な効果を有する。

【0052】

前述した二重のゲートNANDの実施形態の、消去、プログラミング、プログラム抑止および読み出しのための基本動作原理は、NANDトランジスタの選択された行にまたがる2つのコントロールゲートに両側から1つずつ特定のコントロールゲート（ワード）ライン電圧を印加する必要があることを除いて、標準的なNAND構造と全く同様である。さらに、選択されたコントロールゲートの各々はNANDトランジスタのフローティングゲートのフローティングゲートにその他方の側で容量的に結合されてもいるので、プログラム妨害状態或いは読み出し抑止状態を防止するために隣接するワードラインの適切な電圧との容量結合を用いなければならない。

【0053】

前述したNANDの実施形態におけるこれらの操作を実行する代表的な電圧のセットが図15のテーブルにより示されている。一例として、フローティングゲート28, 31, 34, 37および40（図3および14）の行がプログラミングのためにアクセスされることを考察する。2つのコントロールゲートと容量的に結合する単一のフローティングゲートは等価コンデンサ分割器回路をもたらす。説明を目的として、コントロールゲート82、コントロールゲート83および基板とのフローティングゲートの各々の3つの静電容量（図13の C_{CF1} , C_{CF2} および C_{FS} ）の各々が等しいと仮定する。コントロールゲートライン82および83の各々に20ボルト（ V_{CG1} および V_{CG2} ）が印加され、0ボルトが基板に印加されたとすると、当該行内の各フローティングゲートの電圧は、これら3つの電圧の合計（40ボルト）を3で割った値、すなわち13.3ボルトとなる。従って、フローティングゲートを基板チャンネル領域から分離するトンネル誘電体層で13.3ボルトの電圧降下がある。これは、電子を基板からゲート誘電体を通してフローティングゲ

ートヘトンネリングさせる極めて高い電場を生じさせる（ファウラーノルトハイムのトンネリング）。この議論では、いずれかのフローティングゲート上の前の消去またはプログラミングの動作からの正味の負または正の電荷に由来する電圧寄与が含まれていないことに留意しなければならない。

【0054】

プログラミング電圧は通常パルス列で印加され、代表的なパルス持続時間は数マイクロ秒である。フローティングゲート28, 31, 34, 37および40の行がプログラミングされるのと同時に、この行の両側の選択されていない行に影響が及んではない。フローティングゲート27, 30, 33, 36および39はこれらの隣接する行のうちの方の中にあり、フローティングゲート29, 32, 35, 38および41は他方の中にある（図3および14）。しかし、これらのフローティングゲートの各々の一方の側は、この例では20ボルトのコントロールゲート82および83のうちの1つに容量的に結合されている。しかし、これらのフローティングゲートの各々の反対側は、同時にコントロールゲート81または84のうちのいずれかと容量的に結合されている。これらのコントロールゲートの電圧が2ボルトにセットされ、基板が0ボルトであるとすれば、これらの選択されていない行におけるフローティングゲート電圧は約7.3ボルトである。フローティングゲート酸化物の両端間のこの電圧は、プログラミングパルス中に当該酸化物を通して基板チャネルから電子をトンネリングさせるには不十分である。

【0055】

図15のテーブルから、コントロールゲートの選択された行に沿っていないコントロールゲートに印加される電圧が、その行がプログラミングされるか、または読み出される行の下にあるか上にあるかによって、異なる電圧にセットされることに留意されたい。これは、VSに接続されているアレイの側から順番に始まる行がプログラムされるタイプのNANDを想定している。従って、図3および14の実施形態では、選択された行の下のフローティングゲートの前の行が既にプログラムされていることが分かっている。同様に、プログラミング動作に関して、選択された行の上の後の行が消去された状態にあることも分かっている。適切なプログラミングのために、ビットライン電圧（0V）がプログラムされるフローティングゲートトランジスタのチャネルに印加されることが必要である。これは、プログラムされるセルとビットラインとの間にあるNANDチェーン中の全ての直列トランジスタがこのプログラミング中にオンに転換されることを必要とする。これは、対応するコントロールゲート電圧が0Vより高いことを、通常は1Vから2Vであることを必要とする。さらに、この議論は図3および14のアレイを参照し、これらは第2のものよりも前述した第1の実施形態の方に特に関連しているけれども、第2の実施形態によるアレイも同様に操作される。

【0056】

適切な読み出し感知が行われるためには、選択された行内にある各ストリング中の1つの選択されたメモリセルトランジスタの適切な間合せを許容するようにNAND中の選択されていないトランジスタの全てが伝導しているべきであり、すなわち“オン”の状態であるべきである。最高しきい値状態にプログラムされたメモリトランジスタの伝導を保証するためにフローティングゲートで最低で3.3ボルトが必要であり、かつフローティングゲートと基板との静電容量およびフローティングゲートと隣接するコントロールゲートの静電容量が全て等しいとすれば、2つの隣接するコントロールゲート電圧の合計は最低で10ボルトであるべきである。図16は、簡略化のために、8個のトランジスタ（T0～T7）と9個のワードライン（WL0～WL8）から成る1つのNANDストリングを示しているが、実際のアレイは多数の並列NANDストリングから成り、その各々が図3および14に関して前述したように、16個、32個またはそれ以上のトランジスタを有することが想定される。多状態トランジスタT4が読み出しのために選択され、所望の読み出し手順がビットライン伝導が認められるまでのフローティングゲート電圧の逐次上昇であるとする、フローティングゲートの電圧は、セルに存する状態と殆ど同数のステップで低い値から高い値（3.3V）まで順次高められるべきである。例えば、セルに4つ

の状態が記憶されるとすれば、その4状態を区別するために少なくとも3つの電圧ステップが必要である。

【0057】

この条件を満たす方法はいろいろある。1つの可能なアプローチは、選択されたトランジスタ(T4)の直ぐ隣のワードライン(WL4およびWL5)の両方に V_{R0} ボルトを加え、この選択されたセルの上および下の両方の次の隣のワードライン(WL3およびWL6)に $10 - V_{R0}$ ボルトを加え、そして全てのワードラインに電圧が印加されるまで、選択されたトランジスタの上および下の両方で外側に作用する残りのワードラインの全てに V_{R0} ボルトおよび $10 - V_{R0}$ ボルトのこの交互パターンを続行する。 V_{R0} は、隣接するコントロールゲートの両方に印加されたときに最低しきい値状態(消去)を最低のプログラムされた電荷記憶状態(“1”)から区別するコントロールゲート電圧として選択される。代表的な値は0と1ボルトとの間にある。伝導の有無を判定するためにビットライン電流が感知される。これらの電圧条件は、全ての選択されていないトランジスタがそれらの隣のコントロールゲートの合計で10ボルトの電圧を有するという結果をもたらし、さらにその結果として、フローティングゲート電圧は、最高の可能なフローティングゲート状態より高く、かつ全ての選択されていないトランジスタの伝導を保証する3.3ボルトになる。選択されたセルの次の状態を読み出すために V_{R0} ボルトの全てのワードラインが新しい電圧 V_{R1} にセットされ、 $10 - V_{R0}$ ボルトの全てのワードラインは新しい電圧 $10 - V_{R1}$ にセットされ、ビットライン電流の有無が感知される。 V_{R0} と同様に、 V_{R1} は最低のプログラムされた状態(“1”)と次に高いプログラムされた状態(“2”)とを区別するために選択される。このプロセスは、全ての可能なプログラムされた状態が感知されるまで続行される。このアプローチは、各フローティングゲートにおいて一定の最低必要電圧を維持し、全てのフローティングゲートの電荷状態に対する読み出し妨害条件の可能性を最小にするのに役立つ。

【0058】

選択されたフローティングゲート状態を読み出す1つの代替りのアプローチは、選択されたトランジスタ(T4)の直ぐ隣のワードライン(WL4およびWL5)の両方に V_{R0} ボルトを加え、選択されたセルの上および下の両方の次の隣のワードライン(WL3およびWL6)に $10 - V_{R0}$ ボルトを加え、全ての残りのワードラインに5ボルトを加えることである。選択されたワードラインの電圧が高められてゆくとき、2つの隣接するワードラインの電圧を同量だけ低くすることができる。このアプローチは、最大4つのコントロールゲートがスイッチングされるという利点を有するが、選択されたトランジスタに隣接するトランジスタのフローティングゲート電圧が前のアプローチの場合の3.3ボルトではなくて5ボルトに保たれるので、これらの隣接するトランジスタに頻繁に必要以上にストレスがかかるという欠点を有する。

【0059】

ブロックごとの消去は、従来技術のNANDブロックと同様に実行される。1つのブロック内の全てのコントロールゲートは0V(消去されたブロック)または浮動(消去されていないブロック)であり、アレイ全体のための局所基板(p-ウェルおよび下のn-ウェル)は~20Vに高められる。

【0060】

図15のテーブルに示されている電圧は単なる例示に過ぎず、他の電圧でも同じく或いはもっと良く作用するであろうことが理解されよう。例えば、スパイクンギンおよび過度の高電圧を回避するために、二重のコントロールゲートに印加されて一定のフローティングゲートをアドレス指定する電圧を順序付けするのが好ましい。さらに、全てのコントロールゲートのワードラインとそれに隣接する構造との間に存在する容量結合に依存して前記コントロールゲート上の浮動電圧を動的に維持するように、アドレス指定されたNANDストリング内の任意のコントロールゲートの特定の電圧を一定の電圧レベルにセットしてからそれを後の読み出し動作、書き込み動作または消去動作のときにその電圧レベルで浮動させるのが有利であり得る。このコンセプトは、グローバルワードラインを用いて2つ

以上のローカルコントロールゲート（ワード）ラインの電圧にアクセスして選択的にセットするために採用され得る。さらに、各フローティングゲートに隣接する種々の誘電体層の厚さが将来の世代で縮小されるとき、付随する短絡および破壊的誘電体ブレイクダウンの可能性を伴う過度に高い電場を避けるために全ての電圧を対応的に低下させるべきである。

【0061】

結論

本発明の種々の態様をその代表的な実施形態に関して説明してきたが、本発明が添付の特許請求の範囲全体の中でその権利が保護されるべきであることが理解できよう。

【図面の簡単な説明】

10

【0062】

【図1】本発明のメモリセルアレイと動作の改善とを実現し得る1つのタイプのメモリシステムのブロック図である。

【図2A】従来技術のNANDアレイの平面図である。

【図2B】図2Aの従来技術のNANDアレイの断面A-Aに沿って描かれた横断面図である。

【図3】NAND構成のメモリセルアレイの例の平面図である。

【図4】図3のアレイの断面A-Aにおいて描かれた横断面図である。

【図5A】図3のアレイの断面B-Bにおいて描かれた横断面図である。

【図5B】図3のアレイの断面C-Cにおいて描かれた横断面図である。

20

【図6】図3～5のアレイの改変された変形例の第1の実施形態の図5Aに対応するプロセス段階において断面B-Bにおいて描かれた横断面図である。

【図7】図3～5のアレイの第2の実施形態の順次に形成された構造の図3の断面A-Aにおいて描かれた横断面図である。

【図8】図3～5のアレイの第2の実施形態の順次に形成された構造の図3の断面A-Aにおいて描かれた横断面図である。

【図9】図3～5のアレイの第2の実施形態の順次に形成された構造の図3の断面A-Aにおいて描かれた横断面図である。

【図10】図3～5のアレイの第2の実施形態の順次に形成された構造の図3の断面A-Aにおいて描かれた横断面図である。

30

【図11】図3～5または図7～10のいずれかの実施形態のメモリセルの拡大横断面図であり、その利点を示す。

【図12】図3～5または図7～10のいずれかの実施形態において実現され得る代わりのメモリセル構造の横断面図である。

【図13】図3～5または図7～10のいずれかの実施形態のゲートエレメントと基板との間の容量性結合を示す。

【図14】図3～5または図7～10のいずれかの実施形態によるメモリセルアレイの等価回路図である。

【図15】図14の回路図を参照するメモリセルアレイの動作条件の例のテーブルである。

40

【図16】NANDメモリを読み出す方法を説明するために使用される1つのNANDストリングの回路図である。

【図 1】

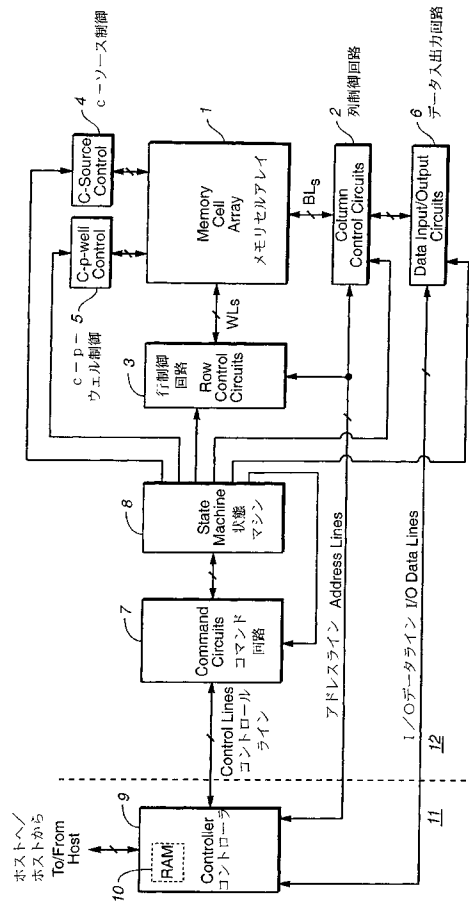


FIG._1

【図 2 B】

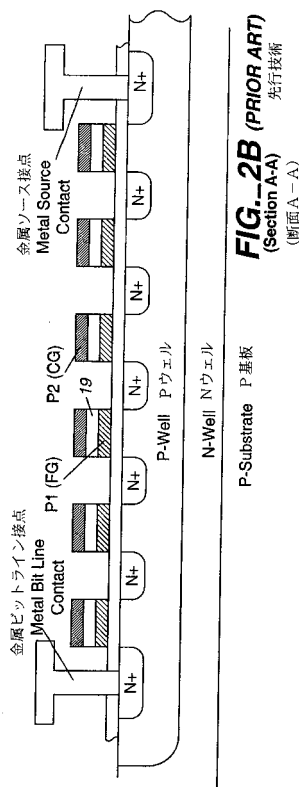


FIG. 2B (PRIOR ART)
(Section A-A)
(断面 A-A)

【図 2 A】

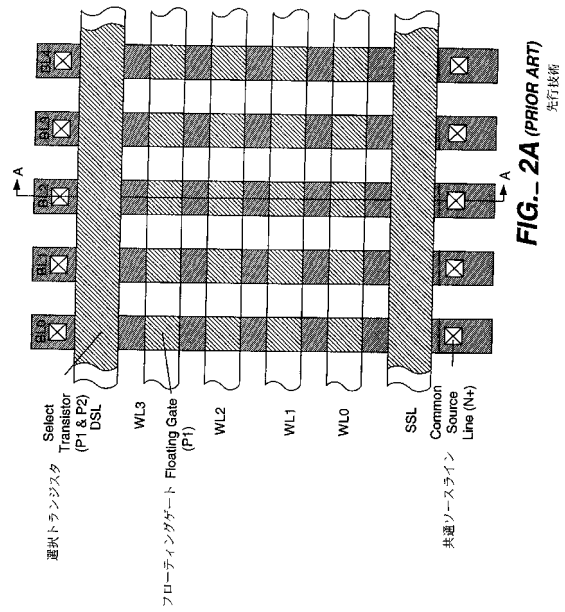


FIG. 2A (PRIOR ART)
先行技術

【図 3】

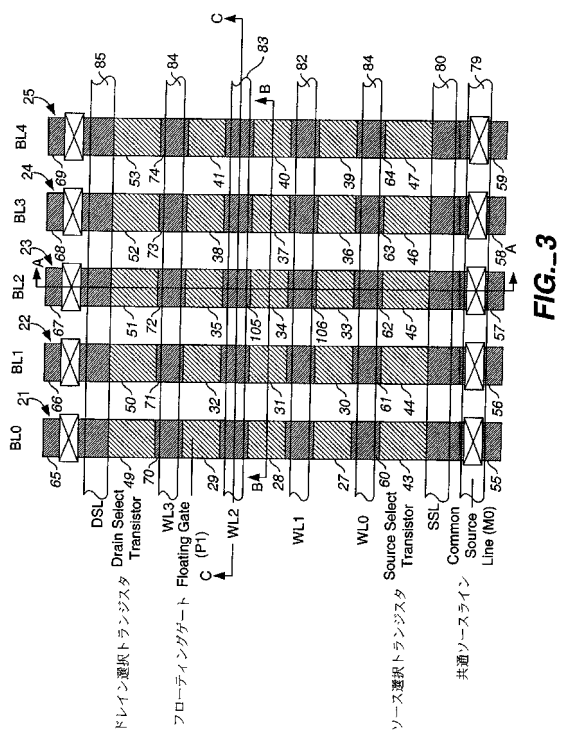
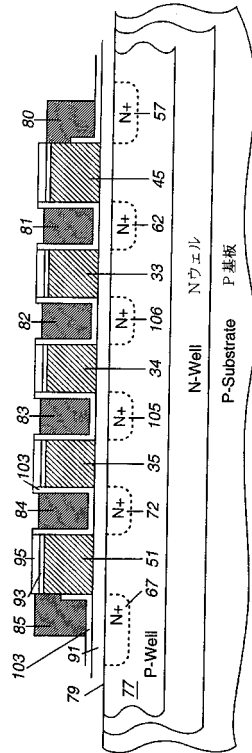
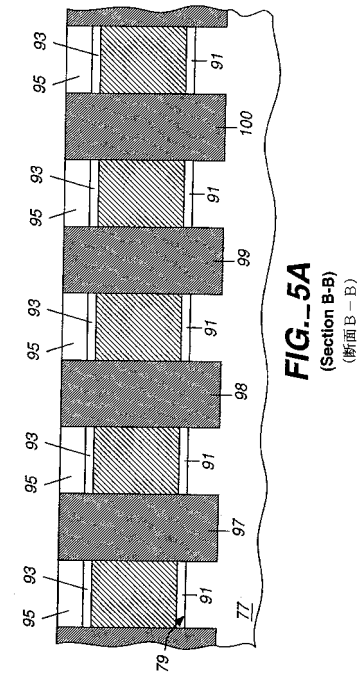


FIG. 3

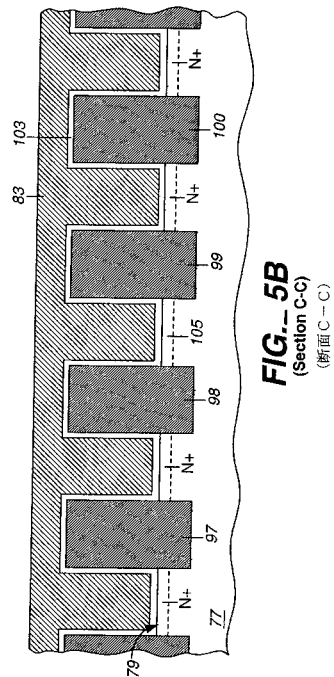
【図 4】



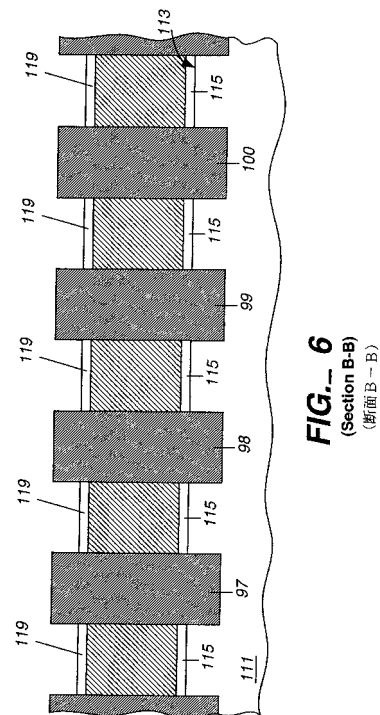
【図 5 A】

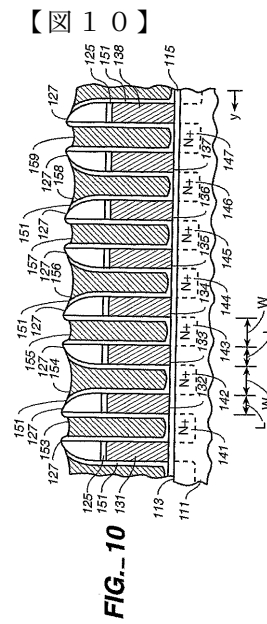
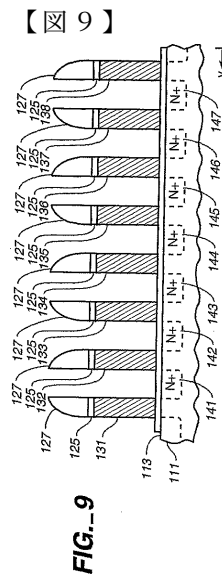
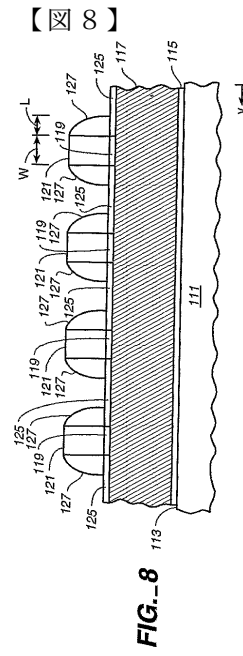
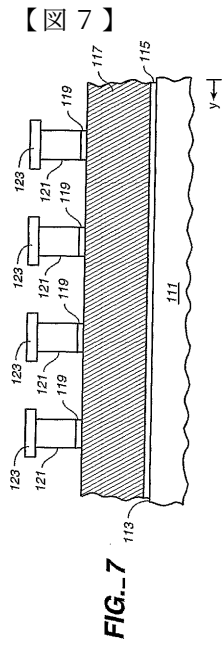


【図 5 B】



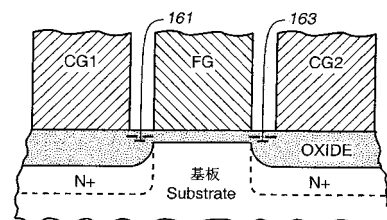
【図 6】





【図 11】

FIG. 11



フロントページの続き

(51)Int.Cl. F I

G 1 1 C 16/04 (2006.01)

(56)参考文献 特開2003-046005 (JP, A)

特開平07-312394 (JP, A)

特開平09-330989 (JP, A)

特開平03-203370 (JP, A)

特開平06-037328 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247

G11C 16/02

G11C 16/04

H01L 27/115

H01L 29/788

H01L 29/792