



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I866953 B

(45)公告日：中華民國 113 (2024) 年 12 月 21 日

(21)申請案號：109104848

(22)申請日：中華民國 109 (2020) 年 02 月 15 日

(51)Int. Cl. : C30B29/06 (2006.01)

C30B33/00 (2006.01)

C30B33/02 (2006.01)

H01L21/322 (2006.01)

H01L29/32 (2006.01)

(30)優先權：2019/04/16 日本

2019-077651

(71)申請人：日商信越半導體股份有限公司(日本) SHIN-ETSU HANDOTAI CO., LTD. (JP)
日本

(72)發明人：曲偉峰 QU, WEI FENG (CN)；井川靜男 IGAWA, SHIZUO (JP)

(74)代理人：周良吉；周良謀

(56)參考文獻：

TW 201426877A

WO 2018/037755A1

審查人員：李明達

申請專利範圍項數：4 項 圖式數：6 共 20 頁

(54)名稱

矽單晶晶圓之製造方法及矽單晶晶圓

(57)摘要

本發明係關於適合多層結構元件的矽單晶晶圓之製造方法，其係採用氧濃度為 12ppma (JEITA) 以上、 N_V 區域的矽單晶晶圓，藉由進行在含氮爐霧下且溫度 1225°C 以上的 RTA 處理、鏡面拋光加工處理、及 BMD 形成熱處理，來製造如下的矽單晶晶圓：自矽單晶晶圓的表面起依序至少具有厚度為 5 ~ 12.5 μ m 的 DZ 層、及位在該 DZ 層正下方而 BMD 密度為 $1 \times 10^{11}/\text{cm}^3$ 以上的 BMD 層。藉此，提供一種適合多層結構元件的矽單晶晶圓之製造方法，能於元件形成時在表層部正下方吸收矽晶圓表面受到的應力，在 BMD 層吸收應變引起的缺陷，可提昇元件形成區域之強度及抑制表層之中的差排發生、伸長。

指定代表圖：

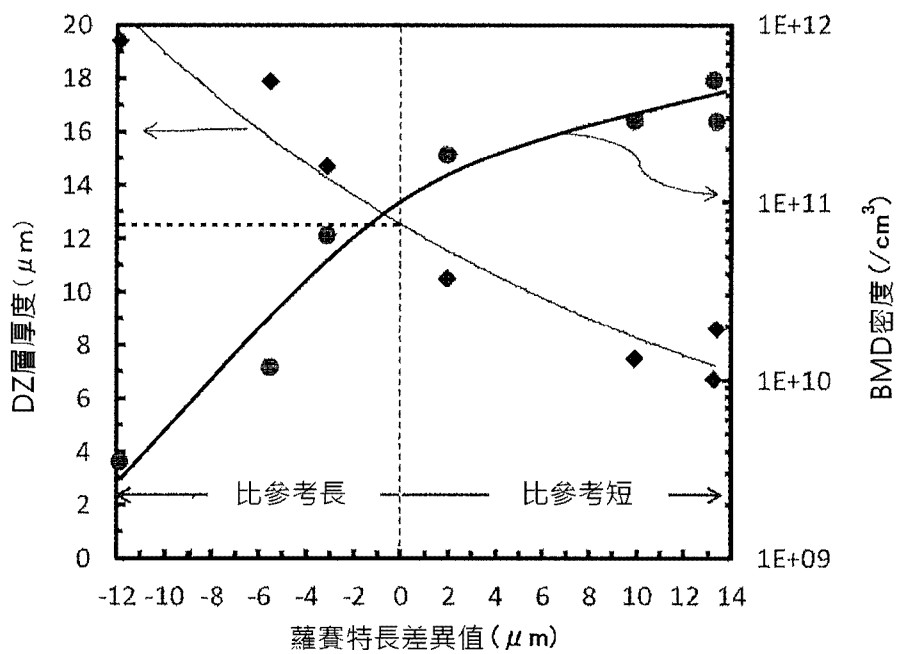


圖 3



I866953

【發明摘要】

【中文發明名稱】 矽單晶晶圓之製造方法及矽單晶晶圓

【中文】

本發明係關於適合多層結構元件的矽單晶晶圓之製造方法，其係採用氧濃度為12ppma（JEITA）以上、 N_v 區域的矽單晶晶圓，藉由進行在含氮爐霧下且溫度1225°C以上的RTA處理、鏡面拋光加工處理、及BMD形成熱處理，來製造如下的矽單晶晶圓：自矽單晶晶圓的表面起依序至少具有厚度為5~12.5 μm 的DZ層、及位在該DZ層正下方而BMD密度為 $1 \times 10^{11}/\text{cm}^3$ 以上的BMD層。藉此，提供一種適合多層結構元件的矽單晶晶圓之製造方法，能於元件形成時在表層部正下方吸收矽晶圓表面受到的應力，在BMD層吸收應變引起的缺陷，可提昇元件形成區域之強度及抑制表層之中的差排發生、伸長。

【指定代表圖】 圖3

【代表圖之符號簡單說明】 無

【特徵化學式】 無

【發明說明書】

【中文發明名稱】 矽單晶晶圓之製造方法及矽單晶晶圓

【技術領域】

【0001】

本發明係關於適合多層結構元件的矽單晶晶圓之製造方法及矽單晶晶圓。

【先前技術】

【0002】

在最新的記憶體（3D Xpoint）中，要求元件區域（自表面起深度約 $0.5\mu\text{m}$ 的範圍）之中的矽基板之高強度化、3D NAND之疊層化所形成的基板表層部強度之提昇。

【0003】

一般而言，以賦予吸除能力與提昇表體部強度為目的，而將氮、碳、硼摻雜至矽單晶。然而，若以高濃度摻雜氮、碳、硼，則會於表層形成氧析出物，而有電特性會惡化之問題。針對此種問題點，吾人採取藉由熱處理使雜質向外擴散的對策。此時，表層形成DZ層。在此DZ層中，由於氧的向外擴散而成為低氧，容易由於元件形成時受到的應力而發生滑移。

【0004】

再者，專利文獻1、專利文獻2、專利文獻3中揭示有控制BMD密度而不會過度形成氧析出物之技術，專利文獻4揭示有鄰接於無缺陷區域而具有近接吸除能力的單晶晶圓。

〔先前技術文獻〕

〔專利文獻〕

【0005】

專利文獻1：日本特開2016-100542號公報

專利文獻2：日本專利第4055343號公報

專利文獻3：日本專利第4794137號公報

專利文獻4：日本特開2015-216375號公報

專利文獻5：日本特開2016-111044號公報

【發明內容】

（發明所欲解決之問題）

【0006】

然而，即使如專利文獻1-4中記載的單晶晶圓，於單晶晶圓上形成多層結構的元件之情形，仍有元件形成區域將會發生滑移之問題，故尋求即使在形成多層結構的元件之情形亦不於元件形成區域發生滑移的矽單晶晶圓。

【0007】

本發明係為了解決上述問題而成，目的在於提供一種適合多層結構元件的矽單晶晶圓之製造方法及矽單晶晶圓，能於元件形成時在表層部正下方的BMD層吸收由矽晶圓表面受到的應力所致之應變引起的缺陷，可提昇元件形成區域之強度及抑制表層之中的差排發生、伸長。

（解決問題之方式）

【0008】

本發明係為了達成上述目的而成，提供一種適合多層結構元件的矽單晶晶圓之製造方法，其係採用氧濃度為12ppma（JEITA）以上、 N_V 區域的矽單晶晶圓，藉由進行在含氮爐霧下且溫度1225°C以上的RTA處理、鏡面拋光加工處理、

及BMD形成熱處理，而在矽單晶晶圓的表面起依序至少具有厚度為5~12.5 μm 的DZ層、及位在該DZ層正下方且BMD密度為 $1\times 10^{11}/\text{cm}^3$ 以上的BMD層。

【0009】

依據此種矽單晶晶圓之製造方法，能獲得適合多層結構元件的矽單晶晶圓，其可提昇元件形成區域之強度及抑制表層之中的差排發生、伸長。

【0010】

此時，能在未滿10秒、降溫速度30 $^{\circ}\text{C}$ /秒以上的熱處理條件下進行前述RTA處理。

【0011】

藉此，能更加提高抑制電洞向外擴散的效果，使深度方向的電洞分布成為更加陡峭，獲得更陡峭的BMD密度分布者。

【0012】

此時，能在氬爐霧下、溫度870~950 $^{\circ}\text{C}$ 、2小時以上的熱處理條件下進行前述BMD形成熱處理。

【0013】

藉此，因為能僅使析出核尺寸大到某種程度者成長，而能使BMD分布更加陡峭。

【0014】

本發明係為了達成上述目的而成，提供一種適合多層結構元件的矽單晶晶圓，該矽單晶晶圓係 N_v 區域之物，自矽單晶晶圓的表面起依序至少具有DZ層與位於該DZ層正下方的BMD層，前述DZ層的厚度為5~12.5 μm ，前述BMD層的BMD密度為 $1\times 10^{11}/\text{cm}^3$ 以上。

【0015】

依據此種矽單晶晶圓，則成為一種適合多層結構元件的矽單晶晶圓，其可提昇元件形成區域之強度及抑制表層之中的差排發生、伸長。

【0016】

此時，前述矽單晶晶圓可定為如下：

在以滿足關係式 $Depth = 3 \times Fz^{0.6}$ 的方式

（其中Depth為打痕深度（單位： μm ），Fz為推入壓力（單位：N），並定為 $Depth = 0.01\mu\text{m}$ 以上、未滿 $5.00\mu\text{m}$ ），

施加前述推入壓力Fz而於前述矽單晶晶圓表面形成打痕深度Depth的打痕時，成為自前述表面起依序具有應變層、DZ層、BMD層的至少3層的疊層結構，並於針對已形成前述打痕的前述矽單晶晶圓進行溫度 900°C 、1小時的熱處理時，前述熱處理後的前述DZ層之差排的蘿賽特（rosette）長度，短於前述熱處理前的前述DZ層之差排的蘿賽特長度。

【0017】

藉此，成為抑制差排伸長之能力更高者。

（發明之功效）

【0018】

如上所述，依據本發明之矽單晶晶圓之製造方法，能製造一種適合多層結構元件的矽單晶晶圓，其可提昇元件形成區域之強度及抑制表層之中的差排發生、伸長。再者，依據本發明之矽單晶晶圓，能成為一種適合多層結構元件的矽單晶晶圓，其可提昇元件形成區域之強度及抑制表層之中的差排發生、伸長。

【圖式簡單說明】

【0019】

圖1顯示本發明之矽單晶晶圓。

第4頁，共14頁(發明說明書)

圖2顯示蘿賽特測試之說明圖。

圖3顯示DZ層厚、BMD密度、蘿賽特長差異值之關係。

圖4顯示本發明之矽單晶晶圓的剖面觀察照片。

圖5顯示實施例2及比較例2的DZ層厚、BMD密度、蘿賽特差異值之關係。

圖6顯示比較例3的DZ層厚、BMD密度、蘿賽特長差異值之關係。

【實施方式】

(實施發明之較佳形態)

【0020】

以下詳細說明本發明，但本發明並非限定於此。

【0021】

如上所述，吾人尋求一種適合多層結構元件的矽單晶晶圓之製造方法及矽單晶晶圓，其能於元件形成時在表層部正下方的BMD層吸收由矽晶圓表面受到的應力所致之應變引起的缺陷，可提昇元件形成區域之強度及抑制表層之中的差排發生、伸長。

【0022】

本案發明人針對上述問題特意反覆探討的結果，發現能藉由一種適合多層結構元件矽單晶晶圓之製造方法，其採用氧濃度為12ppma (JEITA) 以上、 N_V 區域的矽單晶晶圓，藉由進行在含氮爐霧下且溫度1225°C以上的RTA處理、鏡面拋光加工處理、及BMD形成熱處理，來製造下述矽單晶晶圓：自矽單晶晶圓的表面起依序至少具有厚度為5~12.5 μm 的DZ層、及位於該DZ層正下方且BMD密度為 $1 \times 10^{11}/\text{cm}^3$ 以上的BMD層；而製造出適合多層結構元件的矽單晶晶圓，其可提昇元件形成區域之強度及抑制表層之中的差排發生、伸長，進而完成本發明。

【0023】

再者，發現藉由一種適合多層結構元件的矽單晶晶圓，其中，該矽單晶晶圓係 N_V 區域之物，自矽單晶晶圓的表面起依序至少具有DZ層及位於該DZ層正下方的BMD層，前述DZ層的厚度為 $5 \sim 12.5\mu\text{m}$ ，前述BMD層的BMD密度為 $1 \times 10^{11}/\text{cm}^3$ 以上，而成為一種適合多層結構元件的矽單晶晶圓，其可提昇元件形成區域之強度及抑制晶圓表層之中的差排發生、伸長，進而完成本發明。

【0024】

以下參照圖式進行說明。

【0025】

本案發明人，著眼於如圖1所示的至少具有DZ層1與位於該DZ層1正下方的BMD層2之矽單晶晶圓100，針對其DZ層1之厚度、BMD層2之BMD密度而進行調查時，發現DZ層1的厚度與BMD層2之BMD密度滿足特定的關係時，成為可提昇元件形成區域的強度及抑制表層之中的差排發生、伸長。

【0026】

首先，準備缺陷區域為整面 N_V 區域且氧濃度不同的矽單晶CW（Chemical etched Wafer，化學蝕刻晶圓）晶圓，改變RTA處理及BMD形成熱處理的條件，製作具有各種DZ層厚度、BMD層之BMD密度的矽單晶PW（Polished Wafer，拋光晶圓）晶圓，調查差排發生、伸長的抑制效果（差排的吸收效果）。以下，描述調查內容與結果。

【0027】

準備直徑300mm、 $\langle 100 \rangle$ 、P型、 $10\Omega\text{cm}$ 、氧濃度14ppma（JEITA）、缺陷區域為整面 N_V 區域（無缺陷但飽和濃度以下的電洞為優勢的區域）的、矽單晶CW晶圓。針對此CW晶圓進行溫度 $1150 \sim 1300^\circ\text{C}$ 、時間9秒、在 $\text{NH}_3 + \text{Ar}$ 爐霧下的熱處理作為RTA處理。其後，將目標加工量定為 $6\mu\text{m}$ 進行PW加工。藉此去

除在RTA處理形成的氮化膜。最後，進行溫度1200°C、時間2小時、在Ar爐霧下的熱處理作為BMD形成熱處理。關於獲得的矽單晶PW晶圓而言，進行DZ層厚、BMD密度之量測時，獲得DZ層的厚度為0.5~19.4μm、BMD密度為 $3.5 \times 10^9/\text{cm}^3$ ~ $4.9 \times 10^{11}/\text{cm}^3$ 的樣本。

【0028】

差排發生、伸長之抑制效果，藉由蘿賽特測試（蘿賽特長度之量測、比較）來加以評估。具體而言，針對如上所述地製作的具有DZ層、BMD層之矽單晶PW晶圓，以0.24~2.9N的打痕壓力，形成深度為0.01μm以上、未滿5.00μm的打痕，並量測蘿賽特長度。再者，形成打痕之後，再於進行900°C、1小時的熱處理之後亦量測蘿賽特長度。並且，將此等熱處理前後的蘿賽特長度加以比較。

【0029】

在此說明蘿賽特測試。本發明之矽單晶晶圓的差排抑制效果，能藉由差排的長度（蘿賽特長）來評估。蘿賽特測試係專利文獻5中記載的評估方法。此評估方法係藉由於評估對象即晶圓的表面形成打痕，而將應變施加於晶圓的表層。其後進行熱處理，使差排伸長，量測差排的長度（蘿賽特長）。差排的長度越短者，能判斷為抑制差排發生、伸長之能力越高者。

【0030】

以下參照圖2的蘿賽特測試之說明圖來說明具體的評估方法。首先，針對所準備的矽單晶晶圓100之表層，使用例如維氏硬度測試機等，施加推入壓力而形成打痕3。另，只要能於晶圓的表層施加推入壓力而形成打痕即可，使用的機械等並不特別限定。

【0031】

在打痕形成中，宜以滿足關係式 $\text{Depth} = 3 \times \text{Fz}^{0.6}$ 的方式（其中Depth為打痕深度（單位：μm），Fz為推入壓力（單位：N）， $\text{Depth} = 0.01 \mu\text{m}$ 以上、未滿 $5.00 \mu\text{m}$ ），

第7頁，共14頁(發明說明書)

施加推入壓力 F_z 而於晶圓表面形成打痕深度Depth的打痕3。如此形成打痕時，成為自前述表面起依序包含應變層4、DZ層1、BMD層2的至少3層的疊層結構。只要以此種條件形成打痕3，則能高精度地評估差排的發生、伸長抑制效果。

【0032】

形成打痕之後，為使蘿賽特長度充分伸長，宜於矽晶圓進行熱處理。藉由進行熱處理，形成差排伸展區域5（圖2）。就此處的熱處理而言，例如能將熱處理溫度定為 850°C 以上 1200°C 以下。只要如此定為 850°C 以上，則在矽的脆性-延性遷移溫度以上，而能在評估時使充分的差排伸長。再者，只要定為 1200°C 以下，則能在立式熱處理爐進行處理。

【0033】

熱處理時間能定為例如30分以上1小時以下。只要係此種範圍的時間，對於使差排伸長而言即為充分。再者，能定為Ar爐雰。此係因為Ar沒有阻礙差排運動的效果，所以能更正確地評估晶圓本身的強度。尤其，若將熱處理條件定為 900°C 、1小時，能使DZ層中的差排有效率地伸長，能更加正確地確認對於熱處理後的BMD層之差排的吸收效果。其結果，能獲得抑制差排發生、伸長之能力更高者。

【0034】

其次，為了量測差排之長度，進行選擇蝕刻，使差排顯著化。選擇蝕刻只要能使差排顯著化即可，其方法不特別限定。例如，可進行使用氫氟酸與硝酸與醋酸與水混合而成的蝕刻液（JISH0609-199中的C液）的濕式蝕刻。再者，亦可進行如反應性離子蝕刻（RIE：Reactive Ion Etching）的乾式蝕刻。

【0035】

如此使自打痕延伸的差排顯著化之後，量測該差排的長度（蘿賽特長度）。

【0036】

為達成上述目的，將本案發明人所進行的調查結果顯示於圖3。圖3係顯示蘿賽特長度與DZ層厚、BMD密度之關係。圖3所示的圖表的橫軸係以進行前述溫度900°C、1小時的熱處理之前的矽單晶PW晶圓之蘿賽特長作為參考基準值時的、基準值（參考）與各樣本之進行前述溫度900°C、1小時的熱處理之後的蘿賽特長之差（以下稱為「蘿賽特長差異值」）。意即，圖3的橫軸之蘿賽特長差異值呈正值的範圍，係意指進行前述溫度900°C、1小時的熱處理之後的蘿賽特長，短於進行前述溫度900°C、1小時的熱處理之前的矽單晶PW晶圓，並意指差排的發生、伸長之抑制效果高。相反地，圖3的橫軸之蘿賽特長差異值呈負值的範圍，係意指進行前述溫度900°C、1小時的熱處理之後的蘿賽特長，長於進行前述溫度900°C、1小時的熱處理之前的矽單晶PW晶圓，沒有差排發生、伸長之抑制效果。

【0037】

再者，圖3的縱軸之第1軸（左方縱軸）係顯示進行RTA處理及BMD形成熱處理的矽單晶晶圓之DZ層厚度，縱軸的第2軸（右方縱軸）係顯示進行RTA處理及BMD形成熱處理的矽單晶晶圓之BMD層的BMD密度。

【0038】

如圖3所示，吾人發現，在DZ層的厚度為12.5 μm 以下且BMD層之BMD密度為 $1 \times 10^{11}/\text{cm}^3$ 以上的範圍中，成為蘿賽特長差異值呈正值區域的範圍，亦即，差排發生、伸長的抑制效果提高，成為適合用於多層結構元件的晶圓。只要DZ層的厚度為10 μm 以下，即能更加穩定獲得上述效果。另，將在後述的實施例1、比較例1之對比中詳細說明，蘿賽特長差異值呈正值的範圍之條件，係RTA處理溫度為1225°C以上的範圍。再者，將DZ層的厚度定為5 μm 以上，係為了確保元件製作區域。

【0039】

本發明之矽單晶晶圓100係 N_V 區域之物。並且，如圖1所示，自晶圓的表面起依序具有至少DZ層1與位於該DZ層1正下方的BMD層2。在此，「位於正下方」係與「相鄰接觸」相同意義。再者，BMD層2可係矽單晶晶圓100之中排除DZ層1的部分全部係BMD層2，亦可係僅有矽單晶晶圓100之中DZ層1以外部分的其中一部分為BMD層2。

【0040】

再者，本發明之矽單晶晶圓尤其具有以下特徵：DZ層的厚度為 $5\sim 12.5\mu\text{m}$ ，且宜為 $5\sim 10\mu\text{m}$ ，BMD層的BMD密度為 $1\times 10^{11}/\text{cm}^3$ 以上。藉由使DZ層的厚度與BMD層的BMD密度在上述範圍內，而成為吸收差排的效果極高的矽單晶晶圓。將此種矽單晶晶圓用來形成多層結構元件時，能抑制發生於元件形成區域的差排發生、伸長，能抑制滑移等缺陷發生。

【0041】

再者，本發明之矽單晶晶圓，於如上所述地形成打痕，進行溫度 900°C 、1小時的熱處理時，其熱處理後的DZ層之差排的蘿賽特長度，係短於未形成有BMD層之矽單晶晶圓（PW）的DZ層之差排的蘿賽特長度。此種矽單晶晶圓係抑制差排發生、伸長之能力較高者。

【0042】

其次詳述本發明之矽單晶晶圓之製造方法。

【0043】

為了製造至少具有厚度為 $5\sim 12.5\mu\text{m}$ 的DZ層、及位於該DZ層正下方且BMD密度為 $1\times 10^{11}/\text{cm}^3$ 以上的BMD層之矽單晶晶圓，採用氧濃度為12ppma（JEITA）以上、 N_V 區域的矽單晶晶圓。氧濃度的上限不特別限定，能定為例如17ppma（JEITA）以下。準備滿足此種規格的CW晶圓，首先，進行在含氮爐霧下且溫度 1225°C 以上的RTA處理。此RTA處理的熱處理條件宜定為未滿10秒、降溫速

度 $30^{\circ}\text{C}/\text{秒}$ 以上。RTA處理的熱處理時間之下限不特別限定，例如能定為1秒以上。降溫速度的上限亦不特別限定，能定為例如 $100^{\circ}\text{C}/\text{秒}$ 以下。如此自高溫之熱處理溫度起急速降溫時，能使抑制電洞向外擴散的效果更高，深度方向的電洞分布更為陡峭，其結果，能使BMD密度分布更加陡峭。另，BMD密度的上限不特別限定，能定為例如 $1\times 10^{12}/\text{cm}^3$ 以下。

【0044】

進行RTA處理之後，進行鏡面拋光加工。鏡面拋光加工條件不特別限定，只要進行滿足通常規格的鏡面拋光即可。

【0045】

藉由針對已進行鏡面拋光加工處理的矽單晶晶圓進行BMD形成熱處理，而形成BMD密度為 $1\times 10^{11}/\text{cm}^3$ 以上的BMD層。此時的BMD形成用之熱處理條件，宜定為在氬爐霧下、 $870\sim 950^{\circ}\text{C}$ 、2小時以上。只要是此種熱處理條件，則因為僅使析出核尺寸大到某種程度者成長，所以能使BMD分布更加陡峭。另，關於熱處理的時間，因為即使過度地定為長時間，亦未能見到BMD密度分布的變化，所以定為例如8小時以下，在效率上為佳。

〔實施例〕

【0046】

以下，舉實施例來詳細說明本發明，但其並非用來限定本發明。

【0047】

（實施例1）

首先準備直徑300mm、 $\langle 100 \rangle$ 、P型、 $10\Omega\text{cm}$ 、氧濃度14ppma（JEITA）、缺陷區域為整面 N_V 區域的、矽單晶CW晶圓。針對CW晶圓進行溫度 $1225\sim 1300^{\circ}\text{C}$ 、時間9秒、在 $\text{NH}_3 + \text{Ar}$ 爐霧下的熱處理作為RTA處理。其後，目標加工量定為 $6\mu\text{m}$ 進行PW加工。藉此去除在RTA處理形成的氮化膜。最後進行溫度 1200°C 、

第 11 頁，共 14 頁(發明說明書)

時間2小時、在Ar爐霧下的熱處理作為BMD形成熱處理。針對獲得的矽單晶晶圓進行DZ層厚、BMD密度之量測。DZ層厚為6.7~10.5 μm ，BMD密度為 1.8×10^{11} ~ $4.9\times 10^{11}/\text{cm}^3$ 。再者，圖4中顯示RTA處理溫度1300 $^{\circ}\text{C}$ 、DZ層厚度6.7 μm 、BMD密度 $4.9\times 10^{11}/\text{cm}^3$ 時的剖面TEM影像。

【0048】

再者，使用同樣的CW，於進行RTA處理及BMD形成熱處理之後的晶圓表面，以0.24~2.9N的推入壓力，形成1~5 μm 深度的打痕之後，在進行900 $^{\circ}\text{C}$ 、1小時的熱處理前後藉由蘿賽特測試來進行蘿賽特長的量測。將藉此獲得的蘿賽特長之差計算為蘿賽特長差異值。

【0049】

(比較例1)

在RTA處理溫度定為1150 $^{\circ}\text{C}$ ~1200 $^{\circ}\text{C}$ 以外係與實施例1同樣地進行處理、評估。DZ層厚為14.7~19.4 μm ，BMD密度為 3.5×10^9 ~ $6.6\times 10^{10}/\text{cm}^3$ 。

【0050】

實施例1之蘿賽特長差異值為2~13 μm 。另一方面，比較例1的蘿賽特長差異值為-3~-12 μm 。如此，可知在實施例的矽單晶晶圓中，能有效地抑制差排的發生、伸長。在使差排伸長(成長)的熱處理後之差排的蘿賽特長度較短之情形，係顯示出藉由在DZ層正下方形成高密度的BMD層來獲得吸收差排的效果。

【0051】

(實施例2)

採用氧濃度12ppma (JEITA)的矽單晶CW晶圓，在RTA處理溫度定為1225~1250 $^{\circ}\text{C}$ 以外係與實施例1相同條件下進行樣本製作。獲得的矽單晶晶圓之DZ層厚為10.3~12.3 μm ，BMD密度為 1.3×10^{11} ~ $1.7\times 10^{11}/\text{cm}^3$ 。蘿賽特長差異值為0.5~6.0 μm 。

【0052】

(比較例2)

採用氧濃度12ppma (JEITA) 的矽單晶CW晶圓，在RTA處理溫度定為1175～1200°C以外係與實施例1相同條件下進行樣本製作。獲得的矽單晶晶圓之DZ層厚為15.7～18.7 μm ，BMD密度為 $5.4\times 10^9\sim 7.1\times 10^{10}/\text{cm}^3$ 。蘿賽特長差異值為-2.0～-5.5 μm 。

【0053】

將實施例2及比較例2之結果顯示於圖5。在實施例2中，能獲得蘿賽特長差異值呈正的範圍之矽單晶晶圓。

【0054】

(比較例3)

採用氧濃度11ppma (JEITA) 的矽單晶CW晶圓，在RTA處理溫度定為1225～1300°C以外係與實施例1相同條件下進行樣本製作。獲得的矽單晶晶圓之DZ層厚為21.5～33.0 μm ，BMD密度為 $1.0\times 10^9\sim 4.6\times 10^9/\text{cm}^3$ 。蘿賽特長差異值為-5.0～-12.0 μm 。

【0055】

將比較例3之結果顯示於圖6。氧濃度為未滿12ppma (JEITA) 之情形，即使提高RTA處理溫度，亦無法獲得蘿賽特長差異值呈正的矽單晶晶圓。

【0056】

另，本發明不限定於上述實施形態。上述實施形態係例示，與本發明之申請專利範圍記載之技術思想具有實質上同一構成、發揮同樣作用效果者，均包含於本發明的技術範圍。

【符號說明】

【0057】

1:DZ層

2:BMD層

3:打痕

4:應變層

5:差排伸展區域

100:矽單晶晶圓

【發明申請專利範圍】

【請求項1】

一種矽單晶晶圓之製造方法，該矽單晶晶圓係適合多層結構元件，其特徵在於，

採用氧濃度為12ppma（JEITA）以上、 N_v 區域的矽單晶晶圓，

藉由進行在含氮爐霧下且溫度1225°C以上的RTA處理、鏡面拋光加工處理、及BMD形成熱處理來製造下述矽單晶晶圓：自矽單晶晶圓的表面起依序至少具有厚度為5~12.5 μm 的DZ層、及位在該DZ層正下方且BMD密度為 $1\times 10^{11}/\text{cm}^3$ 以上、 $1\times 10^{12}/\text{cm}^3$ 以下的BMD層。

【請求項2】

如請求項1之矽單晶晶圓之製造方法，其中，

該RTA處理係在未滿10秒、降溫速度30°C/秒以上之熱處理條件下進行。

【請求項3】

如請求項1或2之矽單晶晶圓之製造方法，其中，

該BMD形成熱處理係在氮爐霧、溫度870~950°C、2小時以上的熱處理條件下進行。

【請求項4】

一種矽單晶晶圓，其係適合多層結構元件，其特徵在於，

該矽單晶晶圓係 N_v 區域之物，

自矽單晶晶圓之表面起依序至少具有DZ層與位在該DZ層正下方的BMD層，

該DZ層的厚度為5~12.5 μm ，而該BMD層的BMD密度為 $1\times 10^{11}/\text{cm}^3$ 以上、 $1\times 10^{12}/\text{cm}^3$ 以下；

該矽單晶晶圓，

在以滿足關係式 $Depth = 3 \times Fz^{0.6}$ 的方式

（其中， $Depth$ 為打痕深度（單位： μm ）， Fz 為推入壓力（單位： N ），並定為 $Depth = 0.01 \mu m$ 以上、未滿 $5.00 \mu m$ ），

施加該推入壓力 Fz 而於該矽單晶晶圓之表面形成打痕深度 $Depth$ 之打痕時，成為自該表面起依序包含應變層、 DZ 層、 BMD 層的至少3層的疊層結構，

且於針對已形成該打痕的該矽單晶晶圓進行溫度 $900^{\circ}C$ 、1小時的熱處理時，該熱處理後的該 DZ 層之差排的蘿賽特長度，係短於該熱處理前的該 DZ 層之差排的蘿賽特長度。

【發明圖式】

100

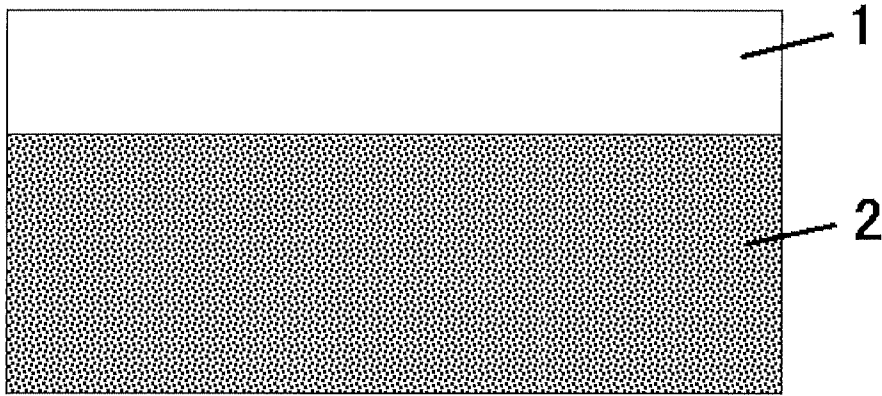


圖 1

100

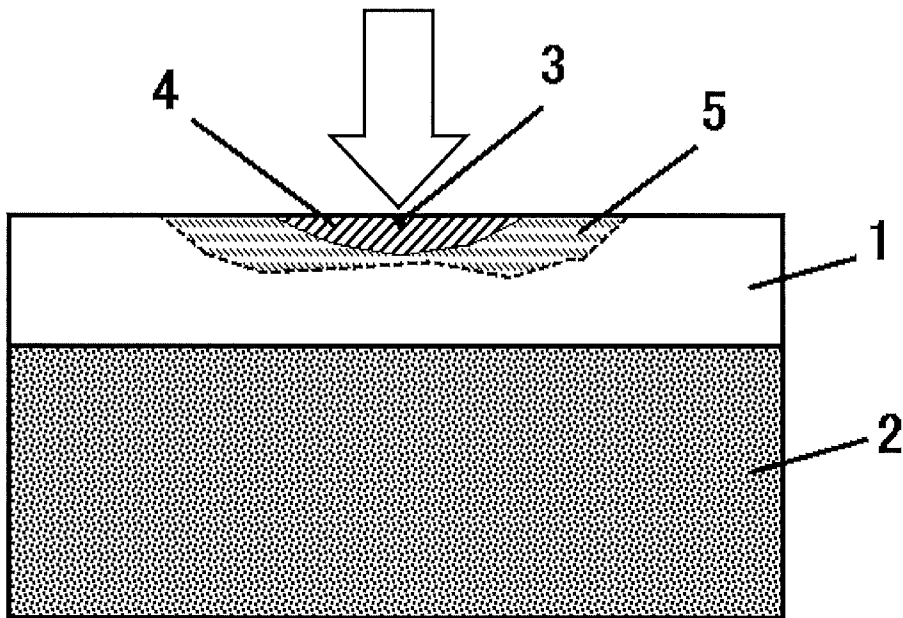


圖 2

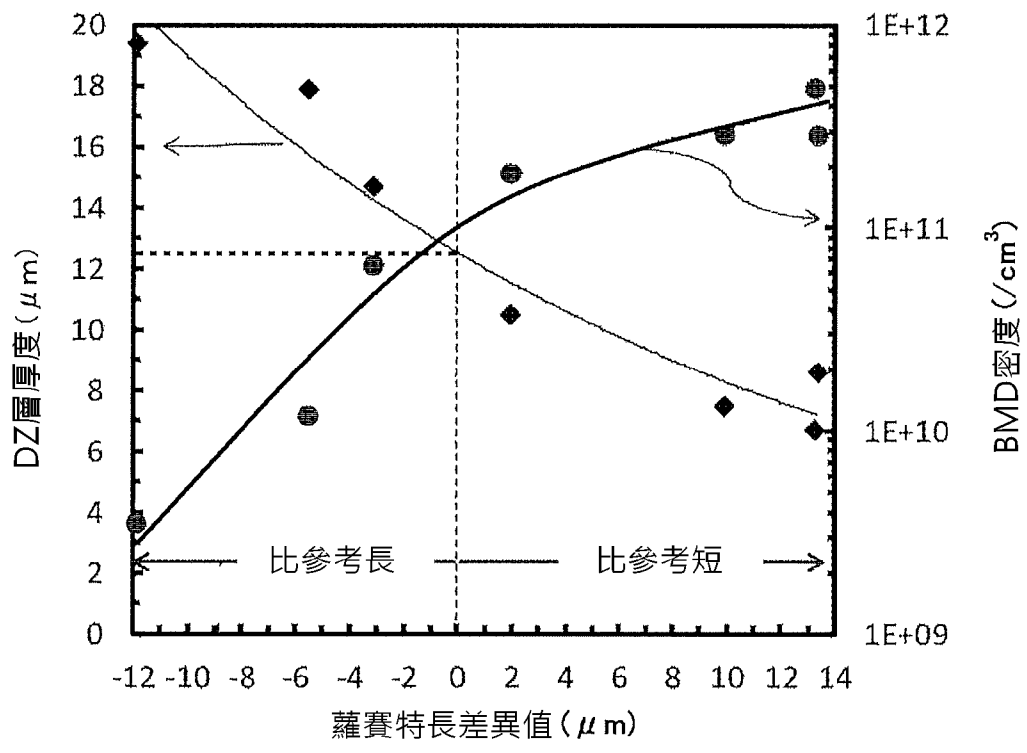


圖 3

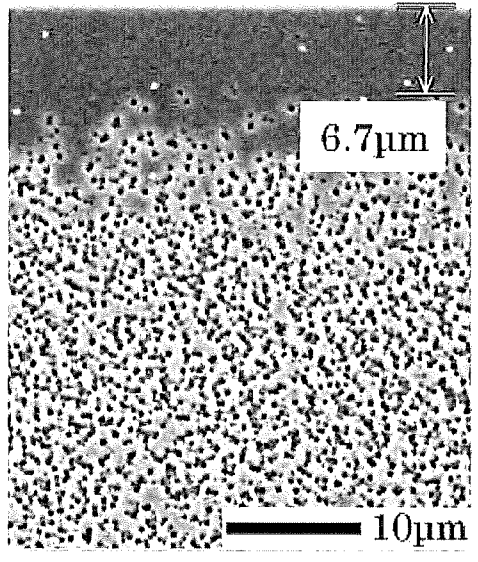


圖 4

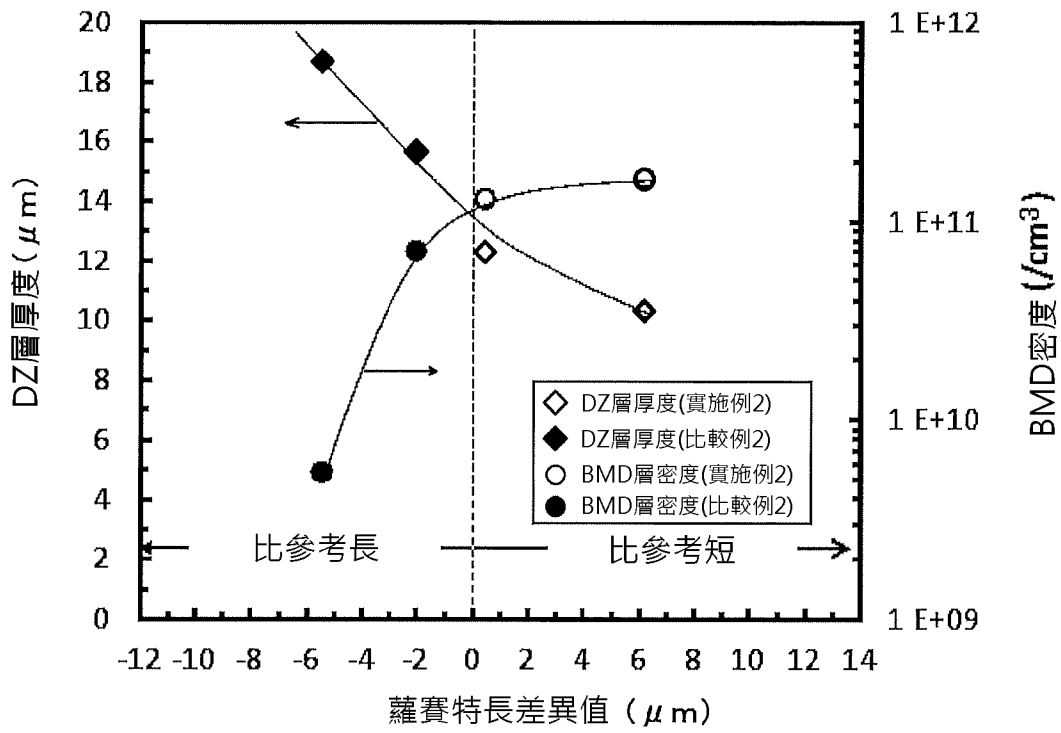


圖 5

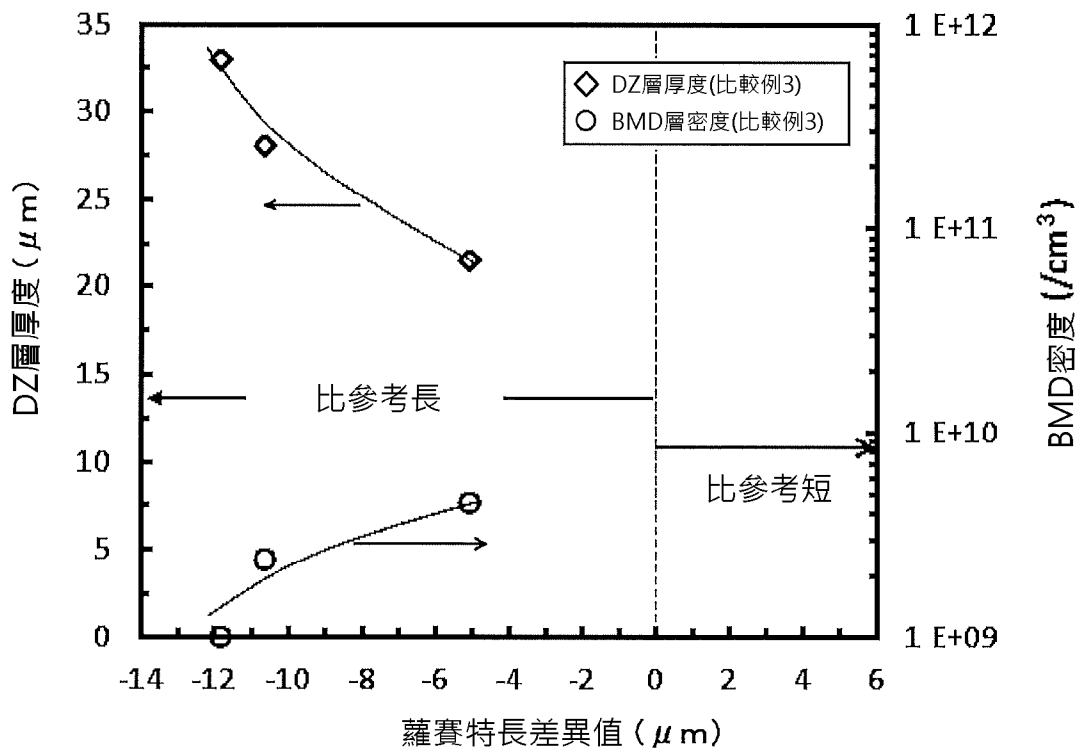


圖 6