

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97114196

※ 申請日期： 97.4.18

※IPC 分類： G06F 9/34 (2006.01)

一、發明名稱：(中文/英文)

資料位址追蹤方法及資料位址追蹤裝置、資料追蹤方法及資料追蹤裝置

Method and apparatus for tracing data addresses, method and apparatus for tracing data

二、申請人：(共1人)

姓名或名稱：(中文/英文)

聯發科技股份有限公司

MediaTek Inc.

代表人：(中文/英文) 蔡明介/Ming-Kai Tsai

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市篤行一路1號

No. 1, Dusing Rd. 1st, Science-Based Industrial Park, Hsin-Chu 300,

Taiwan, R.O.C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共3人)

姓 名：(中文/英文)

1. 雷麥許 真德海爾拉/Ramesh Jandhyala

2. 斯里肯斯 坎南/Srikanth Kannan

3. 李力/Li Lee

國 籍：(中文/英文)

1. 印度/IN

2. 印度/IN

3. 摩洛哥/MA

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國(US)、2007/4/18、60/923, 974

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種資料位址追蹤方法。包括維護由處理器所存取之至少一先前資料位址的一視窗移動歷史記錄，視窗移動歷史記錄中至少一先前資料位址之每一者係與一索引相關。決定視窗移動歷史記錄中至少一先前資料位址之一者與一目前資料位址之間的一差別值，並且提供差別值與視窗移動歷史記錄中至少一先前資料位址之一者相關的索引以表示目前資料位址。

六、英文發明摘要：

A moving window history of at least one previous data address accessed by a processor is maintained, the at least one previous data address in the history each being associated with an index. A difference between a current data address and one of the at least one previous data address in the history is determined. The difference and the index associated with the one of the at least one previous data address in the history are provided as a representation of the current address.

七、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

8～處理系統；

10～處理器；

12～資料快取記憶體；

14～第二級記憶體；

20～資料追蹤模組。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種資料存取的追蹤。

【先前技術】

於單一晶片上之嵌入式 (embedded) 處理器包括一數位信號處理器和一記憶體，記憶體可併入快取記憶體以迎合資料存取型態的時間和空間區域性。在一些實施例中，由於快取記憶體的填充 (fill) 和寫回 (copyback) 動作，因此快取記憶體的使用可能會造成額外的負擔。當處理器遇到快取誤失 (cache miss) 情況的時候，快取記憶體硬體可從記憶體階層架構中較低的等級開始填寫快取列 (cache line)。在快取列的填寫中，產生快取誤失的記憶體操作可能導致處理器暫停運作，並且等待從記憶體中讀取此資料。

【發明內容】

為解決以上存在的技術問題，特提供以下技術方案：

本發明揭示一種資料位址追蹤方法。該方法包括維護由一處理器所存取之至少一先前資料位址的一視窗移動歷史記錄，該視窗移動歷史記錄中該至少一先前資料位址之每一者係與一索引相關；決定該視窗移動歷史記錄中該至少一先前資料位址之一者與一目前資料位址之間的一差別值；以及提供該差別值和該視窗移動歷史記錄中該至少一先前資料位址之一者相關的該索引，以表

示該目前資料位址。

另一方面，本發明揭示一種資料追蹤方法，包括接收由一處理器所存取的記憶體位址；壓縮該記憶體位址以產生壓縮的記憶體位址；以及輸出該壓縮的記憶體位址。

本發明揭示一種資料位址追蹤裝置。包括：一緩衝器記憶體，維護由一處理器所存取之至少一先前資料位址的一視窗移動歷史記錄，該視窗移動歷史記錄中該至少一先前資料位址之每一者係與一索引相關；以及一壓縮電路，決定所述視窗移動歷史記錄中該至少一先前資料位址之一者與一目前資料位址之間的一差別值，並且提供該差別值和該視窗移動歷史記錄中該至少一先前資料位址之一者相關的該索引以表示該目前資料位址。

本發明揭示一種資料追蹤裝置。包括：一記憶裝置；一處理器，存取該記憶裝置中的位址；以及一資料追蹤模組，壓縮由該處理器所存取的該位址以產生壓縮的位址，並且輸出該壓縮的位址。

本發明揭示一種資料位址追蹤方法，用以追蹤由一處理器所存取之資料位址，包括：維護由該處理器所存取之複數先前資料位址的一視窗移動歷史記錄，其中該視窗移動歷史記錄中該等先前資料位址之每一者皆具有一索引；決定該視窗移動歷史記錄中兩個或更多該等先前資料位址與一目前資料位址之間的一最小絕對差別值；以及提供該最小絕對差別值及其正負號和一對應的

索引以表示該目前資料位址。

這些和其他方面，以及特徵和其組合可用方法、裝置、系統、執行功能的手段、程式產品以及其他方式表示。

實施本發明，可記錄和分析處理器所存取的位址。根據位址追蹤資訊，可針對特定硬體架構最佳化軟體應用程式。同樣地，可針對特定軟體應用程式最佳化硬體架構。關於對記憶體存取資訊可用來最佳化：快取記憶體大小、快取列大小、替代方案、使部分快取列成為已寫入狀態的粒度，以及第一級和第二級快取記憶體的分配。

【實施方式】

為使本發明之所述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

參照第 1 圖，第 1 圖顯示根據本發明一實施例之包含資料追蹤模組 20 的處理系統 8 的方塊圖。處理系統 8 包含一處理器 10、一資料快取記憶體 12、一第二級記憶體 14 及資料追蹤模組 20，資料追蹤模組 20 用以監控由處理器 10 所存取的資料位址。資料追蹤模組 20 的輸出可以是壓縮的串流，當解壓縮後，其包括每一存取位址和讀取/寫入指示等資訊。透過分析正被存取的資料位址可提升處理系統 8 的效能（例如減少快取的誤失）。

處理器 10 存取資料快取記憶體 12 以取得用以執行指令的資料。處理器 10 可以是數位信號處理器、微控制器或一般用途微處理器。資料快取記憶體 12 是一容量相對小且高速的記憶體。當處理器 10 所需的資料存在於資料快取記憶體 12 內時（快取命中）可達到高速的操作，當處理器 10 所需的資料不存在於資料快取記憶體 12 內時（快取誤失），則執行快取填充操作以於第二級記憶體 14 內存取所需的資料。在快取填充操作中，將資料快取記憶體 12 的一列寫回第二級記憶體 14，以便於資料快取記憶體 12 內騰出空間給的新資料。由於經常發生的快取誤失可能造成延遲且降低效能，因此分析處理器 10 的記憶體存取型態可提供相關的資訊，這些資訊可以用來調整系統的參數（例如資料快取記憶體 12 和第二級記憶體 14 的大小）以減少快取的誤失進而改善系統的效能。

舉例來說，記憶體位址的相關存取資訊對於以下幾個方面的影響的確認是很有用的，例如：較大快取記憶體的影響、更相關式（more associative）快取記憶體的影響、不同大小的快取列的影響、不同替代方案的影響、使部分快取列成為已寫入狀態時較大的粒度（greater granularity）的影響、以及從第一級記憶體移動資料結構至外部快取記憶體的影響。

在第 1 圖的例子中，資料追蹤模組 20 用以監控資料快取記憶體 12 內由處理器 10 所存取的資料位址。資料追蹤模組 20 接收由處理器 10 提供給資料快取記憶體 12

的每一位址 A，以及一用以顯示資料存取是否為讀取或寫入操作的讀取/寫入 (R/W) 信號。資料追蹤模組 20 提供一資料位址的壓縮串流 22 以便進行硬體和軟體效能的晶片外分析 (off-chip analysis)。資料位址的壓縮串流 22 可提供存取相關的位址資訊。在一些實施例中，壓縮串流亦包括存取類型的資訊 (例如讀取存取、寫入存取或快取控制)。執行於相同硬體架構之上的不同軟體應用程式可能具有不同的效能，因此於執行軟體應用程式期間，藉著分析處理器 10 所存取的資料位址可針對特定的硬體架構進行最佳化軟體應用程式。同樣地，硬體架構可針對特定軟體應用程式而最佳化。

在一些實施中，資料追蹤模組 20 可提供使用者選項以降低輸出資料位址的壓縮串流 22 的頻寬。這對於處理器 10 因執行一應用程式而造成大量的資料存取並最終壓倒 (overwhelms) 追蹤模組時顯得特別有用。舉例來說，資料追蹤模組 20 可允許使用者設定如下的選項：

(1) 於最小和最大位址所定義的位址範圍之內執行追蹤的動作。

(2) 於最小和最大位址所定義的位址範圍之外執行追蹤的動作。

(3) 追蹤特定類型的存取，例如對內部第一級快取記憶體或內部第一級靜態隨機存取記憶體 (Static Random Access Memory, SRAM) 存取命中之情形：

(i) 於最小和最大位址所定義的位址範圍之內；

(ii)於最小和最大位址所定義的位址範圍之外。

(4)追蹤非核心匯流排活動(off-core bus activity):

(i)於最小和最大位址所定義的位址範圍之內。

(ii)於最小和最大位址所定義的位址範圍之外。

(5)過濾快取控制指令，用於用戶指定快取管理(user specific cache management)。

(6)根據一大範圍的執行效能監控事件(例如特定區域內的快取誤失，或是第 n 次快取誤失的發生)來過濾。

資料追蹤模組 20 可應用於任何用以分析晶片運作的產品內。在一些實施例中，資料追蹤模組 20 和處理器 10 皆可存在於相同的晶片或積體電路內。這在資料快取記憶體 12 為晶片內建的快取記憶體時有用。資料追蹤模組 20 產生並輸出一資料位址的壓縮串流，輸出晶片之資料位址的壓縮串流於晶片外重建以進行進一步的分析和除錯。在一些實施例中，資料追蹤模組 20 和處理器 10 可屬於不同的晶片。

在執行特定應用程式時，資料追蹤模組 20 對於追蹤大量的資料位址的存取有用。舉例來說，動畫專家群組(Motion Picture Experts Group, MPEG)視訊解碼器應用程式可使處理器 10 每隔兩個時脈週期存取資料，若處理器 10 的操作頻率是 260MHz，則資料位址的串流將具有每秒 520M 字節的頻寬。資料追蹤模組可於高頻操作中追蹤多個資料位址的串流，位址並不限定於快取記憶體

晶片內，位址也可為動態隨機存取記憶裝置、靜態隨機存取記憶裝置、快閃記憶裝置、硬碟或光碟內的位址。

參照第 2 圖，第 2 圖顯示根據本發明實施例之資料追蹤模組 20 的方塊示意圖。資料追蹤模組 20 包括一位址過濾單元 30、一基於歷史記錄的壓縮單元 40、一基於區間的壓縮單元 50、一位元組表示轉換單元 60 和一輸出先進先出緩衝器單元 70。

位址過濾單元 30 可被架構暫存器所控制，並且可包含或排除某些特定類型的存取，也可透過一可程式的值（例如從 0 到 7）將資料位址移位。位址過濾單元 30 可根據所述的使用者選項減少正在追蹤的位址數目。

基於歷史記錄的壓縮單元 40 保有過去所存取的位址的歷史記錄，並藉著找出目前存取資料位址和 N 個先前存取資料位址之間的不同之處來壓縮位址資訊。目前資料位址被編碼成與先前第 K 個存取差別 D 個位元組的值。參數 K 和 D 分別稱為偏移量（offset）和差別值（difference）。由於對記憶體的存取通常具有區域性，因此 D 通常使用少許的位元表示。

基於歷史記錄的壓縮單元 40 從位址過濾單元 30 接收目前資料位址 A 和相應的讀取/寫入信號，並且把位址 A 、偏移量 K 和差別值 D 等信號輸出至基於區間的壓縮單元 50。在以下的範例中，每一資料位址是 32 位元。然而，資料位址也可用其他的位元數來表示。基於歷史記錄的壓縮單元 40 稍後將於本文中詳細地介紹。

基於區間的壓縮單元 50 發現連續的資料存取群組之間存在冗餘，顯然是某些執行的序列引發連續的存取型態。舉例來說， $\{K, D\}$ 的序列可以是：

1. $\{3, 1\}$
2. $\{3, 0\}$
3. $\{4, 2\}$
4. $\{2, 1\}$
5. $\{1, 6\}$
6. $\{3, 1\}$
7. $\{3, 0\}$
8. $\{4, 2\}$
9. $\{2, 1\}$

在此情況中，基於區間的壓縮處理會將存取 6 到 9（第二存取序列）表示為存取 1 到 4（第一存取序列）的重複。存取 6 到 9 可編碼為如下的訊息格式“長度為 4 的區間，起始於 5 個存取之前”。每一區間可用區間的長度 L 和區間的起始點 P 來定義，其中 P 為該區間第一個存取的相對參考位置。在以上的例子中， $L=4$ 而 $P=5$ 。

在一實施例中，可藉著維護 $\{K, D\}$ 封包（packet）內過去 8 個存取的歷史記錄來執行基於區間的壓縮，並且使用封包 $\{L, P\}$ 將多達 8 個存取的區間編碼。在上述例子中， L 和 P 最大的值為 8。基於區間的壓縮單元 50 的輸出可以是以下兩種封包的其中一種：（1）個別存取封包 $\{A, D, K\}$ 或（2）區間封包 $\{L, P\}$ 。

資料追蹤模組 20 可提供用以從所擷取之位址丟棄最不重要的位元的選項。丟棄位元的數目是可程式化的，例如從 0 到 7 位元。可以有一選項用以過濾掉未快取的第一級靜態隨機存取記憶體存取。

位元組表示轉換單元 60 將基於區間的壓縮單元 50 所輸出的封包轉換成位元組大小的封包。設計這個流程有兩個目的：效率和同步性。位元組表示轉換單元 60 使用盡可能少的所需位元組表示這些資訊以達成高的壓縮比例。位元組表示轉換單元 60 也提供一方法讓輸出位元組串流的觀測者與編碼程序的狀態同步，包括能夠重建緩衝器的狀態。

在一些範例中，記憶體空間是 4GB，而正被壓縮的位址串流包括一串 32 位元位址。每一封包 {A, D, K} 或 {L, P} 可用 1 至 5 個位元組表示。如果差別值 D 所需的位元大於一門檻（例如 24 位元）則輸出資料位址 A，而非輸出差別值 D 和索引 K。若位址以較多的位元數（例如 64 位元）表示，則可增加該門檻。在這個範例中，位址編碼本身於 40 位元的輸出中消耗了一些資料位元，而無法對大於所述門檻的差別值 D 有效地編碼，因此在這種情況下送出完整的位址 A。否則，則輸出差別值 D 和索引 K。輸出先進先出緩衝器單元 70 提供壓縮的位址資訊給晶片外分析單元。

參照第 3 圖，第 3 圖顯示根據本發明實施例之基於歷史記錄的壓縮單元的方塊圖。在一些實施例中，基於

歷史記錄的壓縮單元 40 包括一耦接到壓縮電路 102 的緩衝器記憶體 100。緩衝器記憶體 100 包括處理器 10 最近所存取之資料位址的視窗移動歷史記錄。緩衝器記憶體 100 包括一讀取歷史記錄緩衝器 110 和一寫入歷史記錄緩衝器 112。讀取歷史記錄緩衝器 110 包括處理器 10 於讀取操作期間所存取之一個或多個先前讀取資料位址的視窗移動歷史記錄。同樣地，寫入歷史記錄緩衝器 112 包括處理器 10 於寫入操作期間所存取之一個或多個先前寫入資料位址的視窗移動歷史記錄。

在一些實施中，讀取歷史記錄緩衝器 110 可包括五個先前讀取資料位址，而寫入歷史記錄緩衝器 112 可包括三個先前寫入資料位址，每一歷史記錄緩衝器以先進先出的方式操作。因此，每一目前讀取資料位址會更新讀取歷史記錄緩衝器 110，亦即取代讀取歷史記錄緩衝器 110 中最舊的先前讀取資料位址相同地，每一目前寫入資料位址會更新寫入歷史記錄緩衝器 112，亦即取代寫入歷史記錄緩衝器 112 中最舊的先前寫入資料位址。每一歷史記錄緩衝器都是一視窗移動歷史記錄，在這意義上，每一歷史記錄緩衝器包括了處理器最近期間所存取的一個或多個資料位址，並且適時地以每一個新的讀取資料位址或新的寫入資料位址更新歷史記錄緩衝器。

緩衝器記憶體 100 可以是任何可用於儲存先前資料位址和邏輯的記憶裝置，以確定更新歷史記錄時追蹤記憶裝置中哪一個位址要被取代。在一實施例中，緩衝器

記憶體 100 以先進先出 (FIFO) 緩衝器的方式實施。

壓縮電路 102 接收每一個目前資料位址 A 以及相應的讀取/寫入信號。壓縮電路 102 根據每一個目前資料位址 A 和相應的歷史記錄內容輸出一壓縮的資料位址。

根據壓縮技術，其維護了先前資料位址的視窗移動歷史記錄，因而可將第 n 個存取的位址 $A[n]$ 與歷史記錄中的多個位址做比較，且亦計算差別值。下一步決定歷史記錄緩衝器中之位址的索引 K ，記錄其中索引 K 最小化差別值的絕對值，然後輸出並記錄索引 K 和有正負號的最小差別值 $D[K]$ ，而非位址 $A[n]$ 。為了要記載目前資料位址是否比歷史記錄中的位址高或低而須考慮差別值的正負號。對於一 32 位元的位址 $A[n]$ 而言，每一存取需要四位元組來表示。相照之下，研究發現一包括四個先前資料位址的歷史記錄可允許 70% 的存取以六位元編碼。

參照第 4 圖，第 4 圖顯示根據本發明所述之用以操作基於歷史記錄的壓縮單元之範例流程圖。壓縮資料位址的流程 148 包括以下的步驟。在步驟 150 中測試一計數器的計數值是否歸零。如果該計數器並未歸零，則該計數器於步驟 152 中計數值減 1。在步驟 154 中，根據讀取/寫入信號辨識目前資料位址是讀取資料位址或寫入資料位址。在讀取資料位址的情況中，在步驟 160 中以如下的方式計算讀取歷史記錄緩衝器 110 中每一讀取資料位址的差別值 $D[K]$ ：

$$D[K]=A-H[K] \quad (1)$$

對於 $K=0, 1, 2, 3, 4$ ，其中 A 為目前資料讀取位址， $H[K]$ 是讀取歷史記錄緩衝器 110 中的一位址， K 是讀取歷史記錄緩衝器 110 中位址的索引。在這個範例中，由於讀取歷史記錄緩衝器包括了五個讀取資料位址，因此索引 K 具有 0 到 4 的選取範圍以供讀取存取。

在步驟 162 中決定讀取歷史記錄緩衝器位址的索引 K 的值，索引 K 對應最小絕對差別值 $D[K]$ 的值，並且將差別值 D 設成 $D[K]$ ，包括差別值的正負號。在步驟 164 中更新讀取歷史記錄緩衝器 110。讀取歷史記錄緩衝器 110 中的每一位址都移位一個位置，且把目前資料位址 A 寫到次序中的最低位置。更實際地說，目前資料位址取代讀取歷史記錄緩衝器 110 中最舊的先前資料位址。

若步驟 154 中所確認的是一寫入存取的情況，則在步驟 170 中根據公式 (1) 計算寫入歷史記錄緩衝器 112 中每一位址的差別值 $D[K]$ ，其中 K 為 5,6,7。 A 為目前寫入資料位址， $H[K]$ 是寫入歷史記錄緩衝器 112 中的一位址， K 是寫入歷史記錄緩衝器 112 中位址的索引。在這個範例中，由於寫入歷史記錄緩衝器包括了三個寫入資料位址，因此索引 K 具有 5 到 7 的選取範圍以供寫入存取。讀取存取的索引 K 的範圍值不會與寫入存取的索引 K 的範圍值重疊，因此可以根據索引 K 確認一資料位址是有關於讀取存取或寫入存取。

在步驟 172 中決定寫入歷史記錄緩衝器位址的索引

K 的值，索引 K 對應最小絕對差別值 $D[K]$ 的值，並且將差別值 D 設成 $D[K]$ ，包括差別值的正負號。在步驟 174 中藉著以目前資料位址 A 取代最舊的先前資料位址來更新寫入歷史記錄緩衝器 112。在步驟 180 中輸出目前資料位址 A、最小的正負差別值 D 和對應於最小絕對差別值的索引 K。當最小絕對差別值的計算結果無法進行壓縮時，則輸出目前資料位址 A。

若步驟 150 中計數器的值為 0，則於步驟 190 中清除讀取歷史記錄緩衝器 110 和寫入歷史記錄緩衝器 112。此外也輸出了一同步序列，同步序列的頻率可為暫存器 SYNCFREQ 所規劃。歷史記錄緩衝器被清除而每隔 $N * \text{SYNCFREQ}$ 個計數值則送出一同步序列，其中 N 是整數，例如 32。

讀取歷史記錄緩衝器 110 和寫入歷史記錄緩衝器 112 各自亦可包含許多不同於以上所列舉的先前資料位址。通常，每一歷史記錄緩衝器含有一個或多個先前資料位址。在限定每一歷史記錄緩衝器只含有一個先前資料位址的情形下，計算所得的差別值為最小差別值。壓縮效能可能會受到每一個歷史記錄緩衝器中位址數目的影響。於實作上，每一個歷史記錄緩衝器中具有三至五個位址則能夠提供可接受的效能。

索引 K 的範圍可根據歷史記錄緩衝器 110 和 112 中先前資料位址的數目而改變。舉例來說，如果讀取歷史記錄緩衝器 110 儲存 10 個讀取資料位址而寫入歷史記錄

緩衝器 112 儲存 6 個寫入資料位址，則讀取存取的索引 K 可介於 0 至 9 的範圍，而寫入存取的索引 K 可介於 10 至 15 的範圍。

雖然本文詳述了各種的實施方式，但在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾。舉例來說，可對上述的流程重新排序、增加或移除。本發明所述之系統和技術的各種實施例可實現於數位電子電路、積體電路、特殊設計的特定應用積體電路（Application Specific Integrated Circuits, ASIC）、電腦硬體、韌體、軟體以及/或其組合之上。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖顯示根據本發明一實施例之包含資料追蹤模組的處理系統的方塊圖；

第 2 圖顯示根據本發明實施例之資料追蹤模組的方塊示意圖；

第 3 圖顯示根據本發明實施例之基於歷史記錄的壓縮單元的方塊圖；以及

第 4 圖顯示根據本發明所述之用以操作基於歷史記錄的壓縮單元之範例流程圖。

【主要元件符號說明】

- 8～處理系統；
- 10～處理器；
- 12～資料快取記憶體；
- 14～第二級記憶體；
- 20～資料追蹤模組；
- 30～位址過濾單元；
- 40～基於歷史記錄的壓縮單元；
- 50～基於區間的壓縮單元；
- 60～位元組表示轉換單元；
- 70～輸出先進先出緩衝器單元；
- 100～緩衝器記憶體；
- 102～壓縮電路；
- 110～讀取歷史記錄緩衝器；
- 112～寫入歷史記錄緩衝器。

十、申請專利範圍：

1.一種資料位址追蹤方法，包括：

維護由一處理器所存取之多個先前資料位址的一視窗移動歷史記錄，該視窗移動歷史記錄中該多個先前資料位址之每一者係與一索引相關；

決定一目前資料位址與該視窗移動歷史記錄中該多個先前資料位址之間的一最小絕對差別值；以及

提供該最小絕對差別值及其正負號和該視窗移動歷史記錄中該多個先前資料位址之一者相關的該索引，以表示該目前資料位址。

2.如申請專利範圍第 1 項所述之資料位址追蹤方法，其中所述維護視窗移動歷史記錄的步驟包括：維護由該處理器所存取之一個或多個先前讀取資料位址的一讀取歷史記錄。

3.如申請專利範圍第 1 項所述之資料位址追蹤方法，其中所述決定差別值的步驟包括：決定一目前讀取資料位址和該視窗移動歷史記錄中的至少一先前讀取資料位址之間的一最小絕對差別值。

4.如申請專利範圍第 1 項所述之資料位址追蹤方法，其中所述維護視窗移動歷史記錄的步驟包括：維護由該處理器所存取之一個或多個先前寫入資料位址的一寫入歷史記錄。

5.如申請專利範圍第 4 項所述之資料位址追蹤方法，其中所述決定差別值的步驟包括：決定一目前寫入資料位

址和該視窗移動歷史記錄中的該至少一先前寫入資料位址之間的一最小絕對差別值。

6.如申請專利範圍第 1 項所述之資料位址追蹤方法，其中所述維護視窗移動歷史記錄的步驟包括：儲存該至少一先前資料位址於一先進先出緩衝器中。

7.如申請專利範圍第 1 項所述之資料位址追蹤方法，其中所述決定差別值的步驟包括：計算該視窗移動歷史記錄中多個先前資料位址之每一者與該目前資料位址之間的一絕對差別值，並且從所計算的該等絕對差別值中選擇一最小絕對差別值。

8.如申請專利範圍第 1 項所述之資料位址追蹤方法，更包括更新該視窗移動歷史記錄。

9.如申請專利範圍第 8 項所述之資料位址追蹤方法，其中所述更新視窗移動歷史記錄的步驟包括：將該目前資料位址加入該視窗移動歷史記錄中，並且從該視窗移動歷史記錄中移除一最舊的先前資料位址。

10.一種資料追蹤方法，包括：

接收由一處理器所存取的記憶體位址；

壓縮該記憶體位址以產生壓縮的記憶體位址；以及
輸出該壓縮的記憶體位址；

其中所述壓縮該記憶體位址的步驟包括：辨識與一第一存取序列重複的一第二存取序列；決定該第二存取序列的一長度；以及決定相對於該第一存取序列之該第二存取序列的一起始點。

11.如申請專利範圍第 10 項所述之資料追蹤方法，其中所述壓縮記憶體位址的步驟包括：決定一目前資料位址和一先前資料位址之間的一差別值，並且輸出該差別值以表示該目前資料位址。

12.如申請專利範圍第 10 項所述之資料追蹤方法，其中所述壓縮記憶體位址的步驟包括：維護由該處理器所存取之至少一先前資料位址的一歷史記錄，決定一目前資料位址和該至少一先前資料位址之間的一最小絕對差別值，辨識與該先前資料位址相關的一索引，以及輸出該最小絕對差別值和該索引以表示該目前資料位址。

13.如申請專利範圍第 10 項所述之資料追蹤方法，其中所述壓縮記憶體位址的步驟包括：

維護由該處理器所存取之至少一先前資料位址的一歷史記錄；

決定一目前位址和該至少一先前資料位址之間的一最小差別值；以及

決定相關於該先前位址的一索引。

14.如申請專利範圍第 13 項所述之資料追蹤方法，其中所述壓縮記憶體位址的步驟更包括：

檢視由一序列之封包所表示的位址；

辨識與一第一存取序列重複的一第二存取序列；

辨識該第二存取序列的一長度；以及

辨識相對於該第一存取序列之該第二存取序列的一起始點。

15.一種資料位址追蹤裝置，包括：

一緩衝器記憶體，維護由一處理器所存取之多個先前資料位址的一視窗移動歷史記錄，該視窗移動歷史記錄中該多個先前資料位址之每一者係與一索引相關；以及

一壓縮電路，決定該視窗移動歷史記錄中該多個先前資料位址與一目前資料位址之間的一最小絕對差別值，並且提供該最小絕對差別值及其正負號和該視窗移動歷史記錄中該多個先前資料位址之一者相關的該索引以表示該目前資料位址。

16.如申請專利範圍第 15 項所述之資料位址追蹤裝置，其中該緩衝器記憶體包括一讀取歷史記錄緩衝器，用以維護一個或多個先前讀取資料位址的一讀取歷史記錄。

17.如申請專利範圍第 16 項所述之資料位址追蹤裝置，其中該壓縮電路更決定一目前讀取資料位址和該讀取歷史記錄緩衝器中的該多個先前讀取資料位址之間的一最小絕對差別值。

18.如申請專利範圍第 15 項所述之資料位址追蹤裝置，其中該緩衝器記憶體包括一寫入歷史記錄緩衝器，用以維護一或多個先前寫入資料位址的一寫入歷史記錄。

19.如申請專利範圍第 18 項所述之資料位址追蹤裝置，其中該壓縮電路更決定一目前寫入資料位址和該寫入歷史記錄緩衝器中的該多個先前寫入資料位址之間的一最小絕對差別值。

20.如申請專利範圍第 15 項所述之資料位址追蹤裝

置，其中該緩衝器記憶體包括一先進先出緩衝器。

21.如申請專利範圍第 15 項所述之資料位址追蹤裝置，其中該壓縮電路更計算該視窗移動歷史記錄中兩個或更多該等先前資料位址之每一者與該目前資料位址之間的一絕對差別值，並且從所計算的該等絕對差別值中選擇該最小絕對差別值。

22.如申請專利範圍第 15 項所述之資料位址追蹤裝置，其中該壓縮電路更更新該視窗移動歷史記錄。

23.如申請專利範圍第 15 項所述之資料位址追蹤裝置，其中該壓縮電路係藉著將該目前資料位址加到該視窗移動歷史記錄並且從該視窗移動歷史記錄移除一最舊的先前資料位址來更新該視窗移動歷史記錄。

24.一種資料追蹤裝置，包括：

一記憶體裝置；

一處理器，存取該記憶體裝置中的記憶體位址；以及

一資料追蹤模組，壓縮由該處理器所存取的該位址以產生壓縮的記憶體位址，並且輸出該壓縮的記憶體位址；

其中，經由辨識與一第一存取序列重複的一第二存取序列，決定該第二存取序列的一長度，以及決定相對於該第一存取序列之該第二存取序列的一起始點，該資料追蹤模組被配置為壓縮由該處理器所存取的該記憶體位址。

25.如申請專利範圍第 24 項所述之資料追蹤裝置，其中該資料追蹤模組包括一基於歷史記錄的壓縮單元，用以決定一目前資料位址和一先前資料位址之間的一差別值，

並且輸出該差別值以表示該目前資料位址。

26.如申請專利範圍第 24 項所述之資料追蹤裝置，其中該資料追蹤模組包括一基於歷史記錄的壓縮單元，用以決定一目前資料位址和該至少一先前資料位址之間的一最小差別值、辨識與該先前位址相關的一索引，以及輸出該差別值和該索引以表示該目前資料位址。

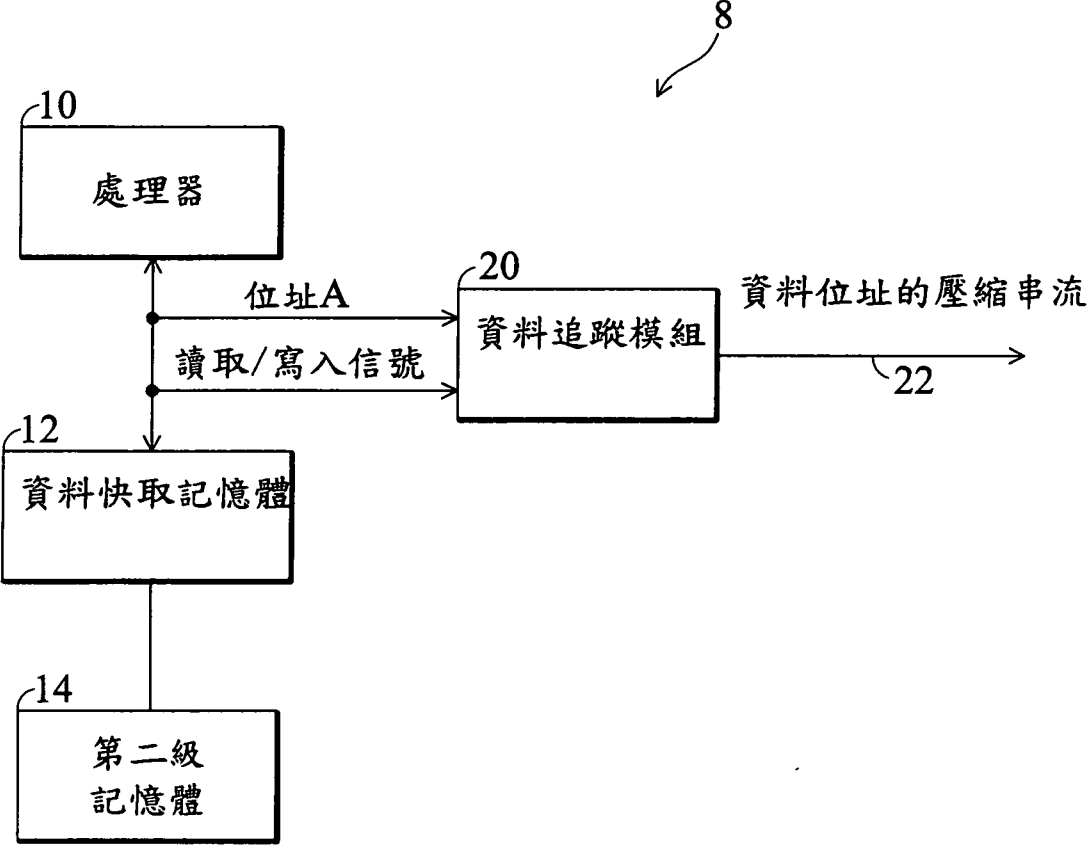
27.如申請專利範圍第 24 項所述之資料追蹤裝置，其中該資料追蹤模組包括一基於區間的壓縮單元，用以辨識與該第一存取序列重複的該第二存取序列，並且輸出一第一值和一第二值表示該第二存取序列，其中該第一值代表該第二存取序列的該長度，該第二值代表該第二存取序列的該起始點。

28.一種資料位址追蹤方法，用以追蹤由一處理器所存取之資料位址，包括：

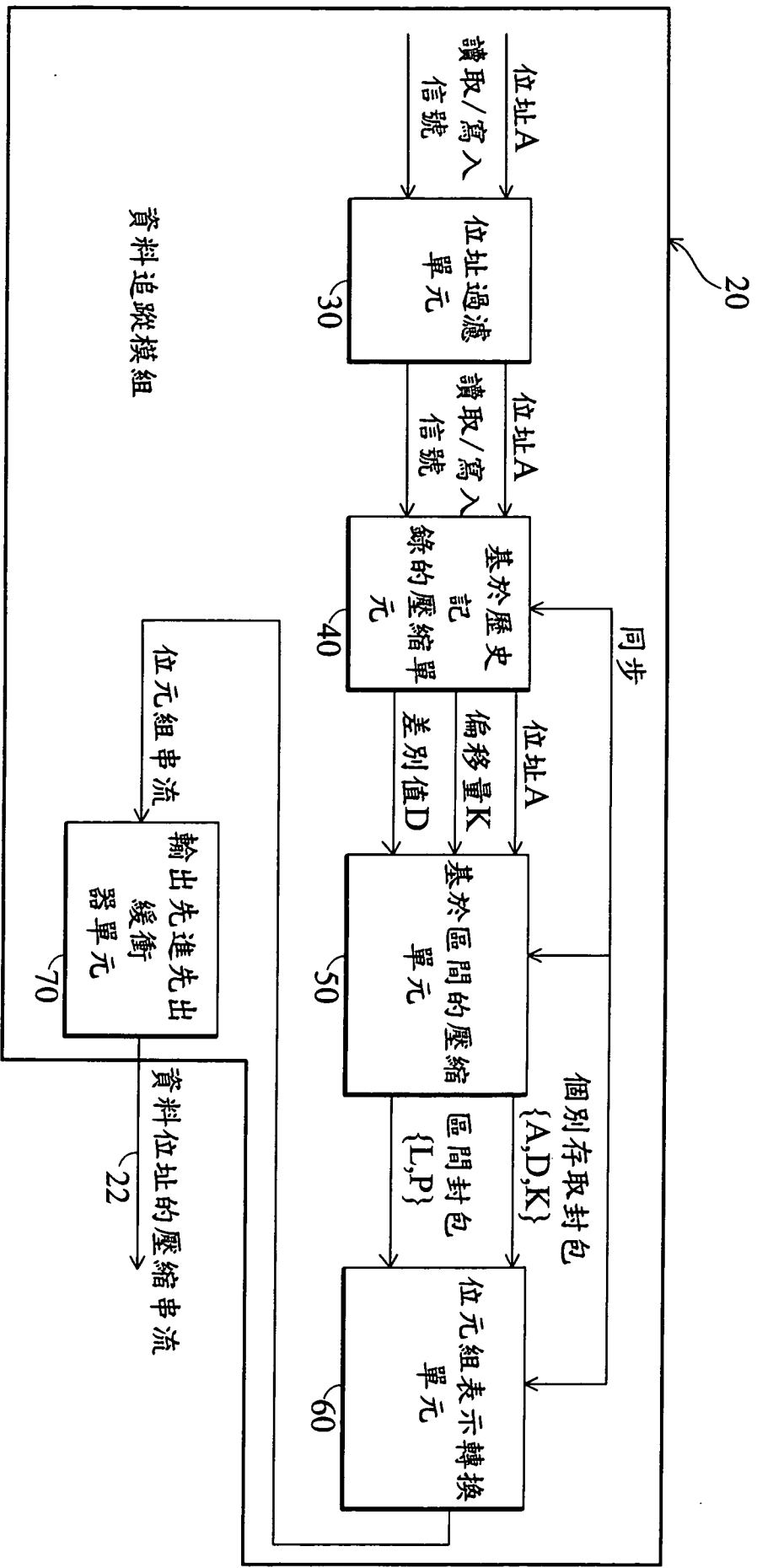
維護由該處理器所存取之複數先前資料位址的一視窗移動歷史記錄，其中該視窗移動歷史記錄中該等先前資料位址之每一者皆具有一索引；

決定該視窗移動歷史記錄中兩個或更多該等先前資料位址與一目前資料位址之間的一最小絕對差別值；以及

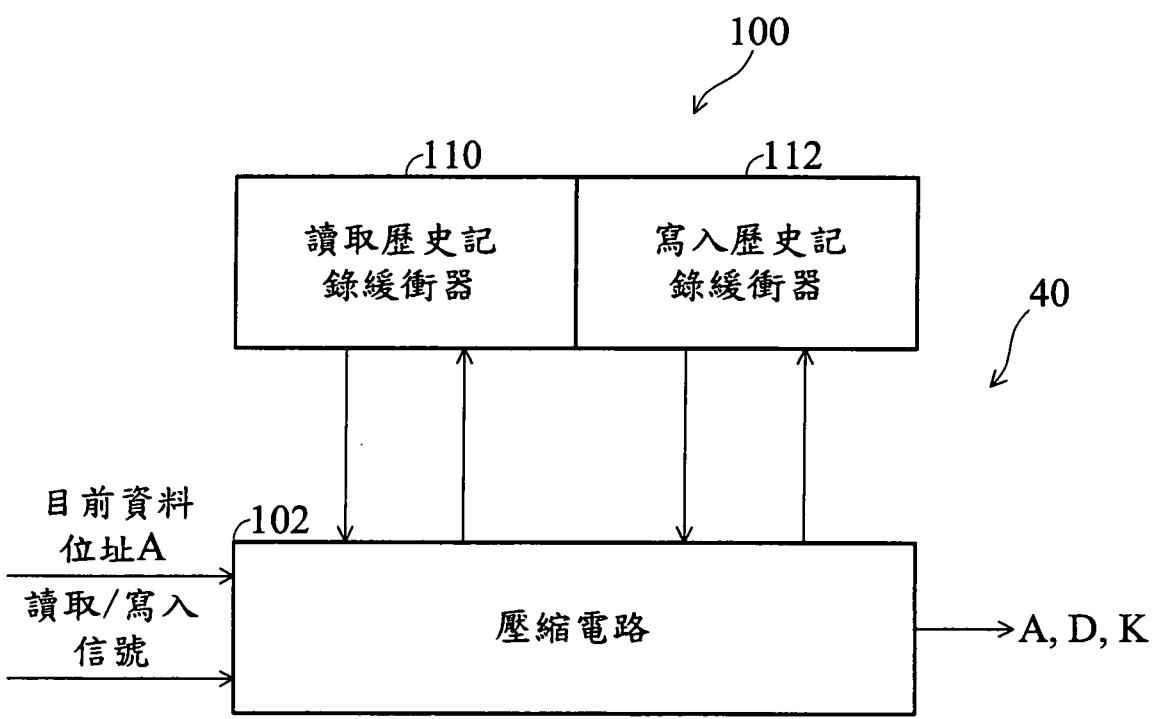
提供該最小絕對差別值及其正負號和與該最小絕對差別值對應的索引以表示該目前資料位址。



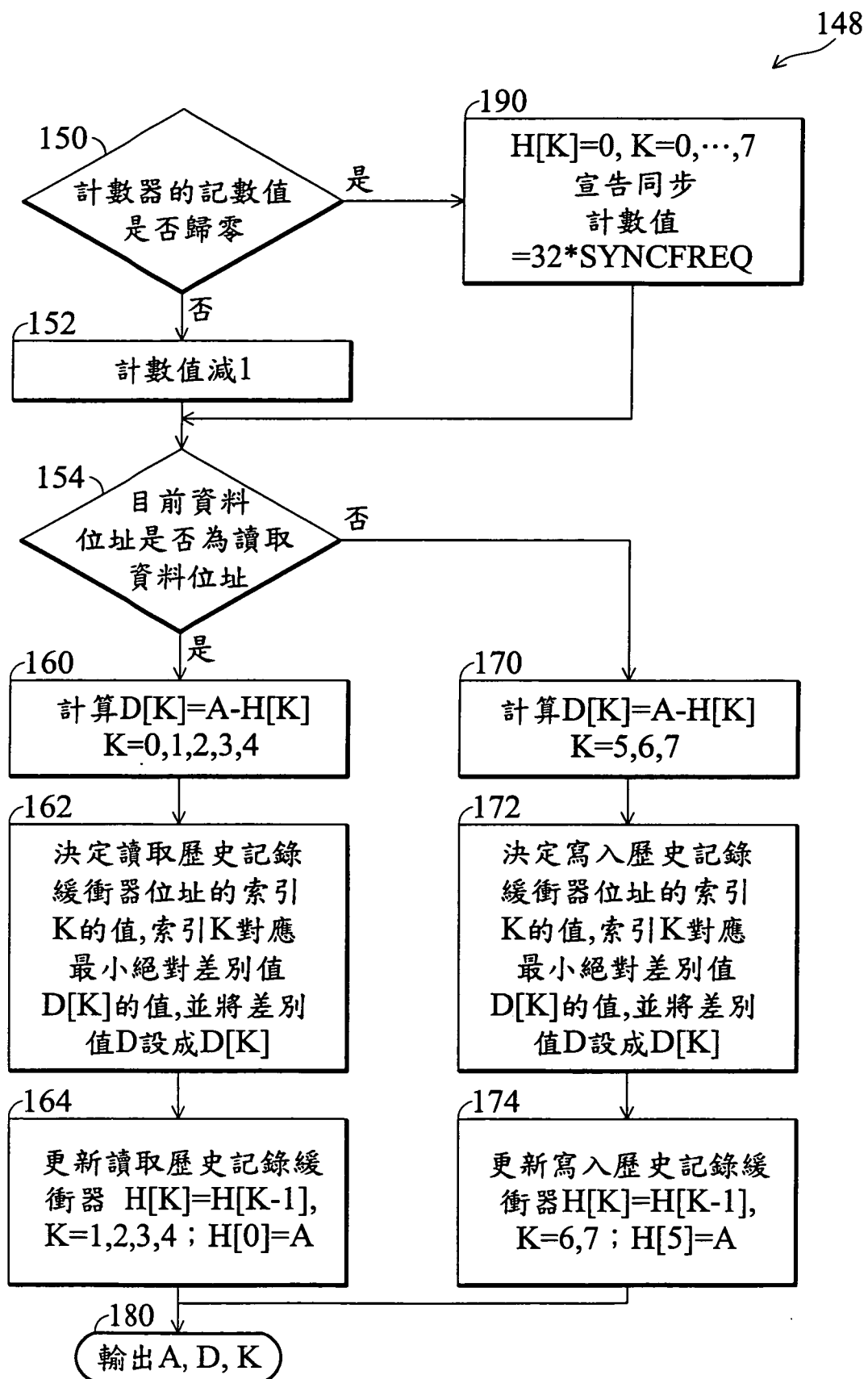
第 1 圖



第2圖



第 3 圖



第 4 圖