

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

243796
(11) (B1)

[51] Int. Cl.⁴
H 02 P 5/05



ÚRAD PRO VYNÁLEZY
A OBJEVY

(22) Prihlásené 11 12 84
(21) (PV 9586-84)

(40) Zverejnené 31 08 85

(45) Vydané 15 01 88

[75]

Autor vynálezu

ŠUPATÍK IVAN ing.; MIRC GEJZA ing.; KUBINEC MILAN,
NOVÉ MESTO nad Váhom

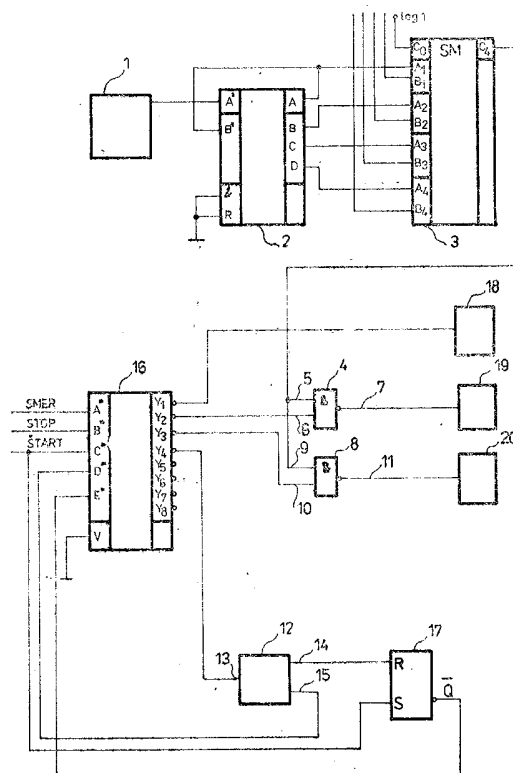
(54) Zapojenie šírkovo-impulzného regulátora otáčok jednosmerného motora

1

Riešenie sa týka zapojenia šírkovo-impulzného regulátora otáčok jednosmerného motora.

Podstata riešenia spočíva v tom, že generátor impulzov je pripojený na binárny čítač, ktorého výstupy sú pripojené na prvé vstupy (A1, A2, A3, A4) štvorbitového binárneho sumátora, jeho druhé vstupy (B1, B2, B3, B4) sú pripojené na štvorbitovú informáciu, vstup (Co) je spojený s úrovňou log 1 a výstup (C4) je pripojený na prvé vstupy dvojevstupových hradieľ. Druhé vstupy hradieľ sú pripojené na výstupy (Y2 a Y3) pamäte a ich výstupy sú pripojené na spínače kotvy motora. Výstup (Y1) pamäte je pripojený na spínač statora. Výstup (Y4) pamäte je pripojený na impulzný obvod, ktorého jeden výstup je pripojený na nulovací vstup klopného obvodu a druhý výstup je pripojený na štvrtý vstup (D'') pamäte. Prvý vstup pamäte (A'') je spojený s výstupom pre smer pohybu. Druhý vstup (B'') je spojený s výstupom STOP. Tretí vstup (C'') je spojený s výstupom ŠTART, súčasne je pripojený na nastavovací vstup klopného obvodu. Piatý vstup (E'') je pripojený na negovaný výstup klopného obvodu.

2



Vynález sa týka zapojenia šírkovo-impulzného regulátora otáčok jednosmerného motora s uplatnením pre otvorenú i zatvorenú polohovú, prípadne rýchlostnú slúčku.

U doteraz známych zapojení šírkovo-impulzného regulátora otáčok jednosmerného motora i pri jednoduchších aplikáciach sa využívajú značne náročné číslicové obvody, prípadne číslicovo-analógové obvody náročné na napájacie napätie a ladenie regulačných obvodov.

Vyššie uvedené nedostatky odstraňuje a technický problém rieši zapojenie šírkovo-impulzného regulátora otáčok jednosmerného motora podľa tohoto vynálezu, ktorého podstatou je, že generátor impulzov je pripojený na vstup binárneho čítača, ktorého vstupy sú pripojené na prvé vstupy štvorbitového binárneho sumátora, ktorého druhé vstupy sú pripojené na výstup štvorbitovej informácie o požadovanej rýchlosti. Vstup štvorbitového binárneho sumátora je spojený s úrovňou log 1 obvodu a výstup štvorbitového binárneho sumátora je paralelne pripojený na prvý vstup prvého dvojvstupového hradla a na prvý vstup druhého dvojvstupového hradla. Druhý vstup prvého dvojvstupového hradla je propojený na druhý výstup pamäte a jeho výstup je pripojený na spínač kotvy motora pre jeden smer otáčok. Druhý vstup druhého dvojvstupového hradla je pripojený na tretí výstup pamäte a jeho výstup je pripojený na spínač kotvy motora pre druhý smer otáčok. Prvý výstup pamäte je pripojený na spínač statora motora. Štvrtý výstup pamäte je pripojený na vstup impulzného obvodu, ktorého prvý výstup je pripojený na nulovací vstup R klopného obvodu a druhý jeho výstup je pripojený na vstup D pamäte. Prvý vstup pamäte je spojený s výstupom informácie o smere pohybu. Druhý vstup pamäte je spojený s výstupom pre STOP impulzu. Tretí vstup pamäte je spojený s výstupom pre ŠTART impulz a súčasne je pripojený na nastavovací vstup klopného obvodu. Piaty vstup pamäte je pripojený na negovaný výstup klopného obvodu.

Výhody zapojenia šírkovo-impulzného regulátora otáčok jednosmerného motora spočívajú v jednoduchej a spoľahlivej šírkovo-impulznej regulácii otáčok jednosmerného motora s možnosťou zadávania požadovanej rýchlosti pomocou štvorbitovej informácie z riadiaceho systému, prípadne z prepínača.

Na pripojenom výkrese je nakreslená blokovaná schéma zapojenia šírkovo-impulzného regulátora otáčok jednosmerného motora.

Zapojenie šírkovo-impulzného regulátora otáčok je prevedené nasledovne:

Generátor impulzov 1 je pripojený na vstup A' binárneho čítača 2, ktorého výstupy A, B, C, D sú pripojené na prvé vstupy A1, A2, A3, A4 štvorbitového binárneho sumátora 3. Druhé vstupy B1, B2, B3, B4 štvorbitového binárneho sumátora 3 sú pripojené na výstup štvorbitovej informácie o požadovanej rýchlosti. Vstup Co je spojený s úrovňou log 1 obvodu a výstup C4 je paralelne pripojený na prvý vstup 5 prvého dvojvstupového hradla 4 a na prvý vstup 9 druhého dvojvstupového hradla 8. Druhý vstup 6 prvého dvojvstupového hradla 4 je pripojený na výstup Y2 pamäte 16 a jeho výstup 7 je pripojený na spínač 19 kotvy motora pre jeden smer otáčok. Druhý vstup 10 druhého dvojvstupového hradla 8 je pripojený na výstup Y3 pamäte 16 a jeho výstup 11 je pripojený na snímač 20 kotvy motora pre druhý smer otáčok. Výstup Y1 pamäte 16 je pripojený na spínač 18 statora motora. Výstup Y4 pamäte 16 je pripojený na vstup 13 impulzného obvodu 12, ktorého prvý výstup 14 je pripojený na nulovací vstup R klopného obvodu 17 a druhý jeho výstup 15 je pripojený na vstup D' pamäte 16. Vstup A'' pamäte 16 je spojený s výstupom informácie o smere pohybu. Vstup B'' pamäte 16 je spojený s výstupom pre STOP impulz. Vstup C'' pamäte 16 je spojený s výstupom pre ŠTART impulz a súčasne je pripojený na nastavovací vstup S klopného obvodu 17. Vstup E'' pamäte 16 je pripojený na negovaný výstup Q klopného obvodu 17.

Generátor impulzov 1 inkrementuje binárny čítač 2, z ktorého výstupov A, B, C, D a vstupov B1, B2, B3, B4 štvorbitového binárneho sumátora 3 pripojených na výstup štvorbitovej informácie požadovanej rýchlosti, ako i úrovne log 1 na vstupe Co je štvorbitovým binárnym sumátorom 3 generovaný logický súčet, výsledkom ktorého je log 1 na jeho výstupe C4 ak obsah binárneho čítača 2 je väčší alebo rovný obsahu informácie a požadovanej rýchlosti. Ak obsah binárneho čítača 2 je menší ako obsah informácie o požadovanej rýchlosti na výstupe C4 štvorbitového binárneho sumátora 3 je log 0. Tým sa vlastne mení šírka budiacich impulzov pre spínacie obvody 19 a 20 jednosmerného motora. V pamäti 16 sú zapísané stavy jej výstupov Y1 až Y4 pre kombinácie jej vstupov A'', B'', C'' D'' a E'' tak, aby bol možný chod motora v jednom i druhom smere ako i jeho krátkodobé brzdenie reverzačným impulzom generovaným v impulznom obvode 12, v prípade vyslania STOP impulzu. Klopným obodom 17 je zaradená buď prvá polovica pamäte 16 pre plnenie funkcie chodu motora, alebo druhá polovica pamäte 16 pre státie motora.

PREDMET VYNÁLEZU

Zapojenie šírko-impulzného regulátora otáčok jednosmerného motora, ktoré pozostáva z generátora impulzov, binárneho čítača, štvorbitového binárneho sumátora, impulzného obvodu, klopného obvodu, pamäte a dvojevstupových hradieľ, vyznačujúce sa tým, že generátor impulzov (1) je pripojený na vstup (A') binárneho čítača (2), ktorého výstupy (A, B, C, D) sú pripojené na prvé vstupy (A1, A2, A3, A4) štvorbitového binárneho sumátora (3), pričom druhé vstupy (B1, B2, B3, B4) štvorbitového sumátora (3) sú pripojené na výstup štvorbitovej informácie požadovanej rýchlosti, vstup (Co) štvorbitového sumátora (3), je spojený s úrovňou log 1 obvodu a výstup (C4) štvorbitového sumátora (3) je paralelne pripojený na prvý vstup (5) prvého dvojevstupového hradla (4) a na prvý vstup (9) druhého dvojevstupového hradla (8), pričom druhý vstup (6) prvého dvojevstupového hradla (4) je pripojený na druhý výstup (Y2) pamäte (16) a jeho výstup (7) je pripojený na spí-

nač (19) kotvy motora pre jeden smer otáčok, druhý vstup (10) druhého dvojevstupového hradla (8) je pripojený na tretí výstup (Y3) pamäte (16) a jeho výstup (11) je pripojený na spínač (20) kotvy motora pre druhý smer otáčok, prvý výstup (Y1) pamäte (16) je pripojený na spínač (18) statora motora a štvrtý výstup (Y4) pamäte (16) je pripojený na vstup (13) impulzného obvodu (12), ktorého prvý výstup (14) je pripojený na nulovací vstup (R) klopného obvodu (17) a druhý jeho výstup (15) je pripojený na štvrtý vstup (D'') pamäte (16), pričom prvý vstup (A'') pamäte (16) je spojený s výstupom informácie o smere pohybu, druhý vstup (B'') pamäte (16) je spojený s výstupom pre STOP impulz, tretí vstup (C'') pamäte (16) je spojený s výstupom pre ŠTART impulz a súčasne je pripojený na nastavovací vstup (S) klopného obvodu (17) a piaty vstup (E'') pamäte (16) je pripojený na negovaný výstup (Q) klopného obvodu (17).

