



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I555313 B

(45)公告日：中華民國 105 (2016) 年 10 月 21 日

(21)申請案號：101118524

(22)申請日：中華民國 101 (2012) 年 05 月 24 日

(51)Int. Cl. : H02M1/08 (2006.01)

H02M3/04 (2006.01)

(30)優先權：2011/05/31 日本

2011-121231

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：王丸拓郎 OHMARU, TAKURO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200935714A

TW 201025804A

CN 101124678B

審查人員：李炳輝

申請專利範圍項數：7 項 圖式數：16 共 96 頁

(54)名稱

D C — D C 轉換器、電源電路、以及半導體裝置

DC-DC CONVERTER, POWER SOURCE CIRCUIT, AND SEMICONDUCTOR DEVICE

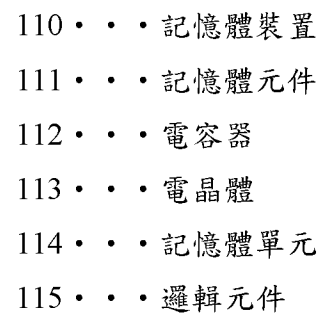
(57)摘要

DC-DC 轉換器包括：控制電路；切換元件；和恆壓產生部，其依據經由該切換元件所供應的輸入電壓來產生輸出電壓。該控制電路包括：AD 轉換器，其轉換該輸入電壓和該輸出電壓；訊號處理電路；脈衝調變電路；以及供電控制電路，其根據該輸入電壓和該輸出電壓的數位值來控制供應供電電壓到該訊號處理電路。該訊號處理電路根據該輸出電壓的該數位值來決定該負載比，及該脈衝調變電路控制該切換元件。該訊號處理電路包括記憶體裝置，該記憶體裝置包括記憶體元件、用以儲存該記憶體元件的資料之電容器、以及用以控制該電容器中的電荷之電晶體。該電晶體包括氧化物半導體。

A DC-DC converter includes a control circuit, a switching element, and a constant-voltage generation portion which generates an output voltage on the basis of an input voltage supplied through the switching element. The control circuit includes AD converters which convert the input voltage and the output voltage, a signal processing circuit, a pulse modulation circuit, and a power supply control circuit which controls supply of a power supply voltage to the signal processing circuit in accordance with digital values of the input voltage and the output voltage. The signal processing circuit determines the duty ratio in accordance with the digital value of the output voltage, and the pulse modulation circuit controls the switching element. The signal processing circuit includes a memory device including a memory element, a capacitor for storing data of the memory element, and a transistor for controlling charge in the capacitor. The transistor includes an oxide semiconductor.

指定代表圖：

符號簡單說明：



發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101118524

※申請日：101 年 05 月 24 日

※IPC 分類：

H02M 1/08 (2006.01)
H02M 3/04 (2006.01)

一、發明名稱：(中文／英文)

DC-DC 轉換器、電源電路、以及半導體裝置

DC-DC converter, power source circuit, and semiconductor device

二、中文發明摘要：

DC-DC 轉換器包括：控制電路；切換元件；和恆壓產生部，其依據經由該切換元件所供應的輸入電壓來產生輸出電壓。該控制電路包括：AD 轉換器，其轉換該輸入電壓和該輸出電壓；訊號處理電路；脈衝調變電路；以及供電控制電路，其根據該輸入電壓和該輸出電壓的數位值來控制供應供電電壓到該訊號處理電路。該訊號處理電路根據該輸出電壓的該數位值來決定該負載比，及該脈衝調變電路控制該切換元件。該訊號處理電路包括記憶體裝置，該記憶體裝置包括記憶體元件、用以儲存該記憶體元件的資料之電容器、以及用以控制該電容器中的電荷之電晶體。該電晶體包括氧化物半導體。

三、英文發明摘要：

A DC-DC converter includes a control circuit, a switching element, and a constant-voltage generation portion which generates an output voltage on the basis of an input voltage supplied through the switching element. The control circuit includes AD converters which convert the input voltage and the output voltage, a signal processing circuit, a pulse modulation circuit, and a power supply control circuit which controls supply of a power supply voltage to the signal processing circuit in accordance with digital values of the input voltage and the output voltage. The signal processing circuit determines the duty ratio in accordance with the digital value of the output voltage, and the pulse modulation circuit controls the switching element. The signal processing circuit includes a memory device including a memory element, a capacitor for storing data of the memory element, and a transistor for controlling charge in the capacitor. The transistor includes an oxide semiconductor.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

110：記憶體裝置

111：記憶體元件

112：電容器

113：電晶體

114：記憶體單元

115：邏輯元件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係相關於數位 DC-DC 轉換器及包括 DC-DC 轉換器之電源電路和半導體裝置。

【先前技術】

DC-DC 轉換器為不管輸入電壓的值為何都可獲得恆定輸出電壓之恆壓電路，及 DC-DC 轉換器與整流電路等等一起被用於供電電路。尤其是，包括切換型 DC-DC 轉換器之供電電路被稱作切換電源或切換調整器。

以具有脈衝波形之電壓係藉由切換元件使用輸入電壓所形成以及使電壓滑順或保持在線圈、電容器等等中之此種方式，切換型 DC-DC 轉換器輸出具有預定值之電壓。切換元件導通之週期的比例（被稱作負載比）係受 DC-DC 轉換器中之控制電路所控制。藉由使用控制電路之負載比的控制，可控制輸出電壓的值。

在 DC-DC 轉換器之中，使用類比電路來形成控制電路之類比 DC-DC 轉換器已經是主流。然而，近年來，實際上已使用包括諸如數位訊號處理器（DSP）等訊號處理電路作為控制電路之數位 DC-DC 轉換器。數位 DC-DC 轉換器可執行切換元件的高速切換，具有控制電路中之訊號處理的高度準確性，及具有有著簡單結構之控制電路。

專利文件 1 揭示以數位方式的電源控制。

[參考]

[專利文件]

[專利文件 1]日本已出版專利申請案號 2009-009386

【發明內容】

當評估電子裝置的性能時，重點之一為低電力消耗。尤其是，在諸如行動電話等可攜式電子裝置之事例中，高電力消耗導致連續使用時間短，此為一大缺點，因此強烈需要低電力消耗。需要 DC-DC 轉換器來降低電力消耗，因為它們被設置在許多可攜式電子裝置中，用以控制輸出自可再充電電池之電壓。

專利文件 1 揭示當資訊處理設備被位移到省電模式時藉由停止供應時脈訊號到 DSP 來停止 DSP 而降低電力消耗之技術。然而，甚至當停止諸如時脈訊號等驅動訊號的供應時，供電電壓仍被供應到諸如 DSP 等積體電路，及由於電晶體的關閉狀態電流而消耗電力。因此，為了進一步降低 DC-DC 轉換器的電力消耗，需要不僅停止供應驅動訊號到 DSP，並且停止供應供電電壓到 DSP。

需注意的是，當停止供應供電電壓到 DSP 時會遺失由 DSP 中的暫存器所保持之負載比的資料。當恢復供應供電電壓到 DSP 時，輸出自 DC-DC 轉換器之電壓有暫時不穩定的傾向。為了防止不穩定狀態，在停止供應供電電壓到 DSP 之前，可將負載比的資料儲存在諸如快閃記憶體等外部的非揮發性記憶體裝置中。然而，因為從外部記憶體裝置歸還資料到 DSP 的暫存器需要時間，所以此方法並不適

用於短時間停止供應供電電壓來降低電力消耗。

鑑於技術背景，本發明的實施例之目的在於設置消耗低電力之 DC-DC 轉換器，及設置包括 DC-DC 轉換器之電源電路或半導體裝置。尤其是，目的在於設置藉由短時間停止供應供電電壓而消耗低電力之 DC-DC 轉換器，及設置包括 DC-DC 轉換器之電源電路或半導體裝置。

爲了解決上述問題，在本發明的一實施例中，控制電路包括具有下面結構在決定負載比之諸如 DSP 等訊號處理電路中的記憶體裝置。記憶體裝置包括記憶體元件；用以儲存記憶體元件的資料之電容器；及用以控制電容器中的電荷之供應、保持、及排放的電晶體。

電晶體包括諸如氧化物半導體等半導體在通道形成區中，半導體之能帶隙寬於矽的能帶隙及本徵載子密度低於矽的本徵載子密度。因此，具有上述特性之半導體被用於通道形成區之電晶體具有大幅低於使用諸如矽或鍺等一般半導體所形成的電晶體之關閉狀態電流。

尤其是，可藉由使用將輸入訊號的邏輯值反相和輸出訊號之邏輯元件來形成記憶體元件，諸如反相器或時脈式反相器等。

另外，在本發明的實施例中，將供電控制電路設置在控制電路中。供電控制電路根據 DC-DC 轉換器之輸入電壓和輸出電壓的位準來決定是否停止供應供電電壓到訊號處理電路。尤其是，當輸出電壓保持在理想值及輸入電壓的波動小時，供電控制電路停止供應供電電壓到訊號處理

電路。另外，當輸入電壓的波動大或輸出電壓未保持在理想值時，供電控制電路供應供電電壓到訊號處理電路。

由訊號處理電路所決定之負載比的資料被保持在包括於記憶體裝置中之記憶體元件。在停止供應供電電壓到訊號處理電路之前，保持在記憶體元件中之負載比的資料被儲存在包括於記憶體裝置中之電容器。尤其是，藉由保持電容器中的電荷來儲存資料。電荷的保持係藉由關閉具有低關閉狀態電流的電晶體來執行。在恢復供應供電電壓到訊號處理電路之後，所儲存的資料被歸還到記憶體元件。利用上述結構，甚至當停止供應供電電壓時仍能夠防止保持在記憶體裝置中之資料遺失。因為不需要儲存資料在外部記憶體電路中，所以在訊號處理電路或包括訊號處理電路之控制電路中，甚至能夠短時間停止供應供電電壓。結果，可降低 DC-DC 轉換器的電力消耗。另外，甚至當停止供應供電電壓時，負載比的資料仍保持在記憶體裝置中，因此在恢復供應供電電壓之後仍可防止 DC-DC 轉換器的輸出電壓之不穩定。

尤其是，根據本發明的實施例之 DC-DC 轉換器包括切換元件；控制電路，用以控制切換元件的負載比；及恆壓產生部，其產生對應於負載比之輸出電壓。藉由切換元件來控制供應輸入電壓到恆壓產生部。控制電路包括 AD 轉換器，其將輸出電壓從類比值轉換成數位值；AD 轉換器，其將輸入電壓從類比值轉換成數位值；訊號處理電路，其藉由使用輸出電壓的數位值來決定負載比；脈衝調變

電路，其根據負載比來產生用次控制切換元件的切換之訊號；以及供電控制電路，其根據輸入電壓的數位值和輸出電壓的數位值來決定是否執行供應供電電壓到訊號處理電路。訊號處理電路包括用以儲存負載比之記憶體裝置。記憶體裝置包括藉由使用電晶體所形成之記憶體元件，電晶體包括諸如具有晶性的矽或具有晶性的鍺等半導體在通道形成區中；電容器，用以儲存記憶體元件的資料；以及電晶體，用以控制電容器中之電荷的供應、保持、及排放。電晶體包括能帶隙寬於矽的能帶隙及本徵載子密度低於矽的本徵載子密度之半導體在通道形成區中。

本發明的實施例可設置因為上述結構能夠以低電力來操作之 DC-DC 轉換器，及包括 DC-DC 轉換器之電源電路和半導體裝置。

【實施方式】

下面，將參考附圖詳細說明本發明的實施例。然而，本發明並不侷限於下面說明，及精於本技藝之人士應容易明白，在不違背本發明的範疇和精神之下，可以各種方式改變模式和細節。因此，本發明不應被闡釋作侷限於下面實施例的說明。

需注意的是，本發明包括可使用 DC-DC 轉換器或供電電路之所有半導體裝置在其類別中：例如：諸如微處理器和影像處理電路等積體電路、RF（射頻）標籤、記憶體媒體、太陽能電池、包括發光元件之照明裝置、及半導體

顯示裝置。另外，半導體顯示裝置包括包括 DC-DC 轉換器和供電電路之半導體顯示裝置，諸如液晶顯示裝置、以有機發光元件（OLED）為代表的發光元件係用於各個像素之照明裝置、電子紙、數位微鏡裝置（DMD）、電漿顯示面板（PDP）、場發射顯示器（FED）等等在其類別中。

（實施例 1）

圖 1A 為根據本發明的實施例之 DC-DC 轉換器的結構之例子圖。

圖 1A 所示之 DC-DC 轉換器 100 包括電力轉換電路 101，其藉由使用施加到輸入端子 IN（ V_{in} ）之輸入電壓來產生恆定輸出電壓（ V_{out} ），及從輸出端子 OUT 輸出恆定電壓。電力轉換電路 101 包括恆壓產生部 103 和切換元件 102。圖 1A 所示之 DC-DC 轉換器 100 包括控制電路 104，用以控制切換元件 102 導通之時間的比例，即、負載比。

切換元件 102 根據由控制電路 104 所決定之負載比來執行切換。當切換元件 102 導通時，輸入電壓被供應到恆壓產生部 103。當切換元件 102 關閉時，輸入電壓 V_{in} 未供應到恆壓產生部 103。當切換元件 102 被關閉時，恆壓產生部 103 被供應有參考電壓，諸如接地電壓等。因此，回應於切換元件 102 的切換，參考電壓和固定電壓交替之脈衝訊號被供應到恆壓產生部 103。

恆壓產生部 103 包括線圈、電容器、及二極體的任何一或更多個。當供應脈衝訊號時，恆壓產生部 103 藉由使訊號的電壓滑順或保持訊號的電壓來產生恆定輸出電壓。

當藉由控制電路 104 所決定之負載比被改變時，亦改變輸出電壓的值。尤其是，產生輸入電壓的脈衝之週期的百分比增加會導致輸出電壓與參考電壓之間的差增加。相反地，當產生輸入電壓的脈衝之週期的百分比減少會導致輸出電壓與參考電壓之間的差減少。

需注意的是，在本發明的實施例中，藉由脈衝寬度控制（PWM）或脈衝頻率控制（PFM）可執行切換元件 102 的切換。

另一選擇是，在本發明的實施例中，藉由用於切換元件 102 的切換之脈衝寬度控制和脈衝頻率控制的組合，可調整輸出電壓。在低輸出電壓之事例中，藉由脈衝頻率控制而非藉由脈衝寬度控制，可將切換元件 102 的切換頻率抑制成低的；因此，由於切換元件 102 的切換所導致之電力耗損被抑制成低的。相反地，在高輸出電壓之事例中，藉由脈衝寬度控制而非藉由脈衝頻率控制，可將切換元件 102 的切換頻率抑制成低的；因此，由於切換元件 102 的切換所導致之電力耗損被抑制成低的。因此，可依據輸出電壓的量來切換脈衝寬度控制和脈衝頻率控制，藉以可增強電力轉換效率。

控制電路 104 包括 AD 轉換器 105、AD 轉換器 106、訊號處理電路 107、脈衝調變電路 108、及供電控制電路

109。訊號處理電路 107 包括記憶體裝置 110。

AD 轉換器 105 具有將輸出電壓 V_{out} 從類比值轉換成數位值之功能。訊號處理電路 107 具有藉由使用輸出電壓 V_{out} 的數位值來決定負載比之功能。所決定的負載比之資料保持在訊號處理電路 107 的記憶體裝置 110 中。脈衝調變電路 108 具有根據負載比產生用以控制切換元件 102 的切換之控制訊號的功能。AD 轉換器 106 具有將輸入電壓 V_{in} 從類比值轉換成數位值之功能。供電控制電路 109 具有根據輸入電壓 V_{in} 的數位值和輸出電壓 V_{out} 的數位值來決定是否將供電電壓 VDD 供應到訊號處理電路 107 之功能。

接著，圖 1B 之方塊圖圖示記憶體裝置 110 的組態之例子。如圖 1B 所示，記憶體裝置 110 包括記憶體元件 111；電容器 112，用以儲存記憶體元件 111 的資料；以及電晶體 113，用以控制電容器 112 中之電荷的供應、保持、排放。記憶體元件 111 包括複數個邏輯元件 115，其將輸入訊號的邏輯值反相及輸出訊號。記憶體單元 114 可利用記憶體元件 111、電容器 112、及電晶體 113 來保持一位元資料。記憶體裝置 110 包括一或更多個記憶體單元 114。

需注意的是，反相器、時脈式反相器等等可被用於邏輯元件 115。

需注意的是，記憶體單元 114 可視需要另外包括另一電路元件，諸如二極體、電阻器、或電感器等。

當包括在訊號 D_{in} 中之負載比的一位元資料在第一階段被輸入到記憶體單元 114 時，資料被輸入到記憶體元件 111。只要供應參考電壓 GND 和高位準供電電壓 VDD ，記憶體元件 111 就保持資料。然後，當在隨後階段一位元資料被輸入到記憶體單元 114 時，包括在訊號 D_{in} 中之負載比的下一一位元資料在第一階段被輸入到記憶體單元 114。藉由重複上述操作，包括在訊號 D_{in} 中之所有一位元資料被保持在複數個記憶體單元 114 中。

電容器 112 經由電晶體 113 連接到記憶體元件 111，以便視需要儲存輸入到記憶體單元 114 之訊號 D_{in} 的資料。尤其是，電容器 112 具有夾置在一對電極之間的介電物質。一對電極的其中之一經由電晶體 113 連接到記憶體元件 111，而另一個連接到施加到諸如接地電壓等參考電壓之節點。電晶體 113 的切換係受施加到其閘極電極之訊號 Sig 所控制。

需注意的是，如上述，圖 1A 所示之供電控制電路 109 根據輸入電壓 V_{in} 的數位值和輸出電壓 V_{out} 的數位值來決定是否供應供電電壓 VDD 到訊號處理電路 107。尤其是，當輸出電壓 V_{out} 保持在理想值及輸入電壓 V_{in} 的波動小時，供電控制電路 109 停止供應供電電壓 VDD 到訊號處理電路 107。當輸入電壓 V_{in} 的波動大或輸出電壓 V_{out} 未保持在理想值時，供電控制電路 109 供應供電電壓 VDD 到訊號處理電路 107。

然後，當供電控制電路 109 停止供應供電電壓 VDD

到訊號處理電路 107 時，在停止供應供電電壓 VDD 之前，儲存在記憶體元件 111 中之負載比的資料被儲存在記憶體裝置 110 之電容器 112 中。尤其是，藉由保持電荷在電容器 112 中來儲存資料，及藉由關閉具有低關閉狀態電流之電晶體 113 來保持電荷。在恢復供應供電電壓 VDD 到訊號處理電路 107 之後，所儲存的資料被歸還到記憶體元件 111。利用上述結構，藉由停止供應供電電壓 VDD，可防止保持在記憶體裝置 110 中之負載比的資料遺失。

參考圖 2 之流程圖來說明具有圖 1A 及 1B 所示的組態之 DC-DC 轉換器 100 的特定操作之例子。

首先，開始決定是否停止供應供電電壓 VDD 到訊號處理電路 107，及開始調整輸出電壓 V_{out} (A:01 開始)。可根據自 DC-DC 轉換器 100 的外面所輸入之指令來開始決定，或者可被設定成以預定時序自動開始。需注意的是，在決定是否停止供應供電電壓 VDD 到訊號處理電路 107 之前，已經將供電電壓 VDD 供應到訊號處理電路 107 和調整輸出電壓 V_{out} 。

訊號處理電路 107 比較輸出自 AD 轉換器 105 之輸出電壓 V_{out} 的數位值與想要的輸出電壓 V_d 之數位值。然後，具有決定是否將輸出電壓 V_{out} 保持在想要的輸出電壓 V_d 之值的結果作為資料之訊號 L-Flag 係從訊號處理電路 107 輸出。另外，AD 轉換器 106 產生輸入電壓 V_{in} 的數位值，及輸出具有決定輸入電壓 V_{in} 是否波動的結果做為資料之訊號 V-Flag。

例如，假設：當訊號 L-Flag 的數位值為 1 時，輸出電壓 V_{out} 係保持在想要的輸出電壓 V_d 之值。當訊號 L-Flag 的數位值為 0 時，輸出電壓 V_{out} 未保持在想要的輸出電壓 V_d 之值。例如，當訊號 V-Flag 的數位值為 1 時，輸入電壓 V_{in} 波動。當訊號 V-Flag 的數位值為 0 時，輸入電壓 V_{in} 未波動。

在供電控制電路 109 中，根據訊號 L-Flag 的數位值和訊號 V-Flag 的數位值來決定是否供應供電電壓 VDD 到訊號處理電路 107。尤其是，決定訊號 L-Flag 的數位值是否為 1 (A:02 L-Flag=1)，及決定訊號 V-Flag 的數位值是否為 1 (A:03 V-Flag=1)。當訊號 L-Flag 的數位值為 1 及訊號 V-Flag 的數位值為 0 時，停止供應供電電壓 VDD 到訊號處理電路 107 (A:04 停止供應 VDD)。此外，當訊號 L-Flag 的數位值為 0 時或當訊號 L-Flag 的數位值和訊號 V-Flag 的數位值為 1 時，供電電壓 VDD 被供應到訊號處理電路 107 (A:05 供應 VDD)。

需注意的是，當訊號 L-Flag 的數位值為 1 及訊號 V-Flag 的數位值為 1 時，在考量輸入電壓 V_{in} 的波動之下，輸出電壓 V_{out} 必須接近想要的輸出電壓 V_d 之值。當訊號 L-Flag 的數位值為 0 及訊號 V-Flag 的數位值為 1 或 0 時，不管輸入電壓 V_{in} 的波動為何，輸出電壓 V_{out} 未保持在接近想要的輸出電壓 V_d 之值；因此，輸出電壓 V_{out} 必須接近想要的輸出電壓 V_d 之值。在訊號處理電路 107 中，根據輸出自 AD 轉換器 105 的輸出電壓 V_{out} 之數位值

與想要的輸出電壓 V_d 之數位值的比較結果來決定負載比。

尤其是，在訊號處理電路 107 中，決定輸出電壓 V_{out} 是否對應於想要的輸出電壓 V_d 之值（A:06 $V_{out}=V_d$ ）。在輸出電壓 V_{out} 對應於想要的輸出電壓 V_d 之值的事例中，輸出電壓的數位值 S_{out} 未被校正（A:07 $S_{out} \rightarrow S_{out}$ ）。即、在此事例中，校正之前的數位值 S_{out} 等於校正之後的數位值 S_{out}' 。

在輸出電壓 V_{out} 未對應於想要的輸出電壓 V_d 之值的事例中，決定輸出電壓 V_{out} 是否高於想要的輸出電壓 V_d 之值（A:08 $V_{out}>V_d$ ）。當輸出電壓 V_{out} 高於想要的輸出電壓 V_d 之值時，以從輸出電壓的數位值 S_{out} 減掉校正值 D 以便使負載比變小之此種方式來校正數位值 S_{out} ，以便產生數位值 $S_{out}'=S_{out}-D$ （A:09 $S_{out} \rightarrow S_{out}-D$ ）。

當輸出電壓 V_{out} 低於想要的輸出電壓 V_d 之值時，以將校正值 D 添加到輸出電壓的數位值 S_{out} 以便使負載比變大之此種方式來校正數位值 S_{out} ，以便產生數位值 $S_{out}'=S_{out}+D$ （A:10 $S_{out} \rightarrow S_{out}+D$ ）。

接著，在訊號處理電路 107 中，校正後的數位值 S_{out}' 經過數位過濾器處理（A:11 DF 處理），及包括訊號過濾器處理後的數位值 S_{out}' 做為資料之訊號被傳送到脈衝調變電路 108。需注意的是，做為資料，數位值 S_{out}' 包括獲得想要的輸出電壓 V_d 所需之負載比。脈衝調變電路 108 根據傳送自訊號處理電路 107 之訊號來產生用以控制

切換元件 102 的控制訊號，以便切換元件 102 根據想要的負載比來執行切換。

在電力轉換電路 101 中，藉由根據控制訊號來切換切換元件 102，輸出電壓 V_{out} 被調整成接近想要的輸出電壓 V_d 之值（A:12 $V_{out} \rightarrow V_d$ ）。

需注意的是，在調整輸出電壓 V_{out} 之後，訊號處理電路 107 再次比較輸出自 AD 轉換器 105 之輸出電壓 V_{out} 的數位值與輸出電壓 V_d 之想要的數位值。然後，包括決定是否將輸出電壓 V_{out} 保持在想要的輸出電壓 V_d 之值的結果作為資料之訊號 L-Flag 係輸出自訊號處理電路 107。

在供電控制電路 109 中，根據訊號 L-Flag 的數位值來決定輸出電壓 V_{out} 是否接近想要的輸出電壓 V_d 之值。尤其是，決定訊號 L-Flag 的數位值是否為 1（A:13 L-Flag=1）。當訊號 L-Flag 的數位值為 1 時，完成決定是否停止供應供電電壓 VDD 到訊號處理電路 107，及完成調整輸出電壓 V_{out} （A:14 完成）。當訊號 L-Flag 的數位值為 0 時，根據輸出自 AD 轉換器 105 之輸出電壓 V_{out} 的數位值與想要的輸出電壓 V_d 之值的數位值之間的比較結果，再次於訊號處理電路 107 中決定負載比。尤其是，DC-DC 轉換器 100 再次重複從訊號處理電路 107 決定輸出電壓 V_{out} 是否對應於想要的輸出電壓 V_d 之值（A:06 $V_{out}=V_d$ ）的操作到訊號處理電路 107 決定訊號 L-Flag 的數位值是否為 1 之操作（A:13 L-Flag=1）。需注意的是，由設計者適當決定重複次數。

因為在本發明的實施例無須儲存資料於外部記憶體電路中，所以在訊號處理電路 107 中甚至仍可短時間停止供應供電電壓 V_{DD} 。結果，可降低 DC-DC 轉換器 100 的電力消耗。另外，因為甚至當停止供應供電電壓 V_{DD} 時負載比的資料仍儲存在記憶體裝置 110 中，所以甚至在恢復供應供電電壓之後仍可防止 DC-DC 轉換器 100 的輸出電壓 V_{out} 之不穩定。

以上述方式，可大幅降低由於關閉狀態電流所導致之 DC-DC 轉換器 100 的電力消耗，及包括 DC-DC 轉換器 100 之電源電路或半導體裝置的電力消耗低。

需注意的是，在參考圖 1A 及 1B 和圖 2 所說明之例子中，當將輸出電壓 V_{out} 保持在理想值及輸入電壓 V_{in} 的波動小時，供電控制電路 109 停止供應供電電壓 V_{DD} 到訊號處理電路 107。然而，在本發明的實施例中，供電控制電路 109 不僅可停止供應供電電壓 V_{DD} 到訊號處理電路 107，並且停止供應供電電壓 V_{DD} 到 AD 轉換器 105。利用此種結構，可進一步降低 DC-DC 轉換器 100 的電力消耗。

在本發明的一實施例中，電晶體 113 具有諸如氧化物半導體等包括能帶隙寬於矽的能帶隙且本徵載子密度低於矽的本徵載子密度之半導體的通道形成區。在通道形成區中使用氧化物半導體之電晶體具有大幅低於使用諸如矽或鍺等一般半導體所形成的電晶體之關閉狀態電流。電容器 112 的資料保持時間之長度依據經由電晶體 113 漏洩出累

積在電容器 112 中的電荷量而定。因此，當累積在電容器 112 中之電荷被諸如上述電晶體等具有極低的關閉狀態電流之電晶體 113 保持時，可防止電荷從電容器 112 漏洩，如此可使資料保持時間較長。

除非特別指明，否則在 n 通道電晶體之事例中，此說明書中的關閉狀態電流為在當參考電壓為源極的電壓時閘極電極之電壓低於或等於零的同時當汲極的電壓高於源極的電壓或閘極電極的電壓時在源極與汲極之間流動的電流。另一選擇是，在 p 通道電晶體之事例中，此說明書中的關閉狀態電流為在參考電壓為源極的電壓時閘極電極之電壓高於或等於零的同時當汲極的電壓低於源極的電壓或閘極電極的電壓時在源極與汲極之間流動的電流。

雖然圖 1B 圖解電晶體 113 具有單閘極結構之事例的例子，但是電晶體 113 可具有包括複數個電連接的閘極電極以便包括複數個通道形成區之多閘極結構。

雖然圖 1B 圖解一電晶體 113 被用於控制電容器 112 中之電荷的供應、保持、及排放之組態，但是本發明並不侷限於此。在本發明的實施例中，複數個電晶體 113 可被用於控制電容器 112 中之電荷的供應、保持、及排放。在使用複數個電晶體 113 之事例中，複數個電晶體 113 可以並聯、以串聯、或以並聯連接和串聯連接的組合來彼此連接。

需注意的是，在此說明書中，電晶體以串聯彼此連接之狀態意指只有第一電晶體之源極和汲極的其中之一連接

到只有第二電晶體之源極和汲極的其中之一之狀態。此外，電晶體以並聯彼此連接之狀態意指第一電晶體之源極和汲極的其中之一連接到第二電晶體之源極和汲極的其中之一，而第一電晶體之源極和汲極的其中另一個連接到第二電晶體之源極和汲極的其中另一個之狀態。

電晶體的用詞“源極”和“汲極”依據電晶體的極性或施加到源極和汲極之電壓的位準之間的差而彼此互換。通常，說到 n 通道電晶體中之源極和汲極，施加較低電壓者被稱作源極，而施加較高電壓者被稱作汲極。另外，說到 p 通道電晶體中之源極和汲極，施加較低電壓者被稱作汲極，而施加較高電壓者被稱作源極。在此說明書中，雖然爲了方便在某些事例中假設源極和汲極是固定的來說明電晶體之連接關係，但是實際上，源極和汲極的名稱依據電壓的關係而彼此互換。

在本發明的實施例中，包括在記憶體元件 111 中之電晶體可包括諸如具有晶性的矽或具有晶性的銻等半導體在通道形成區中。因此，電晶體可包括諸如氧化物半導體等能帶隙寬於矽的能帶隙及本徵載子密度低於矽的本徵載子密度之半導體在通道形成區中，像電晶體 113。當具有晶性的矽或具有晶性的銻具有比氧化物半導體高的遷移率時，在包括在記憶體元件 111 中之電晶體包括具有晶性的矽或具有晶性的銻在通道形成區中之事例中，可確保記憶體裝置 110 以及 DC-DC 轉換器 100 的高速操作。

在圖 1A 中只藉由使用輸出電壓 V_{out} 來控制切換元件

102 的負載比；然而，在根據本發明的實施例之 DC-DC 轉換器中，不僅可藉由使用輸出電壓 V_{out} 而且可藉由使用輸出電流來控制切換元件 102 的負載比。

圖 16 為根據本發明的實施例之 DC-DC 轉換器 100 的組態之例子圖。圖 16 所示之 DC-DC 轉換器 100 不同於圖 1A 所示之 DC-DC 轉換器 100 在於控制電路 104 包括 AD 轉換器 150。AD 轉換器 150 將由 CT（比流器）感測器等所偵測到的輸出電流從類比值轉換成數位值，而後傳送數位值到訊號處理電路 107。在 DC-DC 轉換器 100 中，根據輸出電壓 V_{out} 的數位值和輸出電流的數位值來控制切換元件 102 的切換。

DC-DC 轉換器 100 的輸出電壓 V_{out} 和輸出電流被偵測，及根據這些數位值來控制負載比，以便負載比可被設定在適當的值，使 DC-DC 轉換器的輸出電壓和 DC-DC 轉換器的輸出電力保持在理想值。

（實施例 2）

在此實施例中，說明訊號處理電路和包括在訊號處理電路中之記憶體裝置的組態。

在本發明的實施例中，記憶體裝置包括一或複數個各個能夠儲存一位元資料之記憶體單元。圖 3 為包括在記憶體裝置中之記憶體單元 114 的電路圖之例子圖。

圖 3 所示之記憶體單元 114 包括記憶體元件 111、電容器 112、及電晶體 113。記憶體元件 111 包括第一邏輯

元件 115a 和第二邏輯元件 115b，其各個將所輸入的訊號之邏輯值反相及輸出訊號；電晶體 116；及電晶體 117。

經由電晶體 116 將包括輸入到記憶體單元 114 之資料的訊號 Din 供應到第一邏輯元件 115a 之輸入端子。第一邏輯元件 115a 的輸出端子連接到第二邏輯元件 115b 的輸入端子。第二邏輯元件 115b 的輸出端子經由電晶體 117 連接到第一邏輯元件 115a 的輸入端子。第一邏輯元件 115a 的輸出端子或第二邏輯元件 115b 的輸入端子之電壓被輸出作為訊號 Dout 到隨後階段的記憶體單元 114 或另一電路。

需注意的是，在圖 3 中，圖解反相器被使用作為第一邏輯元件 115a 和第二邏輯元件 115b 之例子；然而，除了反相器之外，時脈式反相器亦可被使用作為第一邏輯元件 115a 及/或第二邏輯元件 115b。

經由電晶體 116 和電晶體 113 將電容器 112 連接到記憶體單元 114 的輸入端子，即、供應訊號 Din 的電壓之節點，以便視需要可儲存輸入到記憶體單元 114 之訊號 Din 的資料。尤其是，電容器 112 之電極的其中之一經由電晶體 113 連接到第一邏輯元件 115a 的輸入端子。電極的其中另一個連接到供應諸如接地電壓等參考電壓之節點。

電晶體 113 具有大幅低於包括諸如矽或鍺等一般半導體之電晶體的關閉狀態電流。電容器 112 的資料保持時間之長度依據經由電晶體 113 漏洩出累積在電容器 112 中的電荷量而定。因此，當累積在電容器 112 中之電荷被諸如

上述電晶體等具有極低的關閉狀態電流之電晶體 113 保持時，可防止電荷從電容器 112 漏洩，如此可使資料保持時間較長。

雖然圖 3 圖解包括在電晶體 113 中之電晶體具有單閘極結構之事例的例子，但是電晶體可具有包括複數個電連接的閘極電極以便包括複數個通道形成區之多閘極結構。

需注意的是在圖 3 中，圖解藉由使用一電晶體 113 控制電容器 112 中之電荷的供應、保持、及排放之結構；然而，本發明並不侷限於此結構。在本發明的實施例中，可藉由使用複數個電晶體 113 來控制電容器 112 中之電荷的供應、保持、及排放。在使用複數個電晶體 113 之事例中，複數個電晶體可以並聯、以串聯、或以並聯連接和串聯連接的組合來彼此連接。

需注意的是，記憶體單元 114 可視需要另外包括另一電路元件，諸如二極體、電阻器、或電感器等。

第一邏輯元件 115a 具有閘極電極彼此連接之 p 通道電晶體 118 和 n 通道電晶體 119 串聯連接在供應高位準供電電壓 VDD 的第一節點和供應低位準參考電壓 GND 的第二節點之間的結構。尤其是，p 通道電晶體 118 的源極連接到供應供電電壓 VDD 之第一節點，而 n 通道電晶體 119 的源極連接到供應參考電壓 GND 之第二節點。此外，p 通道電晶體 118 的汲極連接到 n 通道電晶體 119 的的汲極，及兩汲極的電壓可被視作第一邏輯元件 115a 之輸出端子的電壓。此外，p 通道電晶體 118 的閘極電極和 n 通道電

晶體 119 的閘極電極之電壓可被視作第一邏輯元件 115a 的輸入端子之電壓。

第二邏輯元件 115b 具有閘極電極彼此連接之 p 通道電晶體 120 和 n 通道電晶體 121 串聯連接在供應高位準供電電壓 VDD 的第一節點和供應低位準參考電壓 GND 的第二節點之間的結構。尤其是，p 通道電晶體 120 的源極連接到供應供電電壓 VDD 之第一節點，而 n 通道電晶體 121 的源極連接到供應參考電壓 GND 之第二節點。此外，p 通道電晶體 120 的汲極連接到 n 通道電晶體 121 的的汲極，及兩汲極的電壓可被視作第二邏輯元件 115b 之輸出端子的電壓。此外，p 通道電晶體 120 的閘極電極和 n 通道電晶體 121 的閘極電極之電壓可被視作第二邏輯元件 115b 的輸入端子之電壓。

藉由施加到其閘極電極之訊號 Sig1 來控制電晶體 116 的切換。藉由施加到其閘極電極之訊號 Sig2 來控制電晶體 117 的切換。藉由施加到其閘極電極之訊號 Sig3 來控制包括在電晶體 113 中的電晶體之切換。

在圖 3 所示之記憶體單元 114 中，可使用包括複數個電晶體之切換元件來取代電晶體 116。在使用包括複數個電晶體之切換元件來取代電晶體 116 的事例中，複數個電晶體可以並聯、以串聯、或以並聯連接和串聯連接的組合來彼此連接。另外，在圖 3 所示之記憶體單元 114 中，可使用包括複數個電晶體之切換元件來取代電晶體 117。在使用包括複數個電晶體之切換元件來取代電晶體 117 的事

例中，複數個電晶體可以並聯、以串聯、或以並聯連接和串聯連接的組合來彼此連接。

第一邏輯元件 115a 和第二邏輯元件 115b 需要以高速操作。因此，使用包括具有晶性的矽或具有晶性的銻之通道形成區的電晶體作為包括在第一邏輯元件 115a 中之 n 通道電晶體 119 和 p 通道電晶體 118 或者包括在第二邏輯元件 115b 中之 n 通道電晶體 121 和 p 通道電晶體 120。

需注意的是，電晶體 116 或電晶體 117 可包括具有晶性的矽或具有晶性的銻之通道形成區。

接著，說明圖 3 所示之記憶體單元 114 的操作之例子。

首先，在寫入資料時，電晶體 116 被導通，電晶體 117 被關閉，及電晶體 113 被關閉。然後，供電電壓 VDD 被施加到第一節點，而參考電壓 GND 被施加到第二節點，藉以供電電壓被施加到記憶體單元 111。施加到記憶體單元 114 之訊號 Din 的電壓係經由電晶體 116 施加到第一邏輯元件 115a 的輸入端子，藉以第一邏輯元件 115a 的輸出端子之電壓為將訊號 Din 的邏輯值反相之電壓。然後，電晶體 117 被導通，及第一邏輯元件 115a 的輸入端子連接到第二邏輯元件 115b 的輸出端子，藉以將資料寫入第一邏輯元件 115a 和第二邏輯元件 115b。

接著，在輸入資料保持在第一邏輯元件 115a 和第二邏輯元件 115b 中之事例中，電晶體 117 維持導通，電晶

體 113 維持關閉，及電晶體 116 被關閉。藉由關閉電晶體 116，輸入資料保持在第一邏輯元件 115a 和第二邏輯元件 115b 中。此時，供電電壓 VDD 施加到第一節點，及參考電壓 GND 施加到第二節點，藉以供電電壓施加在第一節點與第二節點之間的狀態被維持。

第一邏輯元件 115a 的輸出端子之電壓反映保持在第一邏輯元件 115a 和第二邏輯元件 115b 中的資料。因此，藉由讀取電壓，可從記憶體單元 114 讀取資料。

需注意的是，當在保持資料中停止供應供電電壓時，在停止供應供電電壓之前將資料保持在電容器 112 中。在資料保持在電容器 112 之事例中，首先，電晶體 116 被關閉，電晶體 117 被導通，及電晶體 113 被導通。然後，經由電晶體 113，對應於保持在第一邏輯元件 115a 和第二邏輯元件 115b 中的資料之值的電荷量係累積在電容器 112 中，藉以將資料寫入電容器 112 內。在將資料儲存於電容器 112 之後，電晶體 113 被關閉，藉以保持儲存在電容器 112 中之資料。在關閉電晶體 113 之後，例如，參考電壓 GND 係供應到第一節點和第二節點的每一個，以便節點具有相等電壓，藉以停止施加第一節點和第二節點之間的供電電壓。需注意的是，在將資料儲存於電容器 112 之後，電晶體 117 可被關閉。

以此種方式，在將輸入資料保持在電容器 112 之事例中，不需要供電電壓施加第一節點和第二節點之間；因此，經由包括在第一邏輯元件 115a 中的 p 通道電晶體 118

和 n 通道電晶體 119 或者經由包括在第二邏輯元件 115b 中的 p 通道電晶體 120 和 n 通道電晶體 121 流動在第一節點和第二節點之間的關閉狀態電流會非常接近零。結果，會明顯降低由於在保持資料時之記憶體元件 111 的關閉狀態電流所導致之電力消耗，及可降低記憶體裝置以及包括記憶體裝置的整體 DC-DC 轉換器之電力消耗。

如上述，電晶體 113 具有極低的關閉狀態電流。因此，當電晶體 113 在關閉狀態時，累積在電容器 112 中之電荷不容易漏洩；如此，資料被保持。

在讀取儲存於電容器 112 之資料的事例中，電晶體 116 被關閉。然後，再次將供電電壓 VDD 供應到第一節點，及再次將參考電壓 GND 供應到第二節點，藉以將供電電壓施加在第一節點與第二節點之間。然後，藉由導通電晶體 113，可從記憶體單元 114 讀取具有反映資料之電壓的訊號 $Dout$ 。

需注意的是，可由在通道形成區中使用氧化物半導體之電晶體控制第一節點與第二節點之間的供電電壓之施加。圖 4A 圖解具有此種結構之記憶體裝置的例子。

圖 4A 所示之記憶體裝置 110 包括複數個記憶體單元 114。尤其是，圖 3 所示之記憶體單元 114 可被使用作為記憶體單元 114 的每一個。將切換元件 130 包括在供電控制電路 109 中。經由切換元件 130，包括在記憶體裝置 110 中之記憶體單元 114 的每一個被供應有高位準供電電壓 VDD 。此外，訊號 Din 的電壓和低位準參考電壓 GND

的電壓被施加到包括在記憶體裝置 110 中之記憶體單元 114 的每一個。

在圖 4A 中，包括氧化物半導體在通道形成區中之電晶體被用於切換元件 130，及藉由供應到其閘極電極之訊號 SigA 來控制電晶體的切換。因為用於切換元件 130 之電晶體包括氧化物半導體在通道形成區中，所以如上述關閉狀態極低。

需注意的是，在圖 4A 中，圖解切換元件 130 包括一電晶體之結構；然而，本發明並不侷限於此結構。在本發明的實施例中，切換元件 130 可包括複數個電晶體。在複數個電晶體包括於切換元件 130 之事例中，複數個電晶體可以並聯、以串聯、或以並聯連接和串聯連接的組合來彼此連接。

雖然切換元件 130 控制高位準供電電壓 VDD 到包括在圖 4A 的記憶體裝置 110 中之記憶體單元 114 的每一個之供應，但是切換元件 130 可控制低位準參考電壓 GND 之供應。在圖 4B 中，圖解包括在記憶體裝置 110 中之記憶體單元 114 的每一個經由切換元件 130 被供應有低位準參考電壓 GND 之記憶體裝置 110 的例子。可藉由切換元件 130 控制供應低位準參考電壓 GND 到包括在記憶體裝置 110 中之記憶體單元 114 的每一個。

接著，將說明根據本發明之半導體裝置的特定實施例。半導體裝置的結構之例子被圖解作圖 5 的方塊圖。

訊號處理電路 107 包括控制單元 131、對應於算術單

元之算術邏輯單元（ALU）132、資料快取記憶體 133、指令快取記憶體 134、程式計數器 135、指令暫存器 136、非揮發性記憶體裝置 137、及記憶體裝置 110。

控制單元 131 具有解碼和實行輸入指令之功能。ALU 132 具有執行諸如四則算術操作等各種算術操作和邏輯操作之功能。資料快取記憶體 133 為臨時儲存經常使用的資料之緩衝記憶體裝置。指令快取記憶體 134 為臨時儲存發送到控制單元 131 的指令（程式）之經常使用的指令之緩衝器記憶體裝置。程式計數器 135 為儲存接下來欲待實行之指令的位址之暫存器。指令暫存器 136 為儲存接下來欲待實行之指令的暫存器。用於 ALU 132 中的算術操作之資料和在控制單元 131 中實行的指令被儲存在非揮發性記憶體裝置 137 中。記憶體裝置 110 可儲存由於 ALU 132 中之算術操作所獲得的資料，諸如校正的數位值 *Sout'* 之資料和 *L-Flag* 的數位值之資料等；讀取自非揮發性記憶體裝置 137 之資料；在 ALU 132 中之算術操作期間所獲得的資料；諸如此類。

接著，將說明訊號處理電路 107 的操作。

控制單元 131 從對應於儲存在程式計數器 135 中的接下來欲待實行之指令的位址之指令快取記憶體 134 的位址讀出指令，及使指令暫存器 136 儲存指令。當指令未儲存於指令快取記憶體 134 的對應位址時，控制單元 131 存取非揮發性記憶體裝置 137 的對應位址，從非揮發性記憶體 137 讀出指令，及使指令暫存器 136 儲存指令。在此事例

中，指令亦儲存在指令快取記憶體 134 中。

控制單元 131 解碼儲存在指令暫存器 136 中之指令及實行指令。尤其是，控制單元 131 根據指令產生用以控制 ALU 132 的操作之各種訊號。

當欲待實行之指令為算術指令時，控制單元 131 使 ALU 132 使用儲存在記憶體裝置 110 中之資料來執行算術操作，及將算術操作的結果儲存在記憶體裝置 110 中。

當欲待實行之指令為載入指令時，控制單元 131 首先存取資料快取記憶體 133 的對應位址，及核對對應資料是否存在於資料快取記憶體 133 中。當對應資料存在於資料快取記憶體 133 中時，從資料快取記憶體 133 的對應位址拷貝資料到記憶體裝置 110。當對應資料未存在於資料快取記憶體 133 中時，從非揮發性記憶體裝置 137 的對應位址拷貝資料到資料快取記憶體 133 的對應位址，而後從資料快取記憶體 133 的對應位址拷貝資料到記憶體裝置 110。需注意的是，在對應資料未存在之事例中，因為需要存取低速非揮發性記憶體裝置 137，所以實行指令比控制單元只存取諸如資料快取記憶體 133 等緩衝器記憶體裝置之事例花上更長時間。然而，當不僅上述資料而且非揮發性記憶體裝置 137 中之資料的位址和資料附近的位址之資料被拷貝到緩衝器記憶體裝置時，能夠以高速執行第二和隨後存取非揮發性記憶體裝置 137 中之資料的位址和其附近的位址。

當欲待實行之指令為儲存指令時，控制單元 131 將記

記憶體裝置 110 的資料儲存在資料快取記憶體 133 之對應位址。在此事例中，控制單元 131 首先存取資料快取記憶體 133 的對應位址及核對對應資料是否能夠儲存在資料快取記憶體 133 中。當資料能夠儲存在資料快取記憶體 133 時，從記憶體裝置 110 拷貝資料到資料快取記憶體 133 的對應位址。當無法儲存資料時，新的對應位址被分派在資料快取記憶體 133 的部分中，及從記憶體裝置 110 拷貝資料到資料快取記憶體 133 的對應位址。需注意的是，可緊接在資料拷貝到資料快取記憶體 133 之後，將資料拷貝到非揮發性記憶體裝置 137。另一選擇是，可將一些片段資料拷貝到資料快取記憶體 133，而後這些片段資料全體被拷貝到非揮發性記憶體裝置 137。

然後，在控制單元 131 實行指令之後，控制單元 131 再次存取程式計數器 135，及重複從讀取自指令暫存器 136 的指令被解碼和實行之上述操作。

ALU 132 在記憶體裝置 110 中選擇保持操作。換言之，ALU 132 選擇資料保持在記憶體裝置 110 之記憶體元件 111 或者在電容器 112 中。尤其是，當 DC-DC 轉換器的輸入電壓之波動大時，或者當 DC-DC 轉換器的輸出電壓未保持在理想值時，選擇保持資料在記憶體元件 111 中。另外，當輸出電壓保持在理想值時及當 DC-DC 轉換器的輸入電壓之波動小時，在停止供應供電電壓到記憶體裝置 110 中的記憶體元件 111 之前選擇保持資料在電容器 112 中，及執行重寫資料在電容器 112 中。藉由一群記憶體單

元 114 與施加供電電壓 VDD 或參考電壓 GND 的節點之間的切換元件可執行停止供應供電電壓，如圖 4A 或圖 4B 所示。

另外，在本發明的實施例中，具有極低關閉狀態電流之電晶體被使用作為用以保持電荷在電容器中的切換元件，以便可抑制從電容器所漏洩的電荷量。因此，在本發明的實施例中，甚至當停止供應供電電壓時，記憶體裝置 110 仍能夠藉此防止資料的拭除。因此，在整個訊號處理電路 107 中或在包括於訊號處理電路 107 中之諸如控制單元 131 或 ALU 132 等邏輯電路中，甚至能夠短時間停止供應供電電壓。如此，可減少訊號處理電路 107 的電力消耗。另外，在本發明的實施例中，包括在記憶體元件中之電晶體和包括在切換元件中之電晶體被堆疊於記憶體裝置中，藉以可達成訊號處理電路 107 的高度整合。

此實施例係可藉由與上述實施例的任一者適當組合來實施。

（實施例 3）

在此實施例中，圖解記憶體裝置的特定結構之例子。在此實施例中，圖解記憶體元件包括包括具有晶性的矽在通道形成區中之電晶體，及用以控制電容器中之電荷的供應、保持、及排放之包括氧化物半導體在通道形成區之電晶體的例子。

圖 6 圖示橫剖面圖作為包括在記憶體元件中之 p 通道

電晶體 118、n 通道電晶體 119、電容器 112、及電晶體 113 的結構之例子。

圖 6 所示之記憶體裝置包括在基板 200 之上的 n 通道電晶體 119 和 p 通道電晶體 118。絕緣膜 201 係形成在基板 200 的表面之上。

n 通道電晶體 119 包括半導體膜 203n，包括具有晶性的矽；閘極絕緣膜 204n，係在半導體膜 203n 之上；閘極電極 205n，係設置在與半導體膜 203n 重疊之部分，具有閘極絕緣膜 204n 設置在其間；及導電膜 206 及導電膜 207，其連接到半導體膜 203n。半導體膜 203n 包括充作通道形成區之第一區 208 和充作源極及汲極之第二區 209 及 210。第一區 208 係夾置在第二區 209 及 210 之間。圖 6 圖解半導體膜 203n 包括充作輕摻雜汲極（LDD）區之第三區 211 及 212 在第一區 208 與第二區 209 之間以及第一區 208 與第二區 210 之間時的例子。

p 通道電晶體 118 包括半導體膜 203p，包括具有晶性的矽；閘極絕緣膜 204p，係在半導體膜 203p 之上；閘極電極 205p，係設置在與半導體膜 203p 重疊之部分，具有閘極絕緣膜 204p 設置在其間；及導電膜 207 及導電膜 213，其連接到半導體膜 203p。半導體膜 203p 包括充作通道形成區之第一區 214 和充作源極及汲極之第二區 215 及 216。第一區 214 係夾置在第二區 215 及 216 之間。圖 6 圖解半導體膜 203p 包括充作 LDD 區之第三區 217 及 218 在第一區 214 與第二區 215 之間以及第一區 214 與第二區

216 之間時的例子。

需注意的是，圖 6 圖解 n 通道電晶體 119 和 p 通道電晶體 118 共享導電膜 207 之事例。

另外，圖 6 圖解 n 通道電晶體 119 和 p 通道電晶體 118 各個包括薄的半導體膜之事例；然而，n 通道電晶體 119 和 p 通道電晶體 118 可各個具有通道形成區在塊狀半導體基板中。關於薄的半導體膜，例如，可使用藉由使用雷射來結晶非晶矽所獲得之多晶矽，以氫離子等等佈植到單晶矽晶圓及分開單晶矽晶圓的表面部之此種方式所獲得的單晶矽等等。

另外，在圖 6 所示之記憶體裝置中，絕緣膜 219 係形成在導電膜 206、導電膜 207、及導電膜 213 之上。包括第一氧化物絕緣膜 240a、第二氧化物絕緣膜 240b、及第三氧化物絕緣膜 240c 之絕緣膜 240 係設置在絕緣膜 219 之上。電晶體 113 係設置在絕緣膜 240 之上。

第一氧化物絕緣膜 240a 和第三氧化物絕緣膜 240c 係使用藉由加熱來釋出氧的一部分之氧化物絕緣膜所形成。關於藉由加熱來釋出氧的一部分之氧化物絕緣膜，使用含有比例超出化學計量比例的氧之絕緣膜較佳。可將氧化矽、氮氧化矽、氧氮化矽、氧化鎵、氧化鉛、氧化釷等等用於第一氧化物絕緣膜 240a 和第三氧化物絕緣膜 240c。

第二氧化物絕緣膜 240b 係使用防止氧的擴散之氧化物絕緣膜來形成。例如、第二氧化物絕緣膜 240b 係使用氧化鋁、氮氧化鋁等等來形成。關於氧化鋁，使用含有比

例滿足化學計量比例的氧之氧化鋁或者含有比例超過化學計量比例的氧之氧化鋁（ AlO_x ， x 大於或等於 $3/2$ ）較佳。此外，在氮氧化鋁中，以氮取代比例滿足化學計量比例的氧之氧化鋁中的氧之一部分。

需注意的是，“藉由加熱釋出氧”意指在以氧原子為基礎之熱脫附光譜法（TDS）中所釋出的氧量大於或等於 1.0×10^{18} atoms/cm³、大於或等於 3.0×10^{20} atoms/cm³ 較佳。

此處，在 TDS 分析中轉換成氧原子之所釋出的氧量之測量方法被說明如下。

TDS 分析中之氣體的脫附量與光譜的積分值成比例。因此，可從絕緣膜的光譜之積分值對標準樣本的參考值之比率來計算所釋出的氣體量。標準樣本的參考值意指樣本所含有之預定原子的密度對光譜的積分值之比率。

例如，利用標準樣本之含有預定密度的氫之矽晶圓的 TDS 分析結果和絕緣膜的 TDS 分析結果，根據公式 1 可找出從絕緣膜所釋出的氧分子量（ N_{O_2} ）。被給定作具有質量數 32 的氣體之 CH_3OH 不可能存在於絕緣膜中。因此，藉由 TDS 分析所獲得之具有質量數 32 的所有光譜被假設成源自於氧分子。另外，包括氧的同位素之具有質量數 17 或 18 的氧原子之氧分子被假設不存在，因為自然世界中此種分子的比例極微。

[公式 1]

$$\text{N}_{\text{O}_2} = \text{N}_{\text{H}_2} / \text{S}_{\text{H}_2} \times \text{S}_{\text{O}_2} \times \alpha$$

N_{H_2} 為藉由將從標準樣本所釋出的氫分子數目轉換成密度所獲得之值。 S_{H_2} 為當標準樣本經過 TDS 分析時之光譜的積分值。此處，標準樣本的參考值被設定成 N_{H_2}/S_{H_2} 。 S_{O_2} 為當絕緣膜經過 TDS 分析時之光譜的積分值。 α 為影響 TDS 分析時之光譜的強度之係數。公式 1 的細節參考日本已出版專利申請案 H6-275697。需注意的是，使用含有 $1 \times 10^{16} \text{ atoms/cm}^3$ 的氫原子之矽晶圓作為標準樣本，以 ESCO 股份有限公司所生產之熱脫附光譜設備 EMD-WA1000S/W 來測量從上述絕緣膜所釋出的氧量。

另外，在 TDS 分析中，一些氧量被偵測作氧原子。可從氧分子的離子化比來計算氧分子與氧原子之間的比率。需注意的是，因為上述 α 包括氧分子的離子化比，所以經由估算所釋出的氧分子量亦可估計所釋出的氧原子量。

需注意的是， N_{O_2} 為所釋出的氧分子數。以氧原子為基礎之所釋出的氧量為所釋出之氧分子數的兩倍。

在上述結構中，藉由加熱釋出氧之絕緣膜可以是氧過量氧化矽 ($SiO_x (X > 2)$)。在氧過量氧化矽 ($SiO_x (X > 2)$) 中，每一單位體積的氧原子數比每一單位體積的矽原子數兩倍還大。每一單位體積的矽原子數和氧原子數係由盧瑟福背散射光譜法所測量。

尤其是，電晶體 113 包括氧化物半導體膜 242；閘極絕緣膜 243，係在氧化物半導體膜 242 之上；閘極電極 244，係與氧化物半導體膜 242 重疊，具有閘極絕緣膜 243 設置在其間；導電膜 245 和導電膜 246，其連接到氧化物

半導體膜 242。氧化物半導體膜 242 包括第一區 247，其與閘極電極 244 重疊且其至少一部分充作通道形成區；以及第二區 248 及 249，充作源極和汲極且第一區 247 夾置在其間。

作為具有比矽半導體寬的能帶隙及具有比矽低的本徵載子密度之半導體材料的一例子，除了氧化物半導體以外還可給定諸如碳化矽（SiC）或氮化鎵（GaN）等化合物半導體。氧化物半導體具有高度大量生產力之有利點，因為可藉由濺鍍法或濕處理來形成氧化物半導體，而不像碳化矽或氮化鎵一樣。另外，不像碳化矽或氮化鎵，甚至以室溫仍能夠沉積氧化物半導體；如此，能夠使用矽在玻璃基板之上沉積或在積體電路之上沉積。另外，可使用較大基板。因此，在具有寬能帶隙之半導體中，氧化物半導體尤其具有高度大量生產力之有利點。另外，在欲待獲得具有高晶性之氧化物半導體以便提高電晶體的特性（如、場效遷移率）之事例中，可容易藉由以 250℃至 800℃的熱處理而獲得具有晶性之氧化物半導體。

接著，將參考圖 7A 至 7C 說明圖 6 所示之電晶體 113 的特定橫剖面結構。

圖 7A 為絕緣膜 240 和電晶體 113 的橫剖面圖，及圖 7B 為絕緣膜 240 和電晶體 113 的俯視圖。圖 7A 為沿著圖 7B 的虛點線 A1-A2 所取之橫剖面圖。圖 7C 為沿著圖 7B 的虛點線 B1-B2 所取之絕緣膜 240 和電晶體 113 的橫剖面圖。

在電晶體 113 中，包括絕緣膜之側壁 250 係設置在閘極電極 244 的側部分上，及絕緣膜 251 係設置在閘極電極 244 之上。另外，導電膜 245 的一部分和導電膜 246 的一部分係與側壁 250 相接觸。導電膜 245 和導電膜 246 不一定與側壁 250 接觸。然而，當導電膜 245 和導電膜 246 被形成與側壁 250 相接觸時，甚至在導電膜 245 和導電膜 246 偏離適當位置之事例中，仍可防止氧化物半導體膜 242 與導電膜 245 和導電膜 246 相接觸之區域的尺寸改變。因此，能夠防止由於導電膜 245 和導電膜 246 之位置的偏離所導致之電晶體 113 的導通狀態電流變化。

需注意的是，不一定設置閘極電極 244 之上的絕緣膜 251。然而，當設置絕緣膜 251 時，甚至在導電膜 245 或導電膜 246 係形成在閘極電極 244 上之事例中，仍可防止導電膜 245 與閘極電極 244 之間以及導電膜 246 與閘極電極 244 之間的導電。

在絕緣膜 240 中，第一氧化物絕緣膜 240a 和第二氧化物絕緣膜 240b 以此順序堆疊在位於最下層的第三氧化物絕緣膜 240c 之上。開口部 241 係形成在第一氧化物絕緣膜 240a 和第二氧化物絕緣膜 240b 中，及電晶體 113 的氧化物半導體膜 242 係設置在開口部 241 中。第一氧化物絕緣膜 240a 係設置在氧化物半導體膜 242 的周圍，以便與氧化物半導體膜 242 的端部相接觸。第二氧化物絕緣膜 240b 係設置在氧化物半導體膜 242 的周圍，具有第一氧化物絕緣膜 240a 設置在其間。第三氧化物絕緣膜 240c 係設

置在氧化物半導體膜 242 下方。

在上述結構中，可防止藉由加熱從第一氧化物絕緣膜 240a 所釋出的氧通過第二氧化物絕緣膜 240b；如此，將氧有效供應到第一區 247 中之氧化物半導體膜 242 的端部 252。此外，從第三氧化物絕緣膜 240c 所釋出的氧係供應到氧化物半導體膜 242 的下部。需注意的是，因為將氧化物半導體膜 242 蝕刻成想要的形狀之蝕刻處理、將氧化物半導體膜 242 的端部暴露至降壓大氣等等，所以在將氧化物半導體用於通道形成區之電晶體 113 的氧化物半導體膜 242 之端部中容易產生由於釋出氧所導致的氧不足。因為氧不足變成載子移動之路徑，所以當氧不足形成在氧化物半導體膜 242 的端部及因此增加電晶體 113 的關閉狀態電流時，形成寄生通道。然而，在本發明的實施例中，利用上述結構，防止氧不足形成在第一區 247 中之氧化物半導體膜 242 的端部 252，及如此可降低關閉狀態電流。

另外，如圖 6 所示，電容器 112 包括導電膜 253，係在絕緣膜 240 之上；絕緣膜 254，係在導電膜 253 之上；及導電膜 255 其係設置在與導電膜 253 重疊之位置中，具有絕緣膜 254 設置在其間。絕緣膜 254 亦設置在電晶體 113 之上。導電膜 253 和導電膜 245 可彼此電連接，或者導電膜 253 和導電膜 245 可以是一導電膜。

需注意的是，圖 6 圖解電容器 112 與電晶體 113 形成在絕緣膜 240 之上的事例；然而，電容器 112 與 n 通道電晶體 119 和 p 通道電晶體 118 可形成在絕緣膜 240 下方。

圖 6 圖解絕緣膜 219 係設置在絕緣膜 240 與 n 通道電晶體 119 之間以及絕緣膜 240 與 p 通道電晶體 118 之間的事例。然而，不一定設置絕緣膜 219。在未設置絕緣膜 219 之事例中，絕緣膜 240 被設置與導電膜 206、導電膜 207、及導電膜 213 相接觸。

另外，在圖 6 中，電晶體 113 包括至少閘極電極 244 在氧化物半導體膜 242 的一側上，但是可包括一對閘極電極，具有氧化物半導體膜 242 設置在其間。

說明電晶體 113 的結構不同於圖 6 所示之記憶體裝置的結構之根據本發明的實施例之記憶體裝置的組態。圖 8A 至 8C 圖解電晶體 113 的結構之例子。在圖 8A 至 8C 中，電晶體 113 係設置在包括第一絕緣膜 220a 和第二絕緣膜 220b 之絕緣膜 220 之上。圖 8A 為絕緣膜 220 和電晶體 113 的橫剖面圖，及圖 8B 為絕緣膜 220 和電晶體 113 的俯視圖。沿著圖 8B 的虛線 A1-A2 所取之橫剖面圖對應於圖 8A。圖 8C 為沿著圖 8B 的虛點線 B1-B2 所取之絕緣膜 220 和電晶體 113 的橫剖面圖。

第一氧化物絕緣膜 220a 係各個使用藉由加熱釋出氧的一部分之氧化物絕緣膜所形成。關於藉由加熱釋出氧的一部分之氧化物絕緣膜，使用含有比例超過化學計量比例之氧的絕緣膜較佳。氧化矽、氮氧化矽、氧氮化矽、氧化鋁、氧化鉛、氧化釔等等可被用於第一氧化物絕緣膜 220a。

第二氧化物絕緣膜 220b 係使用防止氧擴散之氧化物

絕緣膜所形成。例如，第二氧化物絕緣膜 220b 係使用氧化鋁、氮氧化鋁等等所形成。關於氧化鋁，使用含比例滿足化學計量比例的氧之氧化鋁或者含比例超過化學計量比例的氧之氧化鋁（ AlO_x ， x 大於或等於 $3/2$ ）較佳。此外，在氮氧化鋁中，以氮取代含比例滿足化學計量比例的氧之氧化鋁中的氧之部分。

電晶體 113 包括氧化物半導體膜 222，係設置在絕緣膜 220 之上；閘極絕緣膜 223，係在氧化物半導體膜 222 之上；閘極電極 224，其係設置在與氧化物半導體膜 222 重疊之部分，具有閘極絕緣膜 223 設置在其間；以及導電膜 225 和導電膜 226，其連接到氧化物半導體膜 222。氧化物半導體膜 222 包括第一區 227，其與閘極電極 224 重疊且其至少一部分充作通道形成區；以及第二區 228 及 229，其充作源極和汲極且第一區 227 夾置在其間。

在電晶體 113 中，包括絕緣膜之側壁 230 係設置在閘極電極 224 的側部上，及絕緣膜 231 係設置在閘極電極 224 之上。另外，導電膜 225 的一部分和導電膜 226 的一部分與側壁 230 相接觸。導電膜 225 和導電膜 226 不一定與側壁 230 相接觸。然而，當導電膜 225 和導電膜 226 被形成與側壁 230 相接觸時，甚至在導電膜 225 和導電膜 226 偏離適當位置之事例中，仍可防止氧化物半導體膜 222 與導電膜 225 和導電膜 226 相接觸之區域的尺寸改變。因此，可防止由於導電膜 225 和導電膜 226 的位置偏離所導致之電晶體 113 的導通電流變化。

需注意的是，不一定設置閘極電極 224 之上的絕緣膜 231。然而，當設置絕緣膜 231 時，甚至在導電膜 225 或導電膜 226 被形成在閘極電極 224 上之事例中，仍可防止導電膜 225 和閘極電極 224 之間以及導電膜 226 和閘極電極 224 之間的電傳導。

另外，在絕緣膜 220 中，第二氧化物絕緣膜 220b 係設置在第一氧化物絕緣膜 220a 的周圍。氧化物半導體膜 222 的第一區 227 係與第一氧化物絕緣膜 220a 相接觸，以及氧化物半導體膜 222 的第二區 228 及 229 係與第一氧化物絕緣膜 220a 和第二氧化物絕緣膜 220b 相接觸。

在上述結構中，可防止藉由加熱從第一氧化物絕緣膜 220a 所釋出的氧通過第二氧化物絕緣膜 220b；如此，氧被有效供應到第一區 227 中之氧化物半導體膜 222 的端部 232。需注意的是，因為將氧化物半導體膜 222 蝕刻成想要的形狀之蝕刻處理、將氧化物半導體膜 222 的端部暴露至降壓大氣等等，所以在將氧化物半導體用於通道形成區中之電晶體 113 的氧化物半導體膜 222 之端部中容易產生由於氧的釋出所導致之氧不足。因為氧不足變成載子移動的路徑，所以當氧不足形成在氧化物半導體膜 222 的端部及如此增加電晶體 113 的關閉狀態電流時形成寄生通道。然而，在本發明的實施例中，利用上述結構，防止氧不足形成在第一區 227 中之氧化物半導體膜 222 的端部 232，如此能夠降低關閉狀態電流。

另外，在圖 8A 至 8C 中，電晶體 113 包括閘極電極

224 在氧化物半導體膜 222 的至少一側上。另一選擇是，一對閘極電極可被設置有設置在其間的氧化物半導體膜 222。

需注意的是，藉由降低充作電子施體（施體）之諸如濕氣或氫等雜質以及藉由降低氧缺陷所獲得之淨化的氧化物半導體（淨化的 OS）為本徵（i 型）半導體或實質上 i 型半導體。因此，包括氧化物半導體之電晶體具有非常小的關閉狀態電流之特性。而且，氧化物半導體的能帶隙為 2 eV 或更大、2.5 eV 或更大較佳、3 eV 或更大更好。藉由使用以充分減少諸如濕氣和氫等雜質的濃度以及降低氧空位而高度淨化之氧化物半導體膜，可減少電晶體的關閉狀態電流。

尤其是，各種實驗可證明包括高度淨化的氧化物半導體膜作為通道形成區之電晶體的低關閉狀態電流。例如，甚至當元件具有通道寬度 $1 \times 10^6 \mu\text{m}$ 及通道長度 $10 \mu\text{m}$ 時，在從 1 V 至 10 V 的源極電極與汲極電極之間的電壓（汲極電壓）中，關閉狀態電流仍可低於或等於半導體參數分析器的測量限度，即、低於或等於 $1 \times 10^{-13} \text{ A}$ 。在此事例中，能夠看出對應於藉由關閉狀態電流除以電晶體的通道寬度所獲得之值的關閉狀態電流為 $100 \text{ zA}/\mu\text{m}$ 或更低。此外，電容器和電晶體彼此連接，及以流至或自電容器之電荷受電晶體控制的電路測量關閉狀態電流。在測量中，淨化的氧化物半導體膜已被用於電晶體的通道形成區，及已從每單位時間的電容器之電荷量變化測量電晶體的關閉狀

態電流。結果，發現在電晶體之源極電極與汲極電極之間的電壓為 3 V 之事例中，可獲得每一微米 (μm) 幾十毫安培之較低關閉狀態電流。因此，淨化的氧化物半導體膜被使用作為通道形成區之電晶體的關閉狀態電流大幅低於使用具有晶性的矽之電晶體的關閉狀態電流。

需注意的是，作為氧化物半導體，使用含 In 或 Zn 之氧化物較佳、含 In 及 Ga 之氧化物或含 In 及 Zn 之氧化物更好。為了獲得 i 型（本徵）氧化物半導體膜，稍後說明之脫水或除氫作用是有效的。作為用以降低包括氧化物半導體之電晶體的電特性變化之穩定劑，額外含有鎵 (Ga) 較佳。作為穩定劑含有錫 (Sn) 較佳。作為穩定劑含有鉛 (Pb) 較佳。作為穩定劑含有鋁 (Al) 較佳。

作為另一穩定劑，可含有一或複數種鐳系元素，諸如鐳 (La)、鈾 (Ce)、鐳 (Pr)、釹 (Nd)、釷 (Sm)、鈾 (Eu)、釷 (Gd)、鉕 (Tb)、鐳 (Dy)、釷 (Ho)、鈾 (Er)、鈾 (Tm)、鐳 (Yb)、及鐳 (Lu) 等。

作為氧化物半導體，例如，可使用氧化銦；氧化錫；氧化鋅；兩成分金屬氧化物，諸如 In-Zn 為基氧化物、Sn-Zn 為基氧化物、Al-Zn 為基氧化物、Zn-Mg 為基氧化物、Sn-Mg 為基氧化物、In-Mg 為基氧化物、或 In-Ga 為基氧化物等；三成分金屬氧化物，諸如 In-Ga-Zn 為基氧化物（亦稱作 IGZO）、In-Al-Zn 為基氧化物、In-Sn-Zn 為基氧化物、Sn-Ga-Zn 為基氧化物、Al-Ga-Zn 為基氧化物、Sn-Al-Zn 為基氧化物、In-Hf-Zn 為基氧化物、In-La-Zn 為

基氧化物、In-Ce-Zn 爲基氧化物、In-Pr-Zn 爲基氧化物、In-Nd-Zn 爲基氧化物、In-Sm-Zn 爲基氧化物、In-Eu-Zn 爲基氧化物、In-Gd-Zn 爲基氧化物、In-Tb-Zn 爲基氧化物、In-Dy-Zn 爲基氧化物、In-Ho-Zn 爲基氧化物、In-Er-Zn 爲基氧化物、In-Tm-Zn 爲基氧化物、In-Yb-Zn 爲基氧化物、或 In-Lu-Zn 爲基氧化物等；以及四成分金屬氧化物，諸如 In-Sn-Ga-Zn 爲基氧化物、In-Hf-Ga-Zn 爲基氧化物、In-Al-Ga-Zn 爲基氧化物、In-Sn-Al-Zn 爲基氧化物、In-Sn-Hf-Zn 爲基氧化物、或 In-Hf-Al-Zn 爲基氧化物等。上述氧化物半導體可包括矽。

在此說明書中，In-Ga-Zn 爲基氧化物意指例如包括 In、Ga、及 Zn 之氧化物，及並未特別限制 In:Ga:Zn 的比率。另外，In-Ga-Zn 爲基氧化物可含有除了 In、Ga、及 Zn 以外的金屬元素。需注意的是，當沒有電場及如此可充分降低關閉狀態電流時，In-Ga-Zn 爲基氧化物具有足夠高的電阻。此外，亦具有高場效遷移率，In-Ga-Zn 爲基氧化物適於用於固態影像感測裝置或半導體顯示裝置之半導體材料。

另一選擇是，可使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 所表示之材料作爲氧化物半導體。需注意的是，M 表示選自 Ga、Al (鋁)、Mn (錳)、及 Co (鈷) 之一或更多個金屬元素。例如，M 可以是 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、Ga 及 Co 等等。另一選擇是，作爲氧化物半導體，可使用以化學式 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n > 0$, n 爲整數

）所表示之材料。需注意的是，上述組成係衍生自氧化物半導體材料可具有之晶體結構及僅是例子。

例如，可使用具有原子比 $\text{In:Ga:Zn} = 1:1:1$ ($= 1/3:1/3:1/3$) 或 $\text{In:Ga:Zn} = 2:2:1$ ($= 2/5:2/5:1/5$) 之 In-Ga-Zn 為基氧化物，或者其組成在上述組成附近之氧化物的任一者。另一選擇是，可使用具有原子比 $\text{In:Sn:Zn} = 1:1:1$ ($= 1/3:1/3:1/3$)、 $\text{In:Sn:Zn} = 2:1:3$ ($= 1/3:1/6:1/2$) 或 $\text{In:Sn:Zn} = 2:1:5$ ($= 1/4:1/8:5/8$) 之 In-Sn-Zn 為基氧化物，或者其組成在上述組成附近之氧化物的任一者。

然而，在未侷限於上述給定的材料之下，依據所需的半導體特性（如、遷移率、臨界電壓、及變化），可使用具有適當組成之材料。為了獲得所需的半導體特性，載子密度、雜質濃度、缺陷密度、金屬元素與氧之間的原子比、原子間距離、密度等等被設定成適當值較佳。

需注意的是，例如，“原子比 $\text{In:Ga:Zn} = a:b:c$ ($a+b+c=1$) 之包括 In 、 Ga 、及 Zn 的氧化物之組成在原子比 $\text{In:Ga:Zn} = A:B:C$ ($A+B+C=1$) 之包括 In 、 Ga 、及 Zn 的氧化物之組成附近”的表示意指 a 、 b 、及 c 滿足下面關係： $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ ，及例如 r 可以是 0.05。同樣可應用到其他氧化物。

另外，氧化物半導體可以是非晶或結晶。在後一事例中，氧化物半導體層可以是單晶或多晶，可具有氧化物半導體層的一部分為結晶之結構，可具有包括結晶部之非晶結構，或可具有非非晶結構。作為此種局部結晶結構的例

子，可使用包括具有 c 軸對準之晶體（亦稱作 c 軸對準晶體（CAAC））的氧化物，其從 a-b 平面、表面、或介面的方向觀看時具有三角或六角原子排列。在晶體中，當從垂直於 c 軸的方向觀看時，以層式方式排列金屬原子，或者沿著 c 軸以層式方式排列金屬原子和氧原子，及在 a-b 平面中改變 a 軸或 b 軸的方向（晶體繞著 c 軸轉動）。

在非晶狀態之氧化物半導體中，可比較容易獲得平坦表面，以便當藉由使用氧化物半導體製造電晶體時，可降低介面散射，及可比較容易獲得相對高的遷移率。

在具有晶性之氧化物半導體中，與非晶狀態之氧化物半導體比較，可進一步降低塊狀中的缺陷，及當提高表面平坦時，可獲得高於非晶狀態之氧化物半導體的遷移率之遷移率。爲了提高表面平坦，可將氧化物半導體形成在平坦表面上較佳。尤其是，可將氧化物半導體形成在具有平均表面粗度（Ra）低於或等於 1 nm、低於或等於 0.3 nm 較佳、低於或等於 0.1 nm 更好的表面之上。

需注意的是，Ra 係藉由由 JIS B 0601 所定義之中心線平均粗度擴張成三維所獲得，以便應用到平面。而且，Ra 可被表示作“從參考表面到特定表面之偏移的絕對值之平均值”及由公式 2 定義。

[公式 2]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

在公式 2 中，S₀ 表示欲待測量之平面的面積（由座標

(x_1, y_1)、(x_1, y_2)、(x_2, y_1)、及(x_2, y_2)所表示的四點定義之矩形區)，及 Z_0 表示欲待測量之平面的平均高度。可以原子力顯微鏡 (AFM) 來測量 R_a 。

例如，可藉由使用包括銦 (In)、鎵 (Ga)、及鋅 (Zn) 之靶材的濺鍍法來形成氧化物半導體膜。在藉由濺鍍法形成 In-Ga-Zn 為基氧化物半導體膜之事例中，使用具有原子比 In:Ga:Zn = 1:1:1、4:2:3、3:1:2、1:1:2、2:1:3、或 3:1:4 之 In-Ga-Zn 為基氧化物的靶材較佳。當使用具有上述原子比之 In-Ga-Zn 為基氧化物的靶材形成氧化物半導體膜時，可能形成多晶或 c 軸對準晶體 (CAAC)。包括 In、Ga、及 Zn 之靶材的填充因子為 90%或更高及 100%或更低、和 95%或更高及低於 100%較佳。藉由使用有著高填充率之靶材，形成濃密的氧化物半導體膜。

在使用 In-Zn 為基氧化物材料作為氧化物半導體之事例中，In-Zn 為基氧化物的靶材具有組成比 In:Zn = 50:1 至 1:2 (原子比) (莫耳比為 $\text{In}_2\text{O}_3:\text{ZnO}$ = 25:1 至 1:4)、In:Zn = 20:1 至 1:1 (原子比) (莫耳比為 $\text{In}_2\text{O}_3:\text{ZnO}$ = 10:1 至 1:2) 較佳、In:Zn = 1.5:1 至 15:1 (原子比) (莫耳比為 $\text{In}_2\text{O}_3:\text{ZnO}$ = 3:4 至 15:2) 更好。例如，在形成具有原子比 In:Zn:O = X:Y:Z 之用於包括 In-Zn 為基氧化物的氧化物半導體膜之靶材中，滿足關係 $Z > 1.5X+Y$ 。藉由將 Zn 的比率保持在上述範圍內可提高遷移率。

尤其是，氧化物半導體膜可被形成如下：將基板保持在降壓的室中，移除室中的剩餘濕氣，引進移除氫和濕氣

之濺鍍氣體，及使用上述靶材。在膜形成時，基板溫度可以是 100°C 至 600°C （含）、 200°C 至 400°C （含）較佳。藉由在加熱基板的狀態中形成氧化物半導體膜，可降低包括在所形成的氧化物半導體膜中之雜質濃度。此外，可降低由於濺鍍所導致的破壞。爲了移除處理室中的剩餘濕氣，使用誘捕式真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。抽空單元可以是設置有冷凝阱之渦輪式泵。在以低溫泵抽空之沉積室中，例如，移除氫原子、諸如水（ H_2O ）等含氫原子之化合物（並且含碳原子之化合物更好）等等，藉以能夠降低處理室中所形成之氧化物半導體膜的雜質濃度。

需注意的是，在某些事例中，藉由濺鍍等等所形成之氧化物半導體膜含有大量濕氣或氫（包括氫氧根）作爲雜質。濕氣和氫容易形成施體位準，及如此充作氧化物半導體中的雜質。如此在本發明的一模式中，爲了降低氧化物半導體膜中之諸如濕氣或氫等雜質（爲了執行脫水或除氫作用），在降壓大氣、氮、稀有氣體等等的鈍氣大氣、氧氣大氣、或超乾燥空氣（在光腔衰盪雷射光譜技術（CRDS）法中藉由露點計執行測量之事例中，濕氣量爲 20 ppm（ -55°C 轉換成露點）或更低、1 ppm 或更低較佳、10 ppb 或更低更好）中，氧化物半導體膜經過熱處理。

藉由在氧化物半導體膜上執行熱處理，可排除氧化物半導體膜中的濕氣或氫。尤其是，以溫度高於或等於 250°C 及低於或等於 750°C 、高於或等於 400°C 及低於或等

於基板的應變點較佳執行熱處理。例如，可在 500°C 中執行熱處理達約三分鐘至六分鐘（含）。當 RTA 法被用於熱處理時，可短時間執行脫水或除氫作用；因此，甚至在溫度高於玻璃基板的應變點中仍可執行處理。

需注意的是，在某些事例中，熱處理使氧從氧化物半導體膜釋出，及氧不足形成在氧化物半導體膜中。在本發明的實施例中，爲了防止氧不足，將包括氧的絕緣膜用於與氧化物半導體膜相接觸之絕緣膜，諸如閘極絕緣膜等。然後，在形成包括氧的絕緣膜之後執行熱處理，以便氧從絕緣膜供應到氧化物半導體膜。利用上述結構，在氧化物半導體膜中可降低充作施體之氧缺陷，及可滿足化學計量組成。氧化物半導體膜中之氧的比例高於化學計量組成的比例較佳。結果，可使氧化物半導體膜成爲實質上 i 型，及可降低由於氧空位所導致之電晶體的電特性變化，結果改良電特性。

以溫度高於或等於 200°C 及低於或等於 400°C ，例如高於或等於 250°C 及低於或等於 350°C ，在氮大氣、超乾燥空氣、或稀有氣體（如、氬或氦）大氣中執行用以供應氧到半導體膜之熱處理較佳。較佳的是，氣體中的水含量爲 20 ppm 或更低、1 ppm 或更低較佳、10 ppb 或更低更好。

此外，將說明包括具有 c 軸對準的晶體（亦稱作 c 軸對準晶體（CAAC））之氧化物，當從 a-b 平面、表面、或介面的方向觀看時其具有三角或六角原子排列。在晶體中，當從垂直於 c 軸的方向觀看時以層式方式排列金屬原

子，或者以層式方式排列金屬原子和氧原子，及在 $a-b$ 平面中改變 a 軸或 b 軸的方向（晶體繞著 c 軸轉動）。

以廣義而言，CAAC 意指包括當從垂直於 $a-b$ 平面的方向觀看時具有三角、六角、正三角、或正六角原子排列之相位的非單晶，及其中當從垂直於 c 軸方向的方向觀看時以層式方式排列金屬原子或者以層式方式排列金屬原子和氧原子。

CAAC 非單晶，但是此不意味 CAAC 只由非晶成分組成。雖然 CAAC 包括結晶化部（結晶部），但是在某些事例中一結晶部與另一結晶部之間的邊界不清楚。

在 CAAC 包括氧之事例中，可以氮取代包括在 CAAC 中之氧的一部分。包括在 CAAC 中之個別結晶部的 c 軸可對準在一方向上（如、垂直於形成 CAAC 之基板的表面或者 CAAC 的表面之方向）。另一選擇是，包括在 CAAC 中之個別結晶部的 $a-b$ 平面之法線可對準在一方向上（如、垂直於設置有 CAAC 的基板之表面或 CAAC 的頂表面之方向）。

CAAC 依據其組成等等而變成導體、半導體、或絕緣體。CAAC 依據其組成等等而傳送或不傳送可見光。

此種 CAAC 的例子為晶體，其被形成膜形及當從垂直於膜的表面或形成 CAAC 之基板的表面之方向觀看時具有三角或六角原子排列，及其中當觀看膜的橫剖面時以層式方式排列金屬原子或者以層式方式排列金屬原子和氧原子（或氮原子）。

將參考圖 9A 至 9E、圖 10A 至 10C、及圖 11A 至 11C 詳細說明 CAAC 的晶體結構之例子。在圖 9A 至 9E、圖 10A 至 10C、及圖 11A 至 11C 中，除非特別指明，否則垂直方向對應於 c 軸方向，及垂直於 c 軸方向之平面對應於 a - b 平面。當簡單使用措辭“上半部”及“下半部”時，它們意指 a - b 平面上方的上半部及 a - b 平面下方的下半部（相對於 a - b 平面的上半部和下半部）。而且，在圖 9A 至 9E 中，以單圈圍住的 O 表示四座標 O，而雙圈表示三座標 O。

圖 9A 圖解包括一個六座標 In 原子和鄰近 In 原子之六個四座標氧原子（下面稱作四座標 O）的結構。此處，包括一金屬原子和鄰近它之氧原子的結構被稱作小群組。圖 9A 中之結構實際上為八面結構，但是為了簡化被圖解作平面結構。需注意的是，三個四座標 O 原子存在於圖 9A 中之上半部和下半部的每一個中。在圖 9A 所示之小群組中電荷為 0。

圖 9B 圖解包括一個五座標 Ga 原子、鄰近 Ga 原子之三座標三座標氧原子（下面稱作三座標 O）、及鄰近 Ga 原子之兩個四座標 O 的結構。所有三座標 O 原子存在於 a - b 平面上。一個四座標 O 原子存在於圖 9B 中之上半部和下半部的每一個中。In 原子亦可具有圖 9B 所示之結構，因為 In 原子可具有五個配位基。在圖 9B 所示之小群組中電荷為 0。

圖 9C 圖解包括一個四座標 Zn 原子和鄰近 Zn 原子之

四個四座標 O 原子的結構。在圖 9C 中，一個四座標 O 原子存在於上半部而三個四座標 O 原子存在於下半部。另一選擇是，在圖 9C 中，三個四座標 O 原子可存在於上半部而一個四座標原子 O 可存在於下半部。在圖 9C 所示之小群組中電荷為 0。

圖 9D 圖解包括一個六座標 Sn 原子和鄰近 Sn 原子之六個四座標 O 原子的結構。在圖 9D 中，三個四座標 O 原子存在於上半部和下半部的每一個中。在圖 9D 所示之小群組中電荷為 +1。

圖 9E 圖解包括兩個 Zn 原子之小群組。在圖 9E 中，一個四座標 O 原子存在於上半部和下半部的每一個中。圖 9E 所示之小群組中電荷為 -1。

此處，複數個小群組形成中間群組，及複數個中間群組形成大群組（亦稱作單位單元）。

現在，將說明小群組之間的結合規則。在圖 9A 中，相對於六座標 In 原子之上半部的三個 O 原子各個具有三個鄰近的 In 原子在朝下方向上，及下半部的三個 O 原子各個具有三個鄰近的 In 原子在朝上方向上。在圖 9B 中，相對於五座標 Ga 原子之上半部的一個 O 原子具有一個鄰近的 Ga 原子在朝下方向上，及下半部的一個 O 原子具有一個鄰近的 Ga 原子在朝上方向上。在圖 9C 中，相對於四座標 Zn 原子之上半部的一個 O 原子具有一個鄰近的 Zn 原子在朝下方向上，及下半部的三個 O 原子各個具有三個鄰近的 Zn 原子在朝上方向上。以此方式，金屬原子上方

的四座標 O 原子之數目等於鄰近且在四座標 O 原子的每一個下方之金屬原子的數目。同樣地，金屬原子下方的四座標 O 原子之數目等於鄰近且在四座標 O 原子的每一個上方之金屬原子的數目。因為四座標 O 原子的座標數為 4，所以鄰近且在 O 原子下方之金屬原子的數目和鄰近且在 O 原子上方之金屬原子的數目之總和為 4。因此，當金屬原子上方之四座標 O 原子的之數目和另一金屬原子下方之四座標 O 原子的數目之總和為 4 時，可結合包括金屬原子之兩種小群組。例如，在經由下半部的三個四座標 O 原子來結合六座標金屬（In 或 Sn）原子之事例中，其被結合到五座標金屬（Ga 或 In）原子或四座標金屬（Zn）原子。

經由 c 軸方向上之四座標 O 原子，將座標數為 4、5、或 6 之金屬原子結合到另一金屬原子。除了上述之外，可藉由組合複數個小群組以不同方式形成中間群組，以便層式結構的總電荷為 0。

圖 10A 圖解包括在 In-Sn-Zn 為基氧化物之層式結構中的中間群組之模型。圖 10B 圖解包括三個中間群組之大群組。需注意的是，圖 10C 圖解在從 c 軸方向觀看圖 10B 之層式結構的事例中之原子排列。

在圖 10A 中，為了簡化省略三座標 O 原子，及以圓圈圖解四座標 O 原子；圓圈中的數目表示四座標 O 原子的數目。例如，存在於相對於 Sn 原子之上半部和下半部的每一個中之三個四座標 O 原子被表示作圈起來的 3。同

樣地，在圖 10A 中，存在於相對於 In 原子之上半部和下半部的每一個中之一個四座標 O 原子被表示作圈起來的 1。圖 10A 亦圖解鄰近於下半部的一個四座標 O 原子和上半部的三個四座標 O 原子之 Zn 原子，及鄰近於上半部的一個四座標 O 原子和下半部的三個四座標 O 原子之 Zn 原子。

在包括於圖 10A 之 In-Sn-Zn 為基氧化物的層式結構之中間群組中，以起始於頂部的順序，鄰近於上半部和下半部的每一個中之三個四座標 O 原子的 Sn 原子被結合到鄰近於上半部和下半部的每一個中之一個四座標 O 原子的 In 原子，In 原子結合到鄰近於上半部的三個四座標 O 原子之 Zn 原子，經由相對於 Zn 原子之下半部的一個四座標 O 原子將 Zn 原子結合到鄰近於上半部和下半部的每一個中之三個四座標 O 原子的 In 原子，In 原子被結合到包括兩個 Zn 原子且鄰近於上半部的一個四座標 O 原子之小群組，及經由相對於小群組之下半部中的一個四座標 O 原子，將小群組結合到鄰近於上半部和下半部的每一個中之三個四座標 O 原子的 Sn 原子。複數個此種中間群組被結合，以便形成大群組。

此處，用於一個三座標 O 原子的一結合之電荷和用於一個四座標 O 原子的一結合之電荷可分別被假設為 -0.667 及 -0.5。例如，（五座標或六座標）In 原子的電荷、（四座標）Zn 原子的電荷、及（五座標或六座標）Sn 原子的電荷分別為 +3、+2、及 +4。因此，包括 Sn 原子之小群組

中的電荷為 +1。因此，需要抵銷 +1 之 -1 的電荷以形成包括 Sn 原子之層式結構。作為具有電荷 -1 之結構，可給定圖 9E 所示之包括兩個 Zn 原子的小群組。例如，利用包括兩個 Zn 原子之一個小群組，可抵銷包括 Sn 原子之一個小群組的電荷，以便層式結構的總電荷可以是 0。

當重複圖 10B 所示的大群組時，可獲得 In-Sn-Zn 為基氧化物晶體 ($\text{In}_2\text{SnZn}_3\text{O}_8$)。需注意的是，所獲得的 In-Sn-Zn-O- 為基晶體之層式結構可被表示作組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 為 0 或自然數)。

上述規則亦可應用到下面的氧化物：四成分金屬氧化物，諸如 In-Sn-Ga-Zn 為基氧化物等；三成分金屬氧化物，諸如 In-Ga-Zn 為基氧化物（亦稱作 IGZO）、In-Al-Zn 為基氧化物、Sn-Ga-Zn 為基氧化物、Al-Ga-Zn 為基氧化物、Sn-Al-Zn 為基氧化物、In-Hf-Zn 為基氧化物、In-La-Zn 為基氧化物、In-Ce-Zn 為基氧化物、In-Pr-Zn 為基氧化物、In-Nd-Zn 為基氧化物、In-Sm-Zn 為基氧化物、In-Eu-Zn 為基氧化物、In-Gd-Zn 為基氧化物、In-Tb-Zn 為基氧化物、In-Dy-Zn 為基氧化物、In-Ho-Zn 為基氧化物、In-Er-Zn 為基氧化物、In-Tm-Zn 為基氧化物、In-Yb-Zn 為基氧化物、或 In-Lu-Zn 為基氧化物等；兩成分金屬氧化物，諸如 In-Zn 為基氧化物、Sn-Zn 為基氧化物、Al-Zn 為基氧化物、Zn-Mg 為基氧化物、Sn-Mg 為基氧化物、In-Mg 為基氧化物、或 In-Ga 為基氧化物等；諸如此類。

作為例子，圖 11A 圖解包括在 In-Ga-Zn 為基氧化物

的層式結構中之中間群組的模型。

在包括於圖 11A 之 In-Ga-Zn 為基氧化物的層式結構之中間群組中，以從頂部開始之順序，鄰近於上半部和下半部的每一個中之三個四座標 O 原子的 In 原子被結合到鄰近於上半部之一個四座標 O 原子的 Zn 原子，經由相對於 Zn 原子之下半部的三個四座標 O 原子，將 Zn 原子結合到鄰近於上半部和下半部的每一個中之一個四座標 O 原子之 Ga 原子，及經由相對於 Ga 原子之下半部的一個四座標 O 原子，將 Ga 原子結合到鄰近於上半部和下半部的每一個中之三個四座標 O 原子的 In 原子。複數個此種中間群組被結合，以便形成大群組。

圖 11B 圖解包括三個中間群組之大群組。需注意的是，圖 11C 圖解當從 c 軸方向觀察時之圖 11B 的層式結構之事例中的原子排列。

此處，因為（六座標或五座標）In 原子的電荷、（四座標）Zn 原子的電荷、及（五座標）Ga 原子的電荷分別為 +3、+2、+3，所以包括 In 原子、Zn 原子、及 Ga 原子的任一者之小群組的電荷為 0。結果，具有此種小群組的組合之中間群組的總電荷總是 0。

為了形成 In-Ga-Zn 為基氧化物的層式結構，不僅可使用圖 11A 所示之中間群組而且可使用不同於 11A 之 In 原子、Ga 原子、及 Zn 原子的排列之 In 原子、Ga 原子、及 Zn 原子的排列之中間群組來形成大群組。

此實施例可與上述實施例組合實施。

(實施例 4)

根據本發明的實施例之 DC-DC 轉換器可以是升壓 DC-DC 轉換器，其輸出高於輸入電壓之輸出電壓；或者降壓 DC-DC 轉換器，其輸出低於輸入電壓之輸出電壓。

圖 12A 圖解根據本發明的實施例之降壓 DC-DC 轉換器的結構。在圖 12A 所示之 DC-DC 轉換器中，恆壓產生部 103 包括二極體 430、線圈 431、及電容器 432。另外，圖 12A 之 DC-DC 轉換器包括被供應有輸入電壓之輸入端子 IN1，及被供應有參考電壓之輸入端子 IN2，輸出端子 OUT1，及輸出端子 OUT2。

切換元件 102 控制輸入端子 IN1 與二極體 430 的陰極之間的連接。尤其是，切換元件 102 之源極和汲極的其中之一連接到輸入端子 IN1，而切換元件 102 之源極和汲極的其中另一個連接到二極體 430 的陰極。線圈 431 之端子的其中之一連接到二極體 430 的陰極，而線圈 431 之端子的其中另一個連接到 DC-DC 轉換器的輸出端子 OUT1。輸入端子 IN2 連接到二極體 430 的陽極和輸出端子 OUT2。電容器 432 之電極的其中之一連接到輸出端子 OUT1，而電容器 432 之電極的其中另一個連接到輸出端子 OUT2。

在圖 12A 之 DC-DC 轉換器中，當導通切換元件 102 時，產生輸入端子 IN1 與輸出端子 OUT1 之間的電壓；如此，電流流經線圈 431。線圈 431 被電流流動磁化，及藉由自感應產生與電流流動之方向相反的方向上之電動勢。

因此，藉由減少供應到輸入端子 IN1 的輸入電壓所獲得之電壓被供應到輸出端子 OUT1。換言之，在電容器 432 的一對電極之間，提供對應於供應自輸入端子 IN2 之參考電壓與藉由減少輸入電壓所獲得的電壓之間的差之電壓。

當關閉切換元件 102 時，形成在輸入端子 IN1 與輸出端子 OUT1 之間的電流路徑被阻隔。在線圈 431 中，產生防止電流變化之方向上（即、在與當切換元件 102 導通時所產生之電動勢的方向相反之方向上）的電動勢。因此，藉由電動勢所產生之電壓保持流動到線圈 431 的電流。換言之，當切換元件 102 關閉時，經由線圈 431 及/或二極體 430，電流路徑形成在輸出端子 OUT1 與輸入端子 IN2 或輸出端子 OUT2 之間。因此，施加在電容器 432 的一對電極之間的電壓被保持在某種程度。

需注意的是，保持在電容器 432 中之電壓對應於輸出自輸出端子 OUT1 的電壓。在上述操作中，隨著切換元件 102 的導通時間之百分比越高，保持在電容器 432 中之電壓變得接近參考電壓與輸入電壓之間的差。因此，可減少電壓，以便獲得接近輸入電壓之輸出電壓。相反地，隨著切換元件 102 的關閉時間之百分比越高，參考電壓與保持在電容器 432 中的電壓之間的差變得較小。因此，可減少電壓，以便獲得接近參考電壓之輸出電壓。

接著，圖 12B 圖解根據本發明的實施例之升壓 DC-DC 轉換器的結構。

在圖 12B 所示之 DC-DC 轉換器中，恆壓產生部 103

包括二極體 430、線圈 431、及電容器 432。另外，圖 12B 之 DC-DC 轉換器包括被供應有輸入電壓之輸入端子 IN1，被供應有參考電壓之輸入端子 IN2，輸出端子 OUT1，及輸出端子 OUT2。

線圈 431 之端子的其中之一連接到輸入端子 IN1，而線圈 431 之端子的其中另一個連接到二極體 430 的陽極。切換元件 102 控制輸入端子 IN2 或輸出端子 OUT2 與線圈 431 與二極體 430 之間的節點之間的連接。尤其是，切換元件 102 之源極和汲極的其中之一連接到線圈 431 與二極體 430 之間的節點，而切換元件 102 之源極和汲極的其中另一個連接到輸入端子 IN2 和輸出端子 OUT2。二極體 430 的陰極連接到輸出端子 OUT1。電容器 432 之一對電極的其中之一連接到輸出端子 OUT1，而電容器 432 之一對電極的其中另一個連接到輸出端子 OUT2。

在圖 12B 所示之 DC-DC 轉換器中，當導通切換元件 102 時，因為輸入端子 IN1 與輸入端子 IN2 之間的電壓，所以電流流動到線圈 431。因為電流流動至此所以磁化線圈 431。需注意的是，在線圈 431 中，藉由自感應產生與電流流動之方向相反的方向上之電動勢，以便逐漸增加電流。

接著，當關閉切換元件 102 時，形成在輸入端子 IN1 與輸入端子 IN2 之間的電流路徑被阻隔。在線圈 431 中，產生防止電流變化之方向上（即、在與當切換元件 102 導通時所產生之電動勢的方向相反之方向上）的電動勢。因

此，在線圈 431 的一對端子之間產生對應於當切換元件 102 導通時流動到線圈 431 的電流之電壓。然後，藉由產生在端子之間的電壓保持流經線圈 431 之電流。換言之，當切換元件 102 關閉時，經由線圈 431 和二極體 430，電流路徑形成在輸入端子 IN1 與輸出端子 OUT1 之間。此時，施加到輸入端子 IN1 之輸入電壓與產生在線圈 431 的端子之間的電壓之總和的電壓被供應到輸出端子 OUT1，及電壓輸出自 DC-DC 轉換器。對應於輸出端子 OUT1 的電壓與參考電壓之間的差之電壓被保持在電容器 432 的電極之間。

在上述操作中，當切換元件 102 的導通時間之百分比高時，流經線圈 431 的電流大。因此，當關閉切換元件 102 時，線圈 431 的端子之間的電壓高，如此使電壓升壓，以便增加輸出電壓與輸入電壓之間的差。相反地，隨著切換元件 102 的關閉時間之百分比越高，流動至線圈 431 之電流小。因此，當關閉切換元件 102 時線圈 431 的端子之間的電壓低，如此使電壓升壓，以便減少輸出電壓與輸入電壓之間的差。

圖 13A 圖解返馳 DC-DC 轉換器的結構。在圖 13A 之 DC-DC 轉換器中，恆壓產生部 103 包括二極體 430、電容器 432、及變壓器 433。另外，圖 13A 之 DC-DC 轉換器包括被供應有輸入電壓之輸入端子 IN1，被供應有參考電壓之輸入端子 IN2，輸出端子 OUT1，及輸出端子 OUT2。

變壓器 433 包括第一線圈和第二線圈，其中為線圈之

中心的每一個設置共同核心。切換元件 102 控制輸入端子 IN2 與變壓器 433 的第一線圈之端子的其中之一之間的連接。尤其是，切換元件 102 之源極和汲極的其中之一連接到輸入端子 IN2，及切換元件 102 之源極和汲極的其中另一個連接到變壓器 433 的第一線圈之端子的其中另一個。變壓器 433 的第一線圈之端子的其中另一個連接到輸入端子 IN1。

變壓器 433 的第二線圈之端子的其中之一連接到二極體 430 的陽極，第二線圈之端子的其中另一個連接到輸出端子 OUT2。二極體 430 的陰極連接到輸出端子 OUT1。電容器 432 之電極的其中之一連接到輸出端子 OUT1，而電容器 432 之電極的其中另一個連接到輸出端子 OUT2。

圖 13B 圖解根據本發明的實施例之前向 DC-DC 轉換器的結構。在圖 13B 之 DC-DC 轉換器中，恆壓產生部 103 包括二極體 430、二極體 434、線圈 431、電容器 432、及變壓器 435。另外，圖 13B 之 DC-DC 轉換器包括被供應有輸入電壓之輸入端子 IN1，被供應有參考電壓之輸入端子 IN2，輸出端子 OUT1，及輸出端子 OUT2。

像圖 13A 之變壓器 433 一樣，變壓器 435 包括第一線圈和第二線圈，其中為線圈之中心的每一個設置共同核心。需注意的是，在變壓器 433 中，第一線圈的起端和第二線圈的起端在彼此相對側上；另一方面，在變壓器 435 中，第一線圈的起端和第二線圈的起端在同一側上。

切換元件 102 控制輸入端子 IN2 與變壓器 435 的第一

線圈之端子的其中之一之間的連接。尤其是，切換元件 102 之源極和汲極的其中之一連接到輸入端子 IN2，而切換元件 102 之源極和汲極的其中另一個連接到變壓器 435 的第一線圈之端子的其中之一。變壓器 435 的第一線圈之端子的其中另一個連接到輸入端子 IN1。

另外，變壓器 435 的第二線圈之端子的其中之一連接到二極體 430 的陽極，而第二線圈之端子的其中另一個連接到輸出端子 OUT2。二極體 430 的陰極連接到二極體 434 的陰極和線圈 431 之端子的其中之一。二極體 434 的陽極連接到輸出端子 OUT2。線圈 431 之端子的其中另一個連接到輸出端子 OUT1。電容器 432 之電極的其中之一連接到輸出端子 OUT1，而電容器 432 之電極的其中另一個連接到輸出端子 OUT2。

此實施例可與實施例的任一者適當組合實施。

（實施例 5）

在此實施例中，將說明根據本發明的實施例之半導體裝置的其中之一的發光裝置之例子。

圖 14A 圖解發光裝置的結構之例子。圖 14A 之發光裝置包括 AC 電源 301、開關 302、整流電路 303、DC-DC 轉換器 100、及發光元件 304。整流電路 303 和 DC-DC 轉換器 100 形成供電電路。

尤其是，在圖 14A 之發光裝置中，來自 AC 電源 301 之 AC 電壓係經由開關 302 供應到整流電路 303 及被整流

。藉由整流所獲得之 DC 電壓係輸入到 DC-DC 轉換器 100，及在調整位準之後輸出。上述實施例的說明可參考 DC-DC 轉換器 100 的特定組態和操作。

輸出自 DC-DC 轉換器 100 的電壓係供應到發光元件 304，以便發光元件 304 發出光。作為發光元件 304，可使用各種光源，諸如發光二極體（LED）和有機發光元件（OLED）等。

雖然在圖 14A 中圖解使用 AC 電源 301 作為電源之發光裝置，但是本發明並不侷限於此。作為電源，可使用 DC 電源取代 AC 電源。需注意的是，在使用 DC 電源之事例中，不一定設置整流電路 303。

此外，雖然在圖 14A 中圖解使用 AC 電源 301 作為電源之發光裝置的結構，但是根據本發明的實施例之發光裝置不一定包括電源作為其組件。

圖 14B 圖解半導體裝置的其中之一之太陽能電池之結構的一模式。

圖 14B 之太陽能電池包括光電二極體 350、開關 351、電容器 352、DC-DC 轉換器 100、脈衝寬度調變電路 353、反相器 354、及帶通濾波器 355。

尤其是，在圖 14B 之太陽能電池中，當光傳送到光電二極體 350 時產生電壓。藉由電容器 352 所滑順之電壓係經由開關 351 輸入到 DC-DC 轉換器 100。需注意的是，利用電容器 352，可防止由開關 351 的切換所產生之脈衝電流流經光電二極體 350。

然後，在藉由 DC-DC 轉換器 100 調整電壓之後輸出輸入到 DC-DC 轉換器 100 之電壓。上述實施例的說明可參考 DC-DC 轉換器 100 的特定組態和操作。

輸出自 DC-DC 轉換器 100 之輸出端子 OUT1 及 OUT2 的電壓為 DC 電壓。反相器 354 將輸出自 DC-DC 轉換器 100 的 DC 電壓轉換成 AC 電壓及輸出。圖 14B 圖解反相器 354 包括四個電晶體 356 至 359 及四個二極體 360 至 363 之結構的例子。

尤其是，電晶體 356 之源極和汲極的其中之一連接到 DC-DC 轉換器 100 的輸出端子 OUT1，而電晶體 356 之源極和汲極的其中另一個連接到電晶體 357 的第一端子。電晶體 357 的第二端子連接到 DC-DC 轉換器 100 之輸出端子 OUT2。電晶體 358 的第一端子連接到 DC-DC 轉換器 100 之輸出端子 OUT1，而電晶體 358 的第二端子連接到電晶體 359 的第一端子。電晶體 359 的第二端子連接到 DC-DC 轉換器 100 之輸出端子 OUT2。二極體 360 至 363 分別並聯連接到電晶體 356 至 359。尤其是，電晶體 356 至 359 之源極和汲極的其中之一分別連接到二極體 360 至 363 的陽極。電晶體 356 至 359 的第二端子連接到二極體 360 至 363 之陰極。

將輸出自 DC-DC 轉換器 100 的電壓供應到脈衝寬度調變電路 353。脈衝寬度調變電路 353 係藉由施加電壓所操作，及產生用以控制電晶體 356 至 359 的切換之訊號。

電晶體 356 至 359 根據來自脈衝寬度調變電路 353 的訊號

來執行切換，藉以具有 PWM 波形之 AC 電壓係輸出自連接反相器 354 中的電晶體 356 之源極和汲極的其中另一個與電晶體 357 之源極和汲極的其中之一的節點以及反相器 354 中的電晶體 358 之源極和汲極的其中另一個與電晶體 359 之源極和汲極的其中之一的節點。

然後，藉由使用帶通濾波器 355，從輸出自反相器 354 的 AC 電壓去除高頻成分，藉以可獲得具有正弦波之 AC 電壓。

此實施例可藉由與實施例的任一者適當組合實施。

[例子 1]

另外，藉由使用根據本發明的一實施例之 DC-DC 轉換器、電源電路、或半導體裝置，可設置具有低電力消耗的電子裝置。尤其是，無法容易時常供應電力之可攜式電子用品的事例，藉由添加根據本發明的實施例之 DC-DC 轉換器、電源電路、或半導體裝置，連續使用時間變得較長，如此是有利的。

根據本發明的一實施例之半導體裝置可被用於顯示裝置、膝上型電腦、或設置有記錄媒體之影像再生裝置（典型上，再生記錄媒體的內容且具有用以顯示所再生的影像之顯示器的裝置，諸如數位多用途碟（DVD）等）。除了上述之外，作為可使用根據本發明的一實施例之半導體裝置的電子用品，可給定行動電話、包括可攜式遊戲機之遊戲機、可攜式資訊終端機、電子書閱讀器、視頻相機、數

位靜止相機、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（如、汽車音頻系統和數位音頻播放器）、影印機、傳真機、列印機、多功能列印機、自動櫃員機（ATM）、販賣機等等。圖 15A 至 15F 圖解此種電子裝置的特定例子。

圖 15A 圖解可攜式遊戲機，其包括外殼 7031、外殼 7032、顯示部 7033、顯示部 7034、麥克風 7035、揚聲器 7036、操作鍵 7037、電子筆 7038 等等。根據本發明的實施例之 DC-DC 轉換器、電源電路、及半導體裝置可被用於控制可攜式遊戲機的驅動之積體電路。藉由將根據本發明的一實施例之 DC-DC 轉換器、電源電路、及半導體裝置用於控制可攜式遊戲機的驅動之積體電路，可設置具有低電力消耗的可攜式遊戲機。雖然圖 15A 所示之可攜式遊戲機具有兩個顯示部 7033 及 7034，但是包括在可攜式遊戲機中之顯示部的數目並不侷限於二。

圖 15B 圖解行動電話，其包括外殼 7041、顯示部 7042、及音頻輸入部 7043、音頻輸出部 7044、操作鍵 7045、光接收部 7046 等等。光接收部 7046 所接收的光被轉換成電訊號，藉以可載入外來影像。根據本發明的實施例之 DC-DC 轉換器、電源電路、及半導體裝置可被用於控制行動電話的驅動之積體電路。藉由將根據本發明的實施例之 DC-DC 轉換器、電源電路、及半導體裝置用於控制行動電話的驅動之積體電路，可設置具有低電力消耗的行動電話。

圖 15C 圖解可攜式資訊終端機，其包括外殼 7051、顯示部 7052、操作鍵 7053 等等。根據本發明的實施例之 DC-DC 轉換器、電源電路、及半導體裝置可被用於控制可攜式資訊終端機的驅動之積體電路。藉由將根據本發明的實施例之 DC-DC 轉換器、電源電路、及半導體裝置用於控制可攜式資訊終端機的驅動之積體電路，可設置具有低電力消耗的可攜式資訊終端機。

圖 15D 圖解膝上型個人電腦，其包括外殼 7061、影像顯示部 7062、鍵盤 7063、定位裝置 7064 等等。根據本發明的實施例之 DC-DC 轉換器、電源電路、及半導體裝置可被用於控制膝上型個人電腦的驅動之積體電路。藉由將根據本發明的實施例之 DC-DC 轉換器、電源電路、及半導體裝置用於控制膝上型個人電腦的驅動之積體電路，可設置具有低電力消耗的膝上型個人電腦。

圖 15E 之書桌照明裝置包括外殼 7071、光源 7072、支撐基座 7073 等等。根據本發明的實施例之 DC-DC 轉換器、電源電路、及半導體裝置可被用於控制照明裝置的驅動之積體電路。根據本發明的一實施例之半導體裝置的其中之一的發光裝置可被用於光源 7072 和用以控制光源 7072 之操作的驅動電路。藉由使用根據本發明的實施例之 DC-DC 轉換器、電源電路、及半導體裝置，可設置具有低電力消耗之照明裝置。

圖 15F 為設備照明裝置，其包括外殼 7081、光源 7082 等等。根據本發明的實施例之 DC-DC 轉換器、電源

電路、及半導體裝置可被用於控制照明裝置的驅動之積體電路。根據本發明的一實施例之半導體裝置的其中之一的發光裝置可被用於光源 7082 和用以控制光源 7082 之操作的驅動電路。藉由使用根據本發明的實施例之 DC-DC 轉換器、電源電路、及半導體裝置，可設置具有低電力消耗之照明裝置。

此實施例可藉由與上述實施例的任一者適當組合實施。

本申請案係依據於 2011 年 5 月 31 日在日本專利局申請之日本專利申請案序號 2011-121231，以引用方式將其全部內容併入本文。

【圖式簡單說明】

圖 1A 為 DC-DC 轉換器的組態圖，及圖 1B 為記憶體裝置的組態圖。

圖 2 為 DC-DC 轉換器的操作之流程圖。

圖 3 為記憶體電路的電路圖。

圖 4A 及 4B 各為記憶體裝置的組態圖。

圖 5 為訊號處理電路的方塊圖。

圖 6 為記憶體裝置的橫剖面圖。

圖 7A 及 7C 為電晶體的橫剖面圖，及圖 7B 為電晶體的俯視圖。

圖 8A 及 8C 為電晶體的橫剖面圖，及圖 8B 為電晶體的俯視圖。

圖 9A 至 9E 為氧化物半導體的結構圖。

圖 10A 至 10C 為氧化物半導體的結構圖。

圖 11A 至 11C 為氧化物半導體的結構圖。

圖 12A 及 12B 各為 DC-DC 轉換器之組態的例子圖。

圖 13A 及 13B 各為 DC-DC 轉換器之組態的例子圖。

圖 14A 及 14B 各為包括 DC-DC 轉換器之半導體裝置圖。

圖 15A 至 15F 為電子裝置圖。

圖 16 為 DC-DC 轉換器之組態圖。

【主要元件符號說明】

IN：輸入端子

IN1：輸入端子

IN2：輸入端子

OUT：輸出端子

OUT1：輸出端子

OUT2：輸出端子

100：DC-DC 轉換器

101：電力轉換電路

102：切換元件

103：恆壓產生部

104：控制電路

105：AD 轉換器

106：AD 轉換器

- 107：訊號處理電路
- 108：脈衝調變電路
- 109：供電控制電路
- 110：記憶體裝置
- 111：記憶體元件
- 112：電容器
- 113：電晶體
- 114：記憶體單元
- 115：邏輯元件
- 115a：第一邏輯元件
- 115b：第二邏輯元件
- 116：電晶體
- 117：電晶體
- 118：p 通道電晶體
- 119：n 通道電晶體
- 120：p 通道電晶體
- 121：n 通道電晶體
- 130：切換元件
- 131：控制單元
- 132：算術邏輯單元
- 133：資料快取記憶體
- 134：指令快取記憶體
- 135：程式計數器
- 136：指令暫存器

137：非揮發性記憶體裝置

150：AD轉換器

200：基板

201：絕緣膜

203n：半導體膜

203p：半導體膜

204n：閘極絕緣膜

204p：閘極絕緣膜

205n：閘極電極

205p：閘極電極

206：導電膜

207：導電膜

208：第一區

209：第二區

210：第二區

211：第三區

212：第三區

213：導電膜

214：第一區

215：第二區

216：第二區

217：第三區

218：第三區

219：絕緣膜

220：絕緣膜

220a：第一絕緣膜

220b：第二絕緣膜

222：氧化物半導體膜

223：閘極絕緣膜

224：閘極電極

225：導電膜

226：導電膜

227：第一區

228：第二區

229：第二區

230：側壁

231：絕緣膜

232：端部

240：絕緣膜

240a：第一氧化物絕緣膜

240b：第二氧化物絕緣膜

240c：第三氧化物絕緣膜

241：開口部

242：氧化物半導體膜

243：閘極絕緣膜

244：閘極電極

245：導電膜

246：導電膜

- 247 : 第一區
- 248 : 第二區
- 249 : 第二區
- 250 : 側壁
- 251 : 絕緣膜
- 252 : 端部
- 253 : 導電膜
- 254 : 絕緣膜
- 255 : 導電膜
- 301 : AC 電源
- 302 : 開關
- 303 : 整流電路
- 304 : 發光元件
- 350 : 光電二極體
- 351 : 開關
- 352 : 電容器
- 353 : 脈衝寬度調變電路
- 354 : 反相器
- 355 : 帶通濾波器
- 356 : 電晶體
- 357 : 電晶體
- 358 : 電晶體
- 359 : 電晶體
- 360 : 二極體

361：二極體
 362：二極體
 363：二極體
 430：二極體
 431：線圈
 432：電容器
 433：變壓器
 434：二極體
 435：變壓器
 7031：外殼
 7032：外殼
 7033：顯示部
 7034：顯示部
 7035：麥克風
 7036：揚聲器
 7037：操作鍵
 7038：電子筆
 7041：外殼
 7042：顯示部
 7043：音頻輸入部
 7044：音頻輸出部
 7045：操作鍵
 7046：光接收部
 7051：外殼

7052：顯示部

7053：操作鍵

7061：外殼

7062：影像顯示部

7063：鍵盤

7064：定位裝置

7071：外殼

7072：光源

7073：支撐基座

7081：外殼

7082：光源

七、申請專利範圍：

1. 一種 DC-DC 轉換器，包含：

切換元件；

恆壓產生部，操作上連接到該切換元件；以及

控制電路，操作上連接到該切換元件，該控制電路包含：

第一 AD 轉換器；

第二 AD 轉換器；

訊號處理電路，操作上連接到該第二 AD 轉換器；

脈衝調變電路，操作上連接到該訊號處理電路；以及

供電控制電路，操作上連接到該第一 AD 轉換器和該訊號處理電路，

其中，該訊號處理電路包含用以儲存負載比之記憶體裝置，

其中，該記憶體裝置包含：

揮發性記憶體元件；

電晶體，其包含通道形成區中之氧化物半導體；以及

電容器，經由該電晶體操作上連接到該揮發性記憶體元件。

2. 一種 DC-DC 轉換器，包含：

切換元件；

恆壓產生部，被組構成產生輸出電壓，其中，經由該

切換元件將輸入電壓供應到該恆壓產生部；以及

控制電路，包含：

第一 AD 轉換器，被組構成轉換該輸入電壓；

第二 AD 轉換器，被組構成轉換該輸出電壓；

訊號處理電路，被組構成根據該輸出電壓的數位值來決定該切換元件的切換之負載比；

脈衝調變電路，被組構成產生用以控制該切換元件的該切換之訊號；以及

供電控制電路，被組構成根據該輸入電壓的數位值和該輸出電壓的該數位值來控制供應到該訊號處理電路之供電電壓，

其中，該訊號處理電路包含記憶體裝置，該記憶體裝置包含：

揮發性記憶體元件，被組構成儲存該負載比的資料；

電晶體；以及

電容器，經由該電晶體電連接到該揮發性記憶體元件，及被組構成儲存該負載比的該資料，

其中，該電晶體包含通道形成區中之氧化物半導體。

3.一種 DC-DC 轉換器，包含：

切換元件；

控制電路，用以控制該切換元件的切換之負載比；以及

恆壓產生部，用以產生具有對應於該負載比的位準之

輸出電壓，其中，該輸入電壓的供應係藉由該切換元件所控制，

其中，該控制電路包含：

第一 AD 轉換器，藉由使用該輸入電壓的類比值來獲得該輸入電壓的數位值；

第二 AD 轉換器，藉由使用該輸出電壓的類比值來獲得該輸出電壓的數位值；

訊號處理電路，用以藉由使用該輸出電壓的該數位值來決定該負載比；

脈衝調變電路，用以根據該負載比來產生用以控制該切換元件的切換之訊號；以及

供電控制電路，用以根據該輸入電壓的該數位值和該輸出電壓的該數位值來決定是否供應供電電壓到該訊號處理電路，

其中，該訊號處理電路包含用以儲存該負載比之記憶體裝置，

其中，該記憶體裝置包含：

揮發性記憶體元件，藉由該供電電壓的供應來儲存該揮發性記憶體元件中的資料；

電容器，用以根據保持在該揮發性記憶體元件中之該資料來保持電荷；以及

電晶體，用以控制該電容器中之該電荷的供應、保持、及排放，

其中，該揮發性記憶體元件包含：

第一邏輯元件；以及

第二邏輯元件，

其中，該第一邏輯元件的輸出端子電連接到該第二邏輯元件的輸入端子，

其中，該電晶體包含通道形成區中之氧化物半導體。

4.根據申請專利範圍第 3 項之 DC-DC 轉換器，其中，該第一邏輯元件和該第二邏輯元件為反相器或時脈式反相器。

5.一種電源電路，包含根據申請專利範圍第 1、2、3 項中任一項之 DC-DC 轉換器和整流電路。

6.一種半導體裝置，包含根據申請專利範圍第 1、2、3 項中任一項之 DC-DC 轉換器。

7.根據申請專利範圍第 1、2、3 項中任一項之 DC-DC 轉換器，

其中，該氧化物半導體的能帶隙大於或等於 2eV 。

圖 2

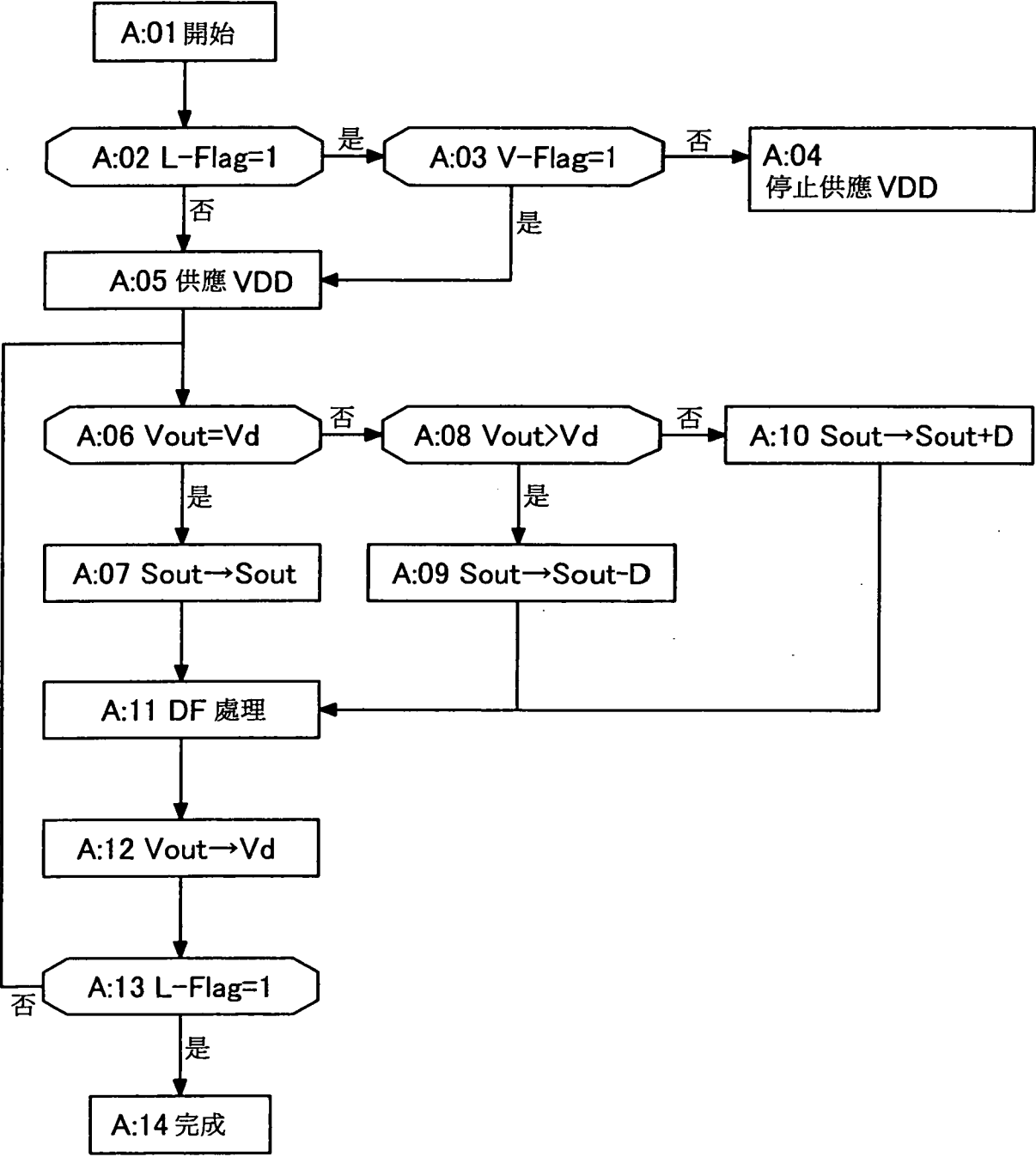


圖 3

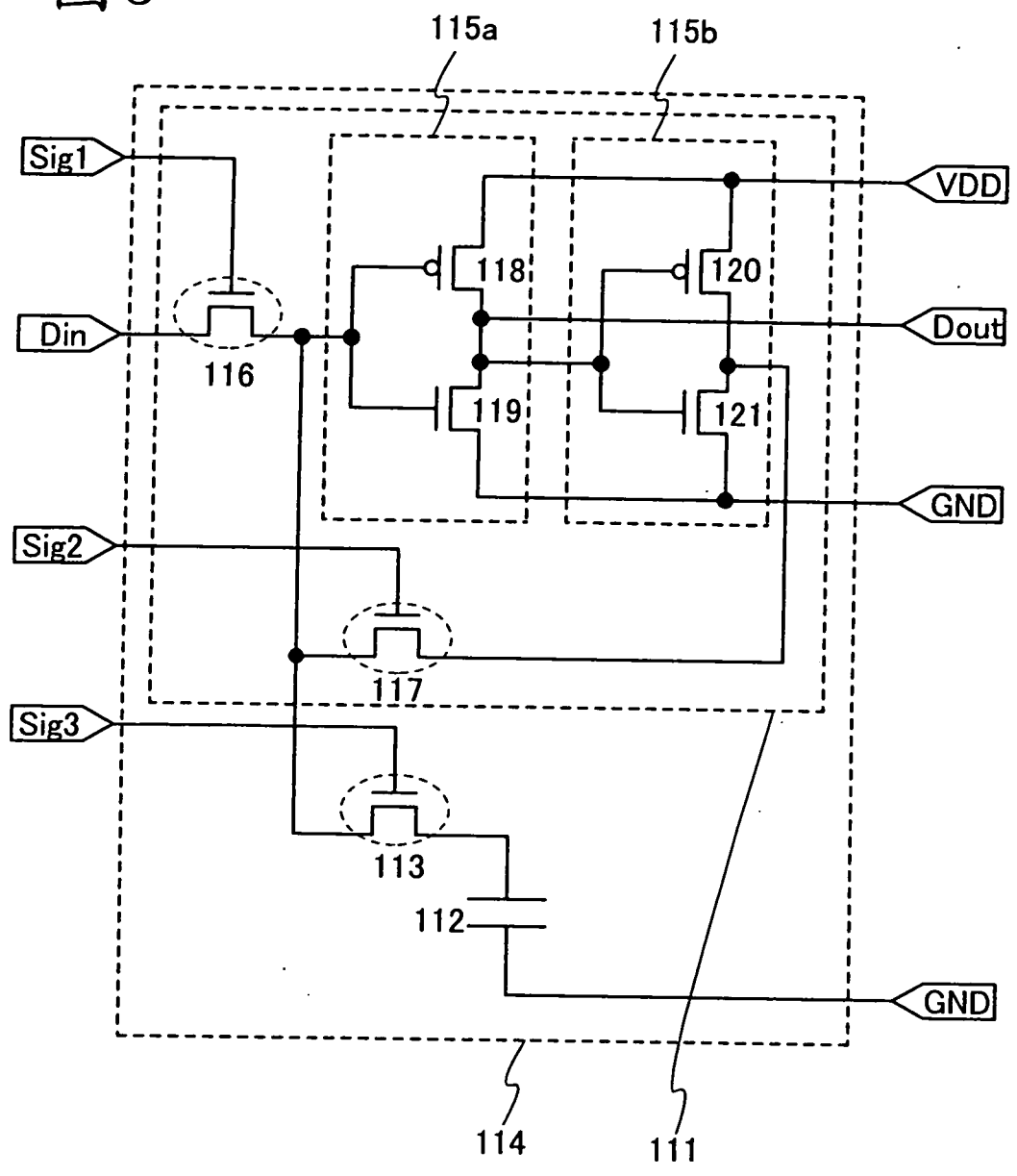


圖 4A

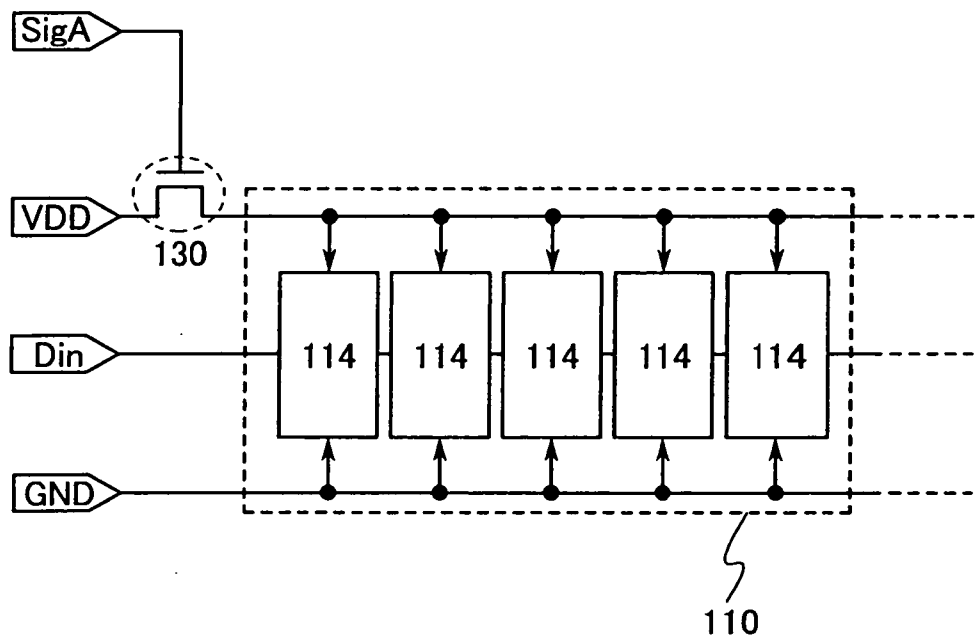


圖 4B

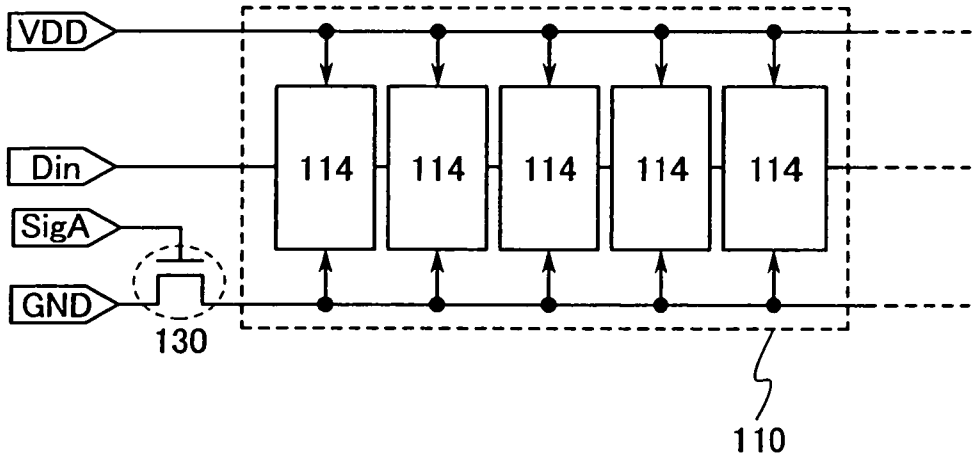


圖5

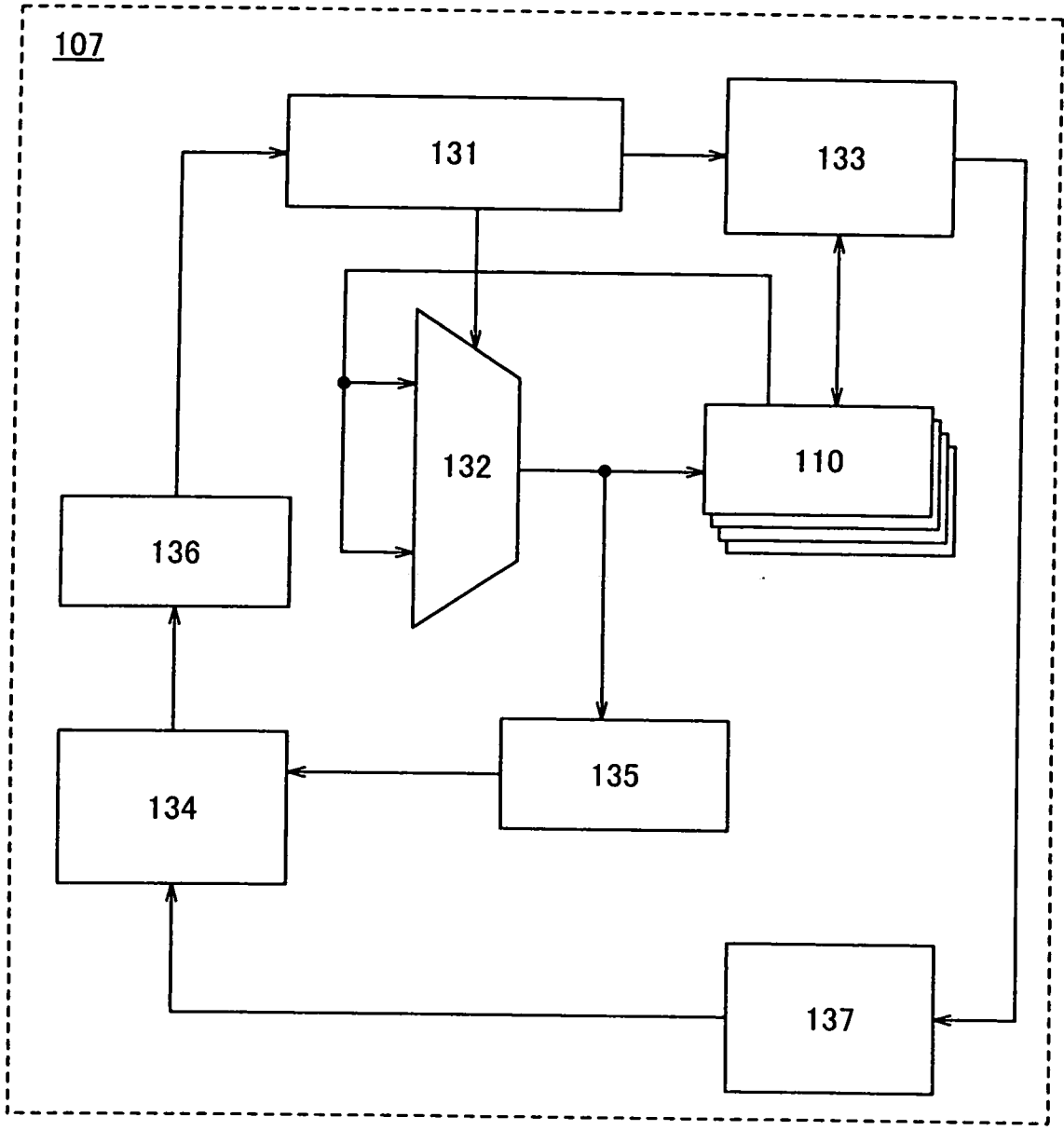


圖 6

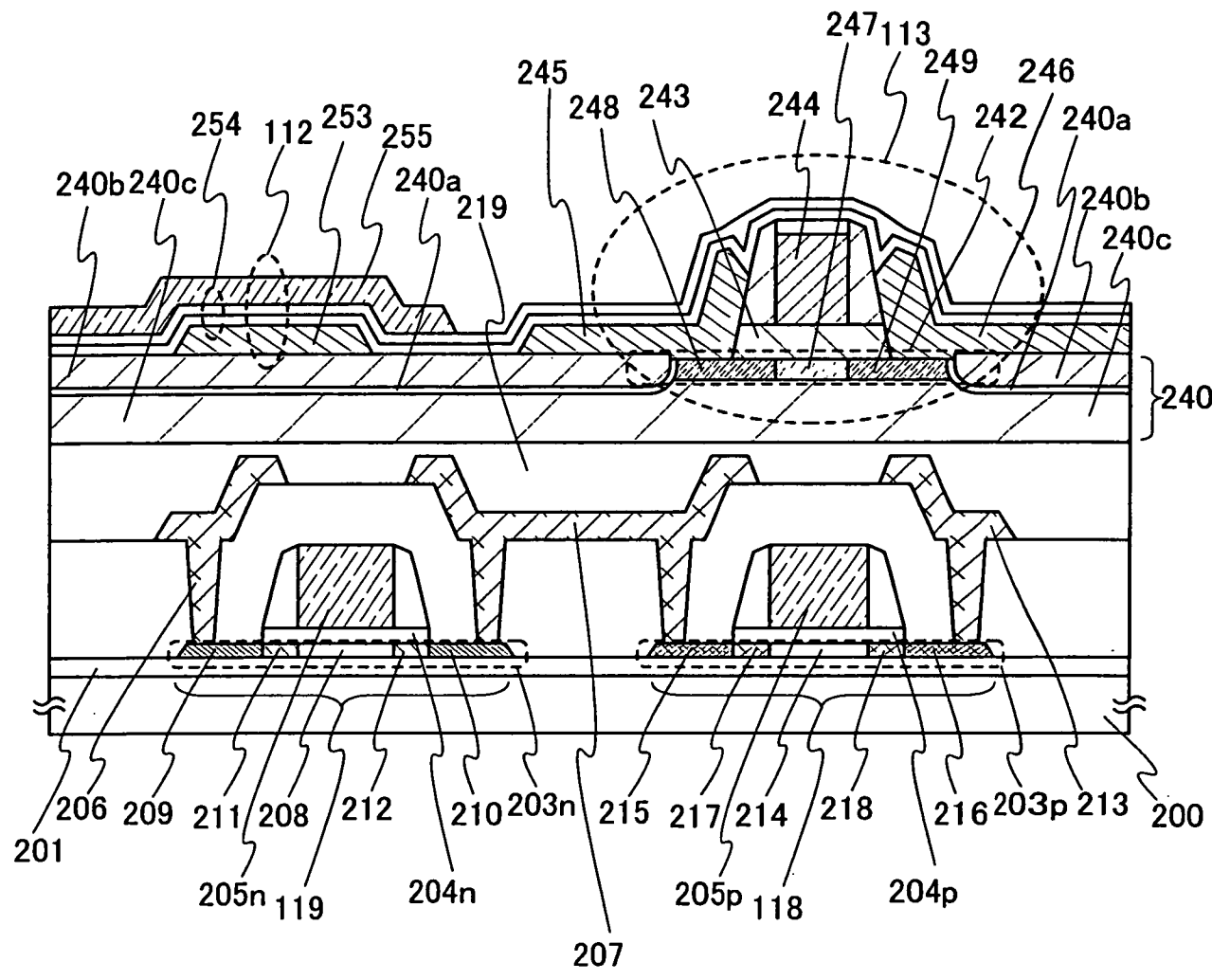


圖 7A

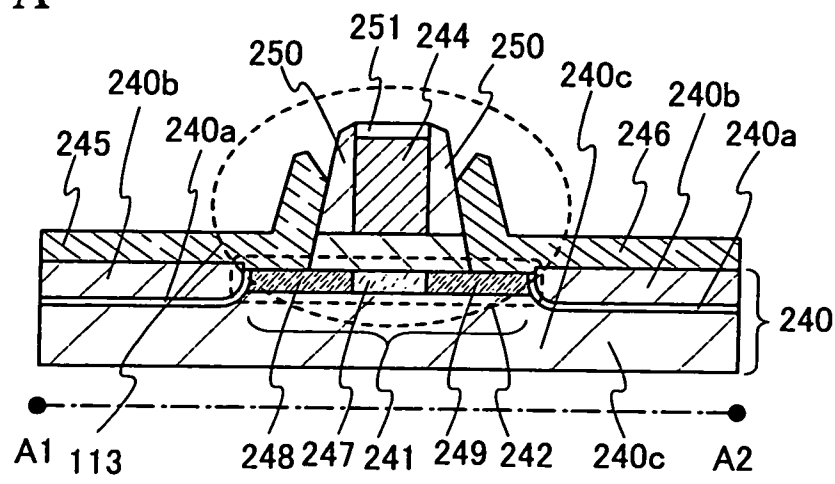


圖 7B

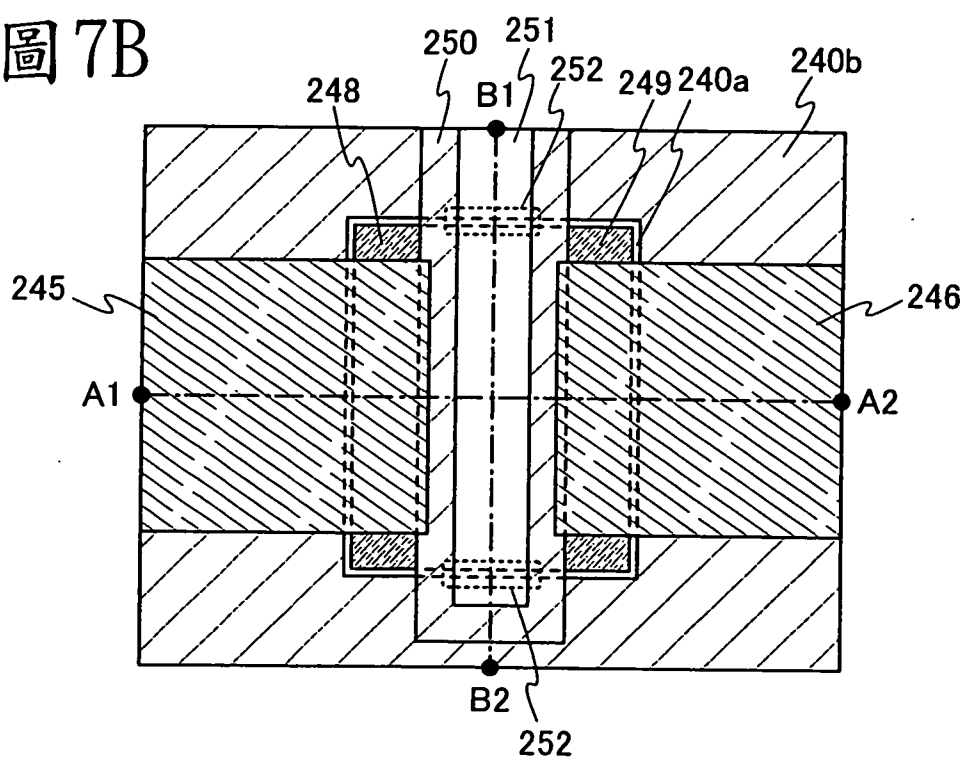


圖 7C

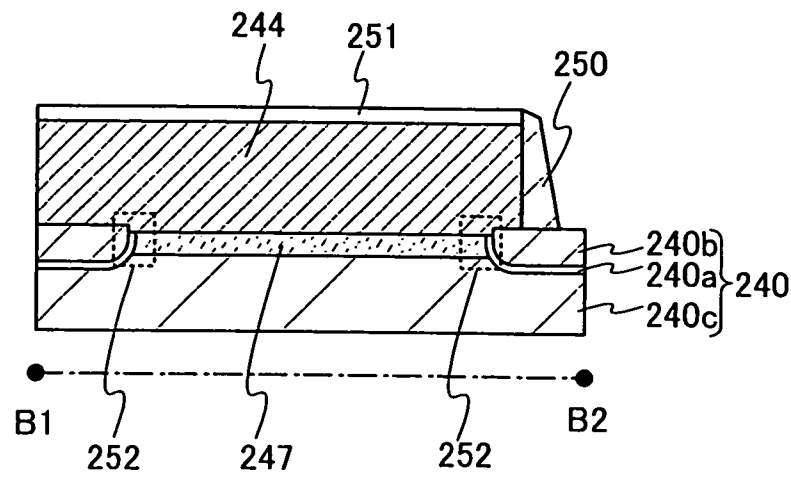


圖 8A

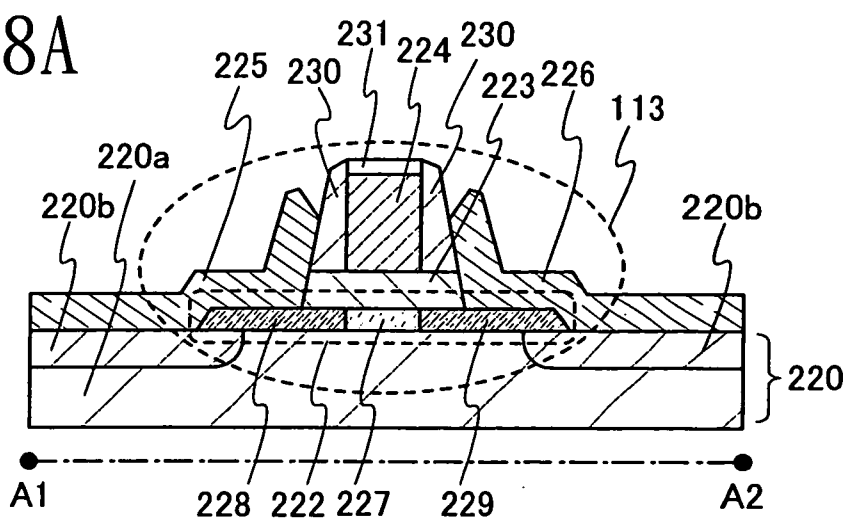


圖 8B

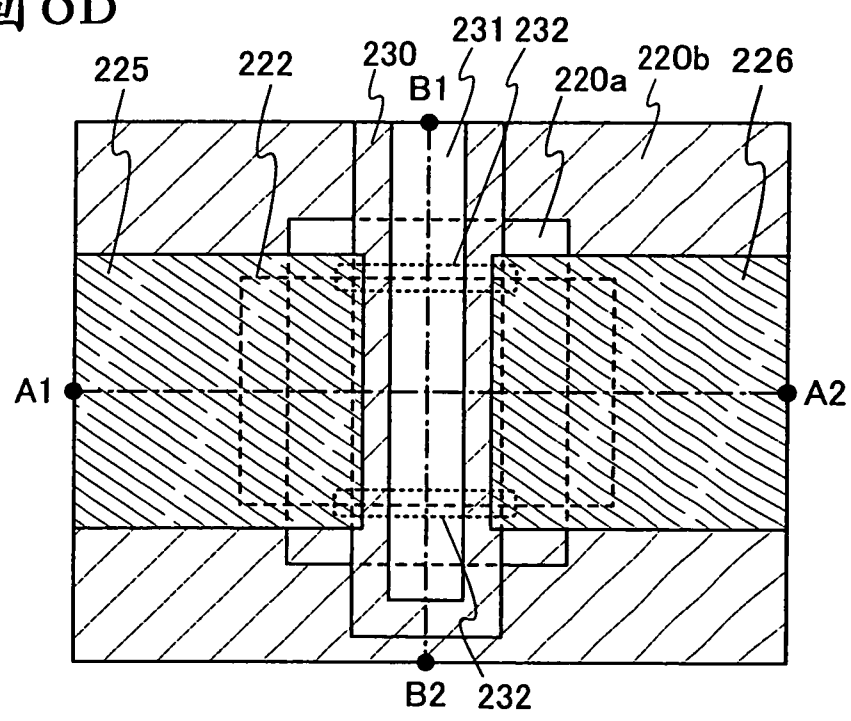


圖 8C

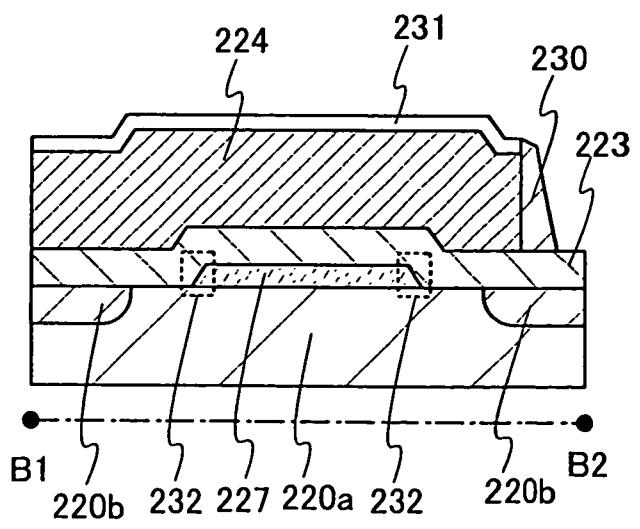
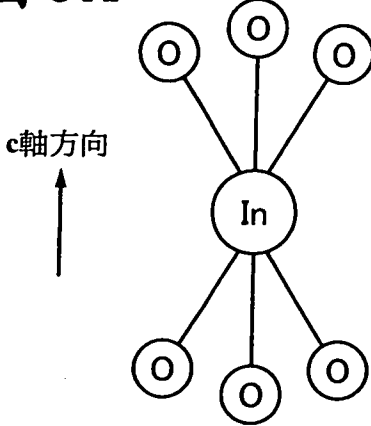
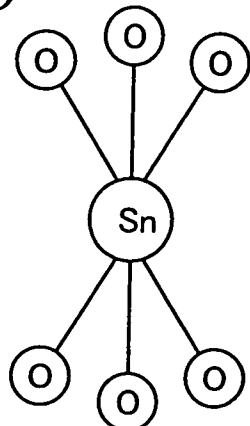


圖 9A



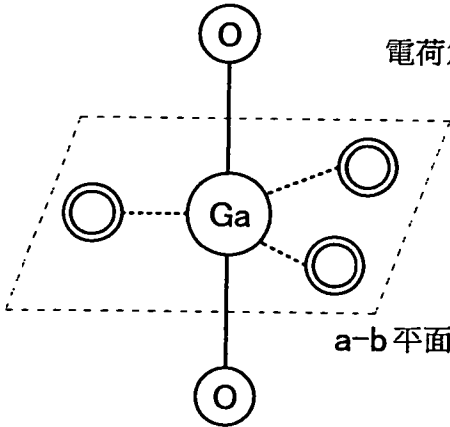
電荷為 0

圖 9D



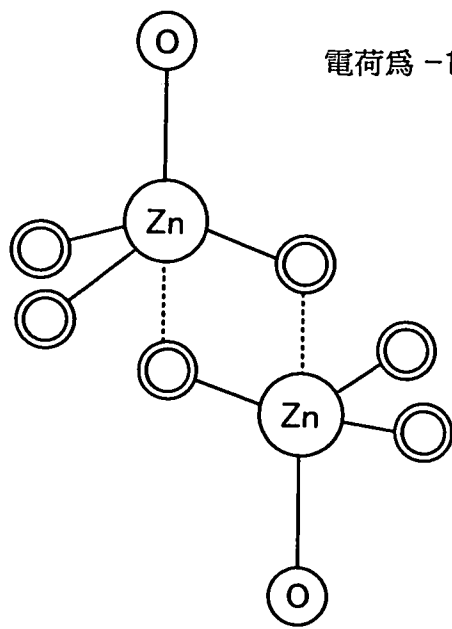
電荷為 +1

圖 9B



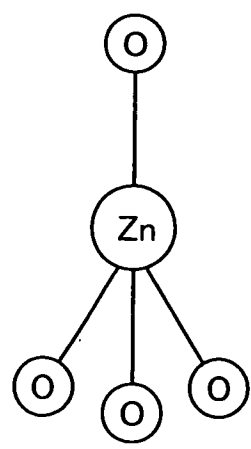
電荷為 0

圖 9E



電荷為 -1

圖 9C



電荷為 0

圖 10A

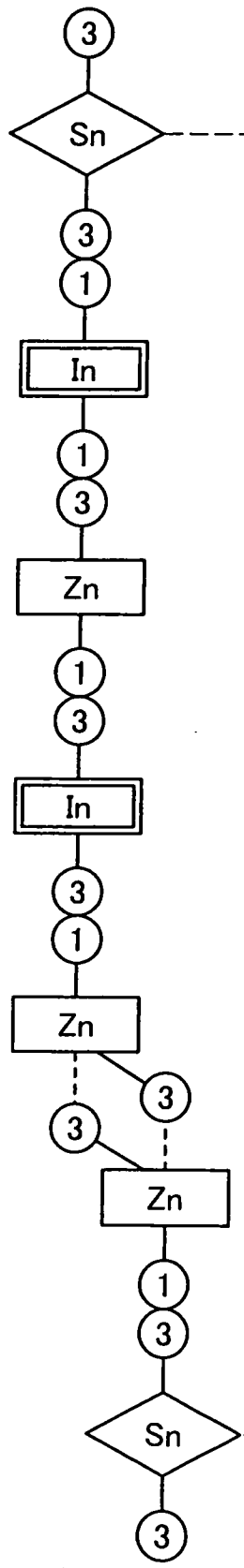


圖 10B

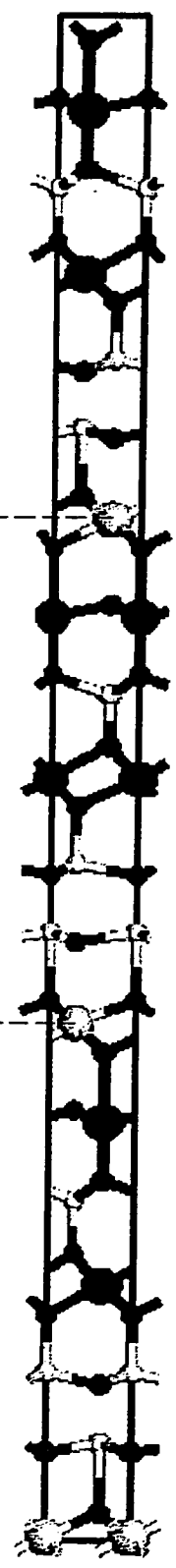
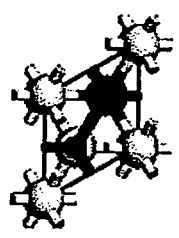


圖 10C



- In
- Sn
- Zn
- O

圖 11A

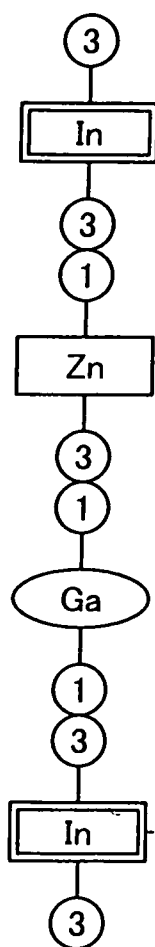


圖 11B

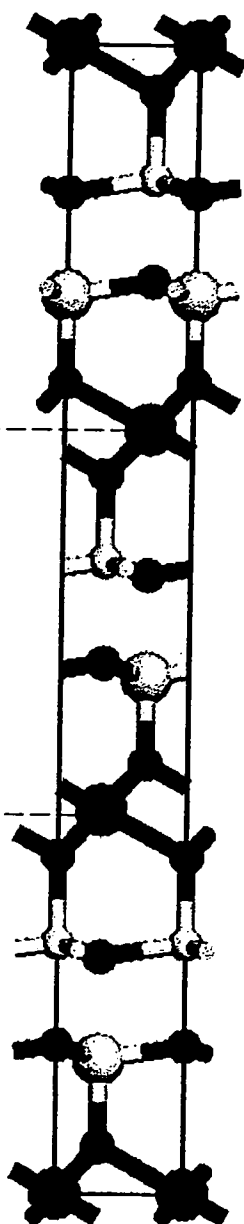


圖 11C

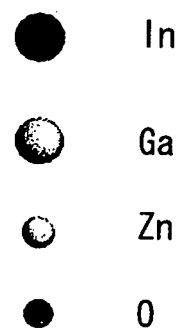
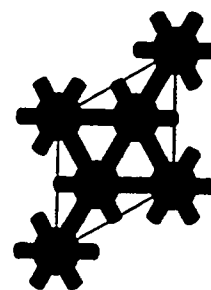


圖 12A

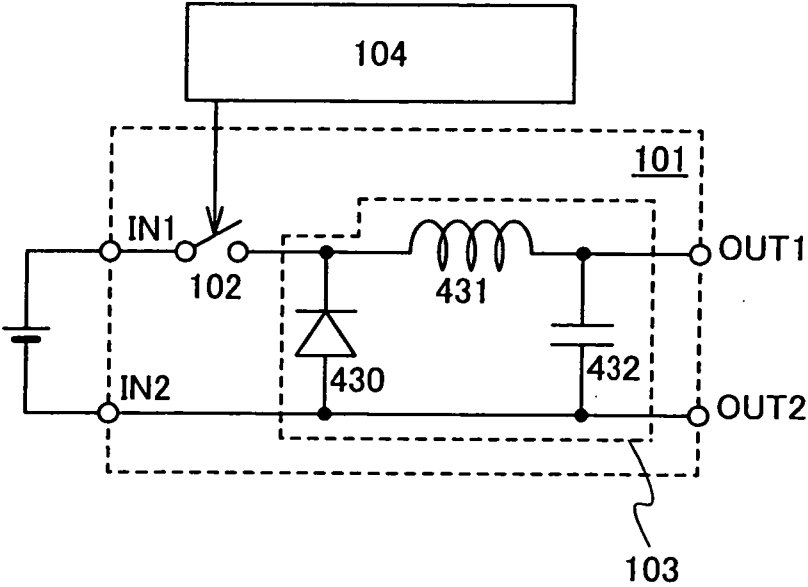


圖 12B

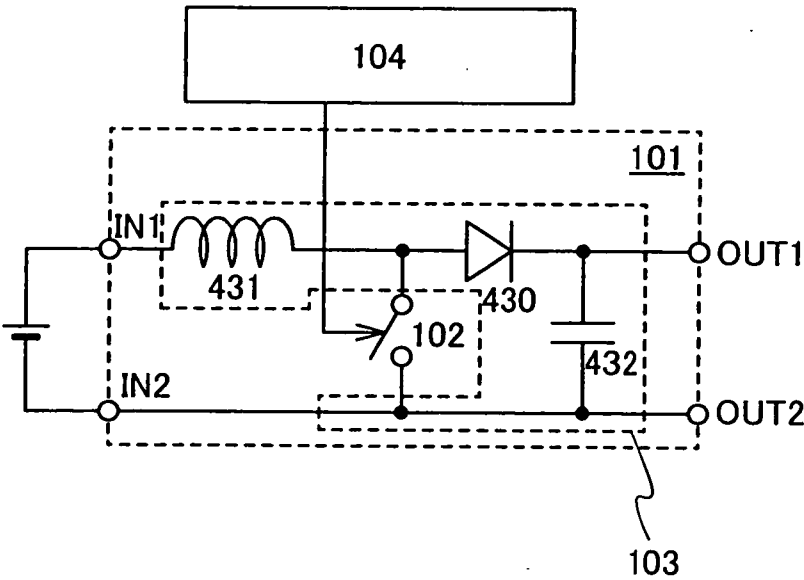


圖 13A

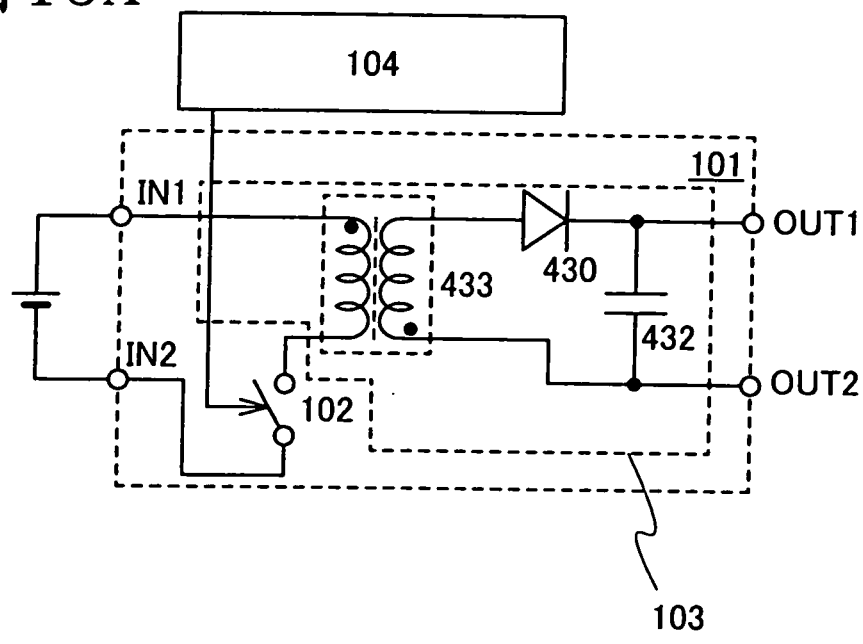


圖 13B

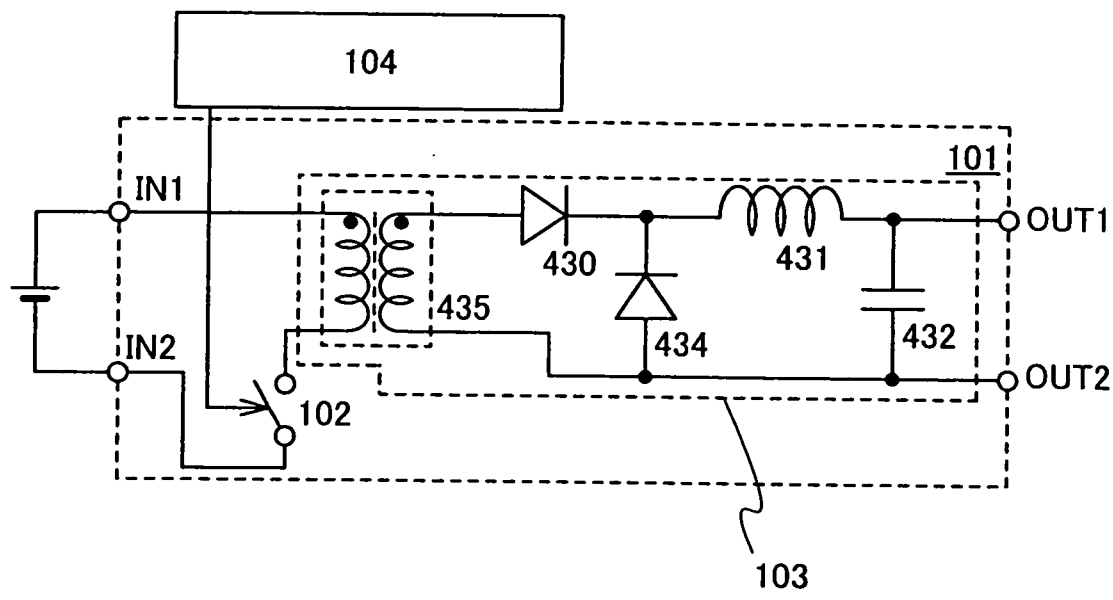


圖 14A

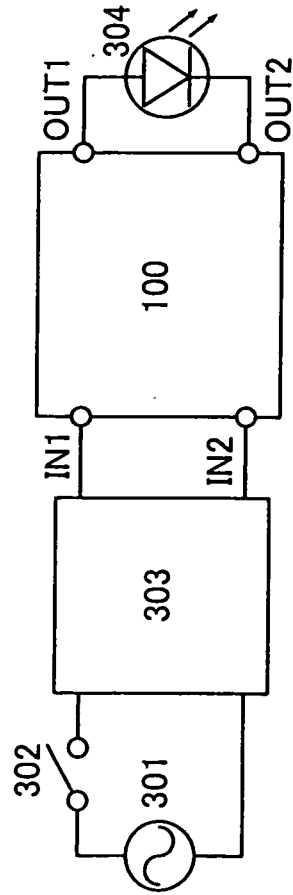


圖 14B

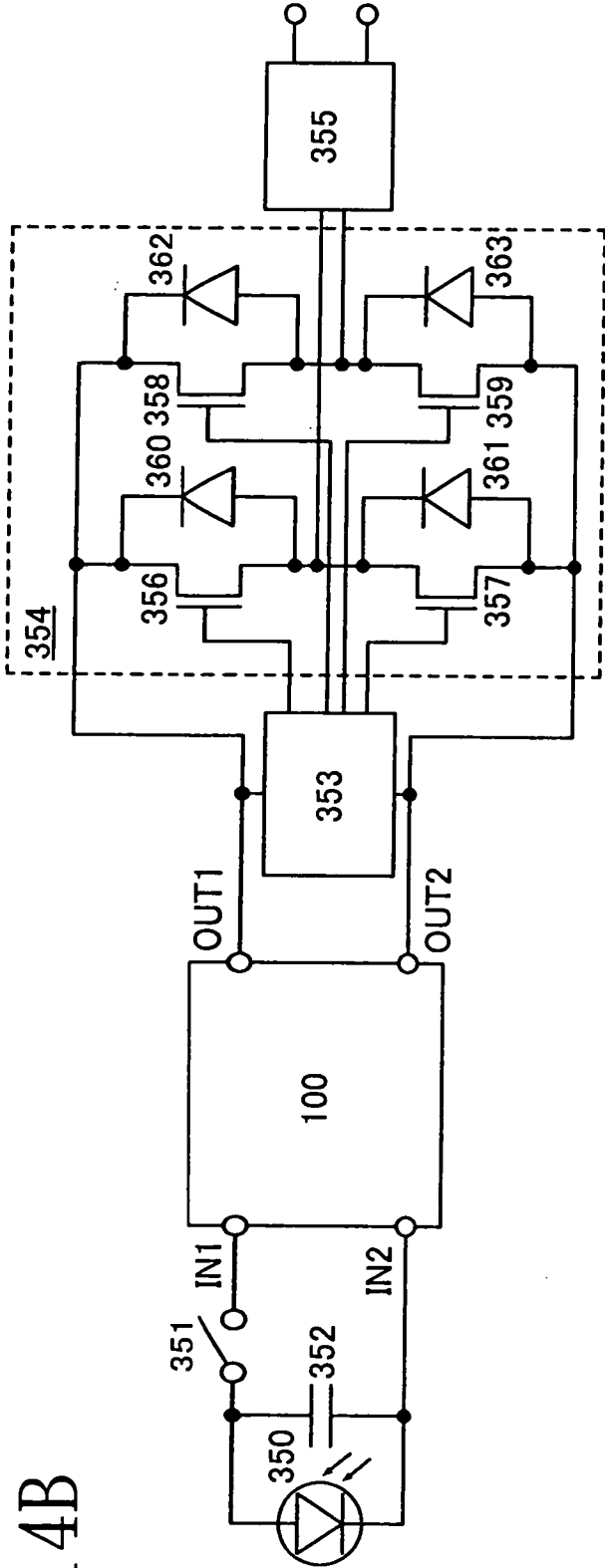


圖 15A

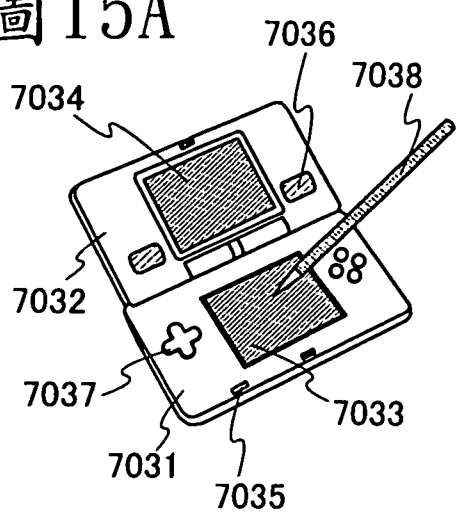


圖 15B

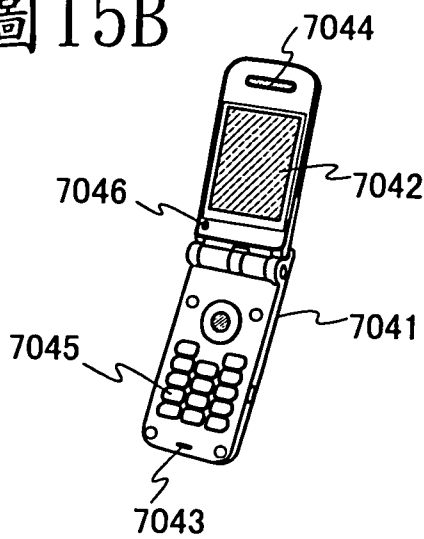


圖 15C

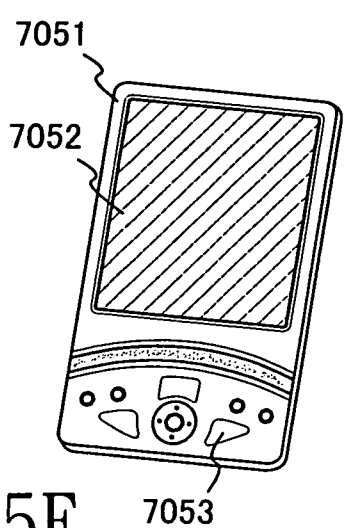


圖 15D

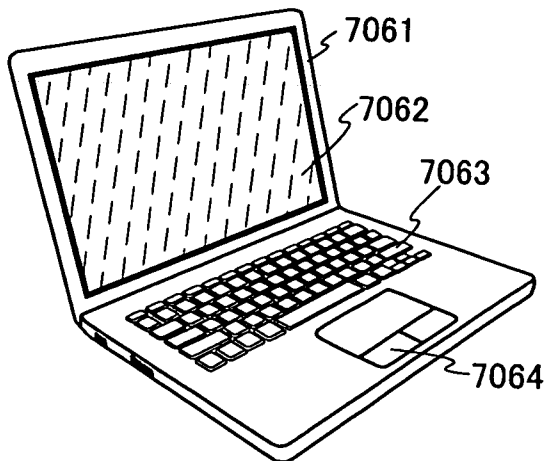


圖 15E

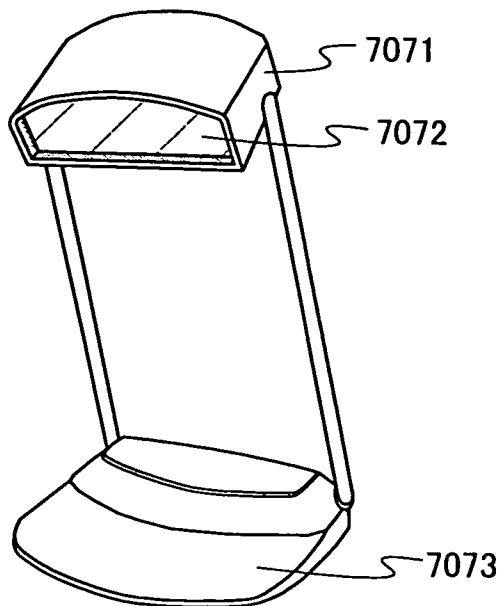


圖 15F

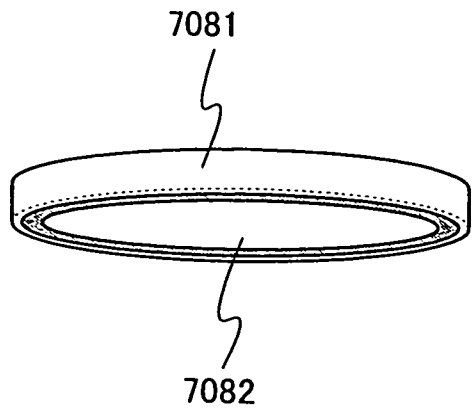


圖16

