

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/20 (2006.01)

H01L 21/324 (2006.01)

H01L 21/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 00103895.8

[45] 授权公告日 2007 年 5 月 2 日

[11] 授权公告号 CN 1314080C

[22] 申请日 1994.1.18 [21] 申请号 00103895.8

分案原申请号 94101919.5

[30] 优先权

[32] 1993.1.18 [33] JP [31] 23286/93

[32] 1993.1.18 [33] JP [31] 23288/93

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 山崎舜平 竹村保彦

[56] 参考文献

JP58-206121A 1983.12.1

US5147826A 1992.9.15

US5162239A 1992.11.10

CN1282980A 2001.2.7

JP60-71593A 1985.4.23

CN85103942A 1986.12.24

EP0459836A2 1991.12.4

JP62-36854A 1987.2.17

US5104481A 1992.4.14

JP59-78999A 1984.5.8

审查员 闫立刚

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 张志醒

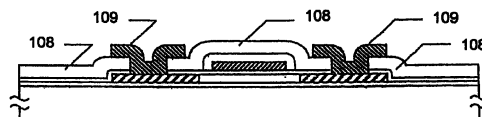
权利要求书 3 页 说明书 20 页 附图 10 页

[54] 发明名称

MIS 半导体器件的制造方法

[57] 摘要

本发明涉及采用低温工艺制造高可靠性的 MIS 半导体器件。公开了一种制造 MIS 半导体器件的方法，其中，在半导体基片或者半导体薄膜中有选择地形成掺杂区，于是采取预防措施，以便激光或者相当的高强度光能照射到掺杂区和其相邻的有源区之间的边界，并且从上面照射激光或者相当的高光强的光，而达到激活的效果。



1. 一种制造半导体器件的方法，包括：
在基片上形成半导体层；
在所述半导体层上制出至少一个半导体岛的图案；
使所述半导体岛晶化；
在所述半导体岛上形成掩模；
利用所述掩模将杂质选择性地引入所述半导体岛中以形成杂质区；
除去所述掩模；
在除去所述掩模之后用激光照射所述半导体岛，以提高至少所述杂质区的结晶度；以及
在位于所述杂质区之间的所述半导体岛的一部分上形成栅电极，并在所述部分与所述栅电极之间设有绝缘膜，
其中所述激光为Nd激光器的第二谐波激光。
2. 根据权利要求1的方法，其特征在于，所述杂质包括磷。
3. 根据权利要求1的方法，其特征在于，所述半导体层包括非晶硅。
4. 根据权利要求1的方法，其特征在于，所述Nd激光器为Nd:YAG激光器。
5. 根据权利要求1的方法，其特征在于，所述掩模包括有机材料。
6. 根据权利要求1的方法，其特征在于，所述掩模包括聚酰亚胺。
7. 根据权利要求1的方法，其特征在于，所述掩模包括选自以下一组中的一种材料：铝、钽、钛、硅、氮化钽和氮化钛。
8. 根据权利要求1的方法，其特征在于，所述绝缘膜包括栅绝缘膜。

9. 根据权利要求 1 的方法, 其特征在于, 所述绝缘膜包括氧化硅。
10. 一种制造半导体器件的方法, 包括:
在绝缘表面上形成半导体层;
在所述半导体层上形成掩模;
利用所述掩模选择性地引入杂质到所述半导体层中, 以在该半导体层中形成杂质区;
除去所述掩模;
在除去所述掩膜之后用激光照射所述半导体层, 以提高至少所述杂质区的结晶度; 以及
在位于所述杂质区之间的所述半导体层的一部分上形成栅电极, 并在所述部分与所述栅电极之间设有绝缘膜,
其中所述激光为 Nd 激光器的第二谐波激光。
11. 根据权利要求 10 的方法, 其特征在于, 所述杂质包括磷。
12. 根据权利要求 10 的方法, 其特征在于, 所述半导体层包括非晶硅。
13. 根据权利要求 10 的方法, 其特征在于, 所述 Nd 激光器为 Nd: YAG 激光器。
14. 根据权利要求 10 的方法, 其特征在于, 所述掩模包括有机材料。
15. 根据权利要求 10 的方法, 其特征在于, 所述掩模包括聚酰亚胺。
16. 根据权利要求 10 的方法, 其特征在于, 所述掩模包括选自以下一组中的一种材料: 铝、钽、钛、硅、氮化钽和氮化钛。
17. 根据权利要求 10 的方法, 其特征在于, 所述绝缘膜包括栅绝缘膜。
18. 根据权利要求 10 的方法, 其特征在于, 所述绝缘膜包括氧化硅。

19. 根据权利要求 10 的方法, 其特征在于, 所述激光为脉冲激光。

MIS半导体器件的制造方法

技术领域

本发明涉及一种通常称为MIS半导体器件(也称为绝缘栅半导体器件)的金属(M)－绝缘体(I)－半导体(S)器件。上述的MIS半导体器件包括,例如,MOS晶体管和薄膜晶体管等等。

背景技术

在现有技术中,采用自对准技术,制造MIS半导体器件。按照上述技术,在半导体基片或者半导体膜上面,形成栅电极,而它们之间设置一层栅绝缘膜,利用栅电极作为掩模,把杂质引入半导体基片或半导体膜中。热扩散、离子注入、等离子掺杂和激光掺杂是引入杂质的典型方法。利用自对准技术,基本上可能使掺杂区(源和漏)的边缘和栅电极边缘对准,消除栅电极和掺杂区(可能产生寄生电容的结构)之间的重迭以及栅电极与掺杂区(可能减少有效迁移率)之间距离的分离。

然而,现有技术工艺存在下述问题,在掺杂区和它们的相邻在栅电极下形成的有源区(沟道形成区)之间形成的空间载流子浓度梯度是太陡,于是,产生非常大的电场,特别是当对栅电极施加反向偏压时增加漏电流(OFF电流)。

发明内容

为了解决上述问题,本发明人和其他人发现,通过相对于掺杂区轻微地偏移栅电极,上述问题可能得到改善,而且,由可阳极氧化的材料形成栅电极和利用所提到的阳极氧化膜作掩模引入杂质,可能获得300nm或更小的偏移,并且具有良好的重复性。

此外,就离子注入、等离子掺杂和其它方法,包括以高速把

离子注入到半导体基片或者半导体膜中的情况来说，半导体基片或者膜的结晶性需要被改善(激活)，因为注入离子处的结构的结晶性，由于穿入离子而受到损伤。在现有技术中，已经实践，通过采用600°C或较高的温度加热方法来改善结晶性，按照最近发展趋势，要求较低的处理温度。按照上述观点，本发明人和其它人表明，利用激光或者相当的高强度光也能实行激活，并且，上述激活对于大量生产有显著的优点。

图2表示，根据上述基本原理制造薄膜晶体管的工艺步骤。首先，在整个基片201上面淀积底部绝缘膜202，然后，形成岛状的晶体半导体区203，在其上形成作为栅绝缘膜的绝缘膜204。再利用能阳极化的材料形成栅连线205(图2(A))。

接着，阳极氧化栅连线，以便在栅连线的表面上，形成阳极氧化膜206，其厚度为300nm或更少，优选为250nm或更少。利用阳极氧化膜作为掩模，采用象离子注入或者离子掺杂那样的方法引入杂质(例如磷(P))，形成掺杂区207(图2(B))。

此外，从上面照射象激光那样的高强度的光，以便激活引入杂质的区域(图2(C))。

最后，淀积层间绝缘体208，在掺杂区上面开出各接触孔，形成用于连接掺杂区的电极209，于是，完成了薄膜晶体管的制造(图2(D))。

然而，发现在上述工艺中，在掺杂区和有源区(正好位于栅的下面和由两掺杂区包围的半导体区)之间的边界(由图2(C)中的x表示的)是不稳定的，并且长时间使用后，由于漏电流增加等等，会使可靠性降低。即从该工艺可见，有源区的结晶性，在整个工艺过程中基本上保持不变；另一方面，与有源区邻接的掺杂区，在开始具有与有源区相同的结晶性，但是，在引入杂质的工艺过

程中，它们的结晶性受到损伤。在连续的激光照射步骤中，修复了掺杂区，但是难于恢复原始的结晶性。此外，发现，特别是与有源区接触的掺杂区部分，不能被充分地激活，因为那部分往往保持不受激光辐照。这使掺杂区和有源区之间的结晶性产生不连续性，会产生俘获等。特别是当采用包括注入高速离子的方法引入杂质时，产生杂质离子散射和穿透栅极下面的区域，以致于损伤这些区域的结晶性。不可能用激光或者其它光激活栅电极下面的那个区域，因为它们处于栅电极的掩蔽之下。

解决该问题的一种方法是从反面辐射激光或者其它光，以便激活这些区域。按照这种方法，可充分地激活有源区和掺杂区之间的边界，因为栅连线不阻挡光。然而，这种方法需要基片材料是透光的，当然，利用硅片或者类似物作为基片时，不能使用这种方法，此外，多数玻璃材料不容易透过波长小于300nm的紫外光，因此，例如，实现极大生产率的KrF受激准分子激光(波长248nm)不能被利用。

由于上述问题，本发明的目的是提供一种MIS半导体器件，例如，MOS晶体管和薄膜晶体管，其中由于在有源区和掺杂区之间在结晶性方面实现连续性，增强了器件的可靠性。

本发明如此制作装置，使得由高强度光源，例如激光或者闪光灯，发射的能量，从上面照射到掺杂区用于激活掺杂区，不仅掺杂区，而且与它相邻的一部分有源区，特别是有源区和掺杂区之间的边界，也受到光能的辐照。为了达到此目的，移掉一部分形成栅电极的材料。

按照本发明第一种方案，包括下述工艺步骤：第1步骤，其中为了形成掺杂区，在晶体半导体基片或者半导体膜上形成起掩蔽

作用的材料，然后用此材料作为掩模，把杂质引入半导体基片或者半导体膜中；第2步骤，其中如此除掉掩蔽材料，使光能可以照射到掺杂区和有源区，在这种情况下，照射的光能用于激活；第3步骤，其中，在有源区上形成栅电极(栅连线)。

当使用此工艺时，如果要形成偏移区，用于形成掺杂区的掩模图形，要使其宽度大于栅电极图形的宽度。如果栅电极图形的宽度大于杂质注入的掩模图形的宽度，所得到的栅电极将与掺杂区重叠。

此外，在各步骤中当使用不同的光掩模时，难于精确地把掩模放置在相同的位置。特别在大量生产中不可能按本发明要求的那样达到 $1\mu\text{m}$ 或者更小的偏移条件。另一方面，利用相同光掩模进行覆盖是相当容易的。例如，假设采用某个光掩模，形成连线图形，然后再利用这个图形作掩模形成掺杂区，接着再除掉连接区。当利用上述相同光掩模随后形成连线时，几乎没有产生偏移。然而，此后对连线表面进行阳极氧化，结果连线的导电表面缩小，并实现所希望的偏移。

另一方面，如果首先阳极氧化形成的连线则所得到的阳极氧化表面会向前进；如果利用阳极氧化连线作为掩模形成掺杂区，在初始形成连线图形的外面形成掺杂区。然后，阳极氧化第2连线，连线的导电表面缩小会增加偏移。

因而，由可阳极化的材料形成栅电极、然后阳极氧化栅电极，可以比较容易地获得希望的偏移。人们认识到，所得到的阳极氧化层还能用来防止各层间的短路。也认识到，除了阳极氧化以外，用层间绝缘体或类似物覆盖栅电极(连线)，还可以减少与上层连线的耦合电容。

按照本发明的第2种方案，工艺步骤包括：第一步骤，其中在晶体半导体或者半导体膜上面形成作为栅电极绝缘膜的绝缘膜，然后用该绝缘膜作掩模，用自对准方法把杂质引入到半导体基片或者半导体膜中；第2步骤，其中，如此选择腐蚀栅电极的边界，使栅电极相对于掺杂区偏移、结果使光能可以辐射到掺杂区和有源区之间的边界，在这种条件下照射的光能起到激活作用。

最好，由可阳极氧化的材料形成栅电极，曝露于光能之后，把栅电极阳极氧化以使用高阻阳极氧化层覆盖它的表面，再用层间绝缘体或者类似物进一步覆盖阳极氧化物以减少与上层连线的耦合电容。

按照本发明的第3种方案，包括下述工艺步骤：第一步骤，其中，在晶体半导体基片或者半导体膜上面，形成作为栅绝缘膜的绝缘膜，接着用适当的材料形成栅连线(栅电极)，用栅连线作为栅电极，用电化学反应方法(即电镀)由导电材料或者类似物电化学涂覆电极的表面；第2步骤，采用如此处理过的栅电极区(栅电极和在其表面上淀积的导电材料)作为掩模，以自对准方法把杂质引入到半导体基片或者半导体膜中；以及第3步骤，其中，如此除掉以前淀积材料的部分或全部，以致于使光能可以照射到掺杂区和有源区的边界，在这种条件下，照射的光能起到激活的作用。

最好，由阳极化的材料形成栅电极，受光能照射后，阳极氧化栅电极以使用高阻阳极氧化层覆盖它的表面，再用层间绝缘体或者类似物覆盖阳极氧化层，以便减少与上层连线的耦合电容。

用于本发明优选的可阳极氧化的材料包括铝、钛、钽、硅、

钨和钼。可以单独地或以合金形式使用这些材料，以形成单层或多层结构的栅电极。人们知道可以把微量的其它元素加入到上述的材料。对于阳极氧化，通常使用湿法工艺，其中，阳极氧化在电解液中完成，但是也应知道可以采用公知的等离子阳极氧化方法(在减压等离子气氛中氧化)。还应知道，氧化工艺不限于上述阳极氧化，还可以采用其它适当的氧化方法。

适用于本发明的光能能源包括：受激准分子激光器。例如，KrF激光器(波光为248nm)，XeCl激光器(308nm)，ArF激光器(193nm)，XeF激光器(353nm)等；Nd:YAG激光器(1064nm)及其第2、第3和第4谐波；相干光源，例如，二氧化碳气体激光器，氩离子激光器，铜蒸气激光器，等等；非相干光源，例如，氙闪光灯，氩弧灯，等等。

由上述工艺制造的MIS半导体器件，其特征是从顶上往下看，掺杂区(源和漏)的结和栅电极区(包括栅电极和其相连的阳极氧化层)基本上是相同的形状(类似的形状)，使栅电极(由导电的表面和所隔绝的连接阳极氧化物限定的区域)相对于掺杂区偏移。

当栅电极没有在其上形成象阳极氧化层那样的氧化层时，在栅电极周围没有形成的氧化层，则栅电极相对于掺杂区偏移，偏移的宽度优选为0.1到0.5 μm 。

本发明还能控制象阳极氧化层，诸如在相同基片上形成的各个氧化层的厚度，例如，通过对每个连线施加电压进行调整。在这种情况下，可以相互无关地设置适合于各自目的的栅区部分的氧化层厚度和电容器部分(或者各连线之间交点处的部分)的厚度的适当值。

另外，按照本发明，提供了一种制造半导体器件的方法，包括下列步骤：在基片上形成半导体层；用激光照射所述半导体层使其晶化，其中，所述激光为 Nd 激光器的第二谐波激光，或者所述激光为包括含有作为振荡源的晶体的 Nd 的激光器的第二谐波激光，或者所述激光为 Nd: YAG 激光器的第二谐波激光。

本发明还提供了一种制造半导体器件的方法，包括下列步骤：在基片上形成半导体层；使所述半导体层晶化；在所述半导体层上制出至少一个半导体岛的图案；在所述半导体岛部分引入杂质离子；照射激光使所述半导体岛部分中引入的杂质离子激活，其中所述激光为 Nd 激光器的第二谐波激光。

本发明还提供了一种制造半导体器件的方法，包括下列步骤：在绝缘表面上形成半导体层；用脉冲激光照射所述半导体层使其晶化，其中所述激光为 Nd 激光器的第二谐波激光。

本发明还提供了一种制造半导体器件的方法，包括下列步骤：在绝缘表面上形成掺杂有选自磷和硼一组中一种杂质的半导体层；用脉冲激光照射所述半导体层，其中所述激光为 Nd 激光器的第二谐波激光。

本发明还提供了一种制造半导体器件的方法，包括下列步骤：在绝缘表面上形成半导体层；选择性地引入杂质离子到所述半导体层中，以在该半导体层中形成掺杂区；用脉冲激光照射所述半导体层，以对所述掺杂区进行退火，其中所述激光为 Nd 激光器的第二谐波激光。

附图说明

图1(A)到1(E)表示本发明的一个实施例(剖面图)。

图2(A)到2(D)表示现有技术的一个实施例(剖面图)。

图3(A)到3(F)表示本发明的一个实施例(剖面图)。

图4(A)至图4(C)表示本发明的一个实施例(顶视平面图)。

图5(A)到5(E)表示本发明的一个实施例(剖面图)。

图6(A)到6(F)表示本发明的一个实施例(剖面图)。

图7(A)到7(E)表示本发明的一个实施例(剖面图)。

图8(A)到8(F)表示本发明的一个实施例(剖面图)。

图9(A)到9(C)表示本发明的一个实施例(顶视平面图)。

图10(A)到10(F)表示本发明的一个实施例(剖面图)。

具体实施方式

实施例1

图1表示本实施例的工艺过程。该实施例涉及在绝缘基片上制造薄膜晶体管的制造过程。由玻璃形成所示的基片101；利用无碱玻璃、例如，Coning7059或者石英，或者类似物形成该基片。本实施例由于考虑到成本，使用Coning7509基片。在基片上面淀积作为底层氧化膜的氧化硅膜102。利用溅射或者化学汽相淀积(CVD)技术淀积氧化硅膜。在本实施例，利用四乙氧基硅烷(TEOS)和氧作为原料气体通过等离子CVD进行该膜的淀积。把基片加热到200到400°C的温度。淀积氧化硅底膜到500至2000埃的厚度。

接着，淀积非晶硅膜，并且形成岛状图形。通常利用等离子CVD和低压CVD技术淀积那样的非晶硅膜。本实施例，利用甲硅烷(SiH_4)作为原料气体，通过等离子CVD淀积非晶硅膜。淀积非晶硅膜到200至700埃的厚度。用激光(波长为248nm和脉冲宽度为20

nsec的KrF激光器)照射该膜。在辐射激光之前,把基片在真空中在300到550℃温度条件下,加热0.1到3小时,以便抽出非晶硅膜中含有的氢气。激光的能量密度是250到450mJ/cm²。在激光辐照期间,把基片保持在温度250到550℃。结果,使非晶硅膜结晶化,形成晶体硅膜103。

接着形成作为栅绝缘膜的氧化硅膜104,厚度为800到1200埃。本实施例,采用同形成氧化硅底膜102相同的方法,进行该膜的淀积。然后,涂覆掩模材料,该材料通常由下述材料形成,有机材料,例如聚酰亚胺、导电材料,例如,铝,钽,钛,或其它金属、半导体,例如,硅,或者导电的金属氮化物,例如,氮化钽,或者氮化钛。本实施例,使用光敏聚酰亚胺形成掩模材料105,厚度为2000至10000埃(图1(A))。

然后,利用等离子掺杂技术,掺入硼(B)或者磷(P)离子以形成掺杂区106。通常所设定离子的加速能量要与栅绝缘膜104的厚度相匹配。典型地,对于1000埃厚的栅绝缘膜,对硼的合适加速能量是50到65Kev,磷的加速能量是60到80Kev。发现 $2 \times 10^{14} \text{cm}^{-2}$ 到 $6 \times 10^{15} \text{cm}^{-2}$ 的剂量是适合的,还发现用较低的剂量,可以获得较高可靠性的器件。图中所示掺杂区的剖面,仅仅是说明效果,而应该知道,由于离子散射等的原因,实际上该区或多或少地延伸到所示剖面的外面。(图1(B))。

完成掺杂后,要腐蚀掉聚酰亚胺掩模材料105。而该腐蚀是在氧等离子气氛中进行的。结果,如图1(C)所示,该图显示出掺杂区106及它们两侧的有源区。按此条件下,进行激光辐照以便激活掺杂区。使用的激光器是KrF受激准分子激光(波长为248nm、

脉冲宽度为20nsec)，而激光的能量密度是250至450mJ/cm²。在激光辐照期间，把基片保持在温度250到550℃，以获得更有效的激活。一般对于磷掺杂区，基片温度为250℃，激光能量300mJ/cm²、以剂量为 $1 \times 10^{15} \text{cm}^{-2}$ 所获得薄层电阻为500到1000Ω/□。此外，本实施例，由于掺杂区和有源区的边界也被激光辐照，因边界部分变化而降低可靠性的现有技术中的制造问题被大大地缓和。

此后，通过刻成图形，形成比掩模材料105窄的宽度为0.2μm的钽栅电极(连线)，再对栅电极施加电流进行阳极氧化，形成厚度为1000到2500埃的阳极氧化层。为了进行阳极氧化，把基片浸在含有1—5%的柠檬酸的乙二醇溶液中，联结所有栅电极构成正电极，同时使用铂构成负电极；在此条件下，以每分钟1到5伏的速率增加施加的电压。于是所形成的栅电极107是明显地相对于掺杂区处于偏移的状态。在栅电极上面制造的阳极氧化层，不仅决定薄膜晶体管偏移的量而且也起到防止与上部连线短路的作用；因此，对氧化层唯一的要求，是具有能够实现该目的的厚度，根据具体情况，上述阳极氧化层的形成，可能不是必要的(图1(D))。

最后，利用，例如，TEOS作为原料气体，通过等离子CVD，形成作为层间绝缘体的氧化硅膜108，厚度为2000至1000埃，再把该膜开成窗孔图形，通过该窗口形成每个电极109，每个电极109都由多层金属膜或其它材料构成，例如，由厚度为200埃的氮化钽和厚度为5000埃的铝组成的多层膜，上述电极用于连接掺杂区，于是完成薄膜晶体管的制造(图1(E))。

实施例2

图3和图4表示本实施例的工艺流程。图3是表示沿图4(顶视平面图)点划线剖开的剖面图。首先,在基片(Corning 7059) 301上面形成氧化硅底层膜,再形成厚度为1000到1500埃非晶硅膜。然后,在氮或氩的气氛中,在600°C下进行退火24到48小时,使已刻成图形的非晶硅结晶化。于是,形成岛状晶体硅302。此外,淀积作为栅绝缘膜的氧化硅膜303,厚度为1000埃,在其上形成钽连线(5000埃厚) 304, 305和306(图3(A))。

其次,把电流施加到上述连线304到306上面,在它们的表面上,形成厚度为2000到2500埃的第1阳极氧化层307, 308和309。利用上述处理过的连线作掩模,通过等离子掺杂,把杂质掺入硅膜302,形成掺杂区310(图3(B)和4(A))。

接着,除去上述处理过的钽连线和阳极氧化层,以便露出有原区的表面。在此条件下辐照KrF受激准分子的激光,以便进行激活(图3(C))。

此后,利用钽形成与前述的连线304到306完全相同的图形(连线311, 312, 313)。仅在要形成接触孔的连线313的部分,形成1到5 μm 厚的聚酰亚胺膜314。对于聚酰亚胺最好用光敏的聚酰亚胺材料,因为容易刻成图形(图3(D)和4(B))。

按此条件,把电流加到连线311到313,形成厚度为2000到2500埃的第2阳极氧化层315, 316和317。然而,以前形成聚酰亚胺的部分没有被阳极氧化,而成为一个接触孔318(图3(E))。

最后,淀积厚度为2000到5000埃的氧化硅膜319作为层间绝缘体,通过该层开出各接触孔。全部除掉在连线312(图4(C)中点线322内部的部分)一部分上面淀积的层间绝缘体,以便露出下面

的第2阳极氧化层316。然后形成由氮化钽(厚度为5000埃)和铝(厚度为3500埃)的多层膜构成的每一个连线/电极320和321, 结果完成电路的制造。由此, 在部分322旁边的连线321和连线312构成电容, 并且通过接触孔323和连线313相连(图3(F)和4(C))。

实施例3

图5表示本实施例的工艺过程。图5是表示制造薄膜晶体管工艺步骤次序的剖面图。首先在基片(Corning7059) 501上面形成氧化硅底膜502, 再形成厚度为1000到1500埃岛状的非晶硅膜。然后在氮或氩气氛中以500到600°C的温度进行退火2到48小时, 以便使非晶硅结晶化。于是形成岛状晶体硅503。此外, 再淀积作为栅绝缘膜的氧化硅膜504, 厚度为1000埃。此后, 用溅射的方法, 淀积含1到2%硅的铝膜(厚度为5000埃) 还采用旋转涂覆方法涂上光刻胶。接着, 采用公知的光刻工艺进行构图。由此工艺形成的光刻胶506作为掩模, 利用反应离子腐蚀技术(RIE)进行各向异性腐蚀, 形成一个铝栅电极/连线505(图5(A))。

然后, 把腐蚀方法转换为常规的等离子方法进行各向同性腐蚀。结果, 使铝栅电极/连线的侧面凹进去。通过调整腐蚀时间, 控制栅电极凹入尺寸为2000至3000埃。接着, 采用等离子掺杂, 把杂质掺入硅膜503形成掺杂区507(图5(B))。

接着, 除掉光刻胶506露出栅电极/连线, 在该条件下, 通过辐照KrF受激准分子的激光实行激活。在该辐照步骤, 掺杂区和有源区之间的边界(在图5(C)中由X表示)也曝露在激光辐照下(图5(C))。

此后，把基片浸在含酒石酸的乙二醇溶液中，阳极氧化该栅连线，在其表面上形成2000到2500埃的阳极氧化层508。

最后，淀积氧化硅膜作为层间绝缘体509，厚度为2000到5000埃，然后开接触孔露出掺杂区。然后，形成由氮化钽(500埃厚)和铝(3500埃)的多层膜构成的每一个连线/电极510，从而完成薄膜晶体管的制造(图5(E))。

实施例4

图6表示本实施例的工艺过程。在基片(Corning7059)上面形成氧化硅底膜，再形成厚度为1000到1500埃的岛状非晶硅膜。接着，在氮或者氩气氛中，以500到600℃的温度进行退火2到48小时，以便使非晶硅结晶化。于是，形成岛状晶体硅602。此外，淀积氧化氧化硅膜603作为栅绝缘膜，厚度为1000埃，再形成铝连线(厚度为5000埃)604，605和606(图6(A))。

其次，在连线604到606的表面上面，分别形成阳极氧化层607，608和609。接着利用上述已处理的连线作为掩模，用等离子掺杂的方法把杂质掺入硅膜602中，形成掺杂区610(图6(B))。

接着，把铝连线604到606和阳极氧化层一起腐蚀掉，露出半导体区602的表面。按此条件，通过辐照KrF受激准分子的激光进行激活(图6(C))。

此后，用同以前形成的连线604到606相同的图形形成铝连线611，612和613。然后，形成聚亚酰胺膜，厚度为1到5 μm ，用它覆盖连线611。对于聚酰亚胺，最好用光敏聚酰亚胺材料，因为它容易被刻成图形(图6(D))。

按此条件，把电流施加到连线611到613，形成厚度为2000到2500埃的阳极氧化层615和616。然而，覆盖聚酰亚胺的连线611部分没有被阳极氧化(图6(E))。

最后，淀积氧化硅膜617作为层间绝缘体，厚度为2000到5000埃，然后开接触孔露出掺杂区610。全部除掉淀积在连线613的部分620上面的层间绝缘体，露出阳极氧化层616。形成由氮化钽(500埃厚)和铝(3500埃厚)的多层膜构成的每个连线/电极618和619，而完成电路的制造。在此情况下，部分620旁边的连线619和连线613一起以阳极氧化层616作为电介质形成一个电容器(图6(F))。

实施例5

图7表示本实施例的工艺过程。该实施例是涉及在绝缘基片上制造薄膜晶体管。由玻璃形成所示的基片701，使用无碱玻璃，例如Coring7059，或者石英或者类似物，形成基片。本实施例中，考虑到成本，使用Coring7059做基片。在基片上淀积氧化硅膜702作为底层氧化膜。可以利用溅射或者化学汽相淀积(CVD)技术淀积氧化硅膜。本实施例中，利用四乙氧基硅烷(TEOS)和氧作为原料气体，通过等离子CVD进行上述膜的淀积。基片加热到温度200到400℃。淀积厚度为500到2000埃的氧化硅底膜。

其次，淀积非晶硅膜和形成岛状形状。通常采用等离子CVD和低压CVD技术淀积上述的非晶硅膜。本实施例中，利用甲硅烷(SiH_4)作为原料气体淀积非晶硅。淀积厚度为200到700埃的非晶硅膜。用激光(波长为248nm、脉冲宽度20nsec的KrF激光)辐照该膜。在辐照激光之前，把基片在真空中加热0.1到3小时，温度为300

到500°C，以便抽出非晶硅中包含的氢气。激光的能量密度是250到450mJ/cm²。在辐照激光期间，把基片保持在250到550°C 的温度。结果使非晶硅结晶化，形成晶体硅膜703。

接着，形成氧化硅膜704作为栅绝缘膜，其厚度为800到1200埃。在本实施例中，利用同形成氧化硅底膜702一样的方法，进行上述膜的淀积。然后，利用下述可阳极氧化的材料形成栅电极705，该材料例如，象铝、钽、或者钛那样的金属氮化物，象硅那样的半导体，或者象氮化钽或者氮化钛那样的导电金属。在本实施例，使用铝形成栅电极705，厚度为2000到10000埃。此时，因为用磷酸刻蚀铝，所以各向同性地腐蚀铝，结果得到如图(图7(A))所示的剖面图形。

此后，把电流施加到栅连线705，在其表面上形成厚度为2000到2500埃的金属膜706。利用类似于所谓电镀工艺的方法，形成金属膜。可用铜、镍、铬、锌、锡、金、银、铂、钯、铑等作为金属膜的材料。对于这些金属，易腐蚀的材料是优选的金属。本实施例选用铬。首先，把铬酸酐溶解在0.1%—0.2%的硫酸溶液中，产生1—30%的溶液。然后，把基片浸在该溶液中，把栅连线连到阴极上。同时用铂作为相反的电极(阳极)。按此条件，在保持温度在45到55°C状态下，施加电流100到4000A/m²。

通过用上述工艺，用铬膜涂覆栅连线表面后，掺入硼(B)或磷(P)离子，形成掺杂区707。通常，设定离子的加速能量要与栅绝缘膜704的厚度匹配；典型地，对厚度为1000埃栅绝缘膜，对于硼，适当的加速能量是50到65Kev，对于磷是60到80Kev。发现 $2 \times 10^{14} \text{cm}^{-2}$ 到 $6 \times 10^{15} \text{cm}^{-2}$ 的剂量是合适的，也发现，以较低

的剂量，可以获得较高可靠性的器件。因为带有如上所述形成的铬膜涂层来掺入杂质，因而在栅电极(铝)和掺杂区之间产生偏移。图中所示掺杂区的剖面，仅仅是为了说明效果，应该了解到，由于离子散射等的原因，实际上该区或多或少的延伸到所示剖面的外面。(图7(B))。

在完成掺杂以后，只腐蚀掉在电镀步骤时形成的铬膜。把基片浸在含有1—5%酒石酸的乙二醇溶液中，把栅极连线和阳极相连，同时利用铂电极作为阴极；按此条件，施加电流进行氧化，溶解在栅连线上形成的铬涂层。因为在溶液中溶解的铬附着在铂电极上面。再生的铬可重复使用，于是实现了不向外面释放有害铬的封闭装置。

当完全除掉栅连线中的铬时，于是，栅电极中的铝受到阳极氧化，但是可通过限制施加的电压抑制阳极氧化。例如，当把施加电压限制在10伏或者更小时，铝的阳极氧化很少发生。

按照此种方式，仅仅腐蚀掉铬涂层而露出连线的表面。结果，如图7(C)所示，显示出掺杂区707和位于掺杂区侧面的有源区之间的边界(由x表示)。按此条件，进行激光辐照，激活掺杂区。使用的激光是KrF受激准分子激光(波长为248nm，脉冲宽度为20，nsec)，激光的能量密度是250—450mJ/cm²。在辐照激光期间，把基片保持在250到550℃，以获得更有效的激活。典型地，对磷掺杂区，用剂量为 1×10^{15} cm⁻²，基片温度为250℃，激光能量为300mJ/cm²，则获得薄层电阻500—1000Ω/□。此外，在本实施例中，由于，掺杂区和有源区之间的边界也曝露于激光辐照之下，现有技术中，因边界部分的恶化而引起可靠性降低的制造问

题被大大地减轻了。在此工艺步骤，因为激光直接地辐照到栅连线露出的表面，所以希望连线表面能够充分地反射激光或者给连线本身提供非常大的热阻。万一不能提供非常大的表面反射，则要求提供某些预防措施，例如，在上表面设置热阻材料(图7(C))。

此后，阳极氧化该栅电极，在其表面上形成阳极氧化层708，厚度为1500到2500埃。为了实现阳极氧化，把基片浸在含有1—5%柠檬酸的乙二醇溶液中，联结所有的栅电极形成正电极，同时利用铂形成负电极；按此条件，以每分钟1到5伏的速率增加施加的电压。由于阳极氧化工艺使导电表面变凹，阳极氧化层708不仅仅决定薄膜晶体管的偏移量，而且也能起到防止与上层连线之间的短路作用。因此，只要求该氧化具有能达到目的的厚度，根据具体情况，可以不必形成上述的阳极氧化层(图7(D))。

最后，通过等离子CVD，例如，用TEOS作为原料气体，形成氧化硅膜709作为层间绝缘体，厚度为2000至1000埃，并把该膜开出窗口图形，穿过窗口，形成连接掺杂区的电极710，该电极由多层金属膜或者其它材料，例如，由200埃厚的氮化钛和5000埃厚的铝组成的多层膜构成，于是完成了薄膜晶体管的制造(图7(E))。

实施例6

图8和图9表示按照本实施例进行的工艺过程。图8是沿图9中(顶视图)短划线剖开的剖面图。首先在基片(Corning7059) 801上面形成氧化硅底膜，再形成非晶硅，厚度为1000到1500埃。然后，在氮或氩气氛中，以600℃退火24小到48小时，使非晶硅结晶化。

于是形成一个岛状的晶体硅802。此外，淀积氧化硅膜803作为栅绝缘膜，厚度为1000埃，再在其上形成铝连线（厚度为5000埃）804、805和806（图8(A)）。

然后，把基片浸在电解液中，给这些连线804到806加电流，在其相关表面形成厚度为2000到2500埃的铬涂层807、808和809。利用这种已处理的连线作掩模，通过等离子掺杂，把杂质掺入硅膜802，形成掺杂区810（图8(B)和9(A)）。

其次，只腐蚀掉铬涂层807到809，露出连线的表面，在这种条件下，通过辐照KrF受激准分子激光进行激活（图8(C)）。

此后，仅在将要形成接触孔的连线806的部分，形成厚度为1到5 μm 的聚酰亚胺膜811。对于聚酰亚胺，光敏的聚酰亚胺材料是优先选用的材料，因为它容易被刻成图形（图8(D)和9(B)）。

在此条件下，把基片浸在电解液中，把电流加到连线804到806上面，形成厚度为2000到2500埃的阳极氧化层812、813和814。然而，在以前形成聚酰亚胺的部分没有被阳极氧化，变成一个接触孔815（图8(E)）。

最后，淀积厚度为2000到5000埃的氧化硅膜816作为层间绝缘体，穿过该层开出各个接触孔。在连线805的部分（在图9(C)中点线内的部分）上面淀积层间绝缘体被全部除掉，露出下面的阳极氧化层813。然后，形成由氮化钽（厚度为500埃）和铝（3500埃）组成的多层膜构成的各连线电极817和818，完成电路的制造。在此种情况下，部分819旁边的连线818和连线805形成一个电容，并且通过接触孔820和连线806相连（图8(F)和9(C)）。

实施例 7

图10表示按本实施例的工艺过程。在基片 (Coning7059) 上面形成氧化硅底膜, 再形成厚度1000到1500埃的非晶硅。接着, 在氮或氩的气氛中在600°C下进行退火24到48小时, 使非晶硅结晶化。于是, 形成岛状晶体硅902。此外, 淀积氧化硅膜903作为栅绝缘膜, 厚度为1000埃, 再形成钽连线(厚度为5000埃) 904, 905和906(图10(A))。

然后, 在这些连线上通过电镀形成厚度为500到1500埃的铬镀层907, 908和909。利用该已处理的连线作为掩模, 通过等离子掺杂, 把杂质掺入硅膜902中, 于是, 形成掺杂区910(图10(B))。

接着, 只去掉铬镀膜907到909, 以便露出掺杂区和位于掺杂区侧面的有源区之间的边界。在这种条件下, 通过照射KrF受激准分子激光进行激活(图10(C))。

此后, 形成厚度为1到5 μm 的聚酰亚胺膜911, 用于覆盖连线904。对于聚酰亚胺, 光敏聚酰亚胺材料是优先选用的材料, 因为它容易被刻成图形(图10(D))。

在此条件下, 把电流加到浸在电解液中的连线904到906, 形成厚度为2000到2500埃的阳极氧化膜912和913。然后, 用聚酰亚胺覆盖的连线部分没有被阳极氧化(图10(E))。

最后, 淀积氧化膜914作为层间绝缘体, 厚度为2000到5000埃, 而且打开接触孔露出掺杂区910。全部除掉在连线906的部分上面淀积的层间绝缘体, 以便露出阳极氧化层913。然后, 形成由氮化钛(厚度为500埃)和铝(厚度为3500埃)的多层膜构成的各

连线/电极915和916，而完成了电路的制造。在这种情况下，在部分917旁边的连线916和连线906共同形成一个电容器，而阳极氧化层913作为电介质(图5(F))。

于是，本发明是有效地增强了象MOS晶体管和薄膜晶体管那样的由低温工艺制造的MIS半导体器件的可靠性，举一个特殊的例子，把器件贮存10小时以上，其所处状态是源极接地，对漏或栅或两者加电压20V或以上，或-20V或以下。没有观察到对晶体管的特性有显著的影响。

对实施例的描述集中于薄膜晶体管，但是应该认识到在单晶半导体基片上制造的其它MIS半导体器件，也可以获得本发明的效果。此外，除了上述实施例中使用硅之外，也可以利用象硅-锗合金，碳化硅、锗、硒化镉，硫化镉，砷化镓等那样的半导体材料，以便获得上述相同的效果。

因而本发明为工业应用提供了便利。

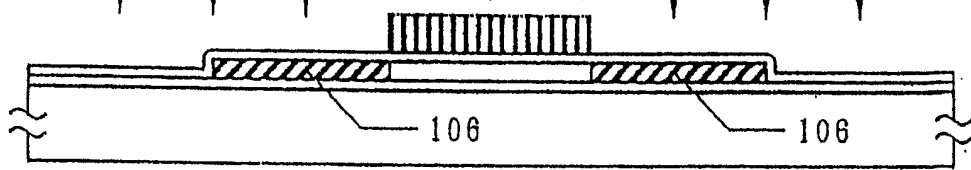
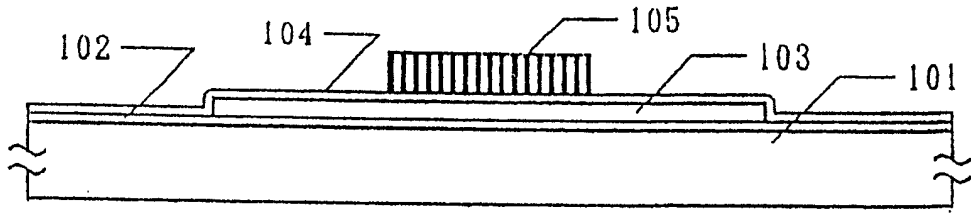


图 1 (A)

图 1 (B)

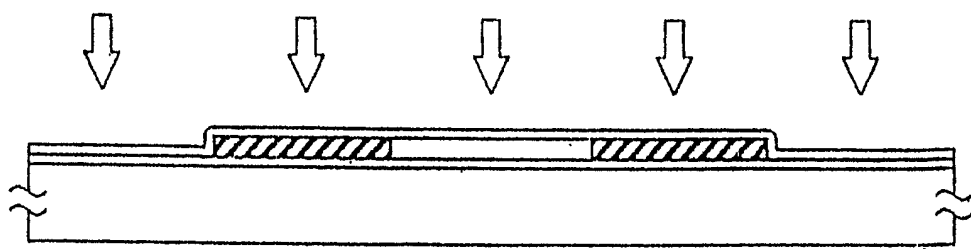


图 1 (C)

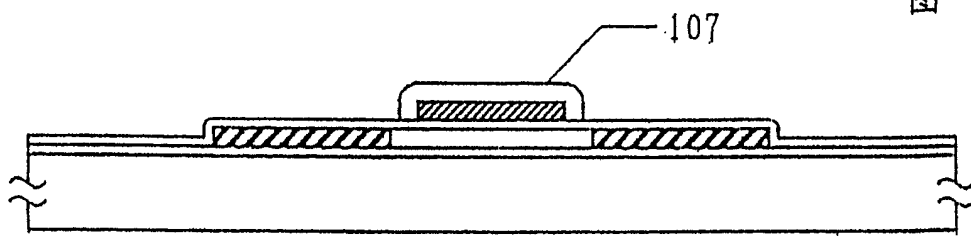


图 1 (D)

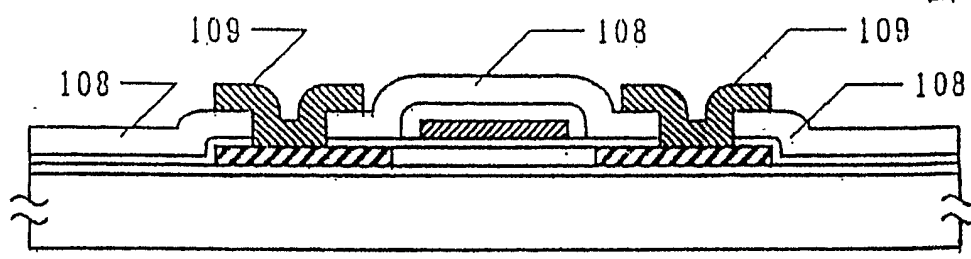


图 1 (E)

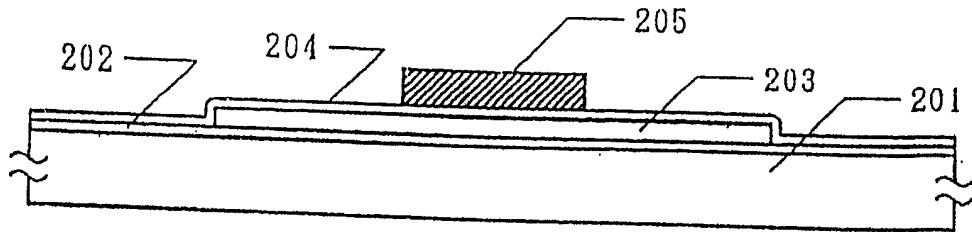


图 2(A)

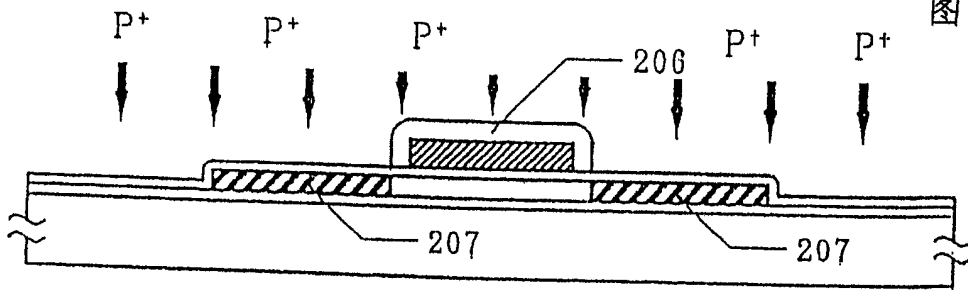


图 2(B)

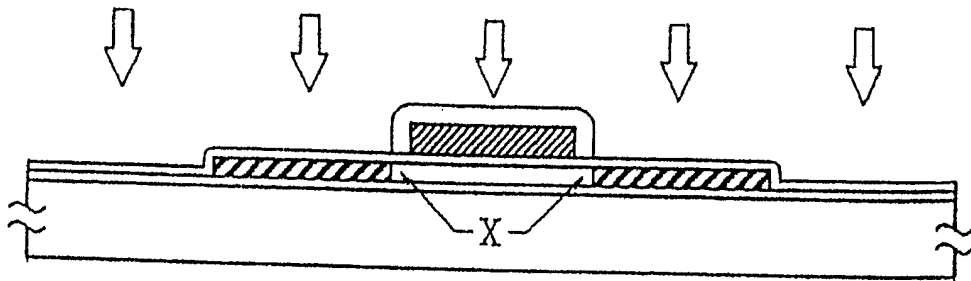


图 2(c)

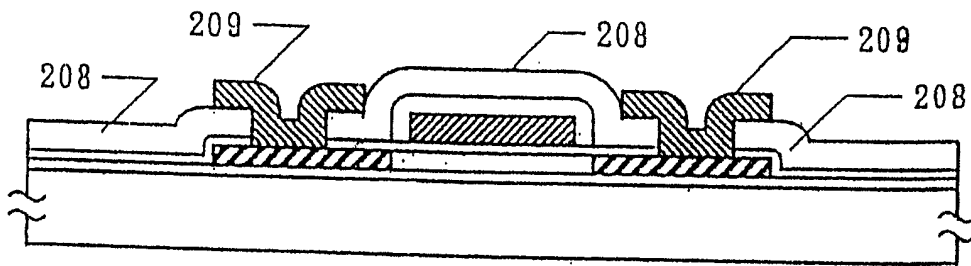


图 2(D)

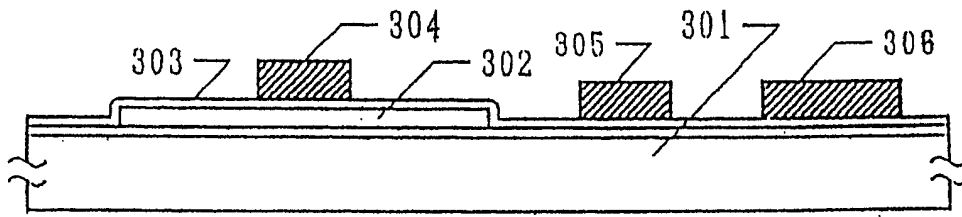


图 3(A)

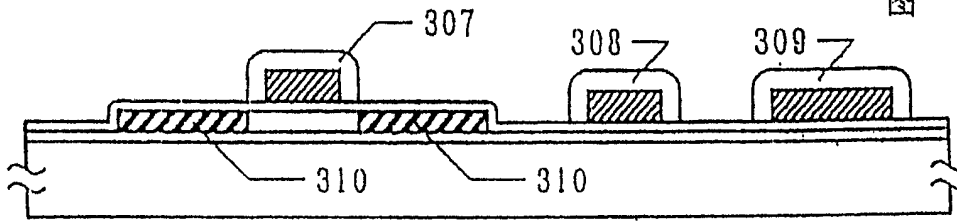


图 3(B)

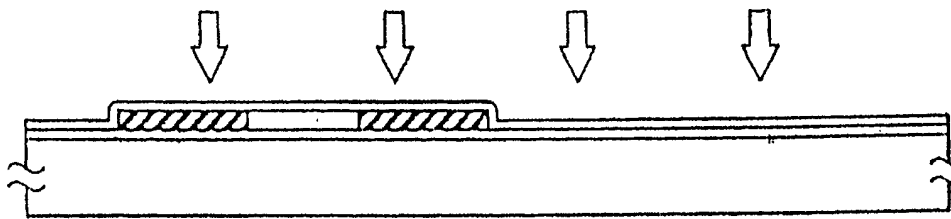


图 3(C)

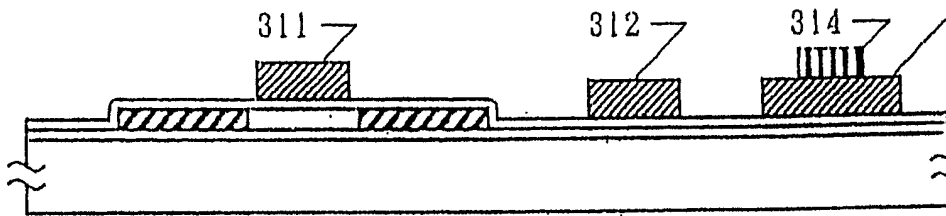


图 3(D)

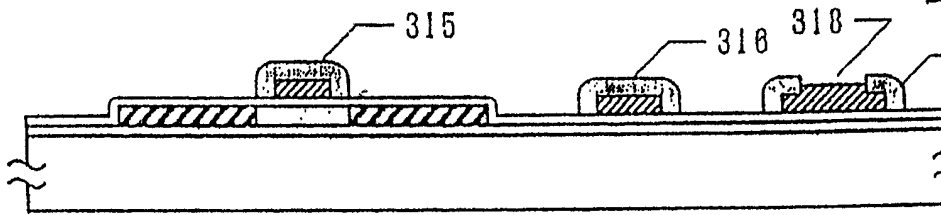


图 3(E)

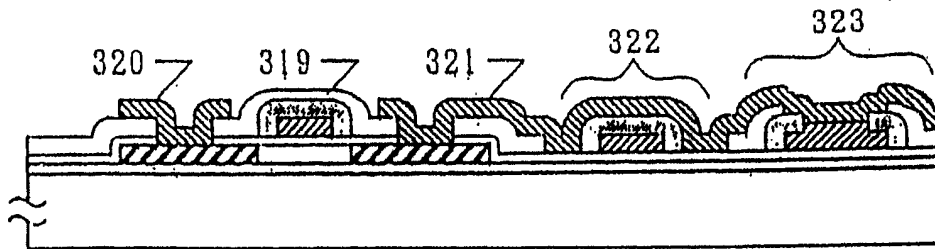


图 3(F)

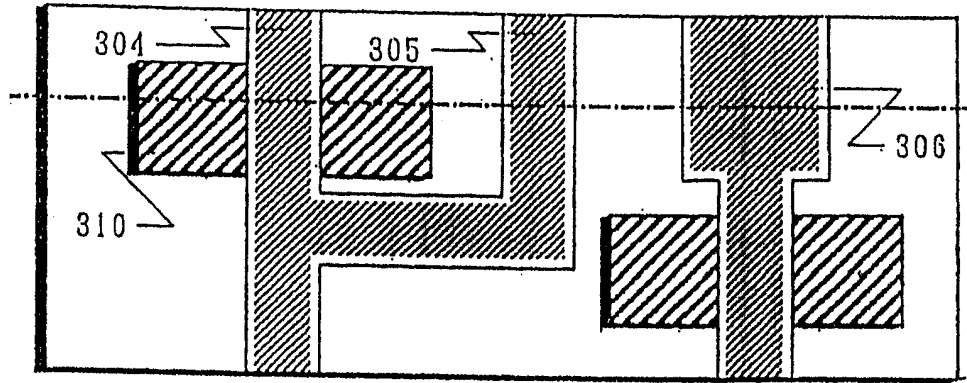


图 4(A)

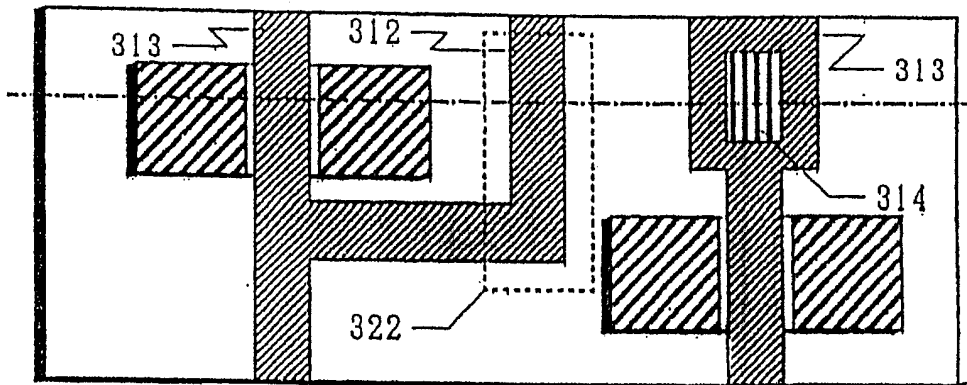


图 4(B)

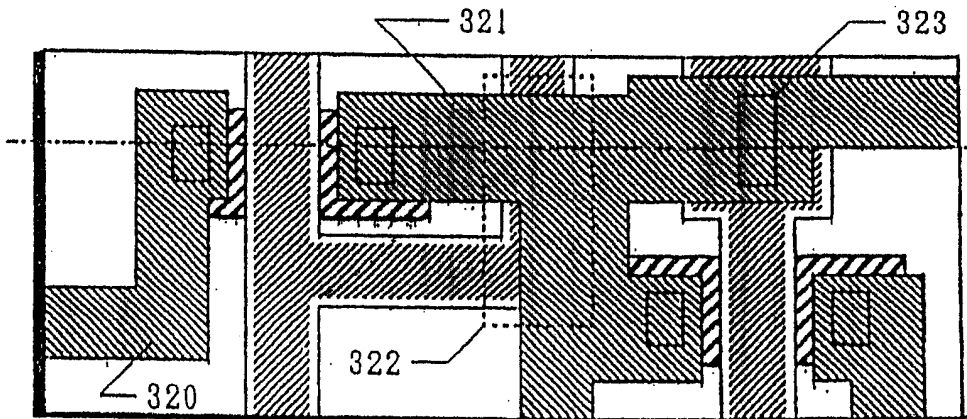


图 4(C)

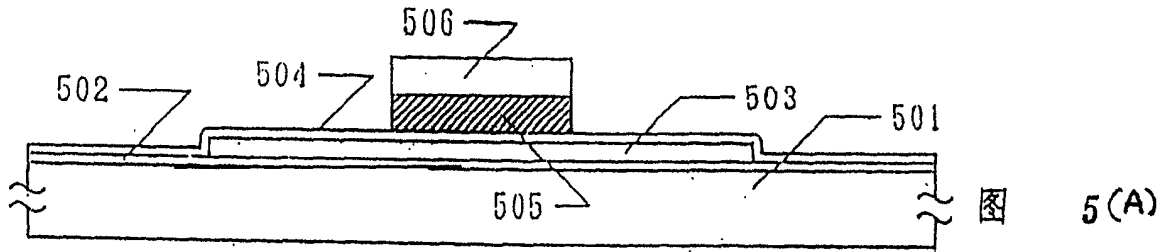


图 5(A)

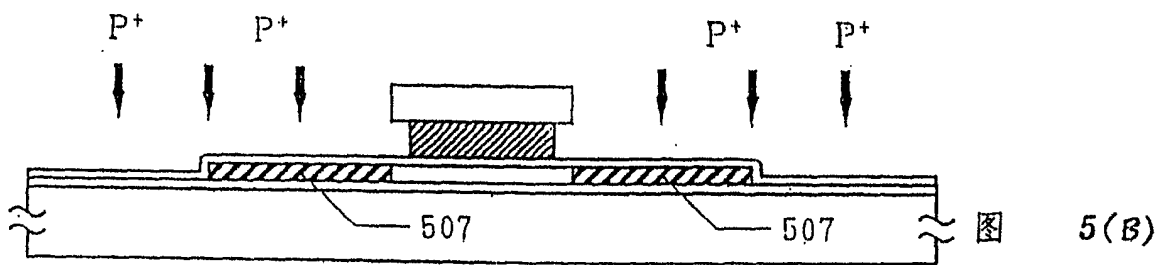


图 5(B)

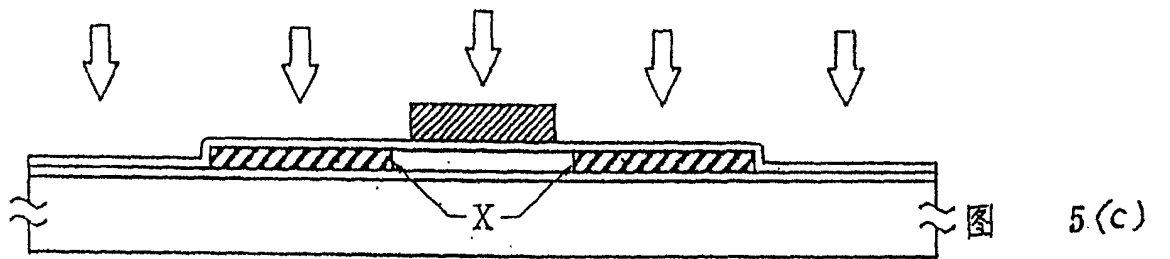


图 5(C)

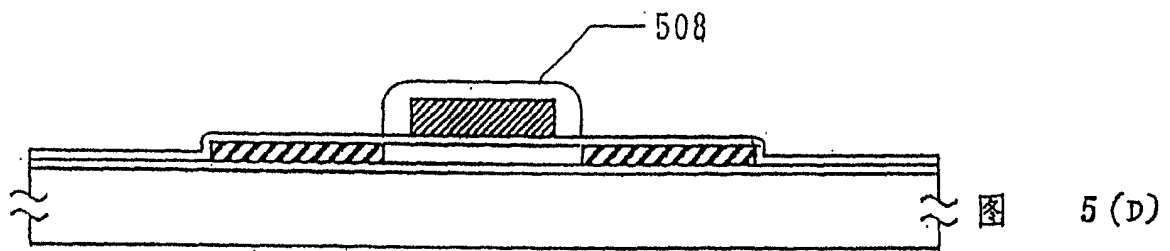


图 5(D)

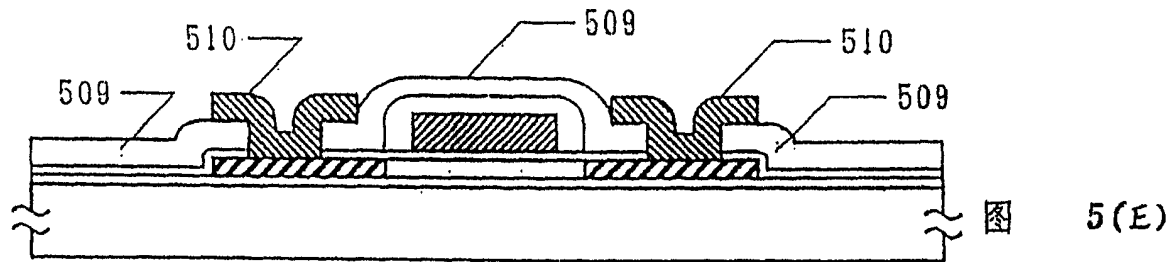
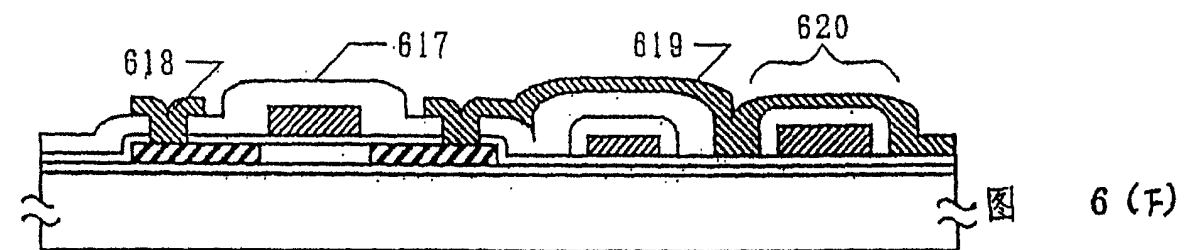
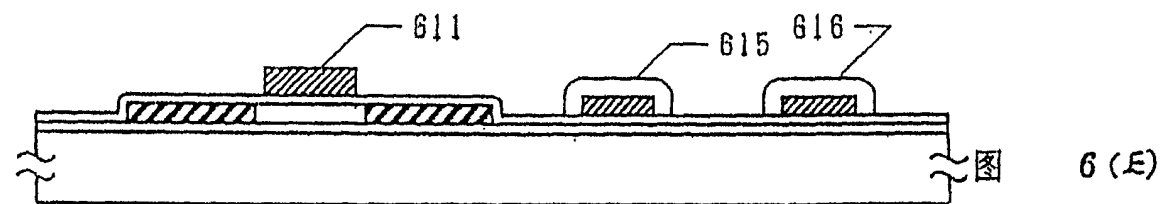
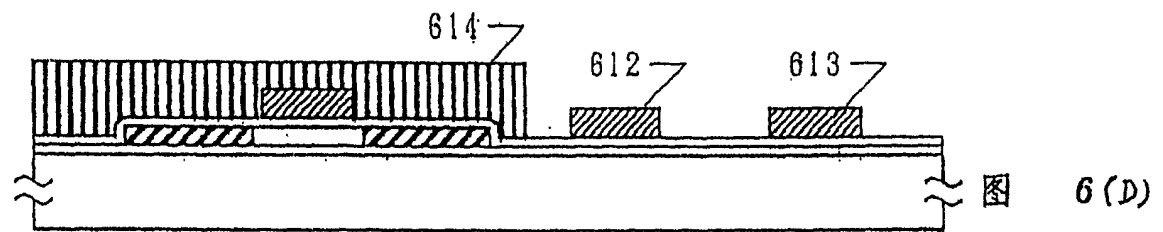
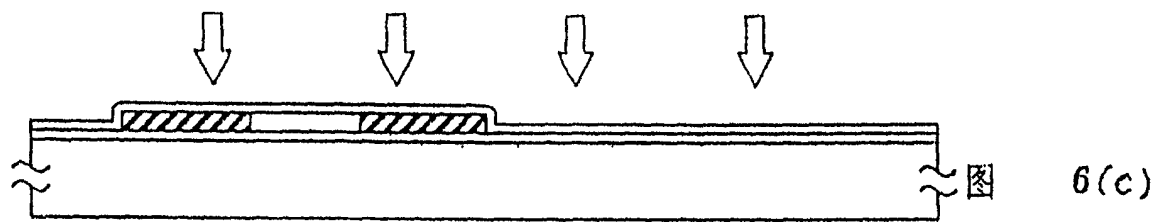
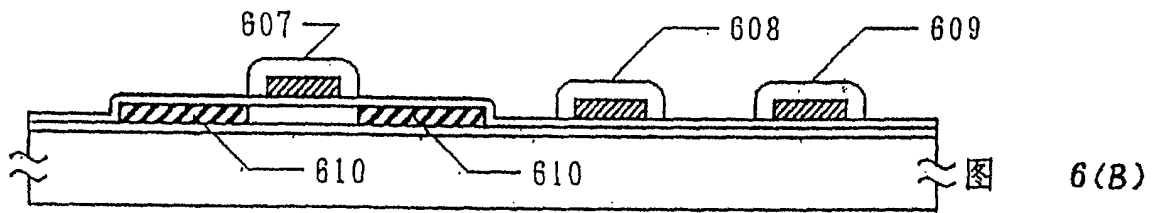
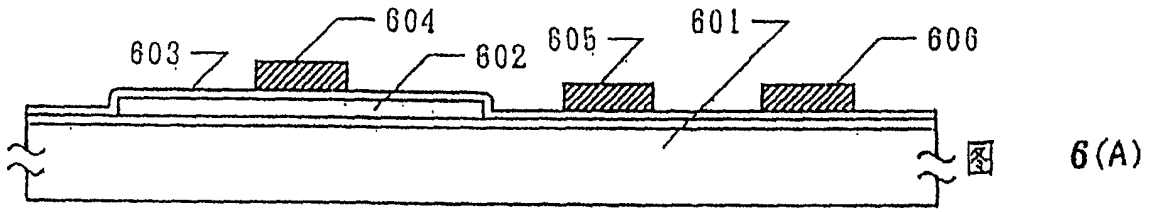


图 5(E)



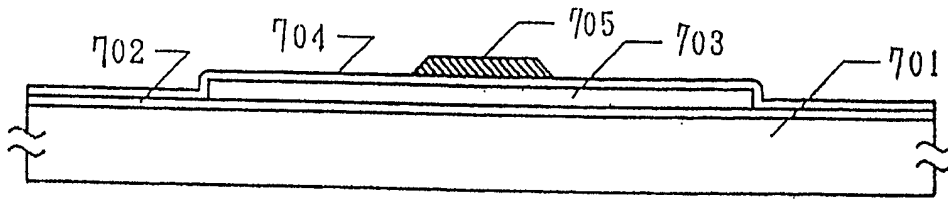


图 7(A)

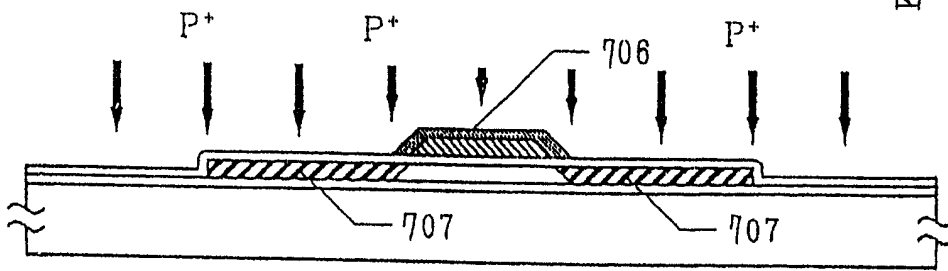


图 7(B)

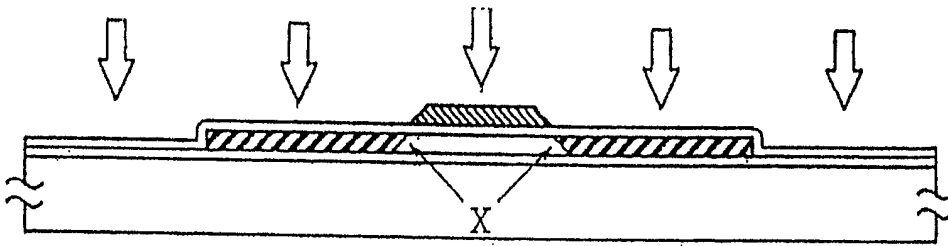


图 7(C)

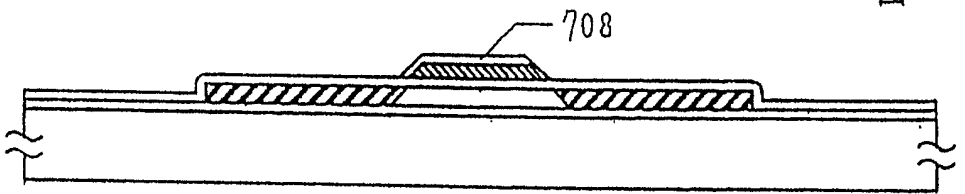


图 7(D)

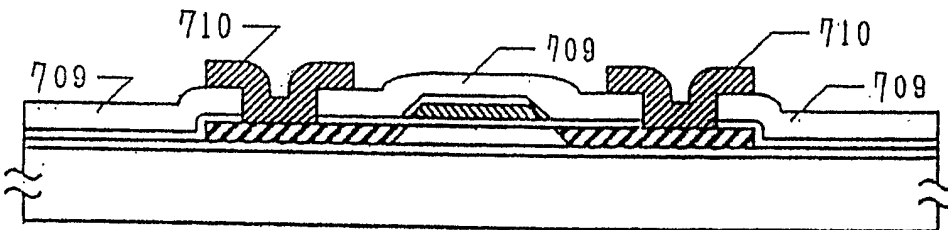


图 7(E)

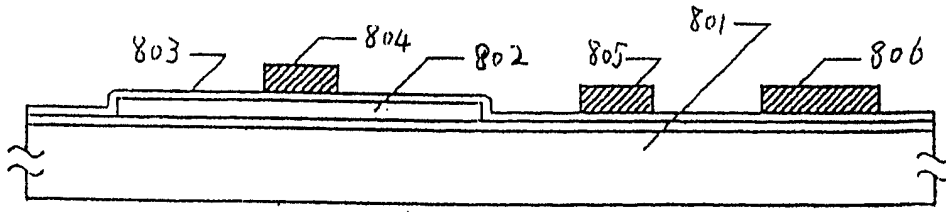


图 8(A)

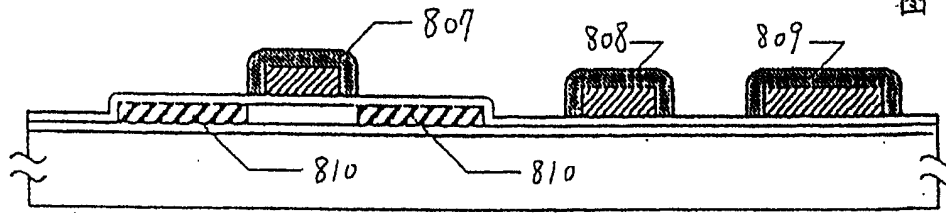


图 8(B)

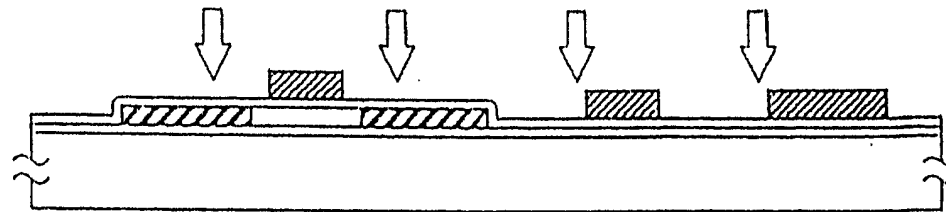


图 8(C)

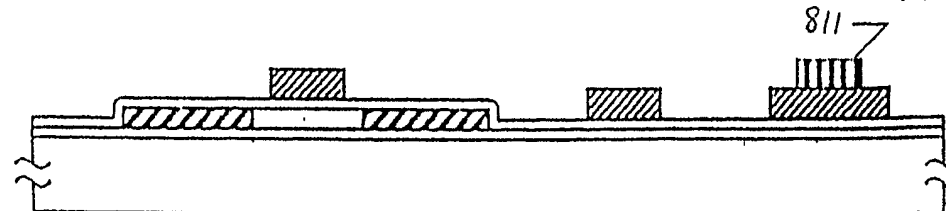


图 8(D)

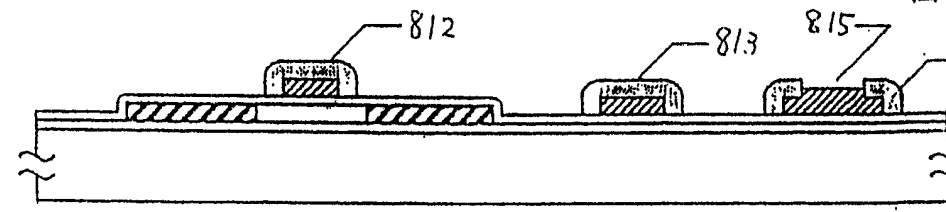


图 8(E)

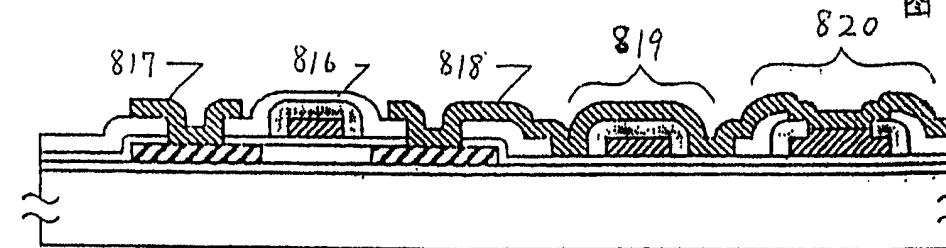


图 8(F)

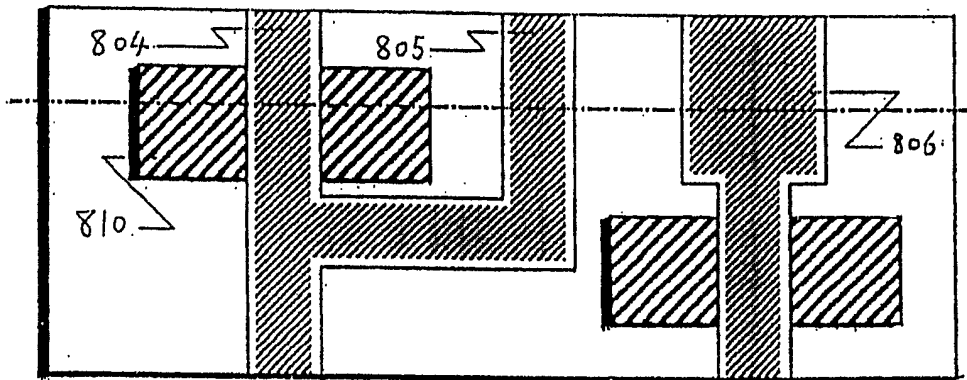


图 9(A)

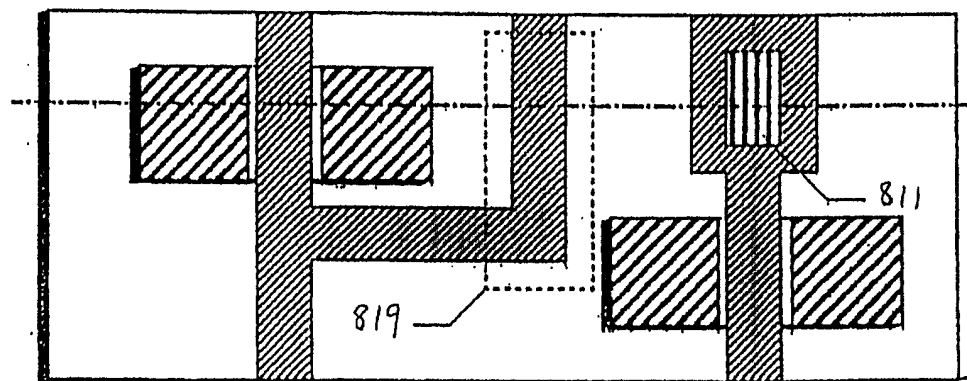


图 9(B)

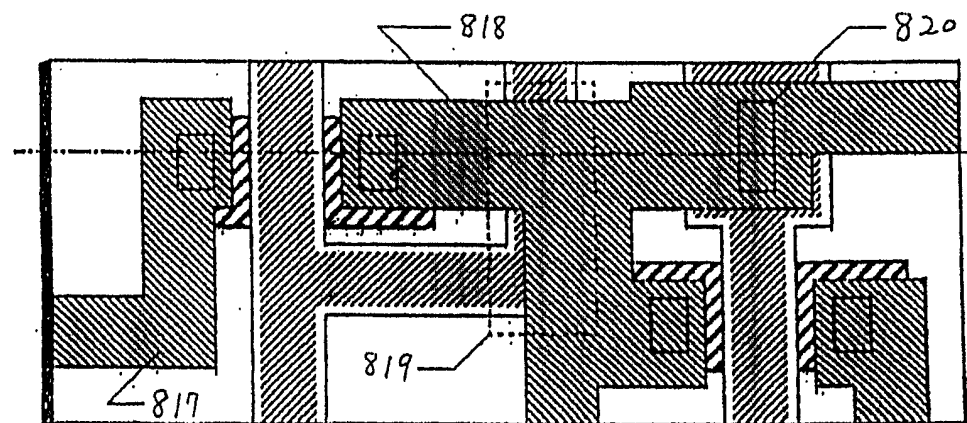


图 9(C)

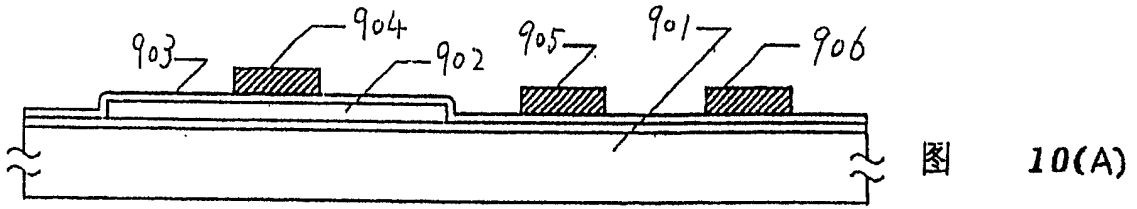


图 10(A)

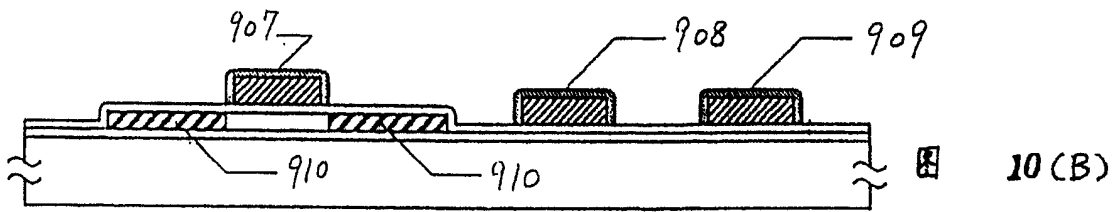


图 10(B)

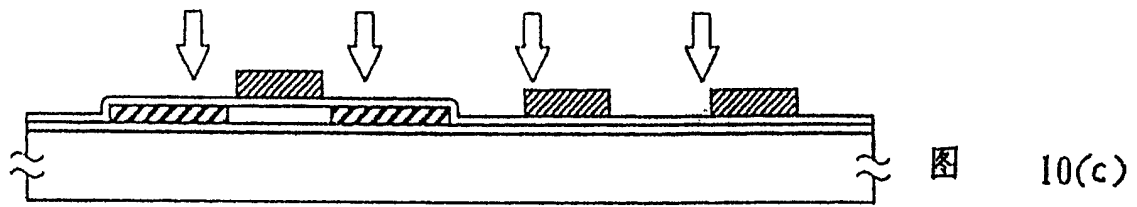


图 10(c)

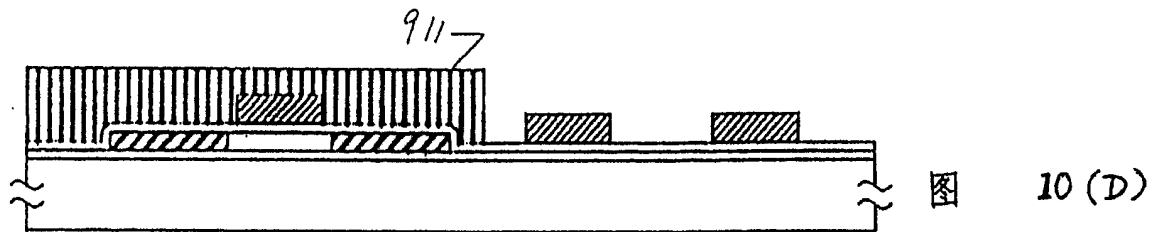


图 10(D)

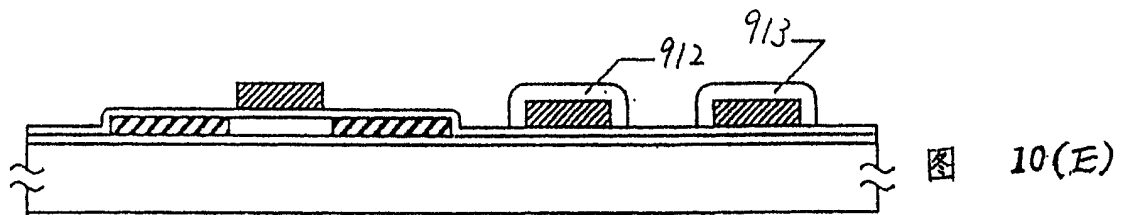


图 10(E)

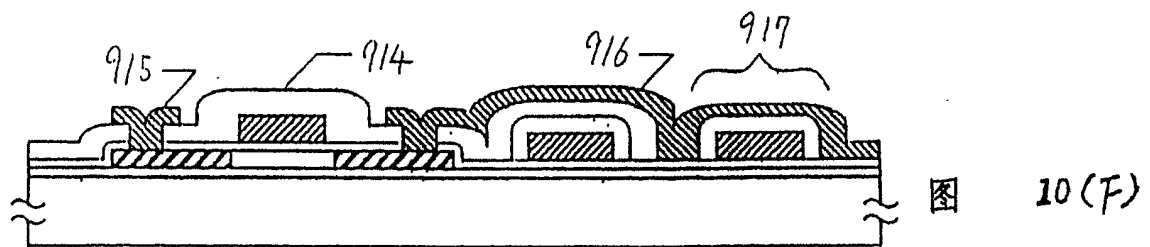


图 10(F)