

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月9日(09.01.2020)



(10) 国際公開番号

WO 2020/008665 A1

(51) 国際特許分類:

H03K 17/00 (2006.01) **H03K 17/78** (2006.01)
H03K 17/687 (2006.01)

都市下京区塩小路通堀川東入南不動堂
町801番地 Kyoto (JP).

(21) 国際出願番号: PCT/JP2019/001663

(22) 国際出願日: 2019年1月21日(21.01.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-127074 2018年7月3日(03.07.2018) JP

(71) 出願人: オムロン株式会社 (**OMRON CORPORATION**) [JP/JP]; 〒6008530 京都府京

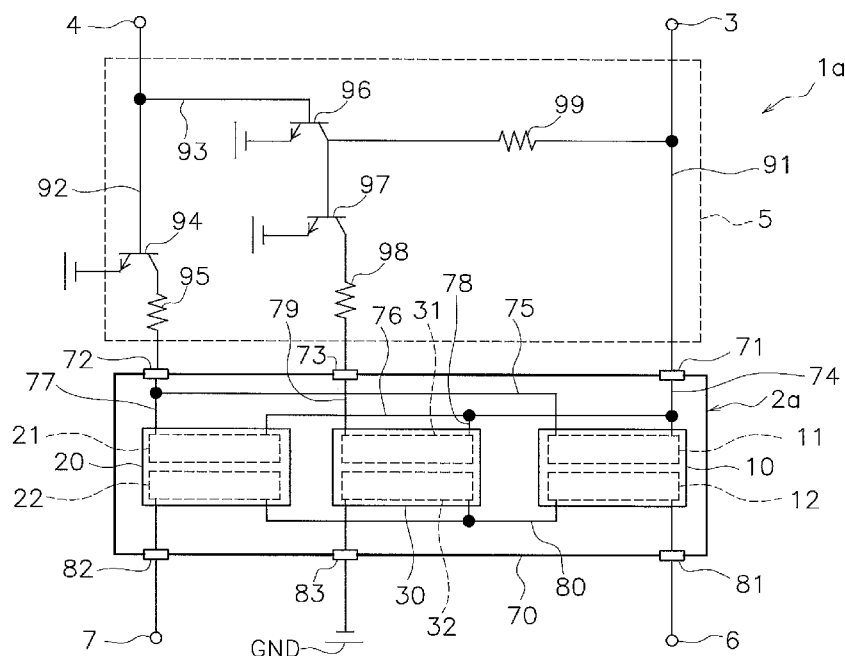
(72) 発明者: 芥川 智亘(**AKUTAGAWA, Toshinobu**);
〒8610596 熊本県山鹿市杉1110番
地 オムロンリレーアンドデバイス株
式会社内 Kumamoto (JP).

(74) 代理人: 山下 託嗣 (**YAMASHITA, Takuji**);
〒5300054 大阪府大阪市北区南森町1丁目4番
19号 サウスホレストビル11階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR RELAY MODULE AND SEMICONDUCTOR RELAY CIRCUIT

(54) 発明の名称: 半導体リレーモジュールおよび半導体リレー回路



(57) Abstract: In the present invention, a first input circuit is connected to a first input terminal and a second input terminal inside a package. A second input circuit is connected to the first input terminal and the second input terminal inside the package. A third input circuit is connected to a third input terminal and the first input terminal or second input terminal inside the package. A first output circuit is connected to a first output terminal and a first connection line inside the package. A second output circuit is connected to a second output terminal and the first connection line inside the

HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

package. A third output circuit is connected to a third output terminal and the first connection line inside the package.

(57) 要約：第1入力回路は、パッケージ内で第1入力端子と第2入力端子とに接続されている。第2入力回路は、パッケージ内で第1入力端子と第2入力端子とに接続されている。第3入力回路は、パッケージ内で第1入力端子又は第2入力端子と、第3入力端子とに接続されている。第1出力回路は、パッケージ内で第1出力端子と第1接続線とに接続されている。第2出力回路は、パッケージ内で第2出力端子と第1接続線とに接続されている。第3出力回路は、パッケージ内で第3出力端子と第1接続線とに接続されている。

明 細 書

発明の名称：半導体リレーモジュールおよび半導体リレー回路
技術分野

[0001] 本開示は、半導体リレーモジュールおよび半導体リレー回路に関する。

背景技術

[0002] 特許文献1には、2つの出力用半導体リレーと1つの接地用半導体リレーとを備えた半導体リレーが開示されている。2つの出力用半導体リレーは、互いに直列に接続されている。接地用半導体リレーは、2つの出力用半導体リレーの接続点と接地点との間に設けられている。

[0003] この半導体リレーでは、出力用半導体リレーと接地用半導体リレーとのそれぞれが、逆直列に接続された2つのMOSFETを有している。MOSFETにはフォトダイオードアレイが接続されている。また、半導体リレーには、第1入力回路と第2入力回路とが設けられている。第1入力回路は第1のLEDを有している。2つの出力用半導体リレーのフォトダイオードアレイは、第1のLEDの発光により起電力を発生させて、各出力用半導体リレーのMOSFETをONするように構成されている。第2入力回路は、第2のLEDを有している。接地用半導体リレーのフォトダイオードアレイは、この第2のLEDの発光により起電力を発生させて、接地用半導体リレーのMOSFETをONするように構成されている。

先行技術文献

特許文献

[0004] 特許文献1：特開平7-46109号公報

発明の概要

発明が解決しようとする課題

[0005] 上記の半導体リレーでは、共通の第1入力回路によって、2つの出力用半導体リレーのオン／オフが制御される。しかし、このような構成では、安定した動作特性を確保することは容易ではない。また、第1、第2入力回路は

それぞれ2つの入力端子に接続されている。そのため、結線等が複雑化し、回路基板の設計が困難になる場合がある。

[0006] そこで、本開示は、安定した動作特性を確保すると共に、回路基板の設計を容易に行える半導体リレーモジュールを提供することを課題とする。

課題を解決するための手段

[0007] 本開示の一態様に係る半導体リレーモジュールは、第1半導体リレーと、第2半導体リレーと、第3半導体リレーと、パッケージと、第1入力端子と、第2入力端子と、第3入力端子と、第1出力端子と、第2出力端子と、第3出力端子と、第1接続線とを含む。第1半導体リレーは、第1入力回路と第1出力回路とを含む。第2半導体リレーは、第2入力回路と第2出力回路とを含む。第3半導体リレーは、第3入力回路と第3出力回路とを含む。

[0008] パッケージは、第1半導体リレーと、第2半導体リレーと、第3半導体リレーとを内部に収容する。第1入力端子と、第2入力端子と、第3入力端子とは、パッケージに設けられ、一部がパッケージの外部に露出するようにそれぞれ配置される。第1出力端子と、第2出力端子と、および第3出力端子とは、パッケージに設けられ、一部がパッケージの外部に露出するようにそれぞれ配置される。第1接続線は、パッケージ内で第1出力回路と第2出力回路とを接続する。

[0009] 第1入力回路は、パッケージ内で第1入力端子と第2入力端子とに接続される。第2入力回路は、パッケージ内で第1入力端子と第2入力端子とに接続される。第3入力回路は、パッケージ内で第1入力端子又は第2入力端子と、第3入力端子とに接続される。第1出力回路は、パッケージ内で第1出力端子と第1接続線とに接続される。第2出力回路は、パッケージ内で第2出力端子と第1接続線とに接続される。第3出力回路は、パッケージ内で第3出力端子と第1接続線とに接続される。

[0010] 第1入力端子と第2入力端子とに電流が流れ、第3入力端子に電流が流れない第1状態で、第1出力回路と第2出力回路とがオン状態となり、第3出力回路がオフ状態となることで、第1出力端子と第2出力端子とが導通し、

且つ、第1接続線と第3出力端子とが非導通となる。第1入力端子と第2入力端子とに電流が流れず、第3入力端子に電流が流れている第2状態で、第1出力回路と第2出力回路とがオフ状態となり、第3出力回路がオン状態となることで、第1出力端子と第2出力端子とが非導通となり、且つ、第1接続線と第3出力端子とが導通する。

発明の効果

[0011] 本開示の一態様に係る半導体リレーモジュールによれば、第1半導体リレーと、第2半導体リレーと、第3半導体リレーとのそれぞれに対して入力回路が設けられている。そのため、安定した動作特性を確保することができる。また、パッケージの内部で、各半導体リレーの入力回路が入力端子に接続されている。そのため、回路基板の設計を容易に行える半導体リレーモジュールを実現することができる。

図面の簡単な説明

[0012] [図1]第1実施形態に係る半導体リレー回路の一例を示す構成図である。
[図2]第1実施形態に係る半導体リレーモジュールの一例を示す構成図である。
。
[図3]半導体リレーモジュールの動作の一例を示すタイミングチャートである。
。
[図4]第2実施形態に係る半導体リレー回路の一例を示す構成図である。
[図5]第2実施形態に係る半導体リレーモジュールの一例を示す構成図である。
。
[図6]第2実施形態に係る半導体リレーモジュールの一例を示す構成図である。
。
[図7]半導体リレーモジュールの他の例を示す構成図である。
[図8]半導体リレーモジュールの動作の他の例を示すタイミングチャートである。
る。

発明を実施するための形態

[0013] 以下、本開示の一例を図面に従って説明する。なお、以下の説明では、必

要に応じて特定の方向あるいは位置を示す用語を用いるが、それらの用語の使用は図面を参照した開示の理解を容易にするためであって、それらの用語の意味によって本開示の技術的範囲が限定されるものではない。また、以下の説明は、本質的に例示に過ぎず、本開示、その適用物、あるいは、その用途を制限することを意図するものではない。さらに、図面は模式的なものであり、各寸法の比率等は現実のものとは必ずしも合致していなくてもよい。

[0014] 図1は、本開示の第1実施形態に係る半導体リレー回路1aの一例を示す構成図である。図1に示すように、半導体リレー回路1aは、半導体リレーモジュール2aと、電源端子3と、制御端子4と、制御回路5とを含む。半導体リレーモジュール2aは、第1半導体リレー10と、第2半導体リレー20と、第3半導体リレー30と、パッケージ70と、第1入力端子71と、第2入力端子72と、第3入力端子73とを含む。

[0015] パッケージ70は、第1半導体リレー10と、第2半導体リレー20と、第3半導体リレー30とを内部に収容する。パッケージ70は、例えば絶縁性を有する樹脂で形成されている。ただし、パッケージ70は、樹脂に限らず、セラミック等の他の材料製であってもよい。パッケージ70は、例えば平面視で長方形状を有している。ただし、パッケージ70は、長方形状に限らず、他の形状であってもよい。

[0016] 第1入力端子71と、第2入力端子72と、第3入力端子73とは、パッケージ70に設けられる。第1入力端子71と、第2入力端子72と、第3入力端子73との各々は、一部がパッケージ70の外部に露出するように配置されている。半導体リレーモジュール2aは、第1出力端子81と、第2出力端子82と、第3出力端子83とをさらに含む。第1出力端子81と、第2出力端子82と、第3出力端子83とは、パッケージ70に設けられている。第1出力端子81と、第2出力端子82と、第3出力端子83との各々は、一部がパッケージ70の外部に露出するように配置されている。

[0017] 半導体リレーモジュール2aでは、パッケージ70の内部で、第1半導体リレー10と、第2半導体リレー20と、第3半導体リレー30とが、パッ

ケージ 70 の長手方向に並んで配置されている。第 3 半導体リレー 30 は、パッケージ 70 の長手方向において、第 1 半導体リレー 10 と第 2 半導体リレー 20 との間に配置されている。

[0018] 第 1 半導体リレー 10 は、第 1 入力回路 11 と第 1 出力回路 12 とを含む。第 1 入力回路 11 に電流が流れているときには、第 1 出力回路 12 はオン状態となる。第 1 入力回路 11 に電流が流れていないときには、第 1 出力回路 12 はオフ状態となる。第 2 半導体リレー 20 は、第 2 入力回路 21 と第 2 出力回路 22 とを含む。第 2 入力回路 21 に電流が流れているときには、第 2 出力回路 22 はオン状態となる。第 2 入力回路 21 に電流が流れていないときには、第 2 出力回路 22 はオフ状態となる。第 3 半導体リレー 30 は、第 3 入力回路 31 と第 3 出力回路 32 とを含む。第 3 入力回路 31 に電流が流れているときには、第 3 出力回路 32 はオン状態となる。第 3 入力回路 31 に電流が流れていないときには、第 3 出力回路 32 はオフ状態となる。なお、オン状態とは、出力回路において電流が流れる状態を意味する。オフ状態とは、出力回路において電流が流れない状態を意味する。

[0019] 第 1 入力回路 11 は、パッケージ 70 内で第 1 入力端子 71 と第 2 入力端子 72 とに接続されている。第 2 入力回路 21 は、パッケージ 70 内で第 1 入力端子 71 と第 2 入力端子 72 とに接続されている。第 3 入力回路 31 は、パッケージ 70 内で第 1 入力端子 71 と、第 3 入力端子 73 とに接続されている。

[0020] 詳細には、第 1 入力回路 11 は、接続線 74 を介して第 1 入力端子 71 に接続されている。第 1 入力回路 11 は、接続線 75 を介して第 2 入力端子 72 に接続されている。第 2 入力回路 21 は、接続線 76 を介して第 1 入力端子 71 に接続されている。第 2 入力回路 21 は、接続線 77 を介して第 2 入力端子 72 に接続されている。第 3 入力回路 31 は、接続線 78 を介して第 1 入力端子 71 に接続されている。第 3 入力回路 31 は、接続線 79 を介して第 3 入力端子 73 に接続されている。接続線 74 - 79 は、パッケージ 70 内に配置されている。

[0021] 第1出力回路12は、パッケージ70内で第1出力端子81と第1接続線80とに接続されている。第2出力回路22は、パッケージ70内で第2出力端子82と第1接続線80とに接続されている。第1出力回路12と第2出力回路22とは、パッケージ70内で第1接続線80を介して互いに直列に接続されている。第3出力回路32は、パッケージ70内で第3出力端子83と第1接続線80とに接続されている。第1接続線80は、パッケージ70内に配置されている。

[0022] 図2は、半導体リレーモジュール2aの一例を示す構成図である。図2に示すように、第1半導体リレー10の第1入力回路11は、第1入力部13と、第2入力部14と、発光素子15とを含む。第1入力部13は、第1入力端子71に接続されている。第2入力部14は、第2入力端子72に接続されている。発光素子15は、第1入力部13と第2入力部14とに接続されている。発光素子15は、第1入力回路11に電流が流れることで、発光する。

[0023] 第2半導体リレー20の第2入力回路21は、第1入力部23と、第2入力部24と、発光素子25とを含む。第1入力部23は、第1入力端子71に接続されている。第2入力部24は、第2入力端子72に接続されている。発光素子25は、第1入力部23と第2入力部24とに接続されている。発光素子25は、第1入力回路21に電流が流れることで、発光する。

[0024] 第3半導体リレー30の第3入力回路31は、第1入力部33と、第2入力部34と、発光素子35とを含む。第1入力部33は、第1入力端子71に接続されている。第2入力部34は、第3入力端子73に接続されている。発光素子35は、第1入力部33と第2入力部34とに接続されている。発光素子35は、第1入力回路31に電流が流れることで、発光する。

[0025] 第1半導体リレー10の第1出力回路12は、第1出力部16と、第2出力部17と、2つのMOSFET18, 19とを含む。第1出力部16は、第1出力端子81に接続されている。第2出力部17は、第1接続線80に接続されている。MOSFET18, 19は、寄生ダイオードの向きを互い

に逆向きとするように互いに直列に接続されている。MOSFET 18, 19は、発光素子25の発光の有無に応じてオン状態とオフ状態とに切り替えられる。MOSFET 18, 19がオン状態で、第1出力部16と第2出力部17とが導通する。MOSFET 18, 19がオフ状態で、第1出力部16と第2出力部17とは非導通となる。

[0026] 第2半導体リレー20の第2出力回路22は、第1出力部26と、第2出力部27と、2つのMOSFET 28, 29とを含む。第1出力部26は、第1接続線80に接続されている。第2出力部27は、第2出力端子82に接続されている。MOSFET 28, 29は、寄生ダイオードの向きを互いに逆向きとするように互いに直列に接続されている。MOSFET 28, 29は、発光素子25の発光の有無に応じてオン状態とオフ状態とに切り替えられる。MOSFET 28, 29がオン状態で、第1出力部26と第2出力部27とが導通する。MOSFET 28, 29がオフ状態で、第1出力部26と第2出力部27とは非導通となる。

[0027] 第3半導体リレー30の第3出力回路32は、第1出力部36と、第2出力部37と、2つのMOSFET 38, 39とを含む。第1出力部36は、第1接続線80に接続されている。第2出力部37は、第3出力端子83に接続されている。MOSFET 38, 39は、寄生ダイオードの向きを互いに逆向きとするように互いに直列に接続されている。MOSFET 38, 39は、発光素子25の発光の有無に応じてオン状態とオフ状態とに切り替えられる。MOSFET 38, 39がオン状態で、第1出力部36と第2出力部37とが導通する。MOSFET 38, 39がオフ状態で、第1出力部36と第2出力部37とは非導通となる。

[0028] 図1に示すように、第1入力端子71と第2入力端子72と第3入力端子73とは、制御回路5を介して、電源端子3と制御端子4とに接続されている。電源端子3には、電源電圧が供給される。制御端子4には、入力信号が供給される。

[0029] 制御回路5は、第1回路91と、第2回路92と、第3回路93とを含む

。第1回路91は、電源端子3と第1入力端子71とを接続している。第2回路92は、トランジスタ94と抵抗95とを介して、制御端子4と第2入力端子72とを接続している。第3回路93は、トランジスタ96、97と抵抗98とを介して、制御端子4と第3入力端子73とを接続している。トランジスタ96は、抵抗99を介して電源端子3に接続されている。なお、制御回路5の構成は、図1に示すものに限らず、変更されてもよい。

[0030] 第1出力端子81は、第1外部出力端子6に接続されている。第2出力端子82は、第2外部出力端子7に接続されている。第3出力端子83は、接地点GNDに接続されている。すなわち、第3出力端子83は、第1接続線80を接地するための接地端子である。

[0031] 制御回路5は、制御端子4に供給される入力信号に応じて、半導体リレーモジュール2aの各入力端子の通電状態を、第1状態と第2状態とに切り替える。第1状態は、第1入力端子71と第2入力端子72とに電流が流れ、第3入力端子73に電流が流れない状態である。第2状態は、第1入力端子71と第2入力端子72とに電流が流れず、第3入力端子73に電流が流れる状態である。

[0032] 図3は、入力信号の電圧制御に応じた半導体リレーモジュール2aの動作を示すタイミングチャートである。図3Aは、制御端子4に供給される入力信号の電圧の変化を示す。図3Bは、第1半導体リレー10の第1出力回路12と第2半導体リレー20の第2出力回路22のオン／オフの状態の変化を示す。図3Cは、第3半導体リレー30の第3出力回路32のオン／オフの状態の変化を示す。図3Dは、第1出力端子81と第2出力端子82との間の導通／非導通の状態の変化を示す。

[0033] 図3Aに示すように時間T1で、制御端子4にオン（+）の入力信号が供給されると、制御回路5は、半導体リレーモジュール2aの各入力端子71－73への通電状態を第1状態とする。すなわち、第1入力端子71と第2入力端子72とに電流が流れ、第3入力端子73に電流が流れない。それにより、第1入力回路11と第2入力回路21とに電流が流れることで、図3

Bに示すように、時間T 1から少し遅れた時間T 1'で、第1出力回路1 2と第2出力回路2 2とがオン状態となる。また、第3入力回路3 1には電流が流れないため、図3 Cに示すように、第3出力回路3 2はオフ状態である。それにより、図3 Dに示すように、時間T 1'で第1出力端子8 1と第2出力端子8 2とが導通する。このとき、第1接続線8 0と第3出力端子8 3とは非導通となる。

[0034] 次に、図3 Aに示すように時間T 2で、制御端子4への入力信号がオフにされると、制御回路5は、半導体リレーモジュール2 aの各入力端子7 1ー7 3への通電状態を第2状態とする。すなわち、第1入力端子7 1と第2入力端子7 2とに電流が流れず、第3入力端子7 3に電流が流れる。それにより、第1入力回路1 1と第2入力回路2 1とに電流が流れないことで、図3 Bに示すように、時間T 2から少し遅れた時間T 2'で第1出力回路1 2と第2出力回路2 2とがオフ状態となる。また、図3 Cに示すように、時間T 2'から少し遅れた時間T 2''で、第3出力回路3 2がオン状態となる。それにより、図3 Dに示すように、時間T 2'以降で第1出力端子8 1と第2出力端子8 2とが非導通となる。また、時間T 2''以降で第1接続線8 0と第3出力端子8 3とが導通することで、第1接続線8 0が第3出力端子8 3を介して接地される。それにより、良好なアイソレーション特性を得ることができる。

[0035] 以下、上記と同様に、図3 Aに示すように時間T 3で、制御端子4にオンの入力信号が供給されると、図3 Cに示すように、時間T 3から少し遅れた時間T 3''で、第3出力回路3 2がオフ状態となる。また、図3 Bに示すように、時間T 3''から少し遅れた時間T 3'で、第1出力回路1 2と第2出力回路2 2とがオン状態となる。それにより、図3 Dに示すように、第1出力端子8 1と第2出力端子8 2とが導通する。また、第1接続線8 0と第3出力端子8 3とは非導通となる。

[0036] 次に、図3 Aに示すように時間T 4で、制御端子4への入力信号がオフにされると、図3 Bに示すように、時間T 4から少し遅れた時間T 4'で第1

出力回路 1 2 と第 2 出力回路 2 2 とがオフ状態となる。また、図 3 C に示すように、時間 $T 4'$ から少し遅れた時間 $T 4''$ で、第 3 出力回路 3 2 がオン状態となる。それにより、図 3 D および図 4 に示すように、時間 $T 4'$ 以降で第 1 出力端子 8 1 と第 2 出力端子 8 2 とが非導通となる。また、時間 $T 4''$ 以降で第 1 接続線 8 0 と第 3 出力端子 8 3 とが導通する。

[0037] 以上説明した本実施形態に係る半導体リレーモジュール 2 a では、第 1 半導体リレー 1 0 の第 1 出力回路 1 2 と、第 2 半導体リレー 2 0 の第 2 出力回路 2 2 とが、互いに直列に接続されており、同時にオン状態とオフ状態とに切り替えられる。また、第 1 出力端子 8 1 と第 2 出力端子 8 2 とが非導通のときに、第 1 接続線 8 0 が第 3 出力端子 8 3 と導通することで接地される。それにより、第 1 出力端子 8 1 と第 2 出力端子 8 2 との間で、良好なアイソレーション特性を得ることができる。

[0038] また、半導体リレーモジュール 2 a では、各半導体リレー 1 0, 2 0, 3 0 の入力回路 1 1, 2 1, 3 1 は、パッケージ 7 0 の内部で入力端子 7 1, 7 2, 7 3 にそれぞれ接続されている。また各半導体リレー 1 0, 2 0, 3 0 の出力回路 1 2, 2 2, 3 2 は、パッケージ 7 0 の内部で出力端子 8 1, 8 2, 8 3 にそれぞれ接続されている。そのため、回路基板上で配線同士が交差するような複雑な配線構成を回避して、配線を簡素化することができる。それにより、高周波信号の伝達損失を低減できると共に、回路基板の設計を容易に行える半導体リレーモジュール 2 a を実現できる。

[0039] なお、第 1 半導体リレー 1 0 と第 2 半導体リレー 2 0 とが低オン抵抗型の半導体リレーであり、第 3 半導体リレー 3 0 が低端子間容量型の半導体リレーであってもよい。すなわち、第 1 半導体リレー 1 0 の出力オン抵抗と、第 2 半導体リレー 2 0 の出力オン抵抗とが、それぞれ第 3 半導体リレー 3 0 の出力オン抵抗よりも小さく、且つ、第 3 半導体リレー 3 0 の出力端子間容量が、第 1 半導体リレー 1 0 の出力端子間容量と、第 2 半導体リレー 2 0 の出力端子間容量よりも小さくてもよい。それにより、良好なインサーションロスおよびアイソレーション特性を実現することができる。

[0040] 或いは、第1～第3半導体リレー10、20、30の全てが、出力端子間容量が12 pF以下の低端子間容量型の半導体リレーであってもよい。低端子容量型の半導体リレーの出力端子間容量は、0.8 pF以下であるのがより好ましく、0.2 pF以下であることがさらに好ましい。

[0041] 次に、本開示の第2実施形態に係る半導体リレー回路1bについて説明する。図4は、第2実施形態に係る半導体リレー回路1bの一例を示す構成図である。図4において、第2実施形態に係る半導体リレー回路1bの構成のうち第1実施形態と同じものには、同じ符号を付している。例えば、電源端子3と、制御端子4と、制御回路5と、第1半導体リレー10と、第2半導体リレー20と、第3半導体リレー30と、パッケージ70と、第1入力端子71と、第2入力端子72と、第3入力端子73と、第1出力端子81と、第2出力端子82と、第3出力端子83とは、第1実施形態と同様であるため、詳細な説明を省略する。

[0042] 半導体リレー回路1bは、半導体リレーモジュール2bを含む。半導体リレーモジュール2bは、上述した半導体リレーモジュール2aの構成に加えて、第4半導体リレー40と、第5半導体リレー50と、第6半導体リレー60と、第4出力端子84と、第5出力端子85と、第2接続線86とをさらに含む。第4～第6半導体リレー40、50、60は、第1～第3半導体リレー10、20、30が並ぶ方向と平行に並んで配置されている。第4～第6半導体リレー40、50、60は、第1～第3半導体リレー10、20、30に対して、第1～第3半導体リレー10、20、30が並ぶ方向と交差する方向に配置されている。ただし、第4～第6半導体リレー40、50、60との配置は、変更されてもよい。例えば、第1～第6半導体リレー10、20、30、40、50、60が、パッケージ70の長手方向に一列に並んで配置されてもよい。

[0043] 第4半導体リレー40は、第4入力回路41と第4出力回路42とを含む。第4入力回路41に電流が流れているときには、第4出力回路42はオン状態となる。第4入力回路41に電流が流れていないときには、第4出力回

路42はオフ状態となる。第5半導体リレー50は、第5入力回路51と第5出力回路52とを含む。第5入力回路51に電流が流れているときには、第5出力回路52はオン状態となる。第5入力回路51に電流が流れていないときには、第5出力回路52はオフ状態となる。第6半導体リレー60は、第6入力回路61と第6出力回路62とを含む。第6入力回路61に電流が流れているときには、第6出力回路62はオン状態となる。第6入力回路61に電流が流れていないときには、第6出力回路62はオフ状態となる。

[0044] 第4出力端子84と第5出力端子85とは、パッケージ70に設けられ、一部がパッケージ70の外部に露出するようにそれぞれ配置されている。第2接続線86は、パッケージ70内で第4出力回路42と第5出力回路52とを接続している。第4出力端子84は、第3外部出力端子8に接続されている。第5出力端子85は、第4外部出力端子9に接続されている。

[0045] 第4入力回路41は、パッケージ70内で第1入力端子71と第2入力端子72とに接続されている。第5入力回路51は、パッケージ70内で第1入力端子71と第2入力端子72とに接続されている。第6入力回路61は、パッケージ70内で第1入力端子71と第3入力端子73とに接続されている。

[0046] 第4出力回路42は、パッケージ70内で第4出力端子84と第2接続線86とに接続されている。第5出力回路52は、パッケージ70内で第5出力端子85と第2接続線86とに接続されている。第6出力回路62は、パッケージ70内で第3出力端子83と第2接続線86とに接続されている。

[0047] 図5および図6は、半導体リレーモジュール2bの構成の一例を示す図である。図6に示すように、第4半導体リレー40の第4入力回路41は、第1入力部43と、第2入力部44と、発光素子45とを含む。第1入力部43は、第1入力端子71に接続されている。第2入力部44は、第2入力端子72に接続されている。第5半導体リレー50の第5入力回路51は、第1入力部53と、第2入力部54と、発光素子55とを含む。第1入力部53は、第1入力端子71に接続されている。第2入力部54は、第2入力端

子 7 2 に接続されている。第 6 半導体リレー 6 0 の第 6 入力回路 6 1 は、第 1 入力部 6 3 と、第 2 入力部 6 4 と、発光素子 6 5 とを含む。第 1 入力部 6 3 は、第 1 入力端子 7 1 に接続されている。第 2 入力部 6 4 は、第 3 入力端子 7 3 に接続されている。第 4 ～第 6 半導体リレー 4 0, 5 0, 6 0 の発光素子 4 5, 5 5, 6 5 の構成は、上記の第 1 ～第 3 半導体リレー 1 0, 2 0, 3 0 の発光素子 1 5, 2 5, 3 5 と同様であるため、詳細な説明を省略する。

[0048] 第 4 半導体リレー 4 0 の第 4 出力回路 4 2 は、第 1 出力部 4 6 と、第 2 出力部 4 7 と、2 つの MOSFET 4 8, 4 9 とを含む。第 1 出力部 4 6 は、第 4 出力端子 8 4 に接続されている。第 2 出力部 4 7 は、第 2 接続線 8 6 に接続されている。第 5 半導体リレー 5 0 の第 5 出力回路 5 2 は、第 1 出力部 5 6 と、第 2 出力部 5 7 と、2 つの MOSFET 5 8, 5 9 とを含む。第 1 出力部 5 6 は、第 2 接続線 8 6 に接続されている。第 2 出力部 5 7 は、第 5 出力端子 8 5 に接続されている。第 6 半導体リレー 6 0 の第 6 出力回路 6 2 は、第 1 出力部 6 6 と、第 2 出力部 6 7 と、2 つの MOSFET 6 8, 6 9 とを含む。第 1 出力部 6 6 は、第 2 接続線 8 6 に接続されている。第 2 出力部 6 7 は、第 3 出力端子 8 3 に接続されている。第 4 ～第 6 半導体リレーの MOSFET 4 8, 4 9, 5 8, 5 9, 6 8, 6 9 の構成は、上記の第 1 ～第 3 半導体リレーの MOSFET 1 8, 1 9, 2 8, 2 9, 3 8, 3 9 と同様であるため、詳細な説明を省略する。

[0049] 半導体リレーモジュール 2 b では、第 1 入力端子 7 1 と第 2 入力端子 7 2 とに電流が流れ、第 3 入力端子 7 3 に電流が流れない第 1 状態では、第 1 出力回路 1 2 と第 2 出力回路 2 2 と第 4 出力回路 4 2 と第 5 出力回路 5 2 とがオン状態となり、第 3 出力回路 3 2 と第 6 出力回路 6 2 とがオフ状態となる。それにより、第 1 出力端子 8 1 と第 2 出力端子 8 2 とが導通し、第 4 出力端子 8 4 と第 5 出力端子 8 5 とが導通し、第 1 接続線 8 0 と第 3 出力端子 8 3 とが非導通となり、第 2 接続線 8 6 と第 3 出力端子 8 3 とが非導通となる。

- [0050] 第1入力端子71と第2入力端子72とに電流が流れず、第3入力端子73に電流が流れる第2状態では、第1出力回路12と第2出力回路22と第4出力回路42と第5出力回路52とがオフ状態となり、第3出力回路32と第6出力回路62とがオン状態となる。それにより、第1出力端子81と第2出力端子82とが非導通となり、第4出力端子84と第5出力端子85とが非導通となり、第1接続線80と第3出力端子83とが導通し、且つ、第2接続線86と第3出力端子83とが導通する。
- [0051] 以上説明した第2実施形態に係る半導体リレーモジュール2bは、第1実施形態に係る半導体リレーモジュール2aと同様に、制御端子4に供給される入力信号の電圧制御によって制御される。その場合、第4出力回路42と第5出力回路52とは、図3Bに示す第1出力回路12および第2出力回路22と同様に、オン状態とオフ状態とに切り替えられる。また、第6出力回路62は、図3Cに示す第3出力回路32と同様に、オン状態とオフ状態とに切り替えられる。それにより、第4出力端子84と第5出力端子85とは、図3Dに示す第1出力端子81と第2出力端子82と同様に、導通状態と非導通状態とに切り替えられる。
- [0052] 半導体リレーモジュール2bでは、第1半導体リレー10の第1出力回路12と第2半導体リレー20の第2出力回路22とが、互いに直列に接続されており、第4半導体リレー40の第4出力回路42と第5半導体リレー50の第5出力回路52とが、互いに直列に接続されている。そして、これらの出力回路が、同時にオン状態とオフ状態とに切り替えられる。
- [0053] 第3半導体リレー30は、第1出力回路12と第2出力回路22とを接続する第1接続線80の接地点GNDへの接続を制御する。また、第6半導体リレー60は、第4出力回路42と第5出力回路52とを接続する第2接続線86の接地点GNDへの接続を制御する。それにより、第1出力端子81と第2出力端子82との間、および、第4出力端子84と第5出力端子85との間でアイソレーション特性を向上させることができる。
- [0054] また、第1実施形態に係る半導体リレーモジュール2aと同様に、第2実

施形態に係る半導体リレーモジュール 2 bにおいても、回路基板上で配線同士が交差するような複雑な配線構成を回避して、配線を簡素化することができる。それにより、高周波信号の伝達損失を低減できると共に、回路基板の設計を容易に行える半導体リレーモジュール 2 bを実現できる。

[0055] 以上、本発明の一実施形態について説明したが、本発明は上記実施形態に限定されるものではなく、発明の要旨を逸脱しない範囲で種々の変更が可能である。

[0056] 半導体リレー回路、半導体リレーモジュール、および半導体リレーの構造は、上記の実施形態のものに限らず、変更されてもよい。半導体リレーモジュールに含まれる半導体リレーの数は、3つ或いは6つに限らない。半導体リレーの数は、4つ以上、或いは7つ以上であってもよい。

[0057] 第3入力回路 31 は、パッケージ 70 内で第2入力端子 72 と第3入力端子 73 とに接続されてもよい。第6入力回路 61 は、パッケージ 70 内で第2入力端子 72 と第3入力端子 73 とに接続されてもよい。

[0058] 第1実施形態に係る半導体リレーモジュール 2 aにおける、第1～第3半導体リレー 10, 20, 30の配置は、上記の実施形態のものに限らず、変更されてもよい。例えば、図7に示すように、第1半導体リレー 10と第3半導体リレー 30との間に、第2半導体リレー 20が配置されてもよい。第2実施形態に係る半導体リレーモジュール 2 bについても同様に、第1～第6半導体リレー 10, 20, 30, 40, 50, 60の配置は、上記の実施形態のものに限らず、変更されてもよい。入力端子および／または出力端子の配置は、上記の実施形態のものに限らず、変更されてもよい。

[0059] 制御回路 5 の構成は、上記の実施形態のものに限らず、変更されてもよい。例えば、制御回路 5 は、第2入力端子 72 と第3入力端子 73 とへの入力信号の電流制御により、半導体リレーモジュール 2 a の各入力端子への通電状態を、第1状態と第2状態とに切り替えるように構成されてもよい。

[0060] 図8は、入力信号の電流制御に応じた半導体リレーモジュール 2 a の動作を示すタイミングチャートである。図8Aは、第2入力端子 72 に供給され

る入力信号の電流の変化を示す。図 8 B は、第 3 入力端子 7 3 に供給される入力信号の電流の変化を示す。図 8 C は、第 1 半導体リレー 1 0 の第 1 出力回路 1 2 と第 2 半導体リレー 2 0 の第 2 出力回路 2 2 のオン／オフの状態の変化を示す。図 8 C は、第 3 半導体リレー 3 0 の第 3 出力回路 3 2 のオン／オフの状態の変化を示す。図 8 E は、第 1 出力端子 8 1 と第 2 出力端子 8 2 との導通／非導通の状態の変化を示す。

[0061] 図 8 A および図 8 B に示すように時間 T 1 で、第 2 入力端子 7 2 にオンの入力信号が供給され、且つ、第 3 入力端子 7 3 への入力信号がオフにされると、半導体リレーモジュール 2 a の各入力端子への通電状態は、第 1 状態となる。すなわち、第 1 入力端子 7 1 と第 2 入力端子 7 2 とに電流が流れ、第 3 入力端子 7 3 に電流が流れない。それにより、第 1 入力回路 1 1 と第 2 入力回路 2 1 とに電流が流れることで、図 8 C に示すように、時間 T 1 から少し遅れた時間 T 1' で、第 1 出力回路 1 2 と第 2 出力回路 2 2 とがオン状態となる。また、第 3 入力回路 3 1 には電流が流れないことで、図 8 D に示すように、第 3 出力回路 3 2 がオフ状態となる。それにより、図 8 E に示すように、時間 T 1' で第 1 出力端子 8 1 と第 2 出力端子 8 2 とが導通する。このとき、第 1 接続線 8 0 と第 3 出力端子 8 3 とは非導通となる。

[0062] 次に、図 8 A に示すように時間 T 2 で、第 2 入力端子 7 2 への入力信号がオフにされ、図 8 B に示すように時間 T 3 で、第 3 入力端子 7 3 にオンの入力信号が供給されると、半導体リレーモジュール 2 a の各入力端子への通電状態は、第 2 状態となる。すなわち、第 1 入力端子 7 1 と第 2 入力端子 7 2 とに電流が流れず、第 3 入力端子 7 3 に電流が流れる。それにより、第 1 入力回路 1 1 と第 2 入力回路 2 1 とに電流が流れないことで、図 8 C に示すように、時間 T 2 から少し遅れた時間 T 2' で第 1 出力回路 1 2 と第 2 出力回路 2 2 とがオフ状態となる。また、図 8 D に示すように、時間 T 3 から少し遅れた時間 T 3' で、第 3 出力回路 3 2 がオン状態となる。それにより、図 8 E に示すように、時間 T 2' 以降で第 1 出力端子 8 1 と第 2 出力端子 8 2 とが非導通となる。また、時間 T 3' 以降で第 1 接続線 8 0 と第 3 出力端子

８３とが導通する。そのため、図８Ｅに示すように、第１出力端子８１と第２出力端子８２とが非導通であるときに、第１接続線８０が第３出力端子８３を介して接地される。

[0063] 以下、上記と同様に、図８Ｂに示すように時間Ｔ４で、第３入力端子７３への入力信号がオフにされると、図８Ｄに示すように、時間Ｔ４から少し遅れた時間Ｔ４’で、第３出力回路３２がオフ状態となる。また、図８Ａに示すように、時間Ｔ５で第２入力端子７２にオンの入力信号が供給されると、図８Ｃに示すように、時間Ｔ５から少し遅れた時間Ｔ５’で、第１出力回路１２と第２出力回路２２とがオン状態となる。それにより、時間Ｔ４’以降で第１接続線８０と第３出力端子８３とは非導通となる。また、図８Ｅに示すように、時間Ｔ５’以降で、第１出力端子８１と第２出力端子８２とが導通する。

[0064] 次に、図８Ａに示すように時間Ｔ６で、第２入力端子７２への入力信号がオフにされると、図８Ｃに示すように、時間Ｔ６から少し遅れた時間Ｔ６’で第１出力回路１２と第２出力回路２２とがオフ状態となる。また、図８Ｂに示すように時間Ｔ７で、第３入力端子７３にオンの入力信号が供給にされると、図８Ｄに示すように、時間Ｔ７から少し遅れた時間Ｔ７’で、第３出力回路３２がオン状態となる。それにより、図８Ｅに示すように、時間Ｔ６’以降で第１出力端子８１と第２出力端子８２とが非導通となる。また、時間Ｔ７’以降で第１接続線８０と第３出力端子８３とが導通する。

[0065] なお、第２実施形態に係る半導体リレーモジュール２ｂについても、第２入力端子７２と第３入力端子７３とへの入力信号の電流制御により、上記と同様に制御されてもよい。

産業上の利用可能性

[0066] 本発明によれば、安定した動作特性を確保すると共に、回路基板の設計を容易に行える半導体リレーモジュールを実現できる。

符号の説明

[0067] ３・・・電源端子、 ４・・・制御端子、 ５・・・制御回路、 １１・・・

・第1入力回路、 12・・・第1出力回路、 10・・・第1半導体リレー、 20・・・第2半導体リレー、 21・・・第2入力回路、 22・・・第2出力回路、 30・・・第3半導体リレー、 31・・・第3入力回路、 32・・・第3出力回路、 40・・・第4半導体リレー、 41・・・第4入力回路、 42・・・第4出力回路、 50・・・第5半導体リレー、 51・・・第5入力回路、 52・・・第5出力回路、 61・・・第6入力回路、 62・・・第6出力回路、 60・・・第6半導体リレー、 70・・・パッケージ、 71・・・第1入力端子、 72・・・第2入力端子、 73・・・第3入力端子、 80・・・第1接続線、 81・・・第1出力端子、 82・・・第2出力端子、 83・・・第3出力端子、 84・・・第4出力端子、 85・・・第5出力端子、 86・・・第2接続線

請求の範囲

[請求項1]

第1入力回路と第1出力回路とを含む第1半導体リレーと、
第2入力回路と第2出力回路とを含む第2半導体リレーと、
第3入力回路と第3出力回路とを含む第3半導体リレーと、
前記第1半導体リレーと、前記第2半導体リレーと、前記第3半導体リレーとを内部に収容するパッケージと、

前記パッケージに設けられ、一部が前記パッケージの外部に露出するようにそれぞれ配置された第1入力端子、第2入力端子、および第3入力端子と、

前記パッケージに設けられ、一部が前記パッケージの外部に露出するようにそれぞれ配置された第1出力端子、第2出力端子、および第3出力端子と、

前記パッケージ内で前記第1出力回路と前記第2出力回路とを接続する第1接続線と、
を備え、

前記第1入力回路は、前記パッケージ内で前記第1入力端子と前記第2入力端子とに接続され、

前記第2入力回路は、前記パッケージ内で前記第1入力端子と前記第2入力端子とに接続され、

前記第3入力回路は、前記パッケージ内で前記第1入力端子又は前記第2入力端子と、前記第3入力端子とに接続され、

前記第1出力回路は、前記パッケージ内で前記第1出力端子と前記第1接続線とに接続され、

前記第2出力回路は、前記パッケージ内で前記第2出力端子と前記第1接続線とに接続され、

前記第3出力回路は、前記パッケージ内で前記第3出力端子と前記第1接続線とに接続され、

前記第1入力端子と前記第2入力端子とに電流が流れ、前記第3入

力端子に前記電流が流れない第 1 状態で、前記第 1 出力回路と前記第 2 出力回路とがオン状態となり、前記第 3 出力回路がオフ状態となることで、前記第 1 出力端子と前記第 2 出力端子とが導通し、且つ、前記第 1 接続線と前記第 3 出力端子とが非導通となり、

前記第 1 入力端子と前記第 2 入力端子とに前記電流が流れず、前記第 3 入力端子に前記電流が流れている第 2 状態で、前記第 1 出力回路と前記第 2 出力回路とがオフ状態となり、前記第 3 出力回路がオン状態となることで、前記第 1 出力端子と前記第 2 出力端子とが非導通となり、且つ、前記第 1 接続線と前記第 3 出力端子とが導通する、半導体リレーモジュール。

[請求項2]

請求項 1 に記載の前記半導体リレーモジュールと、

前記第 1 入力端子に接続された電源端子と、

制御端子と、

前記制御端子と、前記第 1 入力端子と、前記第 2 入力端子と、前記第 3 入力端子とに接続された制御回路と、

をさらに備え、

前記制御回路は、前記制御端子に供給される入力信号に応じて、前記第 1 状態と前記第 2 状態とを切り替える、

半導体リレー回路。

[請求項3]

第 4 入力回路と第 4 出力回路とを含む第 4 半導体リレーと、

第 5 入力回路と第 5 出力回路とを含む第 5 半導体リレーと、

第 6 入力回路と第 6 出力回路とを含む第 6 半導体リレーと、

前記パッケージに設けられ、一部が前記パッケージの外部に露出するようにそれぞれ配置された第 4 出力端子および第 5 出力端子と、

前記パッケージ内で前記第 4 出力回路と前記第 5 出力回路とを接続する第 2 接続線と、

をさらに備え、

前記第 4 入力回路は、前記パッケージ内で前記第 1 入力端子と前記

第2入力端子とに接続され、

前記第5入力回路は、前記パッケージ内で前記第1入力端子と前記第2入力端子とに接続され、

前記第6入力回路は、前記パッケージ内で前記第1入力端子又は前記第2入力端子と、前記第3入力端子とに接続され、

前記第4出力回路は、前記パッケージ内で前記第4出力端子と前記第2接続線とに接続され、

前記第5出力回路は、前記パッケージ内で前記第5出力端子と前記第2接続線とに接続され、

前記第6出力回路は、前記パッケージ内で前記第3出力端子と前記第2接続線とに接続される、

請求項1に記載の半導体リレーモジュール。

[請求項4]

前記第1状態で、前記第1出力回路と前記第2出力回路と前記第4出力回路と前記第5出力回路とがオン状態となり、前記第3出力回路と前記第6出力回路とがオフ状態となることで、前記第1出力端子と前記第2出力端子とが導通し、前記第4出力端子と前記第5出力端子とが導通し、前記第1接続線と前記第3出力端子とが非導通となり、前記第2接続線と前記第3出力端子とが非導通となり、

前記第2状態で、前記第1出力回路と前記第2出力回路と前記第4出力回路と前記第5出力回路とがオフ状態となり、前記第3出力回路と前記第6出力回路とがオン状態となることで、前記第1出力端子と前記第2出力端子とが非導通となり、前記第4出力端子と前記第5出力端子とが非導通となり、前記第1接続線と前記第3出力端子とが導通し、且つ、前記第2接続線と前記第3出力端子とが導通する、

請求項3に記載の半導体リレーモジュール。

[請求項5]

請求項4に記載の前記半導体リレーモジュールと、

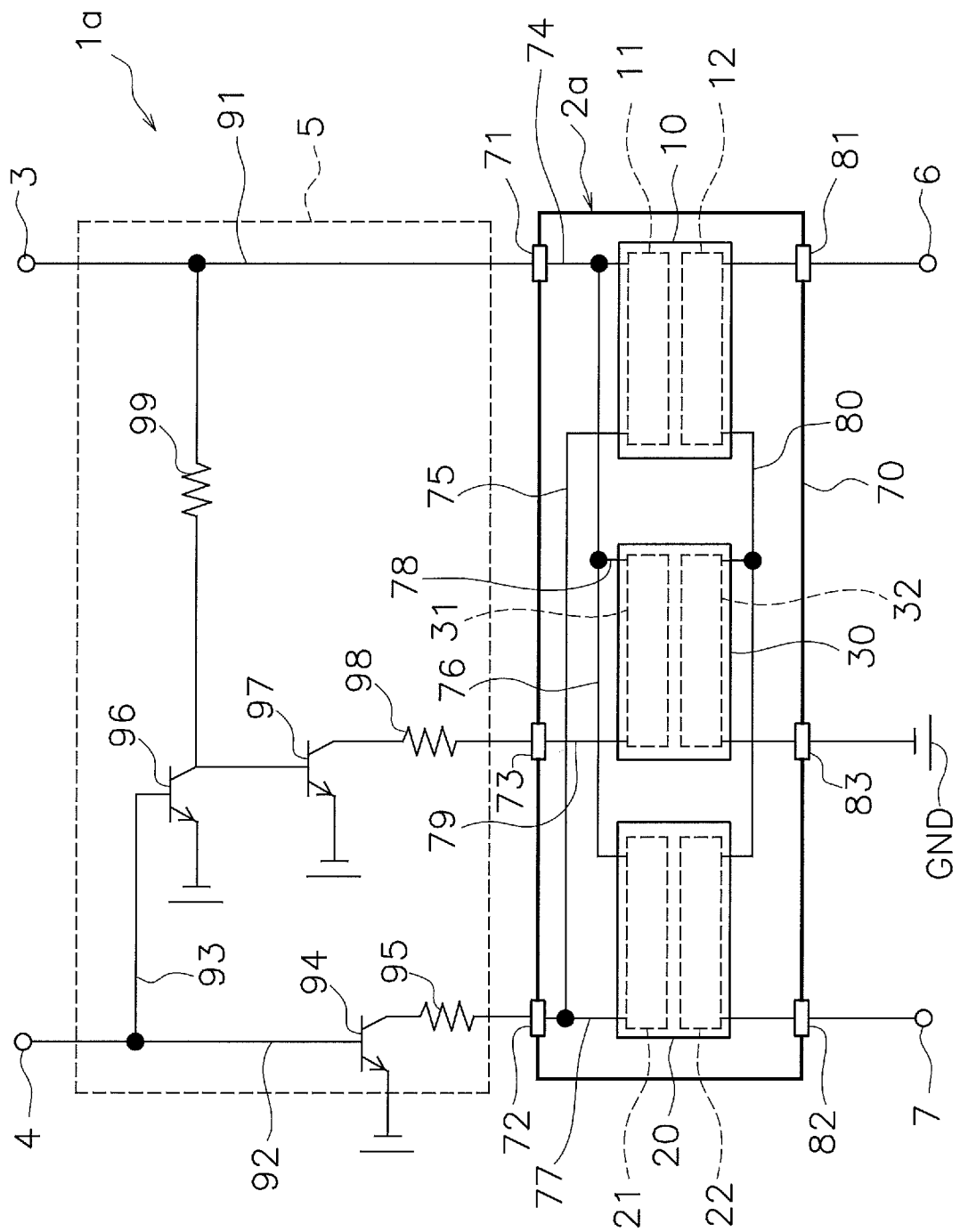
前記第1入力端子に接続された電源端子と、

制御端子と、

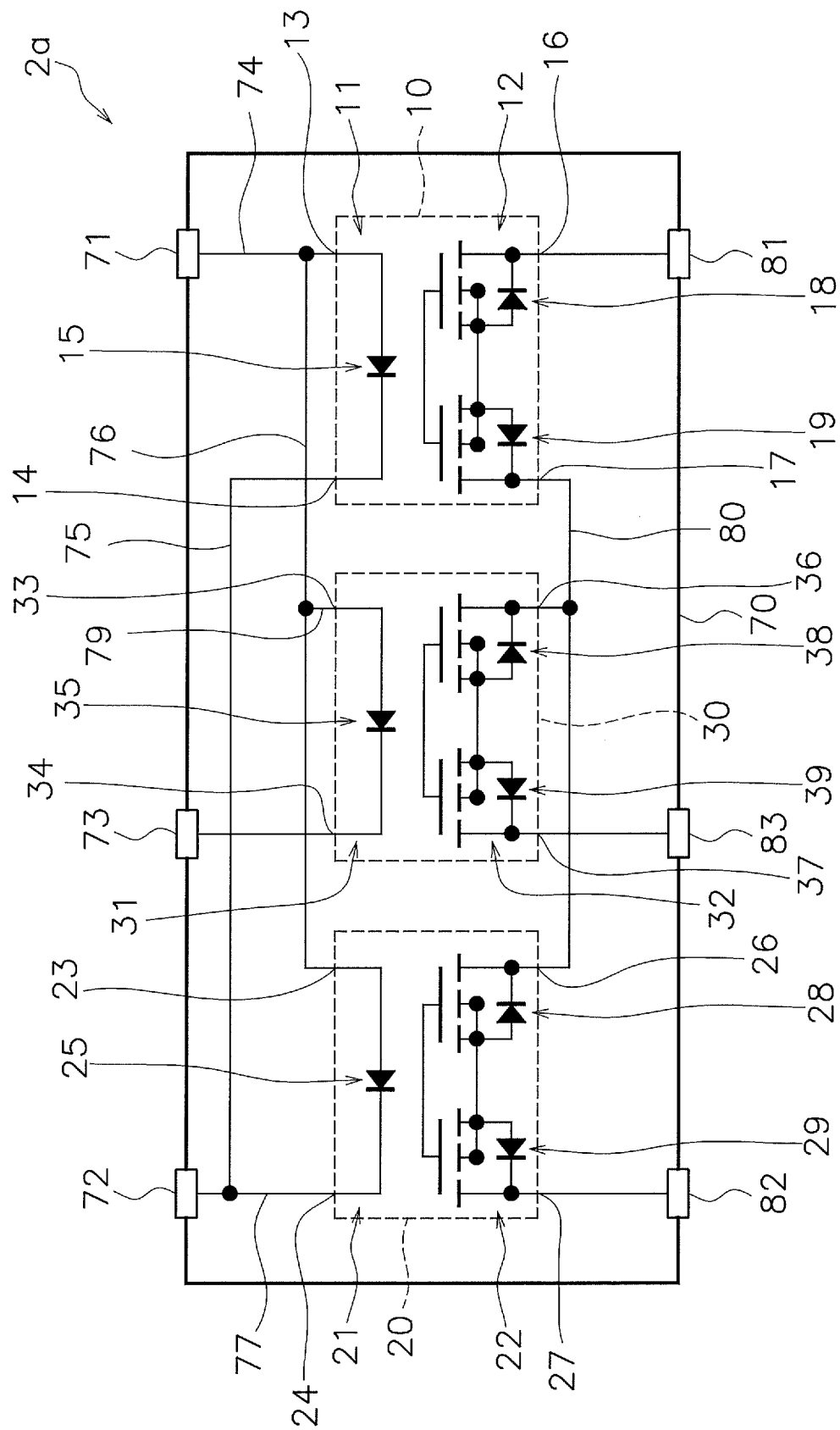
前記制御端子と、前記第 1 入力端子と、前記第 2 入力端子と、前記第 3 入力端子とに接続された制御回路と、
をさらに備え、

前記制御回路は、前記制御端子に供給される入力信号に応じて、前記第 1 状態と前記第 2 状態とを切り替える、
半導体リレー回路。

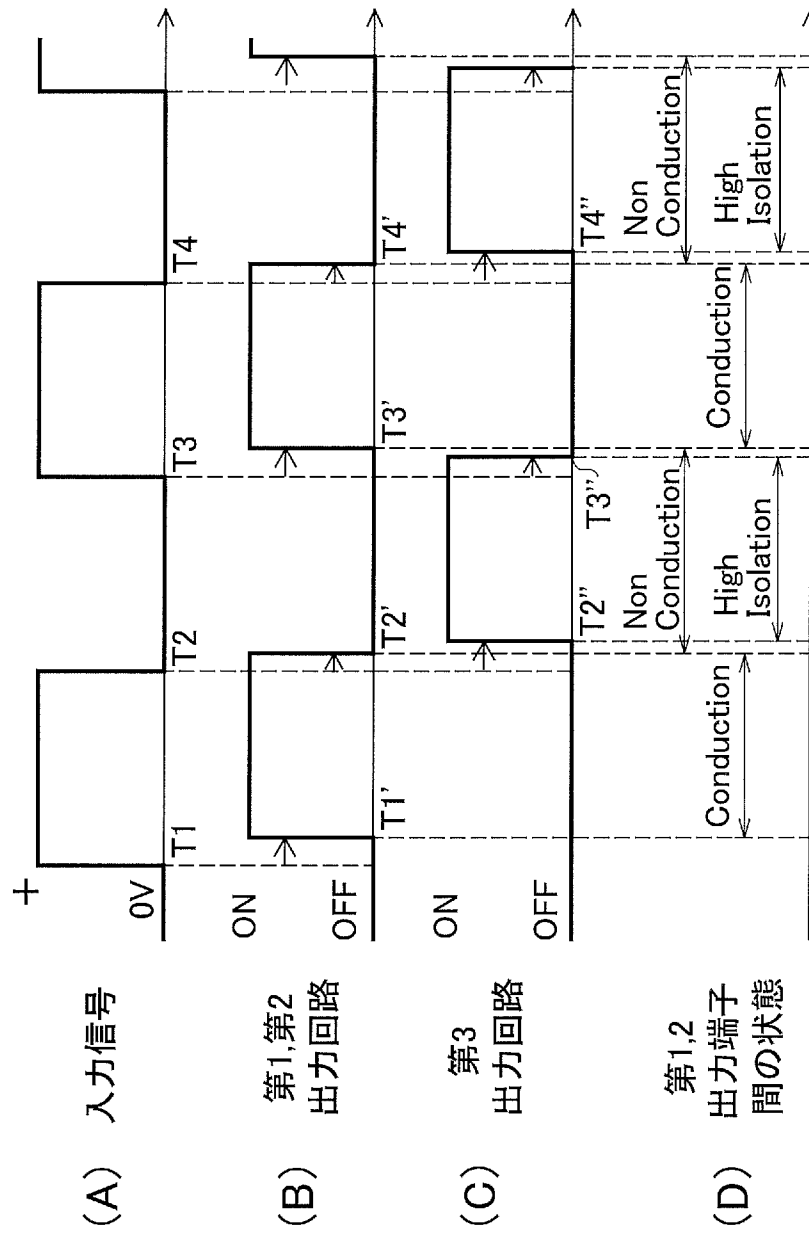
[図1]



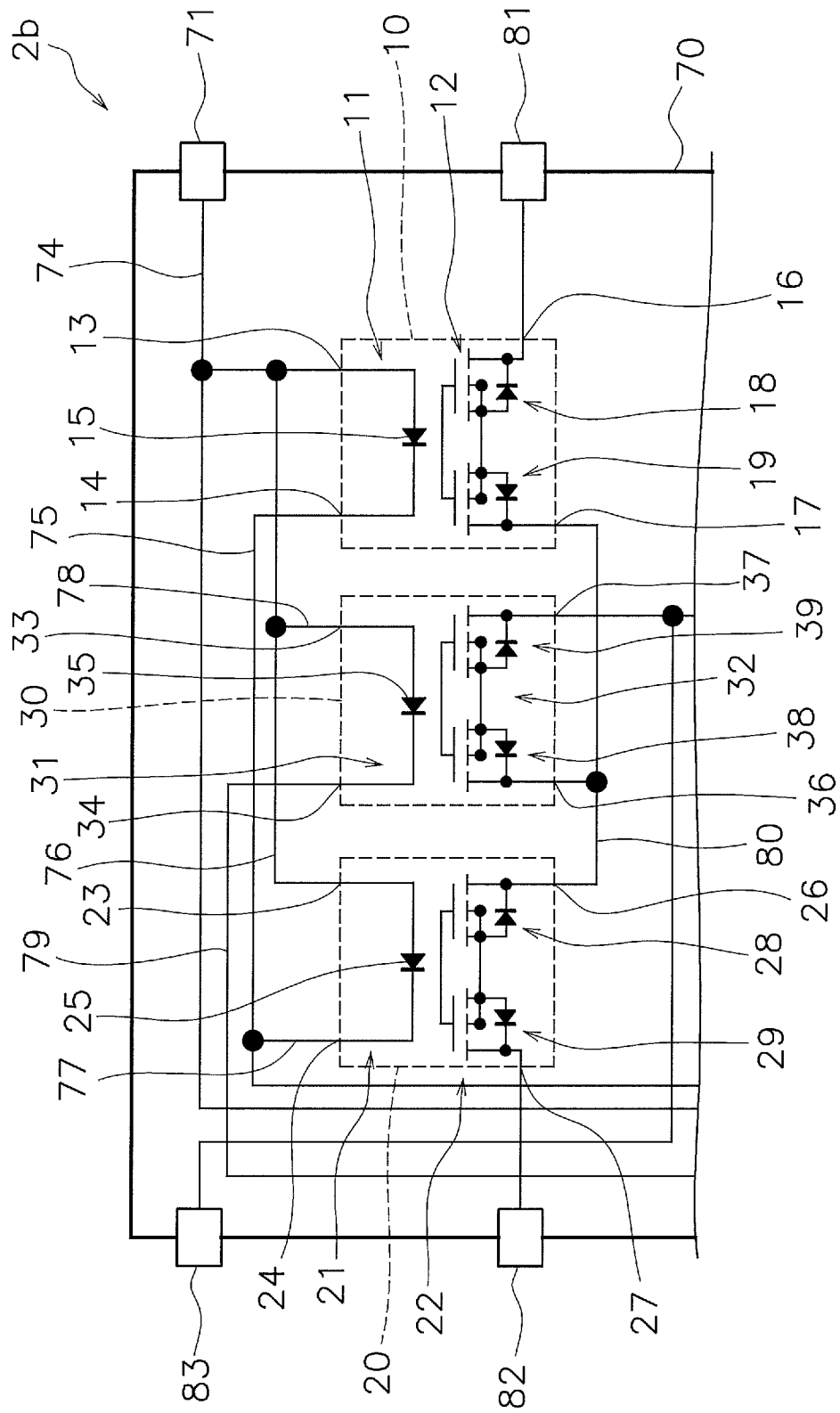
[図2]



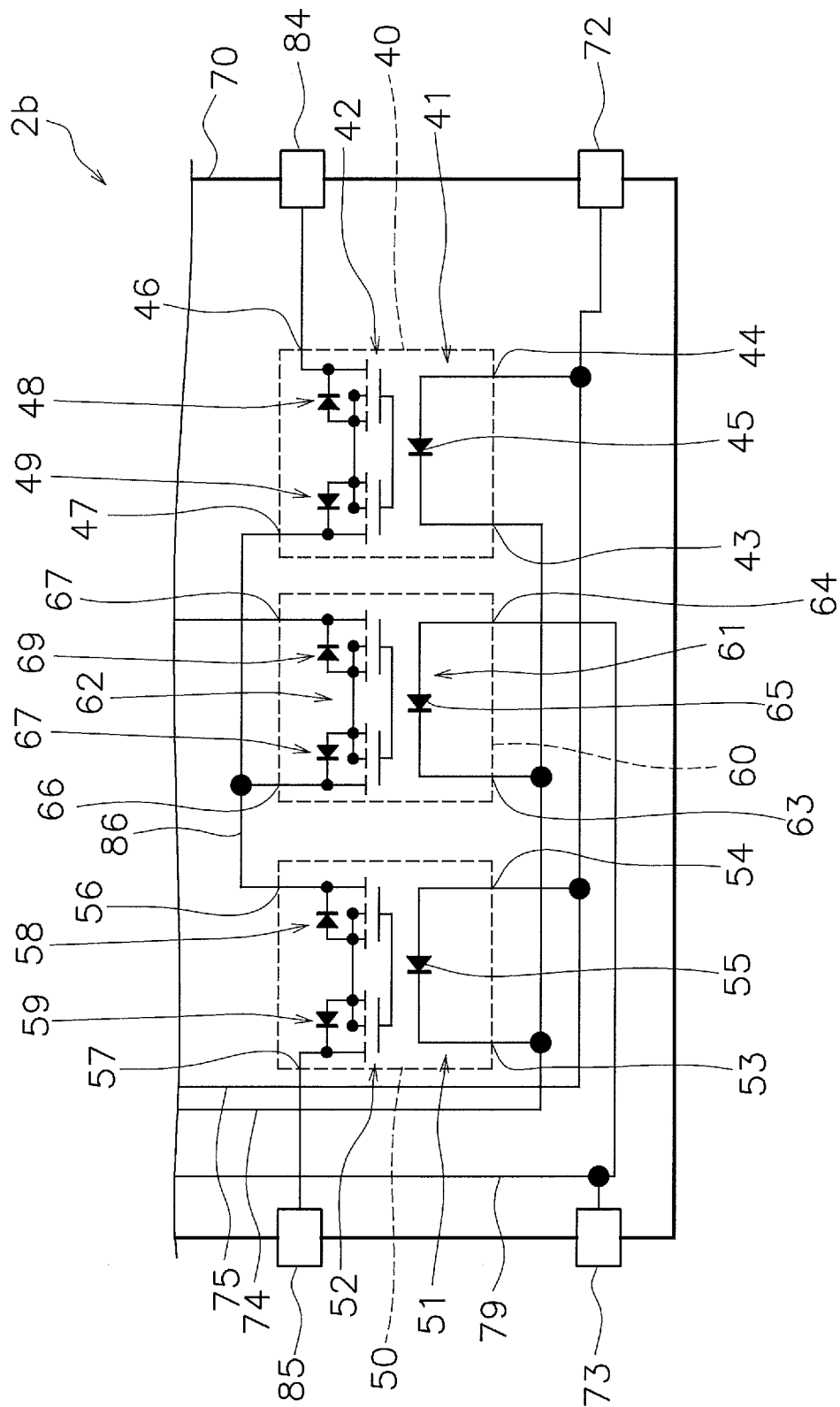
[図3]



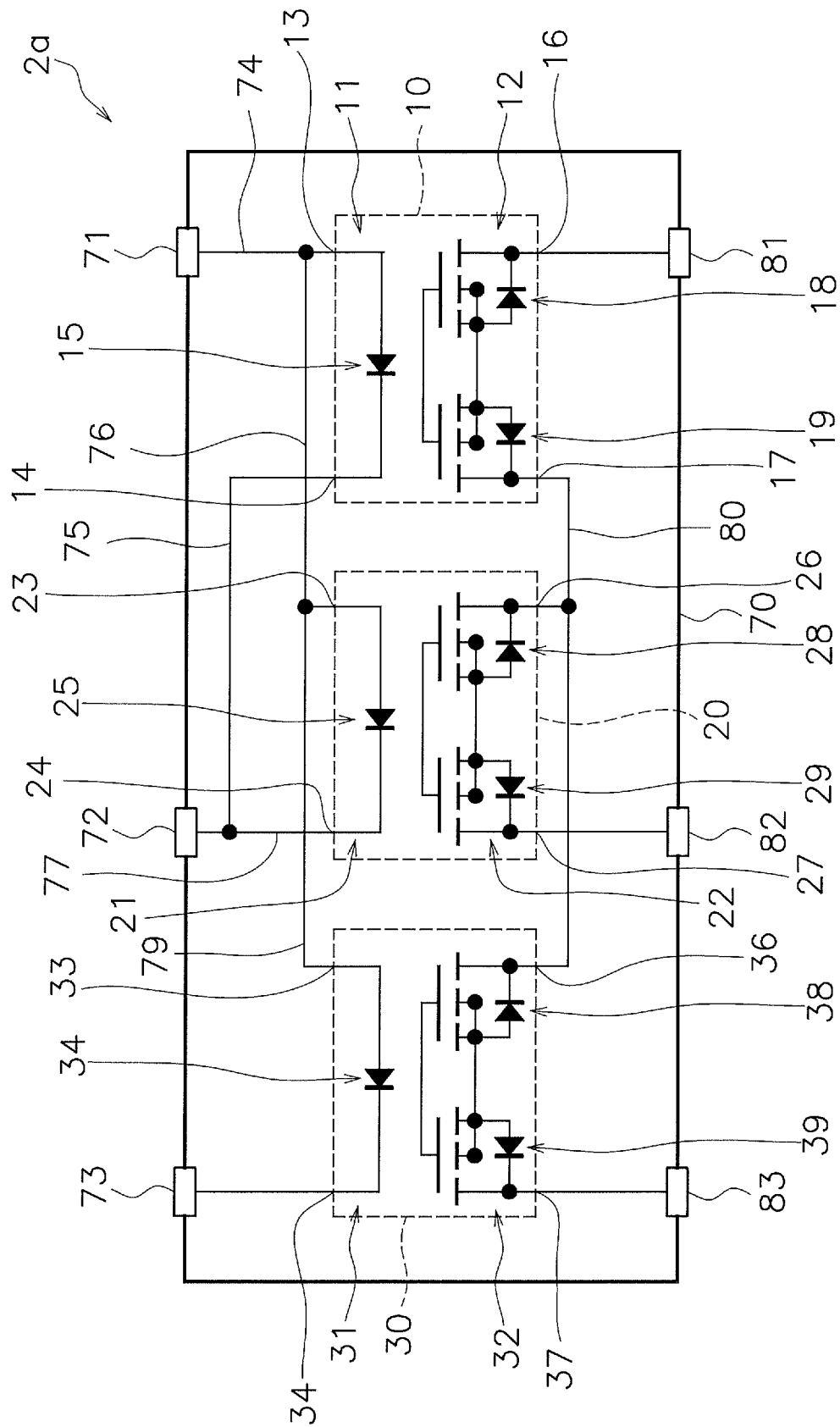
[図5]



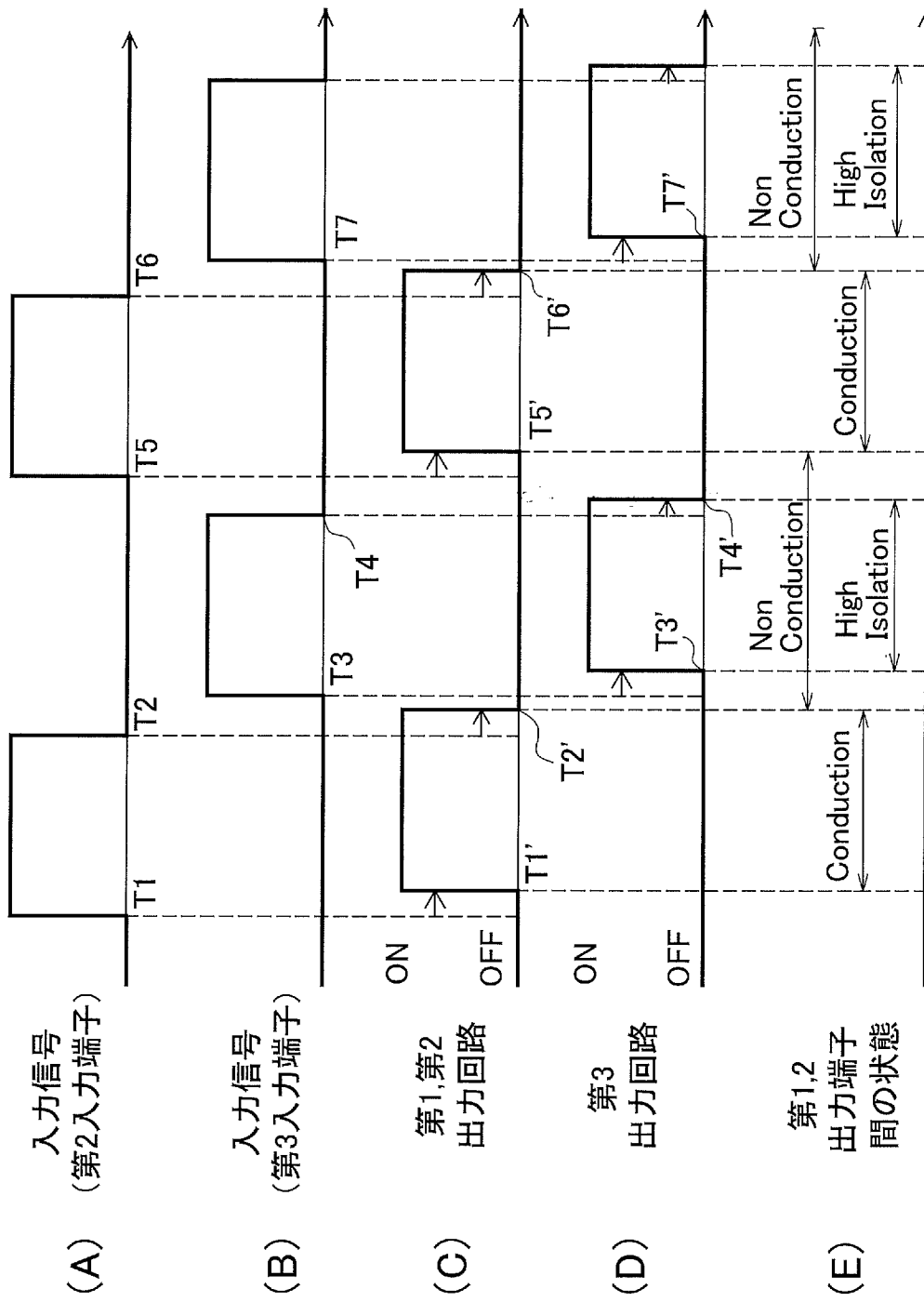
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/001663

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H03K17/00 (2006.01) i, H03K17/687 (2006.01) i, H03K17/78 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H03K17/00, H03K17/687, H03K17/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-65504 A (HITACHI POWER SEMICONDUCTOR DEVICE LTD.) 09 April 2015 & EP 2852059 A1 & US 2015/0087990 A1 & CN 104467770 A & KR 10-2015-0033525 A	1-5
A	JP 2002-185033 A (YOKOGAWA ELECTRIC CORP.) 28 June 2002 (Family: none)	1-5
A	JP 11-27124 A (MATSUSHITA ELECTRIC WORKS, LTD.) 29 January 1999 (Family: none)	1-5
A	JP 7-46109 A (TOSHIBA CORP.) 14 February 1995 & EP 06637136 A1 & US 5559466 A & DE 69428314 T2 & CN 1111855 A & KR 10-0141890 B1	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02.04.2019

Date of mailing of the international search report
16.04.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/001663

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 177166/1978 (Laid-open No. 93140/1980) (NIPPON GAKKI CO., LTD.) 27 June 1980 (Family: none)	1-5
A	JP 56-22171 B2 (WESTINGHOUSE BRAKE AND SIGNAL COMPANY LIMITED) 23 May 1981 & CH 545557 A & DE 2152997 A1 & FR 2113335 A5 & GB 1368604 A & US 3746942 A & US 3809930 A	1-5
E, A	JP 2019-47276 A (OMRON CORP.) 22 March 2019 & WO 2019/043969 A1	1-5

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K17/00(2006.01)i, H03K17/687(2006.01)i, H03K17/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K17/00, H03K17/687, H03K17/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-65504 A（株式会社 日立パワーデバイス）2015.04.09, & EP 2852059 A1 & US 2015/0087990 A1 & CN 104467770 A & KR 10-2015-0033525 A	1-5
A	JP 2002-185033 A（横河電機株式会社）2002.06.28,（ファミリーなし）	1-5
A	JP 11-27124 A（松下電工株式会社）1999.01.29,（ファミリーなし）	1-5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

02.04.2019

国際調査報告の発送日

16.04.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

工藤 一光

5W

9274

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 7-46109 A (株式会社東芝) 1995.02.14, & EP 0637136 A1 & US 5559466 A & DE 69428314 T2 & CN 1111855 A & KR 10-0141890 B1	1 - 5
A	日本国実用新案登録出願53-177166号(日本国実用新案登録出願公開55-93140号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム(日本楽器製造株式会社) 1980.06.27, (ファミリーなし)	1 - 5
A	JP 56-22171 B2 (ウエステイングハウス ブレイク アンド シグナル カムパニー リミテッド) 1981.05.23, & CH 545557 A & DE 2152997 A1 & FR 2113335 A5 & GB 1368604 A & US 3746942 A & US 3809930 A	1 - 5
E, A	JP 2019-47276 A (オムロン株式会社) 2019.03.22, & WO 2019/043969 A1	1 - 5